(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01L 27/108

(45) 공고일자 2004년12월08일
(11) 등록번호 10-0445843
(24) 등록일자 2004년08월17일

(21) 출원번호 10-1996-0033141
(22) 출원일자 1996년08월09일

(65) 공개번호 10-1997-0013369
(43) 공개일자 1997년03월29일

(30) 우선권주장 95-208037 1995년08월15일 일본(JP)

(73) 특허권자
텍사스 인스트루먼츠 인코포레이티드
미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
세키구치 도시히로
일본국 히다카시 요코테 2-20-5

아오키 히데오
일본국 하무라시 오자쿠다이 1-7-3

다다키 요시타카
일본국 한노시 미스기다이 4-6-18

가와키타 게이조
일본국 오메시 신마치 415-2-202

무라타 쥰
일본국 구니타치시 히가시 4-6-12

유하라 가츠오
일본국 이바라끼켄 이나시키군 아미마치 와카구리 3418-18

니시무라 미치오
일본국 도코로자와시 마츠가오카 1-32-4

사이토 가즈히코
일본국 이바라키켄 이나시키군 아미마치 아미 3068-3

오츠카 미노루
일본국 홋사시 홋사 691-1-302

야스다 마사유키
일본국 구니타치시 아오야기 351-1-502

가에리야마 도시유키
일본국 이바라끼켄 츠쿠바군 야와라무라 기누노다이6-15-8

조성수
일본국 이라바끼켄 기타소마군 후지시로마치 고후다이 2-5-15

(74) 대리인 백남기

심사관 : 조지은

(54) 반도체집적회로장치의제조방법및반도체집적회로장치

요약

반도체집적회로장치의 제조기술에 관한 것으로서, COB구조를 갖는 DRAM과 같은 반도체장치에 있어서의 접속구멍을 위한 맞춤여유를 작게 하기 위해, COB구조를 갖는 DRAM의 제조방법은 1실시예에 있어서 워드선 및 비트선을 에칭속도가 비교적 작은 절연막으로 피복해 두고 그들 절연막에 의해서 접속구멍을 자기정합적으로 규정한 상태에서 뚫는 구성으로 하였다. 이러한 구성에 의해 비트선 접속용의 접속구멍 및 캐패시터 접속용의 접속구멍를 자기정합적으로 형성할 수 있으므로, 이들의 접속구멍와 각 층의 포토리도그래피에서의 맞춤을 불필요하게 하는 것이 가능하게 된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 1실시예에 의한 반도체집적회로장치에 포함되는 메모리셀영역의 주요부 단면도,
도 2는 도 1에 도시된 메모리셀영역을 위한 주변회로영역의 주요부 단면도,
도 3은 도 1에 도시된 메모리셀영역의 주요부 평면도,
도 4는 도 1에 도시된 메모리셀영역의 주요부 평면도,
도 5(a) 도5(z)는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조방법에 있어서의 각 단계에서의 장치의 주요부 단면도,
도 6은 도5(g)에 도시된 각 단계에 있어서의 장치의 주요부 평면도,
도 7은 본 발명의 1실시예에 의한 반도체집적회로장치에 포함되는 메모리셀영역의 주요부 단면도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체집적회로장치의 제조기술에 관한 것으로서 특히, DRAM(Dynamic Random Access Memory)을 갖는 반도체집적회로장치의 제조방법에 관한 것이다.
대용량 메모리를 대표하는 반도체메모리로서 DRAM이 있다. 이 DRAM의 메모리용량은 점점 증대하는 경향에 있고, 그것에 따라서 DRAM와 메모리셀의 집적도를 향상시키는 관점에서 메모리셀의 점유면적도 축소하지 않으면 안되는 방향으로 진행되고 있다.
그러나, DRAM의 메모리셀에 있어서의 정보 축적용 용량소자(캐패시터)의 축적용량값은 DRAM의 동작마진이나 소프트에러 등을 고려하는 관점 등에서 세대에 관계없이 일정량이 필요하여 일반적으로 비례축소 원칙을 적용할 수 없다는 것이 알려져 있다.
그래서, 한정된 작은 점유면적내에 필요한 축적용량을 확보할 수 있는 캐패시터구조의 개발이 진전되고 있고, 그와 같은 캐패시터구조로서 2층으로 중첩된 폴리실리콘으로 이루어지는 전극 사이에 용량 절연막을 개재해서 이루어지는 소위 스택 캐패시터 등과 같은 입체적인 캐패시터구조가 채용되고 있다.
스택 캐패시터는 캐패시터전극을 메모리셀의 선택 MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 상층에 배치하는 구조가 일반적이고, 이 경우, 작은 점유면적으로 큰 축적용량을 확보할 수 있음과 동시에 캐패시

터의 구성에 확산층이 필요하지 않으므로 소프트에러의 발생률도 대폭으로 저감할 수 있어 필요로 하는 축적용량이 작아도 된다는 이점이 있다.
이와 같은 스택 캐패시터 구조에도 여러가지의 것이 있지만, 그 중에서도 그 캐패시터를 비트선의 상부에 배치하는 소위 캐패시터 오버 비트선(Capacitor Over Bitline ; 이하 COB라 한다)구조는 축적전극(축적노드)의 하지단차가 비트선에 의 해서 해소되므로, 캐패시터를 형성할 때의 프로세스상의 부담이 작아진다는 이점이 있다. 또, 비트선이 캐패시터에 의해 실드되므로, 높은 신호대잡음(S/N)비가 얻어진다는 이점이 있다. 또한, COB구조의 메모리셀을 갖는 DRAM에 대해서는 일본국 특허공개 공보 평성7-122654(1995년 5월12일 공개) 등에 기재되어 있다.

발명이 이루고자 하는 기술적 과제

그런데, 이와 같은 COB구조를 갖는 DRAM에 있어서는 다음과 같은 문제가 있는 것을 본 발명자는 발견하였다.
즉, 비트선용의 접속구멍 및 캐패시터용의 접속구멍은 그들을 형성할 때의 위치어긋남을 고려해서 각각 워드선 및 비트선에 대해서 맞춤 여유를 필요로 하므로, 메모리셀의 셀크기를 충분히 작게 할 수 없다는 문제이다.
이와 같은 맞춤여유의 문제는 포토리도그래피의 맞춤 정밀도기술의 진보에 의존해 왔지만, 고집적화를 위해서는 고도의 맞춤기술이나 공정관리가 필요함과 동시에 전사패턴의 해상도를 향상시키기 위해 위상시프트기술 등과 같은 고도이고 고가인 포토리도그래피기술을 도입할 필요가 있다. 또한, 이들의 기술을 새로 반도체집적회로장치의 제조공정에 도입하기 위해서는 노력이나 시간이나 걸려 반도체집적회로장치의 개발기간이 길어진다는 문제가 있다.
또, 접속구멍을 뚫기 위한 위상시프트기술로서 예를 들면 에지강조형이나 하프톤형이 있다. 에지강조형은 전사패턴을 위한 광투과영역(이하, 주패턴이라 한다)의 주변에 실제로는 전사되지 않는 보조의 광투과영역(이하, 보조패턴이라 한다)을 배치하고, 주패턴과 보조패턴을 투과한 각각의 광에 위상차를 발생시키는 것에 의 해 마스크를 투과한 광의 상에 있어서의 에지를 강조하는 기술이다. 또, 하프톤형은 마스크의 불투명부분을 약간의 투과성을 갖게 하는 것에 의해 마스크를 투과하는 광에 위상차를 발생시켜 그 광의 상의 에지를 강조하는 기술이다. 그런데, 에지강조형인 경우, 접속구멍의 직경이나 인접간격이 축소됨에 따라 충분한 노출강도비를 얻기 위한 보조패턴의 설계나 적절한 배치가 곤란하게 된다. 특히, DRAM의 메모리셀영역에 있어서는 접속구멍이 고밀도로 배치되고, 그 인접간격이 점점 축소되는 경향에 있으므로, 상기한 보조패턴의 배치가 곤란한 상황에 있고 미세화에 한계가 있다. 또, 하프톤형의 경우는 실제로 뚫는 접속구멍의 개구직경보다 큰 패턴을 마스크상에 형성할 필요가 있으므로, 인접하는 접속구멍의 배치에 제한이 발생하고 미세화에 한계가 있다.
본 발명의 목적은 예를 들면 COB구조를 갖는 DRAM과 같은 반도체장치에 있어서의 접속구멍을 위한 맞춤여유를 작게 하는 것이다.
또, 본 발명의 다른 목적은 반도체장치의 크기를 축소하는 것이다.
또, 본 발명의 다른 목적은 고도인 리도그래피기술이나 고도인 맞춤여유기술을 도입하지 않아도 반도체장치의 크기를 축소하는 것이다.
또, 본 발명의 다른 목적은 COB구조를 갖는 DRAM을 구비하는 반도체집적회로장치의 개발기간을 단축할 수 있는 기술을 제공하는 것이다.

발명의 구성 및 작용

본 발명의 1측면에 의하면 반도체장치의 제조방법은 반도체기판상부에 여러개의 배선도체를 형성하는 스텝, 상기 배선도체의 상면 및 측면을 제 1 절연막에 의해서 피복하는 스텝, 얻어진 반도체기판상에 상기 제1 절연막보다 에칭속도가 큰 재료로 이루어지는 상면의 평탄한 제2 절연막을 형성해서 상기 제1 절연막을 상기 제2 절연막으로 피복하는 스텝, 상기 제2 절연막의 평탄한 상면상에 그 절연막보다 에칭속도가 작은 재료로 이루어지는 마스크막을 퇴적한 후 그 마스크막 중 상기 서로 인접하는 여러개의 배선도체 사이에 위치하는 접속구멍 형성영역을 개구하는 스텝 및 상기 마스크막의 개구영역에 노출하는 상기 제2 절연막의 부분을 에칭제거하는 것에 의해 상기 제1 절연막에 의해서 자기정합적으로 규정되는 접속구멍을 형성하는 스텝을 갖는다.
본 발명의 다른 측면에 의하면, 반도체장치의 제조방법은 반도체기판의 주표면의 상부에 제1 절연막을 개재시켜서 제1 도체를 형성하는 스텝, 상기 반도체기판의 주표면내에 있어서 제1 도체의 양측에 반도체영역을 형성하는 스텝, 상기 제1 도체의 상면 및 측면을 제2 절연막으로 피복하는 스텝, 얻어진 기판상에 상기 제2 절연막보다 에칭속도가 큰 제3 절연막을 형성하는 스텝, 상기 제3 절연막의 상면을 평탄화하는 스텝 및 에칭에 의해 상기 반도체영역 중 미리 정해진 반도체영역에 대해서 상기 평탄화된 상면을 갖는 제3 절연막을 관통하는 제1 접속구멍을 형성하는 스텝을 갖고, 상기 제3 절연막을 형성하는 스텝에 있어서의 상기 제2 절연막은 상기 제3 절연막과 접촉해서 그 하부에 존재하고, 상기 제1 접속구멍을 형성하는 스텝에 있어서의 상기 평탄화된 상면을 갖는 제3 절연막은 상기 제1 접속구멍에 대한 해상도를 개선하고 상기 제2 절연막은 그 에칭속도가 비교적 작으므로 상기 제1 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 한다.
본 발명의 다른 측면에 의 하면, 반도체장치는 주표면을 갖는 반도체기판, 그 측면 및 상면이 제2 절연막으로 피복되어 있고 제1 절연막을 거쳐서 상기 반도체기판의 주표면의 상부에 서로 간격을 두고 배치된 배선도체, 상기 배선도체 사이의 상기 반도체기판의 주표면내에 형성된 반도체영역, 배선도체 사이의 공간과 공동해서 상기 반도체영역을 위한 접속구멍을 형성하고 있고 상기 제2 절연막 상에 그것과 접촉해서 형성되고 상기 제2 절연막보다 큰 에칭속도를 갖는 층간절연막 및 상기 접속구멍내에 마련된 접속도체를 갖는 것이다.

도 1은 본 발명의 1실시예인 반도체집적회로장치에 포함되는 메모리셀 영역의 주요부 단면도, 도 2는 도 1에 도시되는 메모리셀영역을 위한 주변회로영역의 주요부 단면도, 도 3은 도 1에 도시되는 메모리셀영역의 주요부 평면도, 도 4는 도 1에 도시되는 메모리셀영역의 주요부 평면도, 도 5(a) 도 5(z)는 본 발명의 1실시예에 의한 반도체집적회로장치의 제조방법에 도시한 장치의 주요부 단면도, 도 6은 도5(g)에 도시된 반도체집적회로장치의 주요부 평면도이다.
본 실시예1의 반도체집적회로장치는 예를 들면 64M비트 DRAM이다. 단, 본 발명은 64M비트 DRAM에 적용하는 것에 한정되는 것은 아니고 여러가지 적용가능하다.
이 DRAM을 도 1 도 4에 따라서 설명한다. 또한, 도 1은 도 4의 Ⅰ - Ⅰ 선의 단면도를 도시하고 있다.
DRAM을 구성하는 반도체기판(1s)는 예를 들면 p-형의 실리콘(Si)단결정으로 이루어지고, 그 상부에는 예를 들면 이산화실리콘(SiO_2)로 이루어지는 소자분리용의 필드절연막(2)가 형성되어 있다.
메모리셀영역M에 있어서의 반도체기판(1s)의 주표면내에는 p웰(3p)가 형성되어 있다. 이 p웰(3p)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 그리고, 이 p웰(3p)상에는 메모리셀MC가 형성되어 있다. 이 메모리셀MC는 1개의 메모리셀 선택용 MOSFET(이하 선택MOS라 한다)(4)와 1개의 캐패시터(5)로 구성되어 있다. 이 1개의 메모리셀MC의 크기는 예를 들면 $1.15\mu m^2$ 정도이다.
선택MOS(4)는 반도체기판(1s)의 상부에 서로 거리를 두고 형성된 1쌍의 반도체영역(4a), (4b), 반도체기판(1s)상에 형성된 게이트 절연막(4c), 게이트 절연막(4c)상에 형성된 게이트전극(4d)를 갖고 있다.
반도체영역(4a), (4b)는 선택MOS(4)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(4a), (4b)에는 예를 들면 n형 불순물의 인 또는 비소(As)가 도입되어 있다. 또한, 이 반도체영역(4a), (4b)와 사이에 선택MOS(4)의 채널영역이 형성되어 있다.
이 반도체영역(4a), (4b) 및 2개의 채널영역으로 이루어지는 1개의 활성영역은 그 평면형상이 필드절연막(2)에 의해서 둘러싸여 규정되어 있고, 반도체영역(4a)를 중심으로 해서 좌우대칭형상으로 형성되어 있다(도 3참조).
게이트 절연막(4c)는 예를 들면 SiO_2로 이루어진다. 또, 게이트 전극(4d)는 예를 들면 저저항 폴리실리콘막으로 이루어지는 도체막(4d1)상에 예를 들면 텅스텐 실리사이드(WSi_2)로 이루어지는 도체막(4d2)를 퇴적해서 형성되어 있다. 이 도체막(4d2)에 의해서 게이트전극(4d)의 저저항화를 도모하고 있다. 단, 게이트전극(4d)는 저저항폴리실리콘의 단일체막으로 형성해도 좋고, 텅스텐 등과 같은 소정의 금속이라도 좋다.
이 게이트전극(4d)는 워드선WL의 일부이기도 하다. 워드선WL은 상기한 활성영역이 연장하는 방향에 대해서 거의 직교하는 방향으로 연장하고 있고, 선택MOS(4)의 임계값전압을 얻기 위해 필요한 일정폭(Lg)를 갖고 있다(도 3참조). 이 서로 인접하는 워드선WL의 간격은 예를 들면 0.67μm정도이다.
이 게이트전극(4d)(워드선WL)의 상면 및 측면은 절연막(6a), (6b)를 거쳐서 캡절연막(제1 캡절연막)(7a) 및 사이드월(제1 측벽절연막)(7b)에 의해서 피복되어 있다. 이들의 캡절연막(7a) 및 사이드월(7b)는 층간절연막(8a) (8c)에 의해서 피복되어 있다. 절연막(7a), (7b)는 층간절연막(8a)에 접촉하고 있다. 그리고, 층간절연막(8a) (8c)에는 반도체기판(1s)의 표면부의 반도체영역(4a)가 노출하는 접속구멍(9a1)이 형성되고, 층간절연막(8a), (8b)에는 반도체기판(1s)의 다른 표면부의 반도체영역(4b)가 노출하는 접속구멍(하부 접속구멍)(9b1)이 형성되어 있다. 이들 접속구멍(9a1), (9b1)의 직경은 예를 들면 0.36μm정도이다.
절연막(6a), (6b)는 예를 들면 SiO_2로 이루어진다. 또, 본 실시예 1에 있어서는 캡절연막(7a) 및 사이드월(7b)가 예를 들면 질화실리콘으로 이루어진다.
절연막(6a), (6b)는 캡절연막(7a) 및 사이드월(7b)를 형성할 때에 그 성막처리장치내가 도체막(4d2)의 구성금속원소로 오염되는 것을 방지하는 기능을 한다.
캡절연막(7a) 및 사이드월(7b)는 층간절연막(8a), (8b)에 접속구멍(9a1), (9b1)을 형성할 때에 에칭 스토퍼로서 기능하고, 서로 인접하는 워드선WL 사이에 비트선용 접속구멍(9a1), 캐패시터용 접속구멍(9b1)을 자기정합적으로 형성하기 위한 막으로서 기능하고 있다. 즉, 캡절연막(7a) 및 사이드월(7b)는 워드선WL의 폭방향에 있어서의 접속구멍(9a1), (9b1)의 치수를 규정하고 있다.
이 때문에, 예를 들면 접속구멍(9a1), (9b1)가 워드선WL의 폭방향(도 3의 좌우방향)으로 다소 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로서 기능하므로, 그 접속구멍(9a1), (9b1)에서 워드선WL의 일부가 노출하는 일도 없다. 따라서, 접속구멍 (9a1), (9b1)의 위치맞춤여유를 작게 하는 것이 가능하다.
또한, 접속구멍(9a1), (9b1)이 워드선WL의 긴쪽방향(도 3의 상하방향)으로 어긋났다고 해도 여기서는 층간절연막(8a), (8b)의 두께가 어느 정도 확보되어 있으므로, 접속구멍(9a1), (9b1)에서 반도체기판(1s)의 상면이 노출하는 일도 없다.
층간절연막(8a)는 예를 들면 SiO_2로 이루어지고, 층간절연막(8b)는 예를 들면 BPSG(Boron Phospho Silicate Glass)로 이루어진다. 이 층간절연막(8a)는 그 상층의 층간절연막(8b)중의 붕소 또는 인이 하층의 반도체기판(1s)로 확산하는 것을 방지하는 기능을 갖고 있다.
또, 층간절연막(8b)는 배선층의 하지를 평탄하게 하는 기능을 갖고 있다. 이것에 의해 포토리도그래피의 마진을 확보할 수 있고 접속구멍(9a1), (9b1)나 배선의 패턴전사 정밀도를 향상시킬 수 있게 되어 있다. 층간절연막(8b)상에는 예를 들 면 SiO_2로 이루어지는 층간절연막(8c)가 형성되어 있다. 이 층간절연막(8c)는 후술하는 비트선 형성공정시 등에 있어서, 층간절연막(8b)에서 캡절연막(7a)의 일부가 노출하고 있으면, 그 노출부분이 에칭되어 워드선WL이 노출해 버리는 경우가 있으므로, 그것을 방지하기 위한 막이다. 따라서, 그와 같은 문제가 발생하지 않는 경우에는 마련하지 않아도 좋다.
층간절연막(8c)상에는 비트선BL이 형성되어 있다. 이 비트선BL은 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(제1 도체막)BL1의 상층에 예를 들면 WSi_2로 이루어지는 도체막(제2 도체막)BL2가 퇴적되어 이루어지고, 접속구멍(9a1)을 거쳐서 반도체영역(4a)와 전기적으로 접속되어 있다. 이 서로 인접하는 비트선BL의 간격은 예를 들면

0.86μm정도이다.
도체막BL1과 층간절연막(8c) 사이에는 접속구멍(9a1)를 형성할 때에 에칭마스크로 된 마스크막(제2 마스크막)(10b)가 남겨져 있다. 이 마스크막(10b)는 접속구멍(9a1)의 형성시에 있어서의 에칭선택비를 높게 하기 위한 막으로서 예를 들면 저저항폴리실리콘으로 이루어지고, 비트선BL의 일부이기도 하다.
이 비트선BL은 상기한 위드선WL을 횡단하도록(예를 들면 워드선WL과 대략 직교하도록) 배치되어 있다(도 4참조). 비트선BL의 중심선은 비트선용의 접속구멍(9a1)의 중심에 반드시 일치시킬 필요는 없지만, 이 경우, 비트선BL은 비트선용의 접속구멍(9a1)을 완전히 둘러싸기 위한 돌출부를 필요로 한다.
또한, 비트선BL에 상기 돌출부를 형성하면, 인접하는 비트선BL과 돌출부의 단락불량이 생길 가능성이 있으므로, 그 돌출부에 인접하는 비트선BL부분을 돌출부에서 떨어지도록 조금 굴곡하고 있다.
비트선BL의 상면 및 측면은 절연막(6a), (6b)를 거쳐서 캡절연막(제2 캡절연막)(11a) 및 사이드월(제2 측벽절연막)(11b)에 의해서 피복되어 있다. 이 캡절연막(11a) 및 사이드월(11b)는 층간절연막(8c) 등에 연장접속구멍 (또는 상부접속구멍)(9b2)를 형성할 때에 에칭스토퍼로서 기능하고, 서로 인접하는 비트선BL 사이에 접속구멍(9b2)를 자기정합적으로 형성하기 위한 막으로서 기능하고 있다. 즉, 캡절연막(11a) 및 사이드월(11b)는 비트선BL의 폭방향에 있어서의 캐패시터용 접속구멍(9b1), (9b2)의 치수를 규정하고 있다.
따라서, 예를 들면 접속구멍(9b1), (9b2)가 비트선BL의 폭방향(도 4의 상하방향)으로 다소 어긋났다고 해도 캡절연막(11a) 및 사이드월(11b)가 에칭스토퍼로서 기능하므로, 그 접속구멍(9b1), (9b2)의 소자분리영역으로 지나치게 들어가는 일도 없다. 이 때문에, 접속구멍(9b1), (9b2)의 위치맞춤여유를 작게 할 수 있다.
또, 이 캡절연막(11a) 및 사이드월(11b)은 절연막(12)에 의해서 피복되어 있다. 이 절연막(12)는 캐패시터(5)를 형성한 후의 하지의 절연막을 제거할 때에 에칭스토퍼로서 기능하는 막으로서 예를 들면 질화실리콘으로 이루어진다.
이 절연막(12)의 두께는 예를 들면 100 500Å, 바람직 하게는 250Å정도로 설정되어 있다. 이 이상 두꺼우면, 댕글링본드를 종단하기 위한 최종적인 수소어닐처리시에 수소가 질화실리콘막에 의해 포박되어 버려 충분한 종단효과를 얻을 수 없게 되기 때문이다.
이 비트선BL의 상층에는 예를 들면 원통형의 캐패시터(5)가 형성되어 있다. 즉, 본 실시예1의 DRAM은 COB구조로 되어 있다. 캐패시터(5)는 제1 전극(제3 도체막)(5a)표면에 캐패시터 절연막(5b)를 거쳐서 제2 전극(5c)가 피복되어 구성되어 있다. 즉, 본 실시예1에서는 제1 전극(5a)의 하면측 및 원통형 캐패시터(5)의 축부측면에도 용량부가 형성되어 있고, 이것에 의해 큰 용량을 확보하는 것이 가능하게 되어 있다.
제 1전극(5a)는 예를 들면 저저항폴리실리콘으로 이루어지고, 접속구멍(9b1)내에 매립된 도체막(제1 도체막)(13)을 통해서 선택MOS(4)의 한쪽의 반도체영역(4b)와 전기적으로 접속되어 있다. 도체막(13)은 예를 들면 저저항폴리실리콘으로 이루어진다.
캐패시터 절연막(5b)는 예를 들면 산화실리콘막상에 SiO_2 막이 퇴적되어 형성되어 있다. 또, 제 2전극(5c)는 예를 들면 저저항폴리실리콘으로 이루어지고, 소정의 배선과 전기적으로 접속되어 있다.
또한, 캐패시터(5)의 제 1전극(5a)의 하부의 마스크막(제3 마스크막)(10c)는 접속구멍(9b2)를 뚫을 때에 마스크로서 사용한 막이다. 이 마스크막(10c)는 예를 들면 저저항폴리실리콘으로 이루어지고, 캐패시터(5)의 제1 전극(5a)의 일부로 되어 있다.
한편, 도 2를 참조하면, 주변회로영역P에 있어서의 반도체기판(1s)의 상부에는 p웰(3p) 및 n웰(3n)이 형성되어 있다. 이 p웰(3p)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 또, n웰(3n)에는 예를 들면 n형 불순물의 인 또는 As가 도입되어 있다. 그리고, 이 p웰(3p)상 및 n웰(3n)상에는 예를 들면 nMOS(14) 및 pMOS(15)가 형성되어 있다.
이들 nMOS(14) 및 pMOS(15)에 의해서 DRAM의 센스앰프회로, 컬럼디코더회로, 컬럼드라이버회로, 로우디코더회로, 로우드라이버회로, I/O셀렉터회로, 데이타 입력 버퍼회로, 데이타 출력 버퍼회로 및 전원회로 등과 같은 주변회로가 형성되어 있다.
nMOS(14)는 p웰(3p)의 상부에 서로 거리를 두고 형성된 1쌍의 반도체영역(14a), (14b), 반도체기판(1s)상에 형성된 게이트 절연막(14c) 및 게이트절연막(14c)상에 형성된 게이트전극(14d)를 갖고 있다.
반도체영역(14a), (14b)는 nMOS(14)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(14a), (14b)에는 예를 들면 n형 불순물의 인 또는 As가 도입되어 있다. 또한, 이 반도체영역(14a), (14b) 사이에 nMOS(14)의 채널영역이 형성되어 있다.
게이트 절연막(14c)는 예를 들면 SiO_2 로 이루어진다. 또, 게이트전극(14d)는 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(14d1)상에 WSi_2 로 이루어지는 도체막(14d2)가 퇴적되어 이루어진다. 단, 게이트전극(14d)는 예를 들면 저저항폴리실리콘의 단일체막으로 형성해도 좋고, 금속으로 형성해도 좋다.
게이트전극(14d)의 상면 및 측면에는 절연막(6a), (6b)를 거쳐서 캡절연막(7a) 및 사이드월(7b)가 형성되어 있다. 절연막(6a), (6b)는 상기한 메모리셀영역M의 절연막(6a), (6b)와 동일 기능을 갖고 있고, 예를 들면 SiO_2 로 이루어진다.
또, 캡절연막(7a) 및 사이드월(7b)는 예를 들면 질화실리콘으로 이루어진다. 단, 이 경우의 사이드월(7b)는 주로 LDD(Lightly Doped Drain)구조를 구성하기 위한 막이다.
pMOS(15)는 n웰(3n)의 상부에 서로 거리를 두고 형성된 1쌍의 반도체영역(15a), (15b), 반도체기판(1s)상에 형성된 게이트절연막(15c) 및 게이트절연막(15c)상에 형성된 게이트전극(15d)를 갖고 있다.
반도체영역(15a), (15b)는 pMOS(15)의 소오스영역 및 드레인영역을 형성하기 위한 영역으로서, 이 반도체영역(15a), (15b)에는 예를 들면 p형 불순물의 붕소가 도입되어 있다. 또한, 이 반도체영역(15a), (15b) 사이에 pMOS(15)의 채널영역이 형성되어 있다.

게이트 절연막(15c)는 예를 들면 SiO_2 로 이루어진다. 또, 게이트전극(15d)는 예를 들면 저저항폴리실리콘으로 이루어지는 도체막(15d1)상에 WSi_2 로 이루어지는 도체막(15d2)가 퇴적되어 이루어진다. 단, 게이트전극(15d)는 예를 들면 저저항폴리실리콘의 단일체막으로 형성해도 좋고, 금속으로 형성해도 좋다.
게이트전극(15d)의 상면 및 측면에는 절연막(6a), (6b)를 거쳐서 캡절연막(7a) 및 사이드월(7b)가 형성되어 있다. 절연막(6a), (6b)는 상기한 메모 리셀영역M의 절연막(6a), (6b)와 동일기능을 갖고 있고, 예를 들면 SiO_2 로 이루어진다.
또, 캡절연막(7a) 및 사이드월(7b)는 예를 들면 질화실리콘으로 이루어진다. 단, 이 경우의 사이드월(7b)는 주로 LDD 구조를 구성하기 위한 막이다.
이들 nMOS(14) 및 pMOS(15)는 상기한 층간절연막(8a) (8c)에 의해서 피복되어 있고, 그 층간절연막(8c)상에는 상기한 절연막(12)가 퇴적되어 있다. 또, 이와 같은 메모리셀영역M 및 주변회로영역P에 있어서 절연막(12)상에는 층간절연막(8d)가 형성되어 있고, 이것에 의해서 캐패시터(5)의 제2 전극(5c)가 피복되어 있다.
층간절연막(8d)는 예를 들면 SiO_2 로 이루어지는 절연막(8d1)상에 예를 들면 BPSG로 이루어지는 절연막(8d2)가 퇴적되어 형성되어 있다.
절연막(8d1)은 그 상층의 절연막(8d2) 중의 붕소 또는 인이 캐패시터(5)의 제2 전극(5c)측 등으로 확산하는 것을 방지하는 기능을 갖고 있다.
다음에, 본 실시예1의 반도체집적회로장치의 제조방법을 도 5(a) 도5(z) 및 도 6을 참조해서 설명한다.
우선, 도 5(a)에 도시한 바와 같이 p-형 Si단결정으로 이루어지는 반도체기판(1s)의 표면에 열산화처리를 실시해서 예를 들면 두께135Å정도 이 SiO_2 로 이루어지는 절연막(16)을 형성한 후, 그 상면에 예를 들면 두께1400Å 정도의 질화실리콘으로 이루어지는 절연막(17)을 CVD법 등에 의해 퇴적한다.
계속해서 절연막(17) 중, 소자분리영역에 위치하는 부분을 포토리도그래피기 술 및 드라이에칭기술에 의해서 제거하는 것에 의해 패터닝한 후, 이 패터닝된 절연막(17)을 마스크로 해서 선택 산화처리를 실시하는 것에 의해 도 5(b)에 도시한 바와 같이 반도체기판(1s)의 주면에 소자분리용의 필드절연막(2)를 형성한다. 이 필드절연막(2)는 예를 들면 SiO_2 로 이루어지고, 그 막두께는 약 4000Å이다.
그 후, 절연막(17)을 열인산용액 등에 의해 제거한 후, 포토레지스트를 마스크로 해서 예를 들면 p형 불순물의 붕소를 이온주입에 의해 반도체기판(1s)의 소정위치에 도입하고, 그 포토레지스트를 제거한 후에 반도체기판(1s)에 열확산처리를 실시하는 것에 의해 도 5(c)에 도시한 바와 같이 p웰(3p)를 형성한다.
또, 포토레지스트를 마스크로 해서 예를 들면 n형 불순물의 인을 이온주입에 의해 반도체기판(1s)의 소정위치에 도입하고, 그 포토레지스트를 제거한 후에 반도체기판(1s)에 열확산처리를 실시하는 것에 의해 n웰(3n)를 도 5(c)에 도시한 바와 같이 형성한다.
계속해서, 반도체기판(1s)의 표면의 절연막(16)을 플루오르화 수소산 용액으로 에칭제거한 후에 반도체기판(1s)의 표면에 예를 들면 두께 약 100Å 정도의 SiO_2 로 이루어지는 절연막(도시하지 않음)을 형성한다.
그 후, 채널영역에서의 불순물농도를 최적화해서 각 MOS의 임계값전압을 얻기 위해 활성영역의 주면에 소정의 불순물을 이온주입한다.
계속해서, 도 5(c)에 도시한 바와 같이 반도체기판(1s)의 표면의 절연막을 플루오르화 수소산 용액으로 에칭제거한 후에 반도체기판(1s)의 표면에 선택 MOS의 게이트절연막(4c) 및 주변회로를 구성하는 MOS의 게이트절연막(14c), (15c)를 형성한다. 그 게이트절연막(4c)는 예를 들면 열산화법에 의해 형성되고, 그 막두께는 약 90Å이다.
계속해서, 도 5(d)에 도시한 바와 같이 반도체기판(1s)의 상면에 예를 들면 인이 도입된 저저항폴리실리콘으로 이루어지는 도체막(18d1) 및 SWi_2 로 이루어지는 도체막(18d2)를 순차 퇴적한다. 이 도체막(18d1), (18d2)는 예를 들면 CVD법에 의해 형성되고, 이들의 막두께는 예를 들면 각각 700Å 및 1500Å이다.
그 후, 상층의 도체막(18d2)상에 예를 들면 SiO_2 로 이루어지는 절연막(6a) 및 질화실리콘으로 이루어지는 캡절연막(7a)를 순차 퇴적한다. 이 절연막(6a) 및 캡절연막(7a)는 예를 들면 CVD법에 의해 형성된다. 절연막(6a)는 캡절연막(7a)의 형성시에 그 성막장치내가 도체막(18d2)의 구성금속으로 오염되는 것을 방지하는 기능을 하고, 그 두께는 예를 들면 100 500Å 정도이다.
또, 캡절연막(7a)는 후술하는 접속구멍 형성공정시에 에칭스토퍼로서 기능하는 막으로서 그 막두께는 예를 들면 2000Å 정도이다.
다음에, 도 5(e)에 도시한 바와 같이 포토레지스트를 마스크로 해서 그 포토레지스트에서 노출하는 캡절연막(7a), 절연막(6a) 및 도체막(18d2), (18d1)을 순차 에칭제거하는 것에 의해 메모리셀영역M 및 주변회로영역P에 게이트전극(4d)(워드선WL), (14d), (15d)를 형성한다.
계속해서, 상기한 포토레지스트를 제거한 후, 반도체기판(1s)에 열산화처리 를 실시하는 것에 의해 게이트전극(4d), (14d), (15d)의 측면에 예를 들면 SiO_2 로 이루어지는 얇은 절연막(6b)를 형성한다.
그 후, 도 5(f)에 도시한 바와 같이 주변회로영역P의 nMOS 형성영역 및 pMOS 형성영역에 각각 n형 불순물의 인 또는 p형 불순물의 붕소를 게이트전극(14d), (15d)를 마스크로 해서 이온주입하는 것에 의해 저불순물농도의 반도체영역(14a1), (14b1), (15a1), (15b1)을 형성한다.
다음에, 메모리셀영역M의 선택MOS 형성영역에 n형 불순물의 인을 게이트전극(4d)를 마스크로 해서 이온주입하고, 이 n형 불순물을 신장확산하는 것에 의해 선택MOS(4)의 소오스영역 및 드레인영역을 구성하는 반도체영역(4a), (4b)를 형성한다. 반도체영역(4a), (4b)는 각각 나중에 비트선 및 캐패시터가 접속된다.
계속해서, 반도체기판(1s)상에 예를 들면 질화실리콘으로 이루어지는 절연막을 CVD법에 의해 퇴적한 후, 그 절연막을 RIE(Reactive Ion Etching) 등과 같은 이방성 드라이에칭법에 의해서 에칭백하는 것에 의해 게이트전극(4d), (14d) 및 (15d)의 측면에 사이드월(7b)를 형성한다. 또한, 이와 같은 사이드월(7b)를 형성한 후, p웰(3p)의 주면에 상기

한 n형 불순물의 인보다 고농도로 비소(As)를 이온주입하는 것에 의해 선택MOS(4)의 소오스영역 및 드레인영역을 LDD구조로 해도 좋다.

그 후, 주변회로영역P의 nMOS형성영역 및 pMOS형성영역에 각각 n형 불순물의 인 및 p형 불순물의 붕소를 캡절연막(7a) 및 사이드월(7b)로 피복된 게이트 전극(14d), (15d)를 마스크로 해서 이온주입하는 것에 의해 고불순물농도의 반도체영역(14a2), (14b2), (15a2), (15b2)를 형성한다. 이것에 의해 주변회로영역P의 nMOS(14) 및 pMOS(15)의 반도체영역(14a), (14b), (15a), (15b)를 형성한다.

다음에, 도 5(g)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 SiO_2 로 이루어지는 층간절연막(8a)를 CVD법 등에 의해서 퇴적한 후, 그 층간절연막(8a)상에 예를 들면 BPSG 등으로 이루어지는 층간절연막(8b)를 CVD법 등에 의해서 퇴적한다. 그 결과, 적어도 게이트전극(4d)상의 각각 질화막으로 형성된 캡절연막(7a) 및 사이드월(7b)는 산화막으로 형성된 절연막(8a)에 접촉한 상태에서 그곳에 피복된다.

계속해서, 그 층간절연막(8b)의 상면을 화학적 기계연마(Chemical Mechancal Polishing : CMP)법에 의해서 평탄화한 후, 그 층간절연막(8b)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 마스크막(제1 마스크막)(10a)를 CVD법 등에 의해서 퇴적한다.

그 후, 포토레지스트를 마스크로 해서 마스크막(10a)를 드라이에칭법 등에 의해서 패터닝하는 것에 의해 선택MOS(4)의 한쪽의 반도체영역(4b)의 상부가 개구하는 마스크막(10a)의 패턴을 형성한다.

이 때, 본 실시예1에 있어서는 마스크막(10a)의 하지의 층간절연막(8b)의 상면을 평탄하게 하고 있으므로, 충분한 포토리도그래피 마진을 확보할 수 있어 막(8b)상으로의 양호한 패턴전사가 가능하다. 또한, 주변회로영역P에 있어서는 층 간절연막(8b)상면의 전면이 마스크막(10a)에 의해서 피복되어 있다.

여기서, 마스크막(10a)로서 저저항 폴리실리콘을 사용한 것은 다음의 이유에서이다. 첫번째로, 후술하는 캐패시터(5)용의 접속구멍이 뚫려져 있는 산화실리콘막(8a), (8b)와의 에칭선택비를 높게 할 수 있기 때문이다. 두번째로, 그 접속구멍내에 매립하는 재료가 저저항 폴리실리콘이므로 그 재료의 매립시에 형성되는 저저항 폴리실리콘 도체막의 에칭처리시에 하층의 마스크막(10a)도 동시에 제거해 버릴 수 있기 때문이다.

단, 마스크막(10a)의 구성재료는 폴리실리콘에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면 질화실리콘이라도 좋다.

다음에, 이 마스크막(10a)를 에칭마스크로 해서 마스크막(10a)에서 노출하는 층간절연막(8a), (8b)를 예를 들면 드라이에칭법에 의해서 제거하는 것에 의해 도 5(h)에 도시한 바와 같이 선택MOS(4)의 반도체영역(4b)가 노출하는 접속구멍(캐패시터용 하부 접속구멍)(9b1)을 형성한다. 접속구멍(9b1)의 직경은 예를 들면 0.36㎛정도이다.

이 때, 본 실시예1에 있어서는 접속구멍(9b1)이 형성되는 절연막(8a), (8b)에 의해 그것과 접촉해서 피복되어 있는 캡절연막(7a) 및 사이드월(7b)를 질화실리콘으로 형성하고 있으므로, 드라이에칭처리에 있어서의 질화실리콘에 대한 절연막(8a), (8b)의 선택비가 높으므로, 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로 되고, 미세한 접속구멍(9b1)을 자기정합적으로 높은 위치맞춤 정밀도로 형성할 수 있다.

예를 들면 마스크막(10a)의 개구부의 위치가 다소 워드선WL의 폭방향(도 5(h)의 좌우방향)으로 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지고 에칭스토퍼로서 기능하도록 되어 있으므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL의 일부가 노출하는 일도 없다.

또, 마스크막(10a)의 개구부의 위치가 워드선WL의 연장하는 방향으로 어긋났다고 해도 그 경우는 하층의 필드절연막(2)의 두께가 충분히 두꺼우므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍이 반도체기판(1s)의 상부까지 도달하는 일도 없다.

따라서, 본 실시예1에 있어서는 위치맞춤어긋남을 고려해서 많이 확보한 접속구멍(9b1)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀영역M의 면적을 축소하는 것이 가능하게 되어 있다.

이 때의 드라이에칭조건은 예를 들면 다음과 같다. 층간절연막(8a), (8b)와 캡절연막(7a), 사이드월(7b) 사이의 선택비는 예를 들면 10 15 정도이다. 반응가스는 예를 들면 $C_4F_8/CF_4/CO/Ar$ 가스이고 각각 예를 들면, 3/5/200/550sccm정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts정도이다. 처리온도는 에칭장치의 상부전극/벽면/하부전극에 있어서 각각 예를 들면 20/60/-10℃ 정도이다.

계속해서, 도 5(i)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 도체막(13)을 CVD법 등에 의해서 퇴적한 후, 그 도체막(13)을 드라이에칭법 등에 의해서 에칭백하는 것에 의해 도 5(j)에 도시한 바와 같이 접속구멍(9b1)내에만 도체막(13)을 매립한다. 이 에칭백처리시에 하층의 마스크막(10a)(도 5(i)참조)도 제거해 버린다.

그 후, 도 5(k)에 도시한 바와 같이 도체막(13) 및 절연막(8b)상에 예를 들면 SiO_2 로 이루어지는 층간절연막(8c)를 CVD법 등에 의해서 퇴적한다. 이 층간절연막(8c)의 두께는 예를 들면 500 1000Å 정도이다.

다음에, 그 층간절연막(8c)상에 예를 들면 저저항 폴리실리콘으로 이루어지는 마스크막(10b)를 CVD법 등에 의해서 퇴적한다. 이 마스크막(10b)의 두께는 예를 들면 3000 6000Å 정도이다.

계속해서, 포토레지스트를 마스크로 해서 그 마스크막(10b)을 드라이에칭처리에 의해서 패터닝하는 것에 의해 마스크막(10b)에 있어서 반도체영역(4a)의 상부를 개구한 후, 그 개구부에서 노출하는 영역의 층간절연막(8a) (8c)를 드라이에칭처리에 의해서 에칭제거한다.

이것에 의해 도 5(l)에 도시한 바와 같이 선택MOS(4)의 반도체영역(4a)가 노출하는 접속구멍(비트선용 접속구멍))(9a1)을 뚫는다. 이 접속구멍(9a1)의 직경은 예를 들면 0.36㎛ 정도이다.

이 때, 본 실시예1에 있어서는 접속구멍(9a1)이 형성되는 층간절연막(8a), (8b)에 의해 그것과 접촉해서 피복되어 있는 캡절연막(7a) 및 사이드월(7b)를 질화실리콘으로 형성하고 있으므로, 드라이에칭처리에 있어서의 질화실리콘에 대한 층 간절연막(8a), (8b)의 선택비가 높으므로, 캡절연막(7a) 및 사이드월(7b)가 에칭스토퍼로 되고, 미세한 접속

구멍(9a1)을 자기정합적으로 높은 위치맞춤 정밀도로 형성할 수 있다.
예를 들면, 마스크막(10b)의 개구부의 위치가 다소 워드선WL의 폭방향(도 5(l)의 좌우방향)으로 어긋났다고 해도 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지고 에칭스토퍼로서 기능하도록 되어 있으므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL의 일부가 노출하는 일도 없다.
또, 마스크막(10b)의 개구부의 위치가 워드선WL의 연장하는 방향으로 어긋났다고 해도 그 경우는 하층의 필드절연막(2)의 두께가 충분히 두꺼우므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍이 반도체기판(1s)의 상부까지 도달하는 일도 없다.
따라서, 본 실시예1에 있어서는 위치맞춤어긋남을 고려해서 많이 확보한 접속구멍(9a1)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀영역M의 면적을 축소하는 것이 가능하게 되어 있다.
이 때의 드라이에칭조건은 예를 들면 다음과 같다. 층간절연막(8a), (8b)와 캡절연막(7a), 사이드월(7b) 사이의 선택비는 예를 들면 10 15 정도이다. 반응가스는 예를 들면 $C_4F_8/CF_4/CO/Ar$ 가스이고 각각 예를 들면, 3/5/200/550sccm 정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts정도이다. 처리온도는 에칭장치의 상부전극/벽면/하부전극에 있어서 각각 예를 들 면 20/60/-10℃ 정도이다.
그 후, 도 5(m)에 도시한 바와 같이 접속구멍(9a1)에 노출하고 있는 반도체영역(4a)를 포함하는 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 도체막BL1 및 WSi_2로 이루어지는 도체막BL2를 CVD법 등에 의해서 순차 퇴적하고, 계속해서 그 도체막BL2상에 SiO_2로 이루어지는 절연막(6c) 및 질화실리콘으로 이루어지는 캡절연막(11a)를 CVD법 등에 의해서 순차 퇴적한다. 이 캡절연막(11a)의 두께는 예를 들면 2000Å 정도이다.
다음에, 캡절연막(11a)상에 비트선 형성영역을 피복하는 포토레지스트(19a)를 형성한 후, 그 포토레지스트(19a)를 에칭마스크로 해서 그 마스크에서 노출하는 캡절연막(11a), 절연막(6c), 도체막BL2, BL1 및 마스크막(10b)을 순차 에칭제거한다.
이것에 의해 도 5(n)에 도시한 바와 같이 도체막BL1, BL2, 마스크막(10b)으로 이루어지는 비트선BL을 형성한다. 비트선BL은 접속구멍(9a1)을 통해서 선택MOS(4)의 한쪽의 반도체영역(4a)와 전기적으로 접속되어 있다.
계속해서, 포토레지스트(19a)(도 5(m)참조)를 제거한 후, 반도체기판(1s)에 대해서 열산화처리를 실시하는 것에 의해 도 5(o)에 도시한 바와 같이 비트선BL을 구성하는 도체막BL1, BL2 및 마스크막(10b)의 측면에 예를 들면 SiO_2로 이루어지는 얇은 절연막(6d)를 형성한다.
그 후, 반도체기판(1s)상에 예를 들면 질화실리콘으로 이루어지는 절연막을 CVD법에 의해 퇴적한 후, 그 절연막을 RIE 등의 이방성 드라이에칭법으로 에칭제거하는 것에 의해 비트선BL의 측면에 사이드월(11b)를 형성한다.
다음에, 반도체기판(1s)상에 예를 들면 두께 100 500Å 정도, 바람직하게는 250Å 정도의 질화실리콘 등으로 이루어지는 절연막(12)를 CVD법에 의해 퇴적한다. 이 절연막(12)는 후술하는 캐패시터 형성처리후의 하지절연막의 웨트에칭 제거공정에 있어서의 에칭스토퍼로서의 기능을 갖고 있다.
계속해서, 도 5(p)에 도시한 바와 같이 절연막(12)상에 예를 들면, SiO_2로 이루어지는 절연막(20)을 CVD법에 의해 퇴적하고 막(12)가 막(20)에 의해 그것과 접촉해서 피복되도록 한 후, 그 절연막(20) 상면을 예를 들면 CMP법에 의해서 평탄화한다.
그 후, 반도체기판(1s)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 마스크막(10c)를 CVD법에 의해 퇴적한다. 이 경우의 마스크막(10c)의 두께는 예를 들면 500 2000Å 정도이다.
다음에, 이 마스크막(10c)에 있어서 캐패시터용 접속부 형성영역을 포토리도그래피기술 및 드라이에칭기술에 의해서 개구한 후, 그 마스크막(10c)를 에칭마스크로 해서 그 마스크막(10c)에서 노출하는 영역의 절연막(20), 절연막(12) 및 층간절연막(8c)를 에칭제거하는 것에 의해 도 5(q)에 도시한 바와 같이 도체막(13)에 도달하는(상부 접속구멍 또는 연장 접속구멍)(9b2)를 형성한다. 이 접속구멍(9b2)의 직경은 예를 들면 0.36μm 정도이다.
이 때, 본 실시예1에 있어서는 접속구멍(9b2)가 형성되는 절연막(20) 및 (12)로 피복되고 또한, 비트선BL을 피복하고 있는 캡절연막(11a) 및 사이드월(11b)를 질화실리콘으로 형성하고 있으므로, 드라이에칭처리에 있어서의 질화실리콘에 대한 절연막(20)의 선택비를 높게 설정하는 것에 의해 캡절연막(11a) 및 사이드월(11b)가 에칭스토퍼로 되고 미세한 접속구멍(제2 캐패시터용 접속구멍)(9b2)를 자기정합적으로 높은 위치맞춤 정밀로 형성할 수 있다.
여기서, 이 단계에 있어서의 메모리셀영역M의 간단화한 주요부 평면도를 도 6에 도시하고, 그 VR1-VR1선 및 VR2-VR2선의 단면도를 도 5(r1) 및 도5(r2)에 도시한다.
본 실시예1의 경우, 예를 들면 마스크막(10c)(제 5(q)참조)의 개구부의 위치가 다소 비트선BL의 폭방향(도 6의 상하방향)으로 어긋났다고 해도 도 5(r2)에 서 알 수 있는 바와 같이 캡절연막(11a) 및 사이드월(11b)가 질화실리콘으로 이루어지고, 에칭스토퍼로서 기능하므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 비트선BL의 일부가 노출하는 일도 없다.
또, 마스크막(10c)(도 5(q)참조)의 개구부의 위치가 비트선BL의 연장하는 방향(도 6의 좌우방향)으로 어긋났다고 해도 그 경우는 도 5(r1)에서 알 수 있는 바와 같이 하층의 워드선WL을 피복하는 캡절연막(7a) 및 사이드월(7b)가 질화실리콘으로 이루어지는 에칭스토퍼로서 기능하므로, 그 마스크막을 에칭마스크로서 형성한 접속구멍에서 워드선WL이 노출하는 일도 없다.
즉, 본 실시예1에 있어서는 도 6에 도시한 바와 같이 캐패시터용의 접속구멍(9b1), (9b2)는 워드선WL과 비트선BL로 둘러싸인 영역A의 범위내에 위치결정되어 형성되도록 되어 있다. 또한, 도 6의 영역B는 소자분리영역과의 맞춤을 고려한 맞춤여유범위 등과 같은 다른 맞춤여유를 고려한 접속구멍(9b1), (9b2)의 형성범위를 나타내고 있다.
이 때의 드라이에칭조건은 예를 들면 다음과 같다. 절연막(20)과 캡절연막(11a), 사이드월(11b) 사이의 선택비는 예를 들면 10 15 정도이다. 반응가스는 예를 들면 $C_4F_8/CF_4/CO/Ar$ 가스이고 각각 예를 들면, 3/5/200/550sccm 정도이다. 압력은 예를 들면 100mTorr정도, 고주파전력(RF Power)는 예를 들면 1000watts 정도이다. 처리온도

는 에칭장치의 상부전극/벽면/하부전극에 있어서 각각 예를 들면 20/60/-10℃ 정도이다.
다음에, 마스크막(10c)상에 예를 들면 인이 도입된 저저항 폴리실리콘으로 이루어지는 두께500 1000Å 정도의 도체막(5a)를 퇴적한 후, 그 상면에 예를 들면 SiO_2로 이루어지는 두께3000 6000Å정도의 절연막(21)을 플라즈마 CVD법 등에 의해서 퇴적한다.
또한, 이 도체막(5a)는 접속구멍(9b1), (9b2)내에도 퇴적되고 도체막(13)을 통해서 선택MOS(4)의 다른쪽의 반도체영역(4b)와 전기적으로 접속되어 있다.
또, 이 도체막상의 절연막(21)은 하층의 BPSG로 이루어지는 절연막(20)보다 웨트에칭처리에 있어서의 에칭속도가 높은 절연막으로 형성되어 있다. 이것은 이 절연막의 애칭속도가 절연막(20)보다 낮으면, 후의 공정에서 그 절연막(21)과 절연 막(20)을 동시에 제거할 때에 그 절연막(21)이 제 1전극(5a)의 중앙의 좁은 오목부중에도 매설되어 있으므로, 그 절연막(21)이 충분히 제거되지 않는 동안에 절연막(20)이 제거되어 버려 하층의 소자에 악영향을 미칠 경우가 있기 때문이다.
계속해서, 그 절연막(21), 도체막(5a) 및 마스크막(10c)에 있어서, 포토레지스트에서 노출하는 부분을 드라이에칭법 등에 의해서 에칭제거하는 것에 의해 도 5(s)에 도시한 바와 같이 캐패시터의 제1 전극(5a)의 하부(5a1) 및 절연막(21)을 형성한다.
그 후, 반도체기판(1s)상에 저저항 폴리실리콘으로 이루어지는 도체막을 CVD법에, 의해서 퇴적한 후, 그 도체막을 RIE 등의 이방성드라이에칭법에 의해서 에칭백하는 것에 의해 도 5(t)에 도시한 바와 같이 절연막(21)의 측면에 캐패시터의 제1 전극(5a)의 측부(5a2)를 형성한다.
다음에, 예를 들면 플루오르화 수소산 용액을 사용한 웨트에칭에 의해 절연막(20), (21)을 제거하는 것에 의해 도 5(u)에 도시한 바와 같이 원통형 캐패시터의 제1 전극(5a)를 형성한다. 이 때, 층간절연막(8c)상에 형성된 절연막(12)가 웨트에칭의 스토퍼로서 기능하므로, 그 하층의 층간절연막(8c)는 제거되지 않는다.
계속해서, 도 5(v)에 도시한 바와 같이 반도체기판(1s)상에 질화실리콘막(도시 하지 않음)을 CVD법에 의해 퇴적한 후, 그 질화실리콘막에 대해서 산화처리를 실시하는 것에 의해 질화실리콘막의 표면에 SiO_2 막을 형성해서 질화실리콘막 및 SiO_2 막으로 이루어지는 캐패시터 절연막(5b)를 형성한다.
그 후, 반도체기판(1s)상에 예를 들면 저저항 폴리실리콘으로 이루어지는 도체막을 CVD법에 의해 퇴적하고, 그 도체막을 포토레지스트를 마스크로 해서 에칭하는 것에 의해 캐패시터(5)의 제2 전극(5c)를 형성하고 캐패시터(5)를 형성한다.
계속해서 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 절연막(8d1)을 CVD법 등에 의해서 퇴적한 후, 그 절연막(8d1)상에 예를 들면 BPSG 등으로 이루어지는 절연막(8d2)를 퇴적하고, 그 절연막(8d2) 상면을 예를 들면 CMP법에 의해서 평탄화한다.
계속해서, 배선형성공정으로 이행한다. 이 배선형성공정을 도 5w 도 5z에 따라서 설명한다. 또한, 도 5(w) 도 5(z)는 배선형성공정을 설명하기 위해 도 5(a) 도 5(v)와는 다른 부분의 단면을 도시하고 있지만, 동일 DRAM의 주요부 단면도이다.
우선, 도 5(w)에 도시한 바와 같이 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8e)를 CVD법 등에 의해서 퇴적한다. 이것에 의해 캐패시터(5)를 피복한다.
계속해서, 그 층간절연막(8e)에 포토레지스트를 마스크로 해서 캐패시터(5)의 제 2전극(5c)의 패드부가 노출하는 접속구멍(22a)를 형성함과 동시에 주변회로영역P에 있어서의 MOSFET(23)의 한쪽의 반도체영역(23a)가 노출하는 접속구멍(22b)를 드라이에칭처리에 의해서 형성한다. 그 후, 반도체기판(1s)상에 예를 들면 티탄(Ti)으로 이루어지는 도체막을 스퍼터링법 등에 의해서 퇴적한 후, 그 상면에 예를 들면 텅스텐 등으로 이루어지는 도체막을 CVD법 등에 의해 퇴적하고 또, 그 상면에 예를 들면 질화티탄(TiN) 등으로 이루어지는 도체막을 스퍼터링법 등에 의해서 퇴적한다.
다음에, 그 적층도체막을 포토레지스트를 마스크로 해서 드라이에칭법등에 의해서 패터닝하는 것에 의해 도 5(x)에 도시한 바와 같이 제 1층 배선(24a)를 형성한다.
계속해서, 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8f)를 CVD법 등에 의해서 퇴적해서 제 1층배선(24a)를 피복한 후, 이 층간절연막(8f)에 포토레지스트를 마스크로 해서 드라이에칭처리를 실시하는 것에 의해 제 1층배선(24a)의 일부가 노출하는 접속구멍(22c)를 형성한다.
그 후, 도 5(y)에 도시한 바와 같이 층간절연막(8f)상에 제2층배선(24b)를 형성한다. 이 제2층배선(24b)는 예를 들면 다음과 같이 해서 형성되어 있다.
우선, 예를 들면 텅스텐 등으로 이루어지는 도체막을 CVD법 등에 의해서 퇴적한 후, 그 상면에 예를 들면 알루미늄(Al) 등으로 이루어지는 도체막을 스퍼터링법에 의해서 퇴적하고, 또 그 상면에 예를 들면 TiN 등으로 이루어지는 도체막을 스퍼터링법에 의해서 퇴적한다. 그 후, 그 적층도체막을 제 1층배선(24a)와 마찬가지로 패터닝하는 것에 의해서 형성한다.
다음에, 층간절연막(8f)상에 예를 들면 SiO_2로 이루어지는 층간절연막(8g)를 CVD법 등에 의해서 퇴적해서 제2층배선(24b)를 피복한 후, 그 층간절연막(8g)에 포 토레지스트를 마스크로 해서 드라이에칭처리를 실시하는 것에 의해 제2층배선(24b)가 노출하는 접속구멍(22d)를 형성한다.
계속해서, 도 5(z)에 도시한 바와 같이 층간절연막(8g)상에 제3층배선(24c)를 형성한다. 제3층배선(24c)는 제2층배선(24b)와 동일재료로 동일방법에 의해 형성할 수 있다.
마지막으로 반도체기판(1s)상에 예를 들면 SiO_2로 이루어지는 표면보호막(25)를 CVD법 등에 의해서 퇴적하고, 제3층배선(24c)를 피복하는 것에 의해 본 실시예1의 DRAM의 웨이퍼프로세스를 종료한다.
이와 같이 본 실시예1에 의하면 다음의 효과를 얻는 것이 가능하게 된다.

(1) 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 자기정합적으로 형성할 수 있으므로, 이들의 접속구멍(9a1), (9b1), (9b2)와 각 층의 포토리도그래피에서의 맞춤을 불필요하게 하는 것이 가능하게 된다.
(2) 캐패시터 절연막 및 사이드월(도 5(i)의 막(7a), (7b) 및 도 5(p)의 막(11a), (11b))에 대한 그것을 피복하는 절연막(도 5(i)의 막(5b) 및 도 5(p)의 막(20)의 에칭선택비보다 크게 하는 것에 의해) 비트선 접속층의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 형성할 때의 하지절연막(도 5(g)의 막(8b) 및 도 5(p)의 막(20))의 상면을 평탄하게 할 수 있으므로, 이들의 접속구멍 (9a1), (9b1), (9b2)를 형성하기 위한 포토리도그래피에서의 마진을 향상시킬 수 있고 패턴전사정밀도를 향상시키는 것이 가능하게 된다.
(3) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀MC의 크기를 축소할 수 있다. 이 때문에 반도체칩의 크기를 축소하는 것이 가능하게 된다.
(4) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)에서의 접속불량을 저감할 수 있으므로, DRAM의 제조효율 및 신뢰성을 향상시킬 수 있게 된다.
(5) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 형성하는 데에 고도인 맞춤기술이나 공정관리가 필요하지 않다. 또, 전사패턴의 해상도를 향상시키기 위해 위상시프트기술 등과 같은 고도이고 고가인 포토리도그래피기술을 도입할 필요도 없다.
(6) 메모리셀영역M의 캡절연막(7a) 및 사이드월(7b)은 주변회로영역P의 MOSFET의 LDD구조를 구성하기 위한 캡절연막(7a) 및 사이드월(7b)과 동시에 형성할 수 있으므로, 제조공정의 대폭인 증대를 초래하지 않는다.
(7) 상기 (5), (6)에 의해 DRAM을 갖는 반도체집적회로장치의 개발기간을 단축하는 것이 가능하게 된다.
도 7은 본 발명의 다른 실시예인 반도체집적회로장치의 메모리셀영역의 주요부 단면도이다.
도 7에 도시한 실시예2의 반도체집적회로장치는 캐패시터(5)용의 접속구멍(9b1)내에 상기 실시예1에서 설명한 매립용의 도체막(13)이 마련되고 있지 않는 경우를 도시하고 있다.
이 경우의 접속구멍(9b1)은 예를 들면 다음과 같이 형성된다. 상기 실시예1에 있어서의 도 5(f)의 단계에서도 5(l)의 단계로 이동하고, 또 도 5(m) 도 5(o)에 표시되는 것과 마찬가지로 해서 비트선BL 및 이것을 피복하는 절연막(6c), (6d), 캡절연막(11a), 사이드월(11b) 및 절연막(12)를 형성한다.
계속해서, 도 5(p)에 도시되는 것과 마찬가지로 해서 그 절연막(12)를 절연막(20)으로 피복한 후, 그 절연막의 상면을 평탄화한다. 그 후, 그 절연막상에 예를 들면 저저항 폴리실리콘으로 이루어지는 마스크막(10c)를 형성하고, 이것을 마스크로 해서 도 5(q)에 도시되는 것과 마찬가지로 해서 절연막(20), 절연막(12) 및 층간절연막(8a) (8c)에 반도체기판(1s)상의 반도체영역(4b)가 노출하는 접속구멍(9b)를 드라이에칭법에 의해 뚫는다.
이 때, 본 실시예2에 있어서도 워드선WL을 피복하는 캡절연막(7a) 및 사이드월(7b)과 비트선BL을 피복하는 캡절연막(11a) 및 사이드월(11b)를 질화실리콘으로 형성하는 것에 의해 접속구멍(9b)를 자기정합적으로 형성할 수 있다.
따라서, 본 실시예2에서도 상기 실시예1과 마찬가지의 효과를 얻는 것이 가능하게 되어 있다.
이상, 본 발명자에 의해서 이루어진 발명은 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예1, 2에 한정되는 것은 아니고 그 요지를 이탈하지 않는 범위에서 여러가지 변경가능한 것은 물론이다.
예를 들면 상기 실시예1, 2에 있어서는 메모리셀의 캐패시터를 원통형으로 한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면 휜형으로 해도 좋다.
또, 상기 실시예1, 2에 있어서는 비트선을 저저항 폴리실리콘상에 실리사이드층을 마련해서 구성한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 예를 들면 실리사이드층만으로 형성해도 좋다. 이 경우, 비트선BL을 얇게 하는 것이 가능하게 된다.
또, 상기 실시예1, 2에 있어서는 워드선 및 비트선의 양쪽을 질화실리콘으로 이루어지는 캡절연막 및 사이드월로 피복한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고 여러가지 변경가능하고 예를 들면 워드선만을 질화실리콘으로 이루어지는 캡절연막 및 사이드월로 피복해도 좋고, 비트선만을 질화실리콘으로 이루어지는 캡절연막 및 사이드월로 피복해도 좋다.
이상의 설명에서는 주로 본 발명자에 의해서 이루어진 발명을 그 배경으로 된 이용분야인 DRAM에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고 여러가지 적용가능하고, 예를 들면 SRAM, ROM, 논리회로 또는 반도체메모리회로와 논리회로를 동일 반도체기판상에 마련한 반도체집적회로장치 등에 적용할 수 있다.

발명의 효과

(1) 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 자기정합적으로 형성할 수 있으므로, 이들의 접속구멍(9a1), (9b1), (9b2)와 각 층의 포토리도그래피에서의 맞춤을 불필요하게 하는 것이 가능하게 된다.
(2) 캐패시터 절연막 및 사이드월(도 5(i)의 막(7a), (7b) 및 도 5(p)의 막(11a), (11b))에 대한 그것을 피복하는 절연막(도 5(i)의 막(5b) 및 도 5(p)의 막(20)의 에칭선택비보다 크게 하는 것에 의해) 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 형성할 때의 하지절연막(도 5(g)의 막(8b) 및 도 5(p)의 막(20))의 상면을 평탄하게 할 수 있으므로, 이들의 접속구멍(9a1), (9b1), (9b2)를 형성하기 위한 포토리도그래피에서의 마진을 향상시킬 수 있고 패턴전사정밀도를 향상시키는 것이 가능하게 된다.
(3) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)의 위치맞춤여유를 작게 할 수 있으므로, 메모리셀MC의 크기를 축소할 수 있다. 이 때문에 반도체칩의 크기를 축소하는 것이 가능

하게 된다.
(4) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)에서의 접속불량을 저감할 수 있으므로, DRAM의 제조효율 및 신뢰성을 향상시킬 수 있게 된다.
(5) 상기 (1), (2)에 의해 비트선 접속용의 접속구멍(9a1) 및 캐패시터 접속용의 접속구멍(9b1), (9b2)를 형성하는 데에 고도인 맞춤기술이나 공정관리가 필요하지 않다. 또, 전사패턴의 해상도를 향상시키기 위해 위상시프트기술 등과 같은 고도이고 고가인 포토리도그래피기술을 도입할 필요도 없다.
(6) 메모리셀영역M의 캡절연막(7a) 및 사이드월(7b)은 주변회로영역P의 MOS FST의 LDD구조를 구성하기 위한 캡절연막(7a) 및 사이드월(7b)과 동시에 형성할 수 있으므로, 제조공정의 대폭인 증대를 초래하지 않는다.
(7) 상기 (5), (6)에 의해 DRAM을 갖는 반도체집적회로장치의 개발기간을 단축하는 것이 가능하게 된다.

(57) 청구의 범위

청구항 1.
반도체기판상에 여러개의 배선도체(4d)를 형성하는 스텝;
상기 배선도체의 상면 및 측면을 제3 절연막(6a, 6b)을 사이에 두고 제1 절연막(7a, 7b)으로 피복하는 스텝;
얻어진 반도체기판상에 상기 제1 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제2 절연막(8b)을 형성해서 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막의 평탄한 상면상에 상기 제2 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 마스크막(10a)을 형성한 후, 서로 인접하는 여러개의 배선도체 사이에 위치하는 상기 마스크막의 접속구멍 형성영역에 개구를 형성하는 스텝 및;
상기 마스크막의 개구영역에 노출된 상기 제2 절연막의 부분을 에칭 제거하는 것에 의해, 상기 제1 절연막에 의해서 자기정합적으로 규정되는 접속구멍(9b1)을 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2.
제1항에 있어서,
상기 접속구멍을 형성한 후의 얻어진 반도체기판상에 도체막(13)을 형성한후, 상기 도체막을 에칭백하는 것에 의해 상기 접속구멍내에 도체막을 매립하는 스텝을 더 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3.
제2항에 있어서,
상기 제1 절연막은 질화실리콘으로 이루어지고,
상기 마스크막과 상기 도체막의 각각은 저저항 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4.
각각이 반도체기판상에 형성한 메모리셀 선택 MISFET의 게이트전극으로서도 작용하는 워드선도체,
각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치되는 비트선도체 및
각각이 상기 비트선도체상에 정보축적용의 캐패시터를 갖는 캐패시터 오버 비트선구조의 메모리셀을 포함하는 DRAM을 갖는 반도체장치의 제조방법으로서,
반도체기판상에 여러개의 워드선도체를 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
얻어진 반도체기판상에 상기 제1 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제2 절연막을 형성해서 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막의 평탄한 상면상에 상기 제2 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제1 마스크막을 형성한 후, 서로 인접하는 워드선도체 사이에 위치하는 상기 제1 마스크막의 하부 캐패시터용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 제1 마스크막의 개구영역에 노출된 상기 제2 절연막의 부분을 에칭제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제1 반도체영역을 노출시키는 하부 캐패시터용 접속구멍을 상기 제1 절연막에 의해서 자기정합적으로 규정한 상태에서 형성하는 스텝 및;
상기 하부 캐패시터용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제1 도체막을 형성한 후 상기 제1 도체막을 에칭백하는 것에 의해 각각의 상기 하부 캐패시터용 접속구멍내에 제1 도체막을 매립하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5.
각각이 반도체기판상에 형성한 메모리셀 선택 MISFET의 게이트전극으로서도 작용하는 워드선도체,
각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치되는 비트선도체 및
각각이 상기 비트선도체상에 정보축적용의 캐패시터를 갖는 캐패시터 오버 비트선구조의 메모리셀을 포함하는 DRAM을 갖는 반도체장치의 제조방법으로서,
반도체기판상에 여러개의 워드선도체를 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
얻어진 반도체기판상에 상기 제1 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제2 절연막을 형성해서 상기 제1 절연막을 피복하는 스 텝;

상기 제2 절연막의 평탄한 상면상에 상기 제2 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제2 마스크막을 형성한 후, 서로 인접하는 워드선도체 사이에 위치하는 상기 제2 마스크막의 비트선용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 제2 마스크막의 개구영역에 노출된 상기 제2 절연막의 부분을 에칭제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제1 반도체영역을 노출시키는 비트선용 접속구멍을 상기 제1 절연막에 의해서 자기정합적으로 규정한 상태에서 형성하는 스텝 및;
상기 비트선용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제2 도체막을 형성한 후 상기 제2 도체막을 패터닝하는 것에 의해 상기 비트선도체를 형성하는 스텝을 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6.

제5항에 있어서,
상기 비트선도체의 상면 및 측면을 제3 절연막으로 피복하는 스텝;
상기 제2 절연막상에 상기 제3 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제4 절연막을 형성해서 상기 제3 절연막을 피복하는 스텝;
상기 제4 절연막의 평탄한 상면상에 상기 제4 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제3 마스크막을 형성한 후 서로 인접하는 워드선도체 사이 및 서로 인접하는 비트선도체 사이에 위치하늘 상기 제3 마스크막의 캐패시터용 접 속구멍 형성영역에 개구를 형성하는 스텝;
상기 제3 마스크막의 개구영역에 노출된 상기 제2 절연막의 부분 및 상기 제4 절연막의 부분을 에칭 제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제2 반도체영역을 노출시키는 캐패시터용 접속구멍을 상기 제1 절연막 및 상기 제3 절연막에 의해 자기정합적으로 규정한 상태에서 형성하는 스텝 및;
상기 캐패시터용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제3 도체막을 형성한 후 상기 제3 도체막을 패터닝하는 것에 의해 각각의 상기 정보축적용의 캐패시터의 제1 전극의 일부를 형성하는 스텝을 더 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7.

제6항에 있어서,
상기 DRAM은 여러개의 MISFET를 포함하는 주변회로를 갖고,
상기 제1 절연막은 상기 주변회로용의 MISFET의 게이트전극의 상면 및 측면에 형성되는 절연막과 동시에 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8.

제6항에 있어서,
상기 제1 절연막 및 상기 제3 절연막의 각각은 질화실리콘으로 이루어지고,
상기 제2 마스크막, 상기 제3 마스크막, 상기 제2 도체막 및 상기 제3 도체막의 각각은 저저항 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 9.

각각이 반도체기판상에 형성한 메모리셀 선택 MISFET의 게이트전극으로서도 작용하는 워드선도체,
각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치되는 비트선도체 및
각각이 상기 비트선도체상에 정보축적용의 캐패시터를 갖는 캐패시터 오버 비트선구조의 메모리셀을 포함하는 DRAM을 갖는 반도체장치의 제조방법으로서,
반도체기판상에 여러개의 워드선도체를 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
얻여진 반도체기판상에 상기 제1 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제2 절연막을 형성해서 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막의 평탄한 상면상에 상기 제2 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제1 마스크막을 형성한 후, 서로 인접하는 워드선도체 사이에 위치하는 상기 제1 마스크막의 하부 캐패시터용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 제1 마스크막의 개구영역에 노출된 상기 제2 절연막의 부분을 에칭제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제1 반도체영역을 노출시키는 하부 캐패시터용 접속구멍을 상기 제1 절연막에 의해서 자기정합적으로 규정한 상태에서 형성하는 스텝;
상기 하부 캐패시터용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제1 도체막을 형성한 후 상기 제1 도체막을 에칭백하는 것에 의해 상기 하부 캐패시터용 접속구멍내에 제1 도체막을 매립하는 스텝;
상기 제1 도체막의 매립 스텝 후, 실질적으로 평탄한 상면을 갖고 상기 제2 절연막의 평탄한 상면상에 제3 절연막을 형성하는 스텝;
상기 제3 절연막상에 상기 제2 절연막 및 상기 제3 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제2 마스크막을 형성한 후, 서로 인접하는 워드선도체 사이에 위치하는 상기 제2 마스크막의 상기 비트선용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 제2 마스크막의 개구영역에 노출된 각각의 상기 제3 절연막과 상기 제2 절연막의 부분을 에칭 제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제2 반도체영역을 각각 노출시키는 비트선 접속구멍을 상기 제1 절연막에 의해 자기정합적으로 규정한 상태에서 형성하는 스텝 및;
상기 비트선용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제2 도체막을 형성한 후 상기 제2 도체막을 패터닝하는 것에 의해 상기 비트선도체를 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 10.
제9항에 있어서,
상기 DRAM은 여러개의 MISFET를 포함하는 주변회로를 갖고,
상기 제1 절연막은 주변회로용의 MISFET의 게이트전극의 상면 및 측면에 형성되는 절연막과 동시에 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 11.
제9항에 있어서,
상기 제1 마스크막, 상기 제2 마스크막, 상기 제1 도체막 및 상기 제2 도체막의 각각은 저저항 폴리실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 12.
제9항에 있어서,
상기 비트선도체의 상면 및 측면을 제4 절연막으로 피복하는 스텝;
상기 제3 절연막상에 상기 제4 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제5 절연막을 형성하여 상기 제4 절연막을 피복하는 스텝;
상기 제5 절연막의 평탄한 상면에 상기 제5 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 제3 마스크막을 형성한 후 상기 제3 마스크막이 위치되는 상부 캐패시터용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 제3 마스크막의 개구영역에 노출된 상기 제5 절연막의 부분과 상기 제3 절연막의 부분을 에칭 제거하는 것에 의해 상기 하부 캐패시터용 접속구멍에 관련된 1개내에 매립된 제1 도체막을 노출시키는 상부 캐패시터용 접속구멍을 상기 제4 절연막에 의해서 자기정합적으로 규정한 상태에서 형성하는 스텝 및
상기 상부 캐패시터용 접속구멍을 형성한 후의 얻어진 반도체기판상에 제3 도체막을 형성한 후 상기 제3 도체막을 패터닝하는 것에 의해 각각의 상기 정보축적용 캐패시터의 제1 전극의 일부를 형성하는 스텝을 더 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 13.
제12항에 있어서,
상기 DRAM은 여러개의 MISFET를 포함하는 주변회로를 갖고,
상기 제1 절연막은 주변회로용의 MISFST의 게이트전극의 상면 및 측면에 형성되는 절연막과 동시에 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 14.
제12항에 있어서,
상기 제1 절연막과 상기 제4 절연막의 각각은 질화실리콘으로 이루어지고,
상기 제1 마스크막, 상기 제2 마스크막, 상기 제3 마스크막, 상기 제1 도체막, 상기 제2 도체막 및 상기 제3 도체막의 각각은 저저항 실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 15.
각각이 반도체기판상에 형성한 메모리셀 선택 MISFET의 게이트전극으로서도 작용하는 워드선도체,
각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치되는 비트선도체 및
각각이 상기 비트선도체상에 정보축적용의 캐패시터를 갖는 캐패시터 오버 비트선구조의 메모리셀을 포함하는 DRAM을 갖는 반도체장치의 제조방법으로서,
상기 비트선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
얻어진 반도체기판상에 상기 제1 절연막의 재료보다 에칭속도가 큰 재료로 이루어지고 상면이 평탄한 제3 절연막을 형성해서 상기 제1 절연막을 피복하는 스텝;
상기 제3 절연막의 평탄한 상면상에 상기 제3 절연막의 재료보다 에칭속도가 작은 재료로 이루어지는 마스크막을 형성한 후 서로 인접하는 비트선도체사이에 위치하는 상기 마스크막의 캐패시터용 접속구멍 형성영역에 개구를 형성하는 스텝;
상기 마스크막의 개구영역에 노출된 상기 제3 절연막의 부분을 에칭 제거하는 것에 의해 상기 메모리셀 선택 MISFET의 제1 반도체영역을 노출시키는 캐패시터용 접속구멍을 상기 제1 절연막에 의해 자기정합적으로 규정한 상태에서 형성하는 스텝 및;
상기 캐패시터용 접속구멍을 형성한 후의 얻어진 반도체기판상에 도체막을 형성한 후 상기 도체막을 패터닝하는 것에 의해 각각의 상기 정보축적용 캐패시터의 제1 전극의 일부를 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 16.
제15항에 있어서,
상기 제1 절연막은 질화실리콘으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 17.
반도체기판의 주면상에 제1 절연막을 개재시켜서 제1 도체를 형성하는 스텝;
상기 반도체기판의 주면내에 있어서 상기 제1 도체의 양측에 반도체영역을 형성하는 스텝;
상기 제1 도체의 상면 및 측면을 제2 절연막으로 피복하는 스텝;
얻어진 기판상에 상기 제2 절연막보다 에칭속도가 큰 제3 절연막을 형성하는 스텝;
상기 제3 절연막의 상면을 평탄화하는 스텝 및;

상기 반도체영역 중 미리 정해진 반도체영역에 대해 상기 평탄화된 상면을 갖는 제3 절연막을 관통하는 에칭에 의해 제1 접속구멍을 형성하는 스텝을 포함하고,
상기 제3 절연막을 형성하는 스텝에 있어서의 상기 제2 절연막은 상기 제3 절연막과 접촉해서 그의 하부에 존재하고, 상기 제1 접속구멍을 형성하는 스텝에 있어서의 상기 제3 절연막의 상기 평탄화된 상면은 상기 제1 접속구멍에 대한 해상도를 개선하고 상기 제2 절연막은 그의 에칭속도가 비교적 작으므로 상기 제1 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 18.

제17항에 있어서,
상기 제1 접속구멍을 도체재료로 충전하는 스텝;
상기 도체재료상 및 상기 평탄화된 상면을 갖는 제2 절연막상에 거의 평탄한 상면을 갖는 제4 절연막을 형성하는 스텝 및;
상기 반도체영역 중 나머지 반도체영역에 대해서 상기 제4 및 제3 절연막을 관통하는 에칭에 의해 제2 접속구멍을 형성하는 스텝을 더 갖고,
상기 제2 접속구멍을 형성하는 스텝에 있어서의 상기 제4 절연막의 상기 평탄화된 상면은 상기 제2 접속구멍에 대한 해상도를 개선하고 상기 제2 절연막은 그의 에칭속도가 비교적 작으므로 상기 제2 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 19.

제18항에 있어서,
상기 제2 접속구멍을 통해서 상기 나머지 반도체영역과 접촉하도록 연장하고 또한 상기 제4 절연막상에 상기 제1 도체를 횡단하는 방향으로 연장하는 제2 도체를 형성하는 스텝;
상기 제2 도체의 상면 및 측면을 제5 절연막으로 피복하는 스텝;
상기 제4 절연막상 및 상기 제5 절연막상에 상기 제5 절연막보다 에칭속도가 큰 제6 절연막을 형성하는 스텝;
상기 제6 절연막의 상면을 평탄화하는 스텝;
에칭에 의해 상기 평탄화된 상면을 갖는 제6 절연막과 상기 제4 절연막을 관통하고 상기 제1 접속구멍내의 도체재료에 도달하는 연장구멍을 형성하는 스텝;
상기 제1 접속구멍내의 도체재료상 및 상기 연장구멍의 내벽상에 도체막을 형성하는 스텝 및;
상기 제1 접속구멍내의 도체재료상의 도체막을 캐패시터의 전극으로서 사용해서 상기 제2 도체상에 캐패시터를 형성하는 스텝을 더 갖고,
상기 제6 절연막을 형성하는 스텝에 있어서의 상기 제5 절연막은 상기 제6 절연막과 접촉해서 그의 하부에 존재하고, 상기 연장구멍을 형성하는 스텝에 있어서의 상기 제6 절연막의 상기 평탄화된 상면은 상기 연장구멍에 대한 해상도를 개선하고, 상기 제5 절연막은 그의 에칭속도가 비교적 작으므로 상기 연장 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 20.

반도체기판의 주면상에 제1 절연막을 개재시켜서 제1 도체를 형성하는 스텝;
상기 반도체기판의 주면내에 있어서 상기 제1 도체의 양측에 반도체영역을 형성하는 스텝;
상기 제1 도체의 상면 및 측면을 제2 절연막으로 피복하는 스텝;
얻어진 기판상에 상기 제2 절연막보다 에칭속도가 큰 제3 절연막을 형성하는 스텝:
상기 제3 절연막의 상면을 평탄화하는 스텝;
상기 반도체영역 중 미리 정해진 반도체영역에 대해 상기 제3 절연막을 관통하는 에칭에 의해 제1 접속구멍을 형성하는 스텝;
상기 제1 접속구멍을 통해서 상기 미리 정해진 반도체영역과 접촉하도록 연 장하고 또한 상기 제3 절연막상에 상기 제1 도체를 횡단하는 방향으로 연장하는 제2 도체를 형성하는 스텝;
상기 제2 도체의 상면 및 측면을 제4 절연막으로 피복하는 스텝;
상기 제3 절연막상 및 상기 제4 절연막상에 상기 제4 절연막보다 에칭속도가 큰 제5 절연막을 형성하는 스텝;
상기 제5 절연막의 상면을 평탄화하는 스텝 및;
에칭에 의해 상기 평탄화된 상면을 갖는 제5 절연막과 상기 제3 절연막을 관통하고 상기 나머지 반도체영역에 도달하는 제2 접속구멍을 형성하는 스텝을 포함하고,
상기 제3 절연막을 형성하는 스텝에 있어서의 상기 제2 절연막은 상기 제3 절연막과 접촉해서 그의 하부에 존재하고, 상기 제1 접속구멍을 형성하는 스텝에 있어서의 상기 제3 절연막의 상기 평탄화된 면은 상기 제1 접속구멍에 대한 해상도를 개선하고, 상기 제2 절연막은 그의 에칭속도가 비교적 작으므로 상기 제1 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하고,
상기 제5 절연막을 형성하는 스텝에 있어서의 상기 제4 절연막은 상기 제5 절연막과 접촉해서 그의 하부에 존재하고, 상기 제2 접속구멍을 형성하는 스텝에 있어서의 상기 제5 절연막의 상기 평탄화된 면은 상기 제2 접속구멍에 대한 해상도를 개선하고, 상기 제2 절연막 및 제3 절연막은 그들의 에칭속도가 비교적 작으므로 각각 상기 제1 도체 및 제2 도체 의 폭방향에서의 상기 연장 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 21.

제20항에 있어서,
상기 나머지 반도체영역상 및 상기 제2 접속구멍의 내벽상에 도체막을 형성하는 스텝 및;

상기 도체막을 캐패시터의 전극으로서 사용해서 상기 제2 도체상에 캐패시터를 형성하는 스텝을 더 갖는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 22.

반도체기판의 주면상에 제1 절연막을 개재시켜서 제1 도체를 형성하는 스텝:
상기 반도체기판의 주면내에 있어서 상기 제1 도체의 양측에 반도체영역을 형성하는 스텝;
상기 제1 도체의 상면 및 측면을 제2 절연막으로 피복하는 스텝;
얻어진 기판상에 상기 제2 절연막보다 에칭속도가 큰 제3 절연막을 형성하는 스텝;
상기 제3 절연막의 상면을 평탄화하는 스텝;
상기 제3 절연막의 평탄화된 상면상에 제1 평탄화된 마스크막을 형성하는 스텝;
상기 제1 평탄화된 마스크막을 사용해서 상기 반도체영역 중 미리 정해진 반도체영역에 대해 상기 평탄화된 상면을 갖는 상기 제3 절연막을 관통하는 에칭에 의해 제1 접속구멍을 형성하는 스텝;
상기 제1 접속구멍을 도체재료로 충전하는 스텝;
상기 도체재료상 및 상기 제2 절연막상에 거의 평탄화된 면을 갖는 제4 절연막을 형성하는 스텝;
상기 제4 절연막상에 제2 평탄화된 마스크막을 형성하는 스텝;
상기 제2 평탄화된 마스크막을 사용해서 상기 반도체영역중 나머지 반도체영역에 대해 상기 제4 및 제3 절연막을 관통하는 에칭에 의해 제2 접속구멍을 형성하는 스텝;
상기 제2 접속구멍을 통해서 상기 나머지 반도체영역과 접촉하도록 연장하고 또한 상기 제4 절연막상에 상기 제1 도체를 횡단하는 방향으로 연장하는 제2 도체를 형성하는 스텝;
상기 제2 도체의 상면 및 측면을 제5 절연막으로 피복하는 스텝;
상기 제4 절연막상과 상기 제5 절연막상에 상기 제5 절연막보다 에칭속도가 큰 제6 절연막을 형성하는 스텝;
상기 제6 절연막의 상면을 평탄화하는 스텝:
상기 제6 절연막의 상기 평탄화된 상면상에 제3 평탄화된 마스크막을 형성하는 스텝;
상기 제3 평탄화된 마스크막을 사용해서 에칭에 의해 상기 평탄화된 상면을 갖는 제6 절연막 및 상기 제4 절연막을 관통하고 상기 제1 접속구멍내의 도체재료에 도달하는 연장구멍을 형성하는 스텝;
상기 제1 접속구멍내의 도체재료상과 상기 연장구멍의 내벽상에 도체막을 형성하는 스텝 및;
상기 제1 접속구멍내의 도체재료상의 도체막을 캐패시터의 전극으로서 사용해서 상기 제1 도체상에 캐패시터를 형성하는 스텝을 포함하고,
상기 제3 절연막을 형성하는 스텝에 있어서의 상기 제2 절연막은 상기 제3 절연막과 접촉해서 그의 하부에 존재하고, 상기 제1 접속구멍을 형성하는 스텝에 있어서의 상기 제2 절연막은 그의 에칭속도가 비교적 작으므로 상기 제1 도체의 폭방향으로 상기 제1 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하고,
상기 제2 접속구멍을 형성하는 스텝에 있어서의 상기 제4 절연막의 상기 평탄화된 면은 상기 제2 접속구멍에 대한 해상도를 개선하고, 상기 제2 절연막은 그의 에칭속도가 비교적 작으므로 상기 제1 도체의 폭방향으로 상기 제2 접속구멍에 대한 잉여의 에칭을 제한하는 작용을 하고,
상기 제6 절연막을 형성하는 스텝에 있어서의 상기 제5 절연막은 상기 제6 절연막과 접촉해서 그의 하부에 존재하고, 상기 연장구멍을 형성하는 스텝에 있어서의 상기 제6 절연막의 상기 평탄화된 면은 상기 연장구멍에 대한 해상도를 개선하고 상기 제5 절연막은 그의 에칭속도가 비교적 작으므로 상기 제2 도체의 폭방향으로 상기 연장구멍에 대한 잉여의 에칭을 제한하는 작용을 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 23.

그의 각각이 메모리셀 선택 MISFET와 용량소자를 구비하는 메모리셀, 그의 각각이 상기 메모리셀 선택 MISFET의 게이트전극으로서도 작용하고 반도체기판상에 형성되는 워드선도체 및 그의 각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치된 비트선도체를 구비한 메모리어레이를 갖는 반도체장치의 제조방법으로서,
반도체기판상에 워드선도체를 형성하는 스텝;
상기 워드선도체의 양측에서 상기 반도체기판내로 불순물을 주입하여 상기 메모리셀 선택 MISFET의 소오스영역 및 드레인영역을 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
상기 반도체기판상에 제2 절연막을 형성하여 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막의 에칭속도가 상기 제1 절연막의 에칭속도보다 큰 조건하에서 드라이에칭법에 의해 상기 제2 절연막내에 제1 접속구멍을 형성하는 스텝;
상기 제2 절연막상에 그중 하나가 상기 제1 접속구멍을 거쳐서 상기 메모리셀 선택 MISFET의 소오스영역과 드레인영역중의 하나에 전기적으로 접속되는 비트선 도체를 형성하는 스텝;
상기 비트선도체의 상면 및 측면을 제3 절연막으로 피복하는 스텝;
상기 반도체기판상에 제4 절연막을 형성하여 상기 제3 절연막을 피복하는 스텝;
상기 제4 절연막의 에칭속도가 상기 제3 절연막의 에칭속도보다 큰 조건하에 서 드라이에칭법에 의해 상기 제4 절연막내에 제2 접속구멍을 형성하는 스텝 및;
상기 제4 절연막상에 상기 용량소자의 하나의 전극으로서 상기 제2 접속구멍을 거쳐서 상기 메모리셀 선택 MISFET의 소오스영역과 드레인영역 중의 다른 하나에 전기적으로 접속되는 도체막을 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 24.

제23항에 있어서,

상기 제1 및 제3 절연막의 각각은 질화실리콘막으로 이루어지고,
상기 제2 및 제4 절연막의 각각은 산화실리콘막으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 25.

제24항에 있어서,
상기 제1 접속구멍은 상기 워드선도체중의 하나와 자기정합적으로 형성되고,
상기 제2 접속구멍은 상기 비트선도체중의 하나와 자기정합적으로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 26.

그의 각각이 메모리셀 선택 MISFET와 용량소자를 구비하는 메모리셀, 그의 각각이 상기 메모리셀 선택 MISFET의 게이트전극으로서도 작용하고 반도체기판상에 형성되는 워드선도체 및 그의 각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치된 비트선도체를 구비한 메모리어레이를 갖는 반도체장치의 제조방법으 로서,
반도체기판상에 워드선도체를 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
상기 반도체기판상에 제2 절연막을 형성하여 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막상에 비트선 도체를 형성하는 스텝;
상기 비트선도체의 상면 및 측면을 제3 절연막으로 피복하는 스텝;
상기 반도체기판상에 제4 절연막을 형성하여 상기 제3 절연막을 피복하는 스텝;
상기 제2 및 제4 절연막의 에칭속도가 상기 제1 및 제3 절연막의 에칭속도보다 큰 조건하에서 드라이에칭법에 의해 상기 제2 및 제4 절연막내에 접속구멍을 형성하는 스텝 및;
상기 제4 절연막상에 상기 용량소자의 하나의 전극으로서 상기 접속구멍을 거쳐서 상기 메모리셀 선택 MISFET에 전기적으로 접속되는 도체막을 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 27.

제26항에 있어서,
상기 제1 및 제3 절연막의 각각은 질화실리콘막으로 이루어지고,
상기 제2 및 제4 절연막의 각각은 산화실리콘막으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 28.

제27항에 있어서,
상기 제1 접속구멍은 상기 비트선도체중의 하나 및 상기 워드선도체중의 하나와 자기정합적으로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 29.

그의 각각이 메모리셀 선택 MISFET와 용량소자를 구비하는 메모리셀, 그의 각각이 상기 메모리셀 선택 MISFET의 게이트전극으로서도 작용하고 반도체기판상에 형성되는 워드선도체 및 그의 각각이 상기 워드선도체상에 상기 워드선도체를 횡단하도록 배치된 비트선도체를 구비한 메모리어레이를 갖는 반도체장치의 제조방법으로서,
반도체기판상에 워드선도체를 형성하는 스텝;
상기 워드선도체의 양측에 상기 반도체기판내로 불순물을 주입하여 상기 메모리셀 선택 MISFET의 소오스영역 및 드레인영역을 형성하는 스텝;
상기 워드선도체의 상면 및 측면을 제1 절연막으로 피복하는 스텝;
상기 반도체기판상에 제2 절연막을 형성하여 상기 제1 절연막을 피복하는 스텝;
상기 제2 절연막의 에칭속도가 상기 제1 절연막의 에칭속도보다 큰 조건하에서 드라이에칭법에 의해 상기 제2 절연막내에 제1 접속구멍을 형성하는 스텝;
상기 제1 접속구멍내에 제1 도체막을 형성하는 스텝;
상기 제2 절연막의 에칭속도가 상기 제1 절연막의 에칭속도보다 큰 조건하에 서 드라이에칭법에 의해 상기 제2 절연막내에 제2 접속구멍을 형성하는 스텝;
상기 제2 절연막상에 그중 하나가 상기 제2 접속구멍을 거쳐서 상기 메모리셀 선택 MISFET의 소오스영역과 드레인영역중의 하나에 전기적으로 접속되는 비트선 도체를 형성하는 스텝;
상기 비트선도체의 상면 및 측면을 제3 절연막으로 피복하는 스텝;
상기 반도체기판상에 제4 절연막을 형성하여 상기 제3 절연막을 피복하는 스텝;
상기 제4 절연막의 에칭속도가 상기 제3 절연막의 에칭속도보다 큰 조건하에서 드라이에칭법에 의해 상기 제4 절연막내에 제3 접속구멍을 형성하여 상기 제1 도체막의 표면을 노출시키는 스텝 및;
상기 제4 절연막상에 상기 용량소자의 하나의 전극으로서 상기 제3 접속구멍을 거쳐서 상기 제1 도체막에 전기적으로 접속되는 제2 도체막을 형성하는 스텝을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 30.

제29항에 있어서,
상기 제1 및 제3 절연막의 각각은 질화실리콘막으로 이루어지고,
상기 제2 및 제4 절연막의 각각은 산화실리콘막으로 이루어지는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 31.

제30항에 있어서,
상기 제1 및 제2 접속구멍은 상기 워드선도체중의 하나와 자기정합적으로 형성되는 것을 특징으로 하는 반도체장치

의 제조방법.

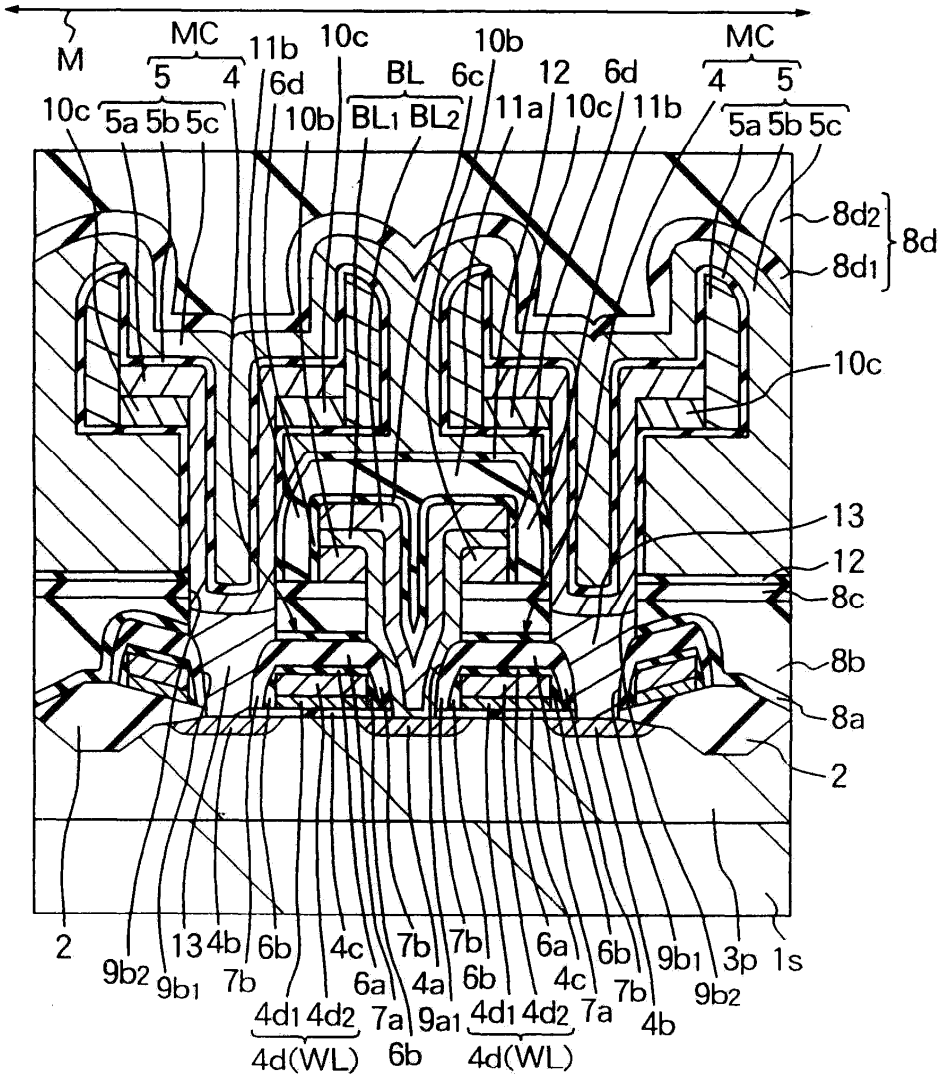
청구항 32.

제30항에 있어서,

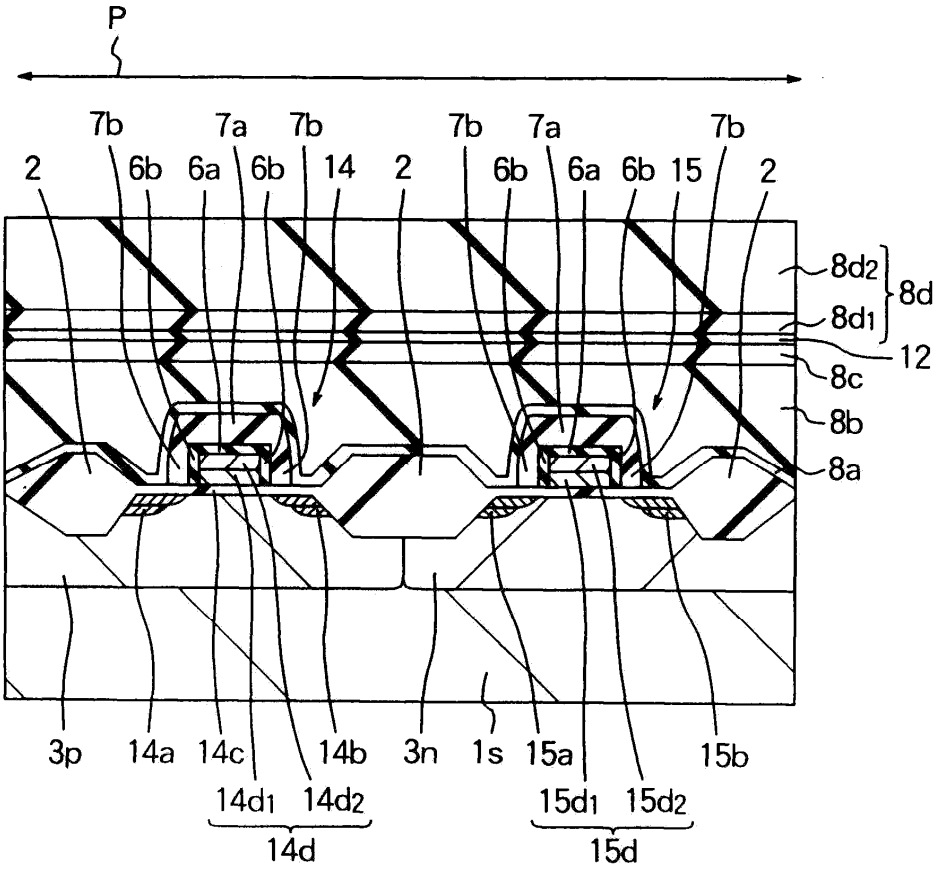
상기 제3 접속구멍은 상기 비트선도체중의 하나와 자기정합적으로 형성되는 것을 특징으로 하는 반도체장치의 제조방법.

도면

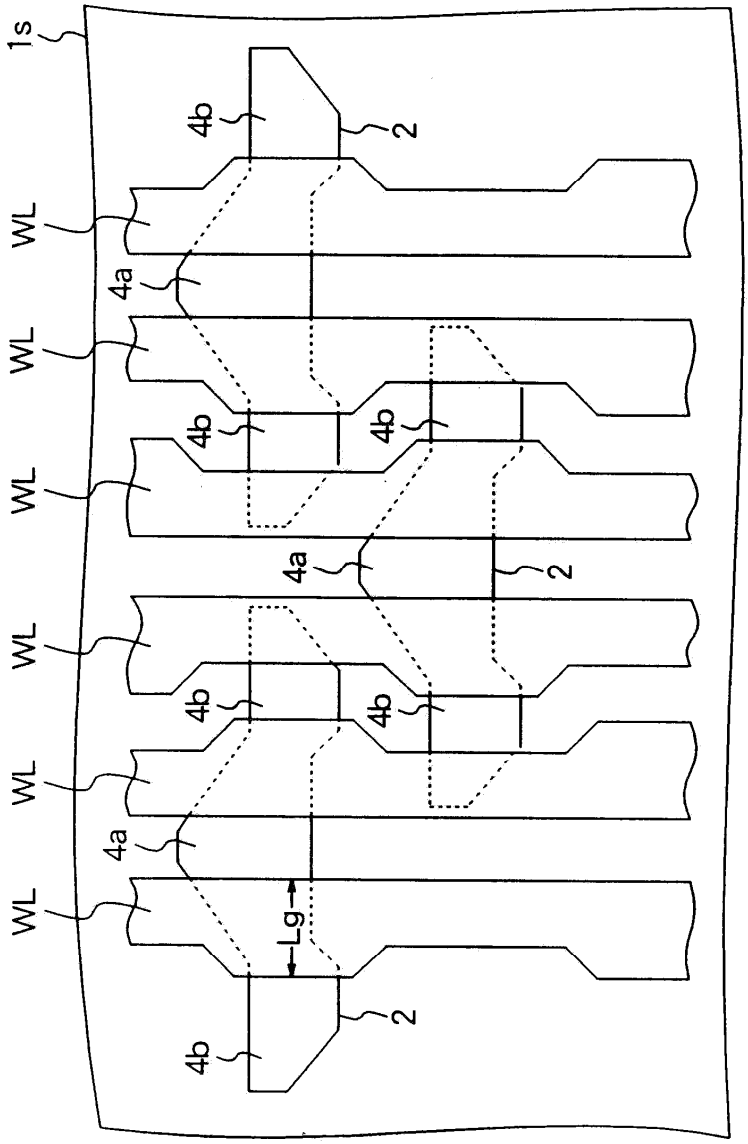
도면1



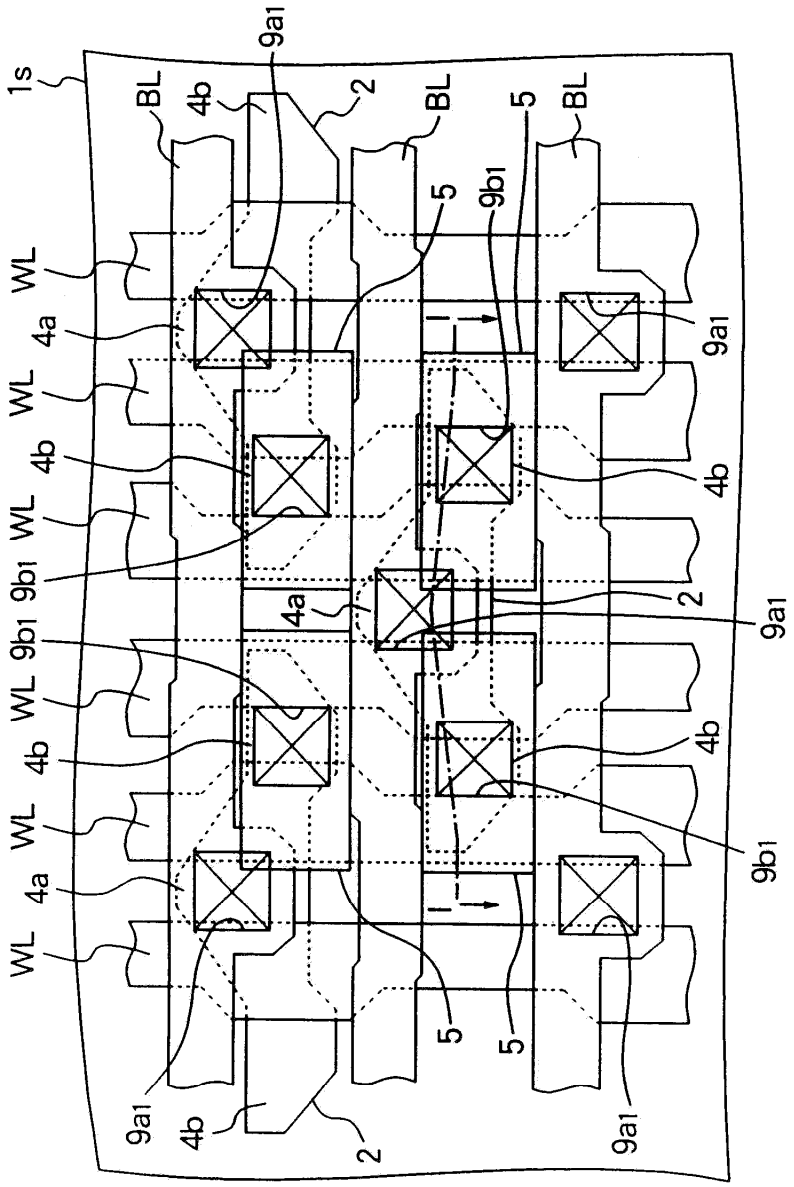
도면2


P
7b
7a
7b
7b
7a
7b
2
6b
6a
6b
14
2
6b
6a
6b
15
2
8d2
8d
8d1
12
8c
8b
8a
3p
14a
14c
14b
3n
1s
15a
15b
14d1
14d2
14d
15d1
15d2
15d

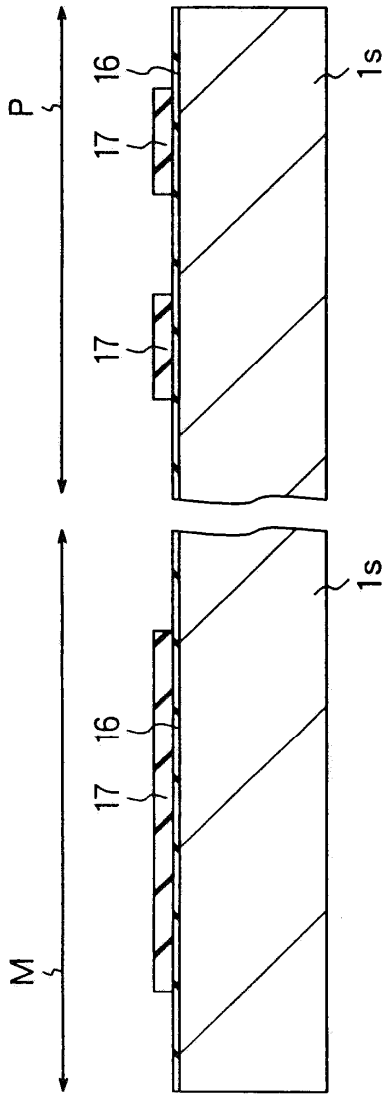
도면3



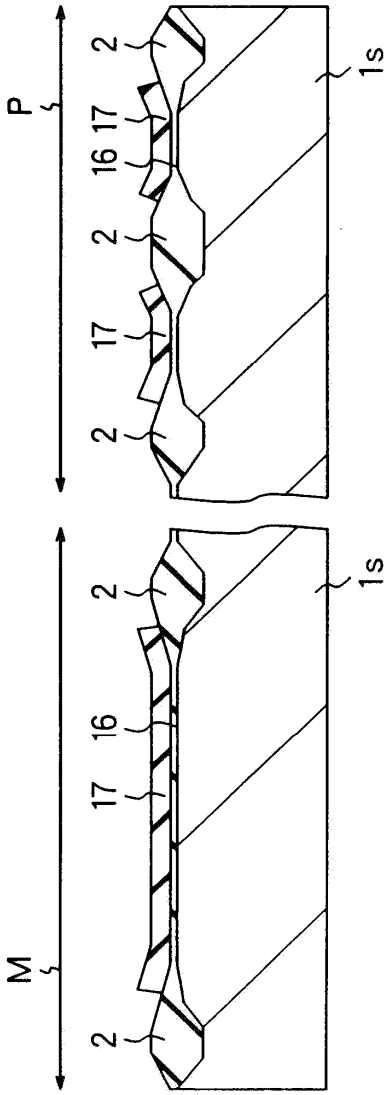
도면4



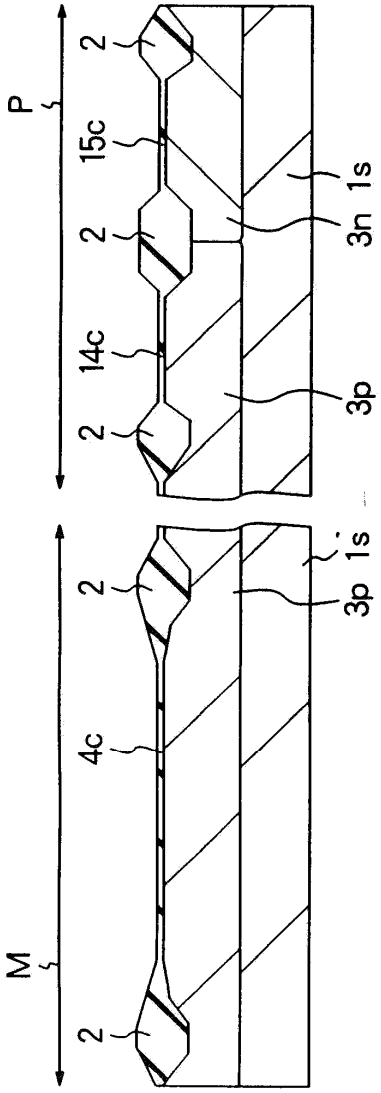
도면5a



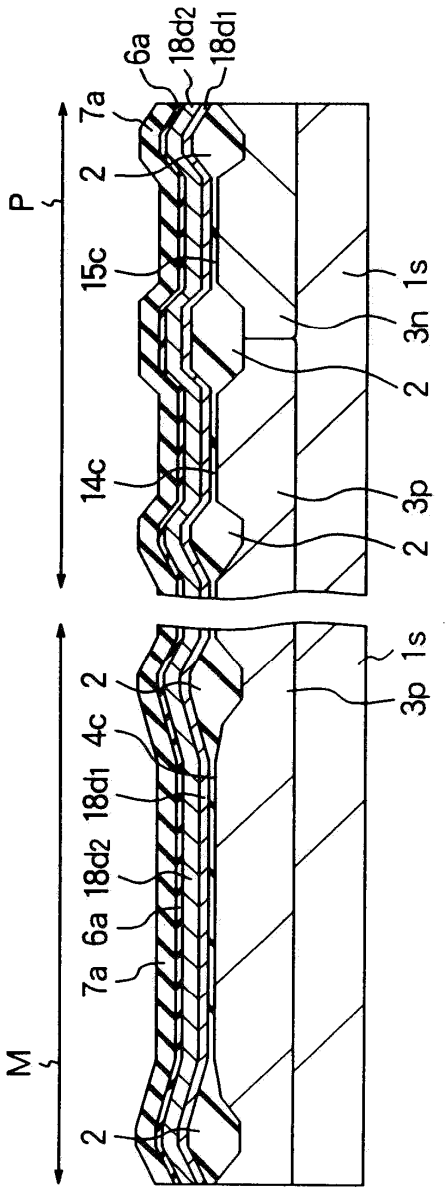
도면5b



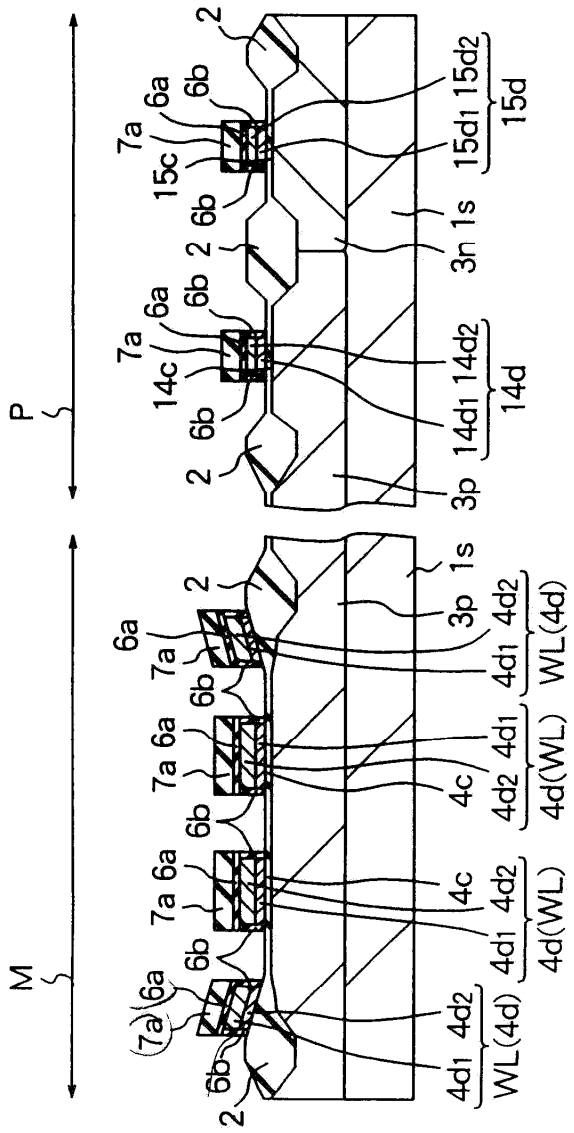
도면5c



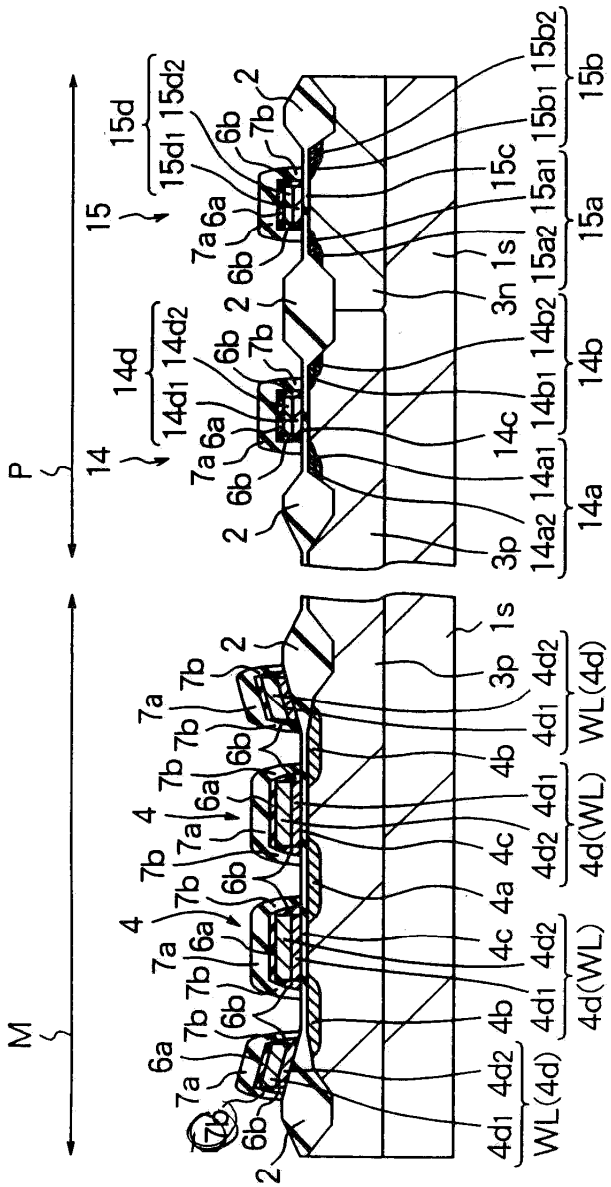
도면5d



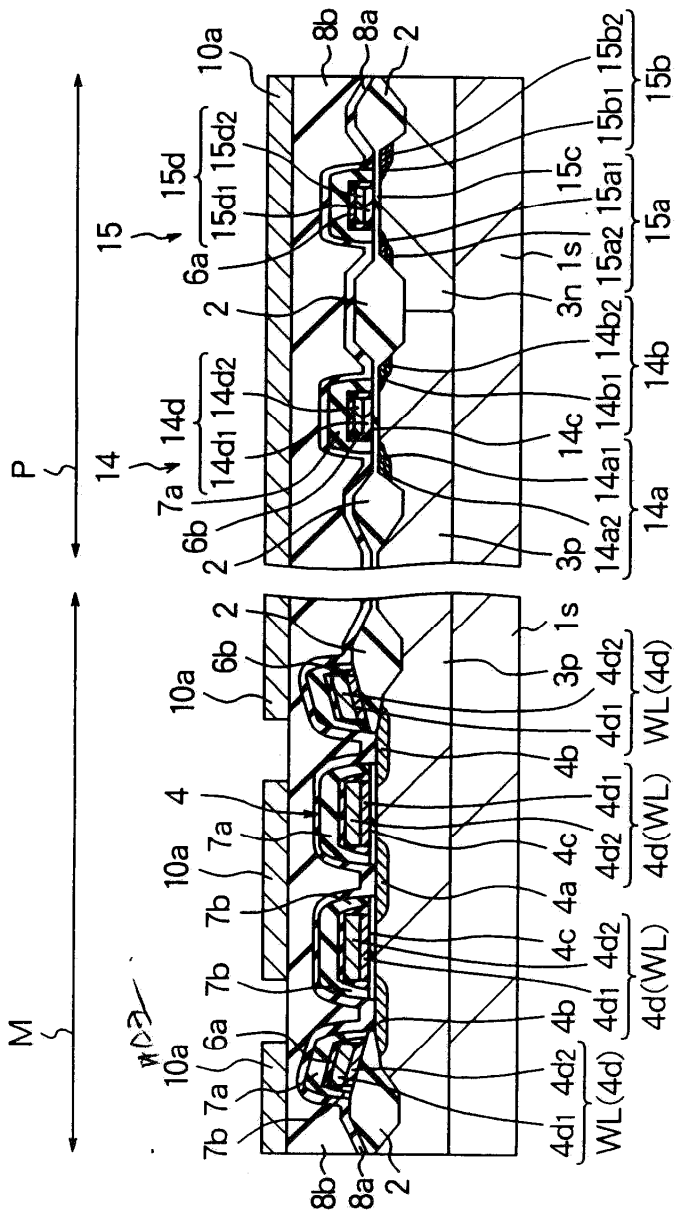
도면5e


P
M
2
6a
6b
7a
15c
14c
15d1
15d2
15d
14d1
14d2
14d
3n
3p
1s
4c
4d1
4d2
4d(WL)
WL(4d)
(7a)

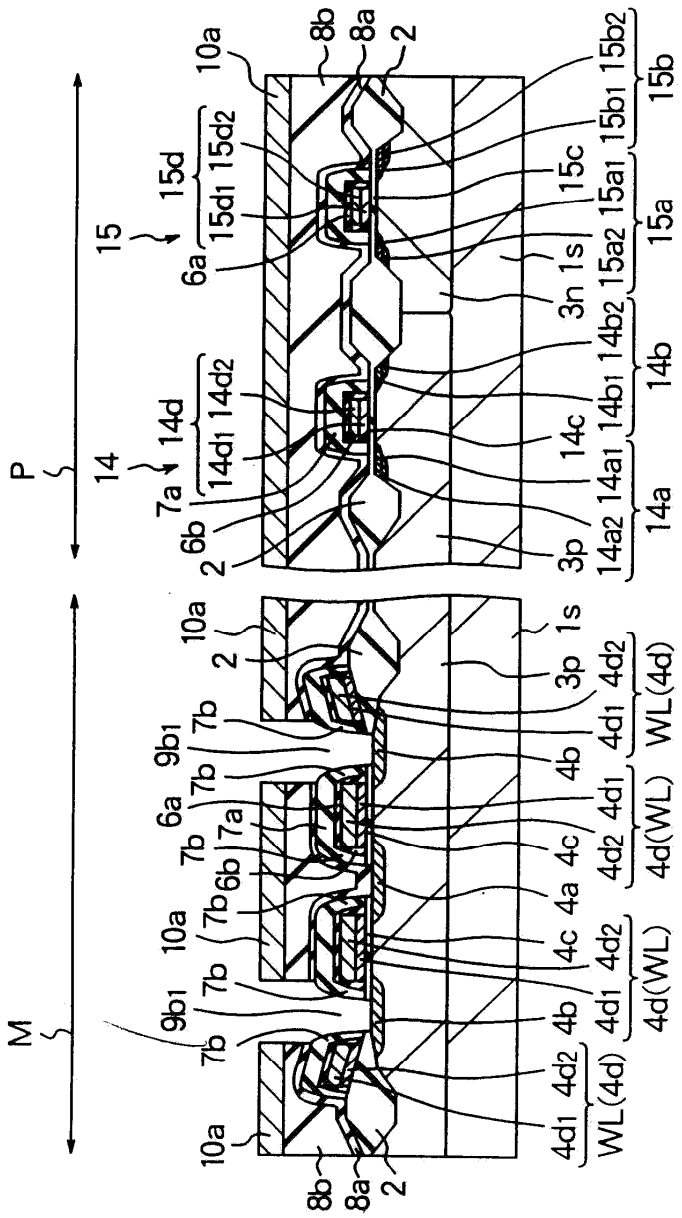
도면5f


P
M
14
15
14d
14d1
14d2
15d
15d1
15d2
14a
14a1
14a2
14b
14b1
14b2
15a
15a1
15a2
15b
15b1
15b2
15c
14c
1s
3n
3p
2
4
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)
6a
6b
7a
7b

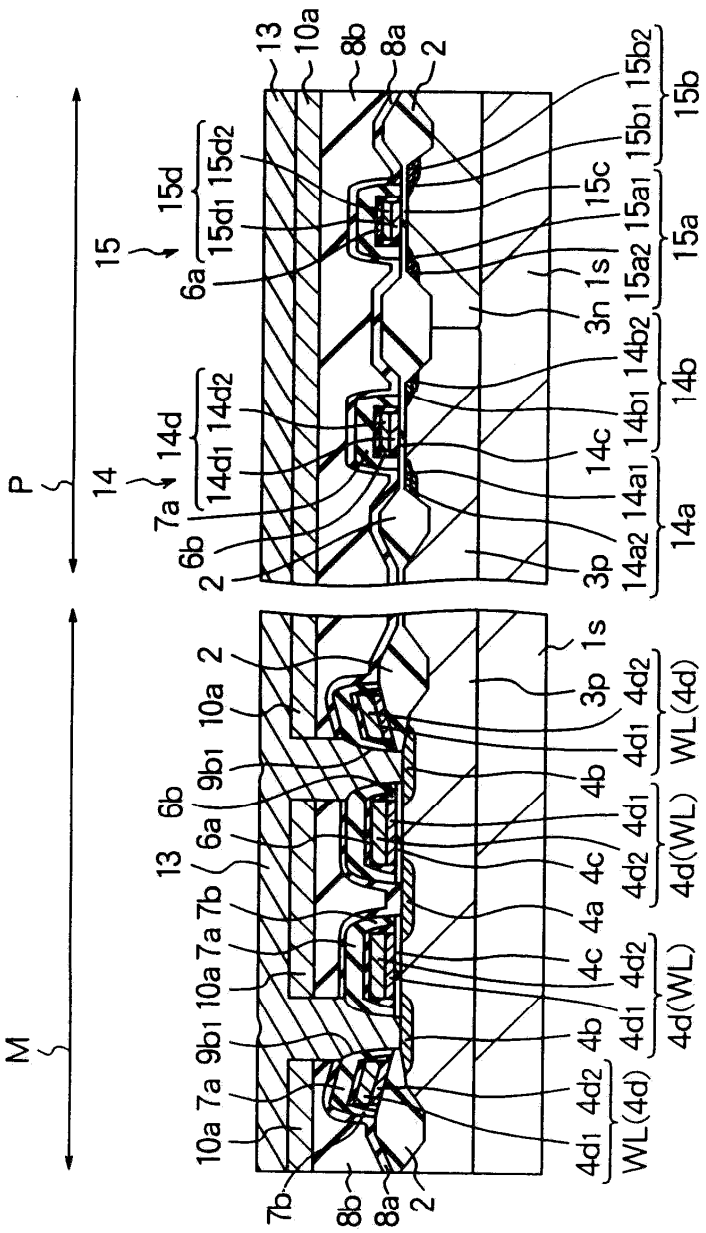
도면5g


P
M
15
14
10a
8b
8a
2
15d
15d1
15d2
6a
14d
14d1
14d2
7a
6b
3n
1s
15c
15a1
15a2
15b1
15b2
15b
14c
14b1
14b2
14b
14a1
14a2
14a
3p
4
7a
7b
4b
4c
4a
4d1
4d2
4d(WL)
WL(4d)

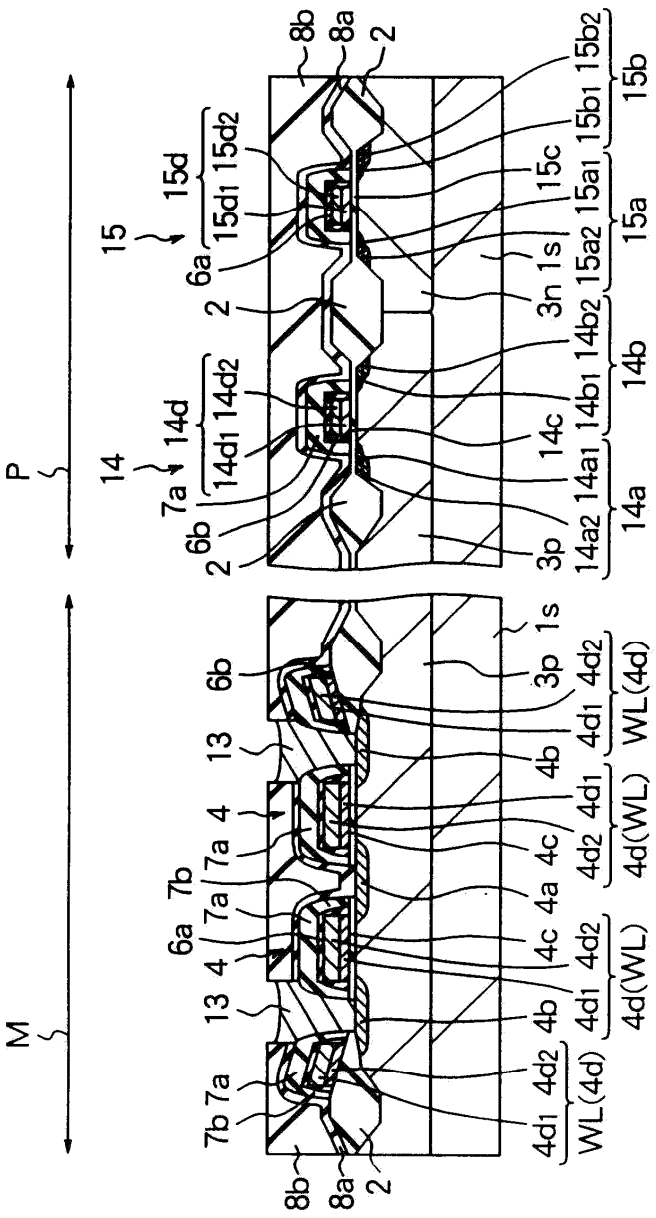
도면5h


P
M
14
15
10a
8b
8a
2
6a
6b
7a
7b
9b1
15d
15d1
15d2
14d
14d1
14d2
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
3p
14a
14a1
14a2
14b
14b1
14b2
14c
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)

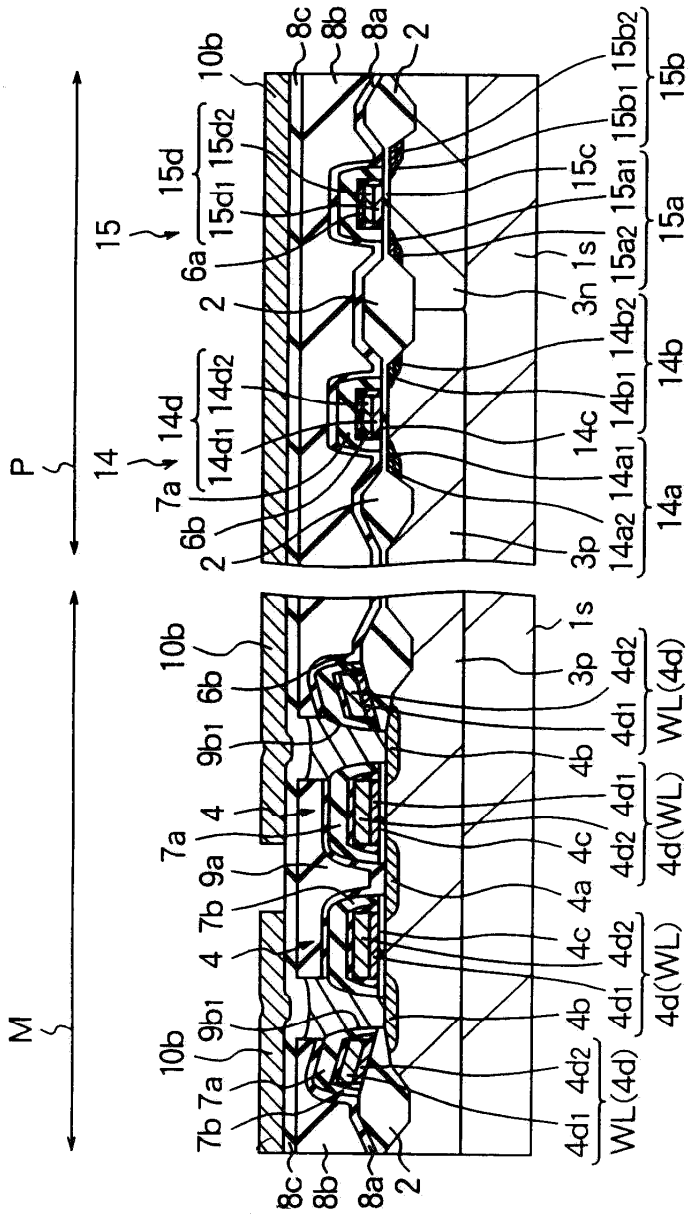
도면5i


P
M
14
15
13
10a
8b
8a
2
15d
15d1
15d2
6a
14d
14d1
14d2
7a
6b
15b2
15b1
15b
15c
15a1
15a2
15a
3n
1s
14b2
14b1
14b
14c
14a1
14a2
14a
3p
9b1
7b
4b
4d1
4d2
WL(4d)
4d(WL)
4a
4c

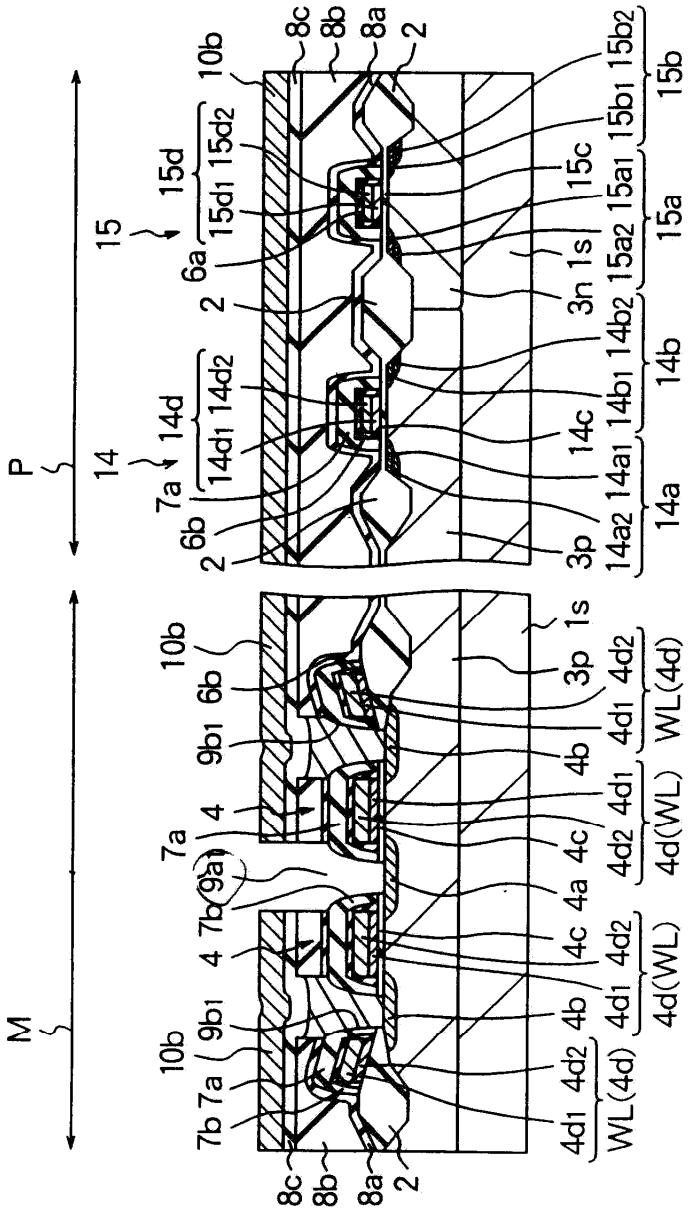
도면5j


P
M
14
15
2
6a
6b
7a
7b
8a
8b
13
4
1s
3p
3n
14a
14a1
14a2
14b
14b1
14b2
14c
14d
14d1
14d2
15a
15a1
15a2
15b
15b1
15b2
15c
15d
15d1
15d2
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)

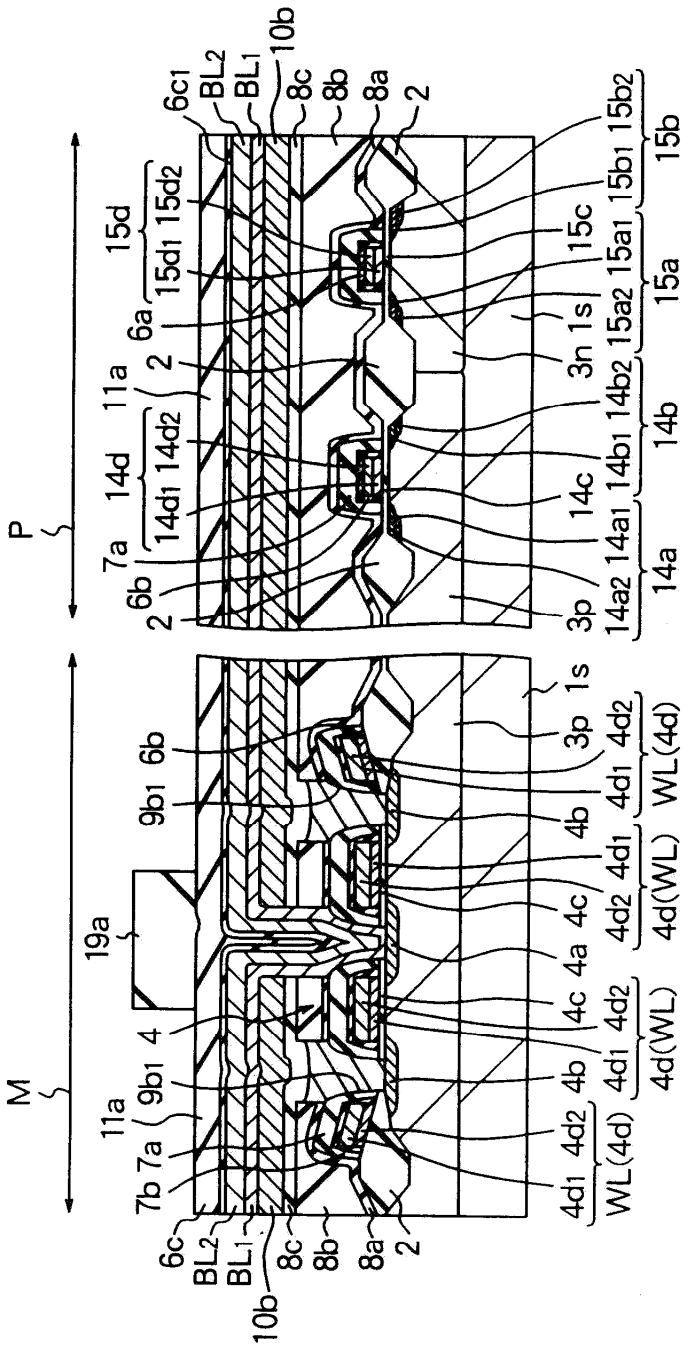
도면5k


P
M
14
15
8c
8b
8a
2
10b
15d
15d1
15d2
6a
14d
14d1
14d2
7a
6b
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
9b1
4
9a
7b
4b
4c
4a
4d1
4d2
4d(WL)
WL(4d)

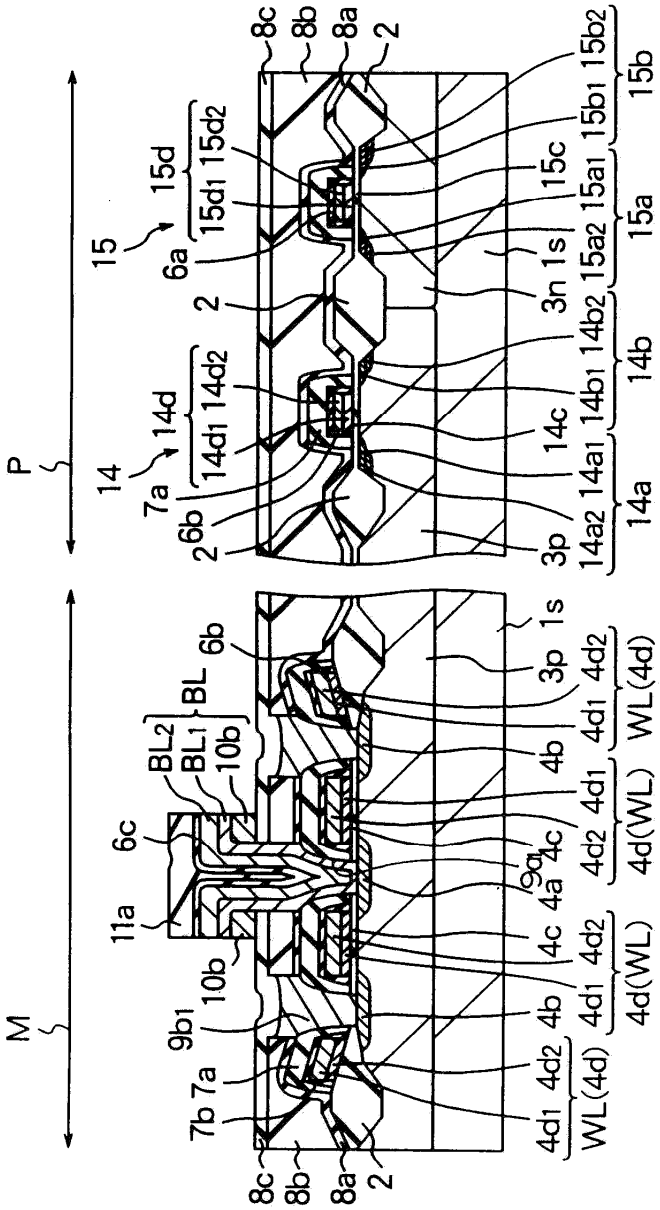
도면5l


P
M
14
15
10b
8c
8b
8a
2
15d
15d1
15d2
6a
7a
14d
14d1
14d2
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
9b1
4
7b
9a1
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)

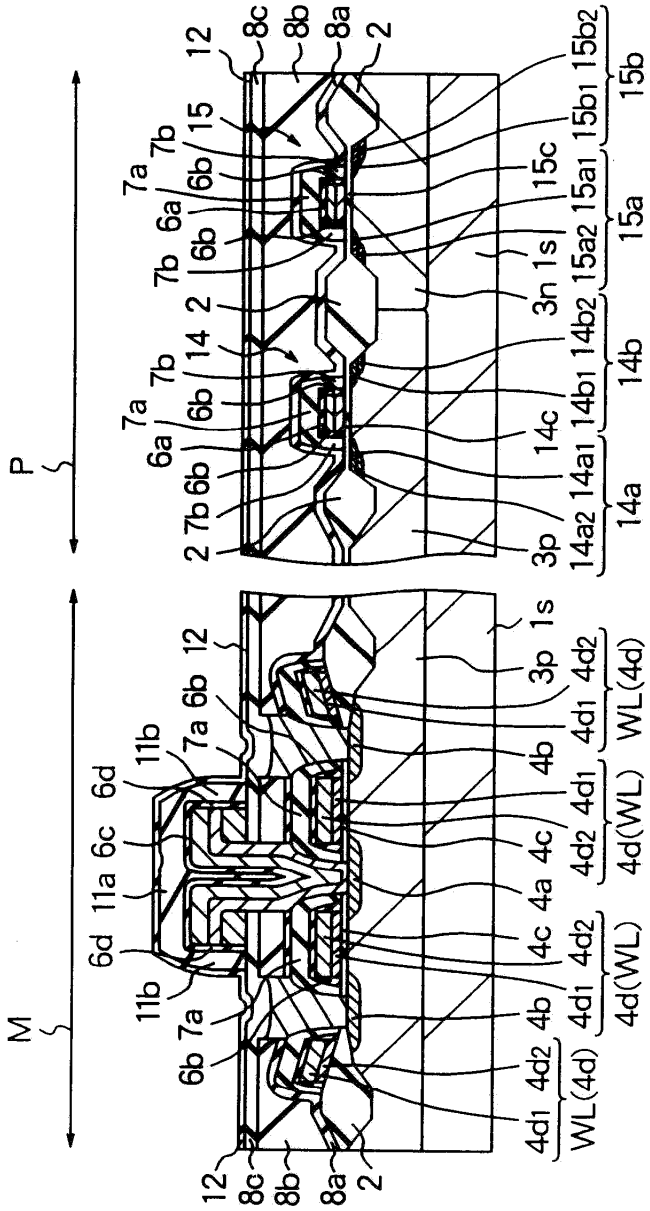
도면5m


P
M
6c1
BL2
BL1
10b
8c
8b
8a
2
15d
15d1
15d2
6a
11a
14d
14d1
14d2
7a
6b
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
19a
9b1
4
7b
4b
4c
4a
4d1
4d2
4d(WL)
WL(4d)

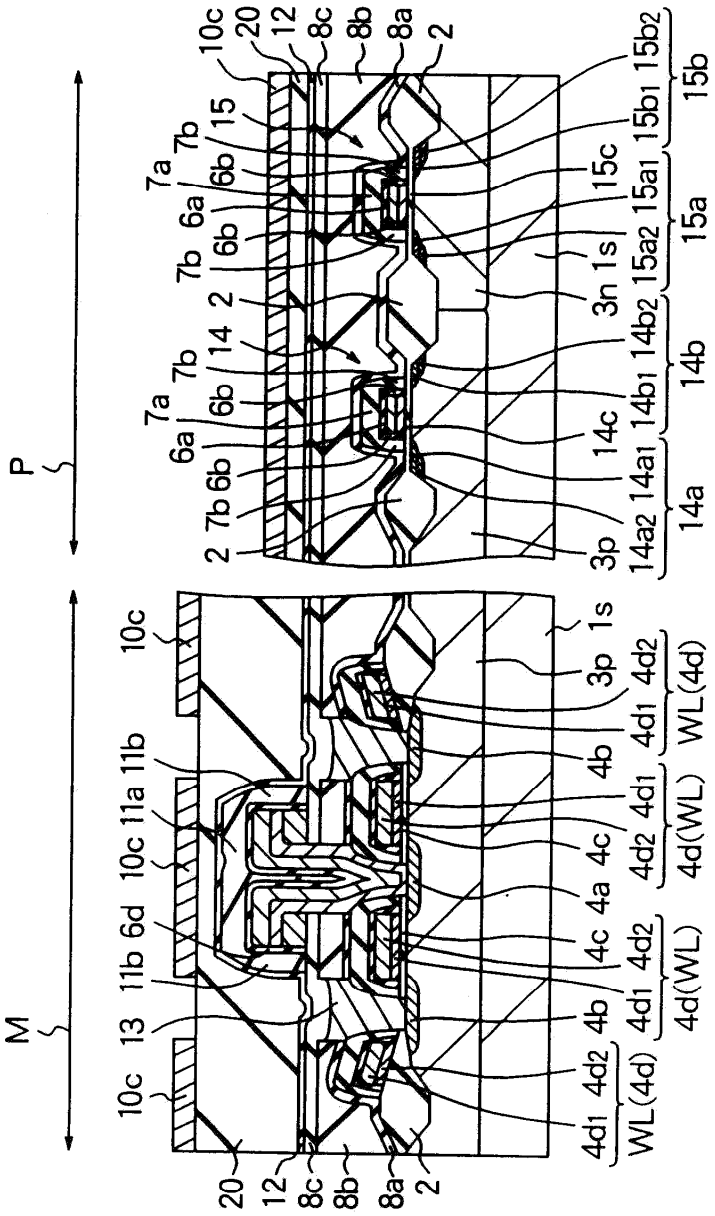
도면5n


P
M
15
14
15d
15d1
15d2
14d
14d1
14d2
6a
7a
6b
2
8c
8b
8a
15b
15b1
15b2
15c
15a
15a1
15a2
14b
14b1
14b2
14c
14a
14a1
14a2
3n
1s
3p
BL
BL1
BL2
10b
6c
11a
9b1
7b
4b
4c
4a
9a
4d1
4d2
4d(WL)
WL(4d)

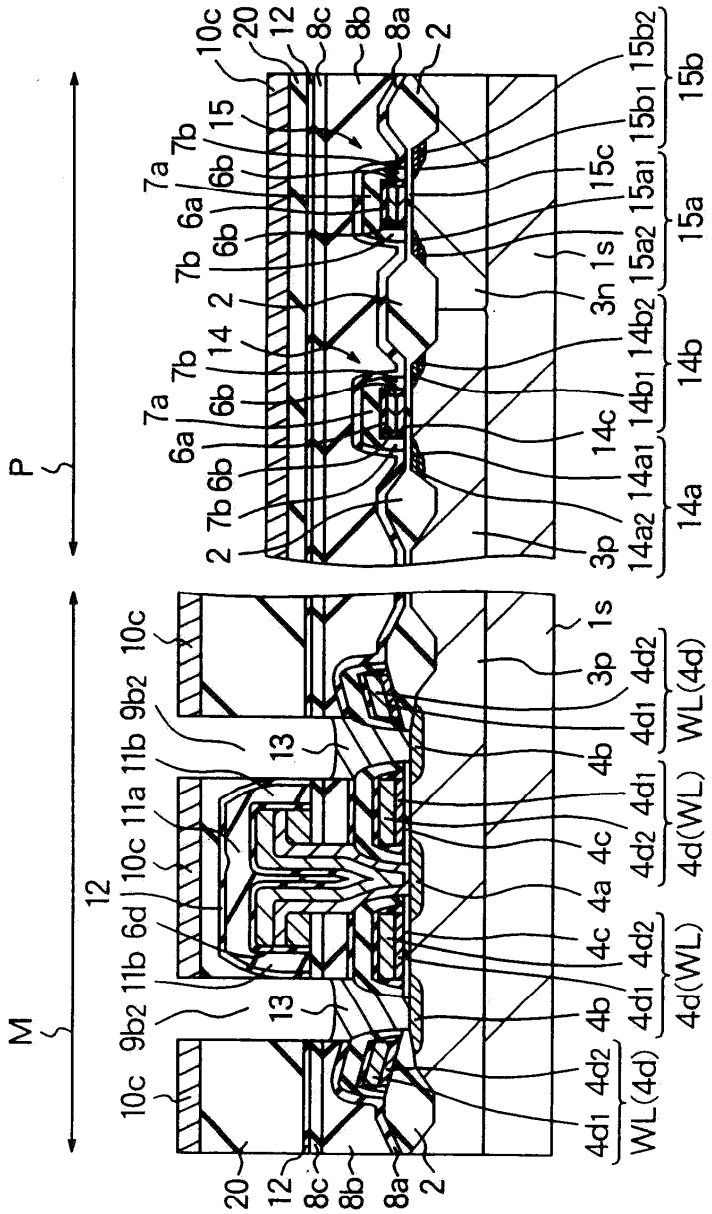
도면5o


P
M
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
11b
11a
6c
6d
4a
4b
4c
4d1
4d2
4d(WL)
WL(4d)

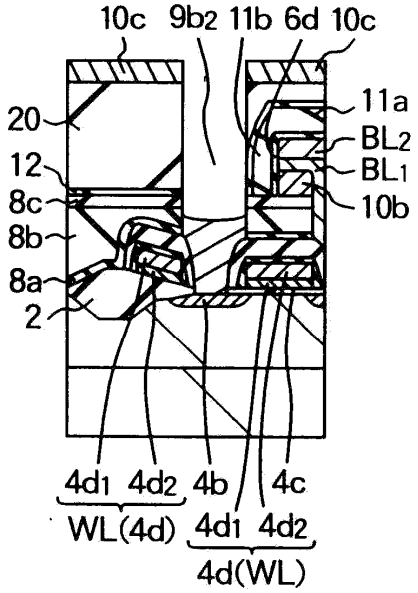
도면5p


P
M
10c
20
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b
15b1
15b2
15c
15a
15a1
15a2
1s
3n
14b
14b1
14b2
14c
14a
14a1
14a2
3p
11a
11b
6d
13
4a
4b
4c
4d
4d1
4d2
WL(4d)
4d(WL)

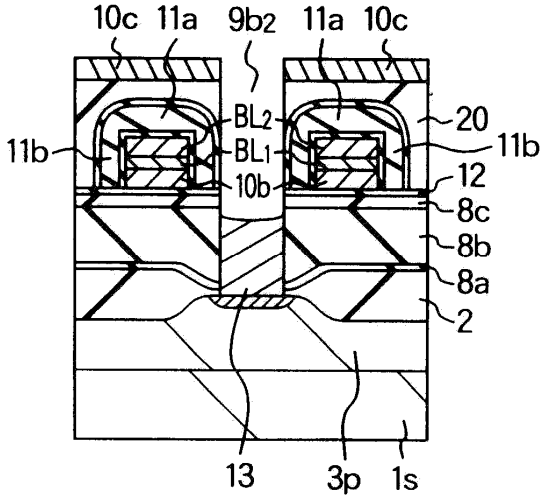
도면5q


P
M
10c
20
12
8c
8b
8a
2
15
7b
7a
6b
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
9b2
11b
11a
6d
13
4d1
4d2
WL(4d)
4b
4c
4a
4d(WL)

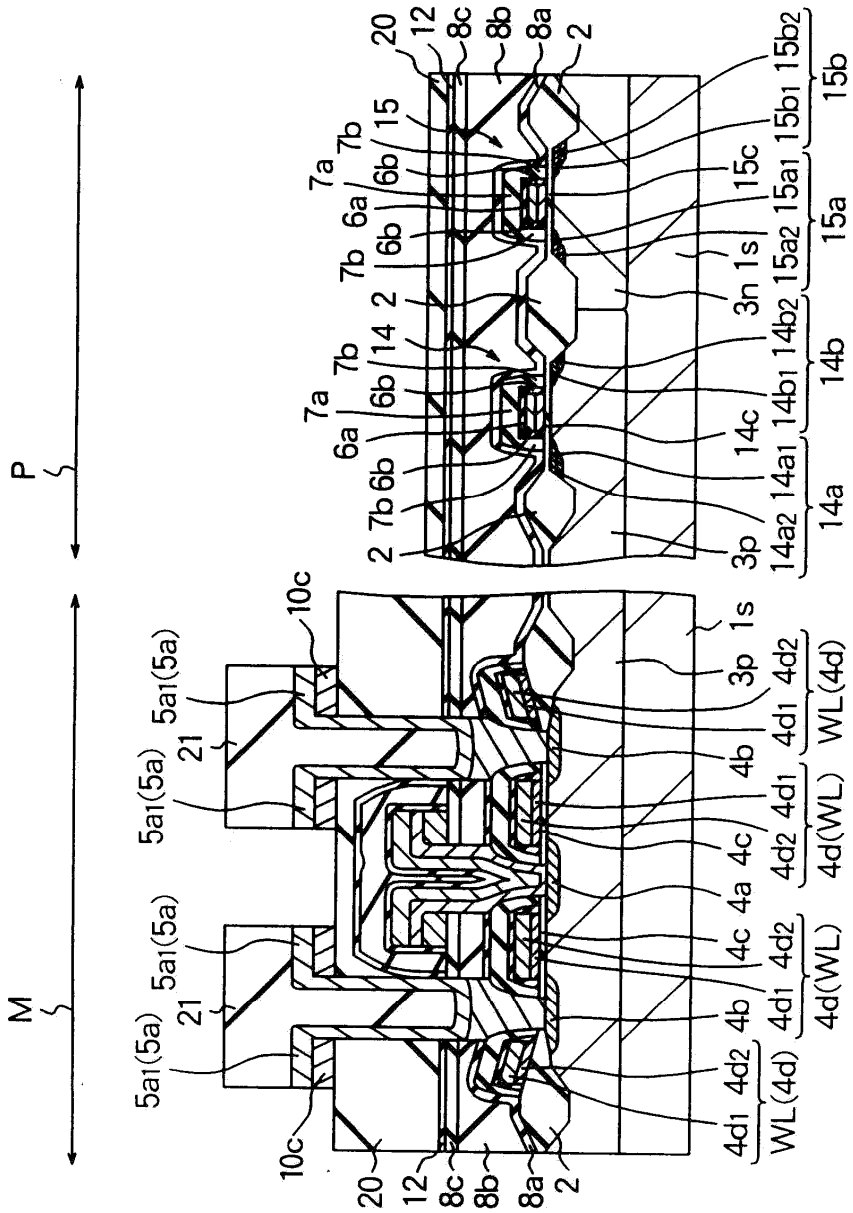
도면5ra


10c
9b2
11b
6d
20
12
8c
8b
8a
2
11a
BL2
BL1
10b
4d1
4d2
4b
4c
WL(4d)
4d(WL)

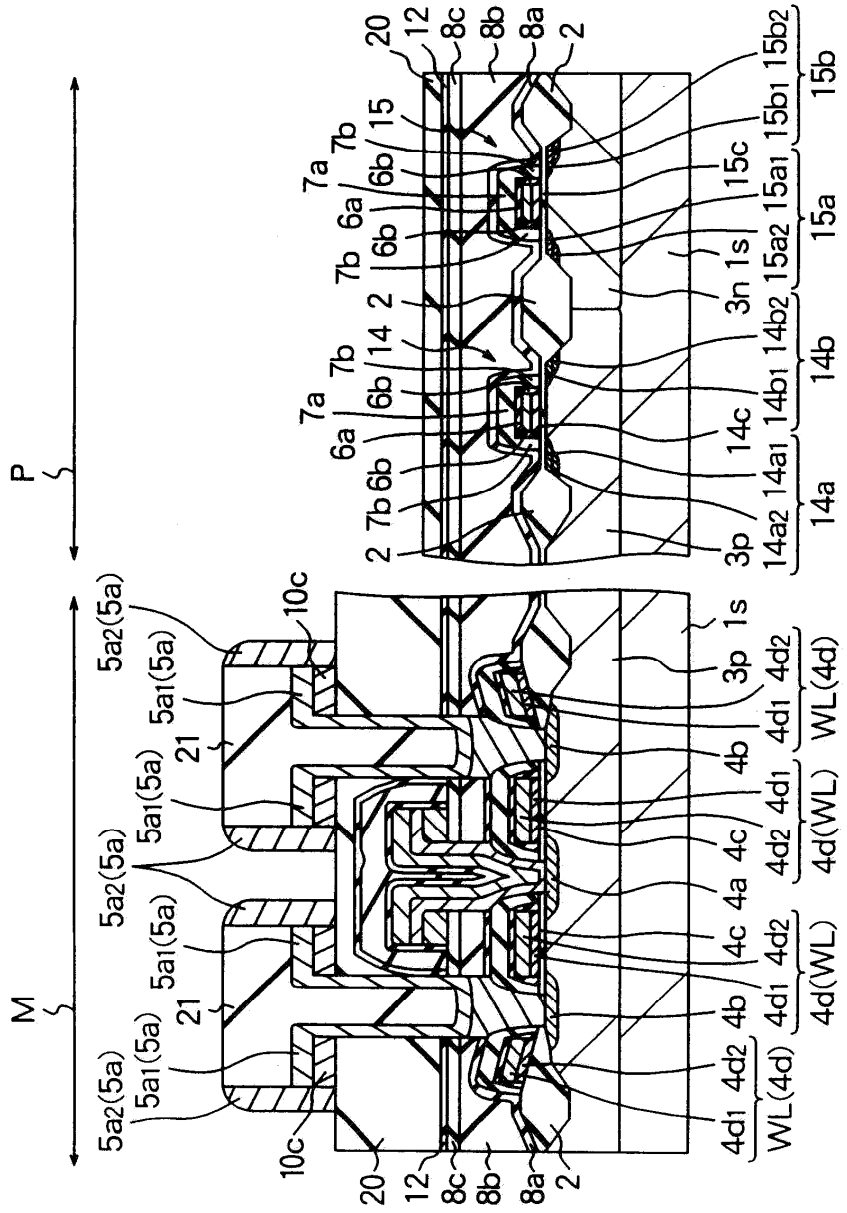
도면5rb


10c
11a
9b2
11a
10c
BL2
BL1
10b
11b
20
11b
12
8c
8b
8a
2
13
3p
1s

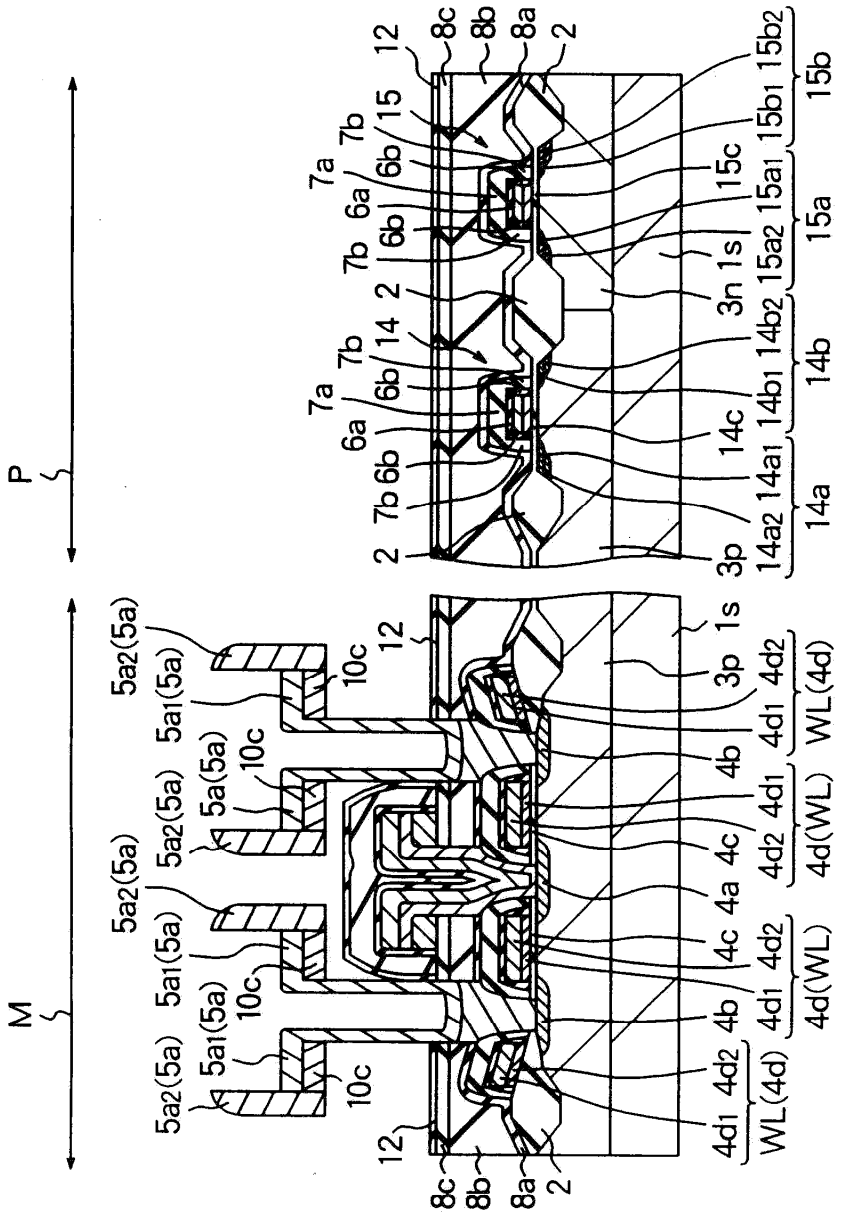
도면5s


P
M
20
12
8c
8b
8a
2
7b
15
6b
7a
6a
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14
14b2
14b1
14b
14c
14a1
14a2
14a
3p
10c
5a1(5a)
21
4b
4c
4a
4d1
4d2
4d(WL)
WL(4d)

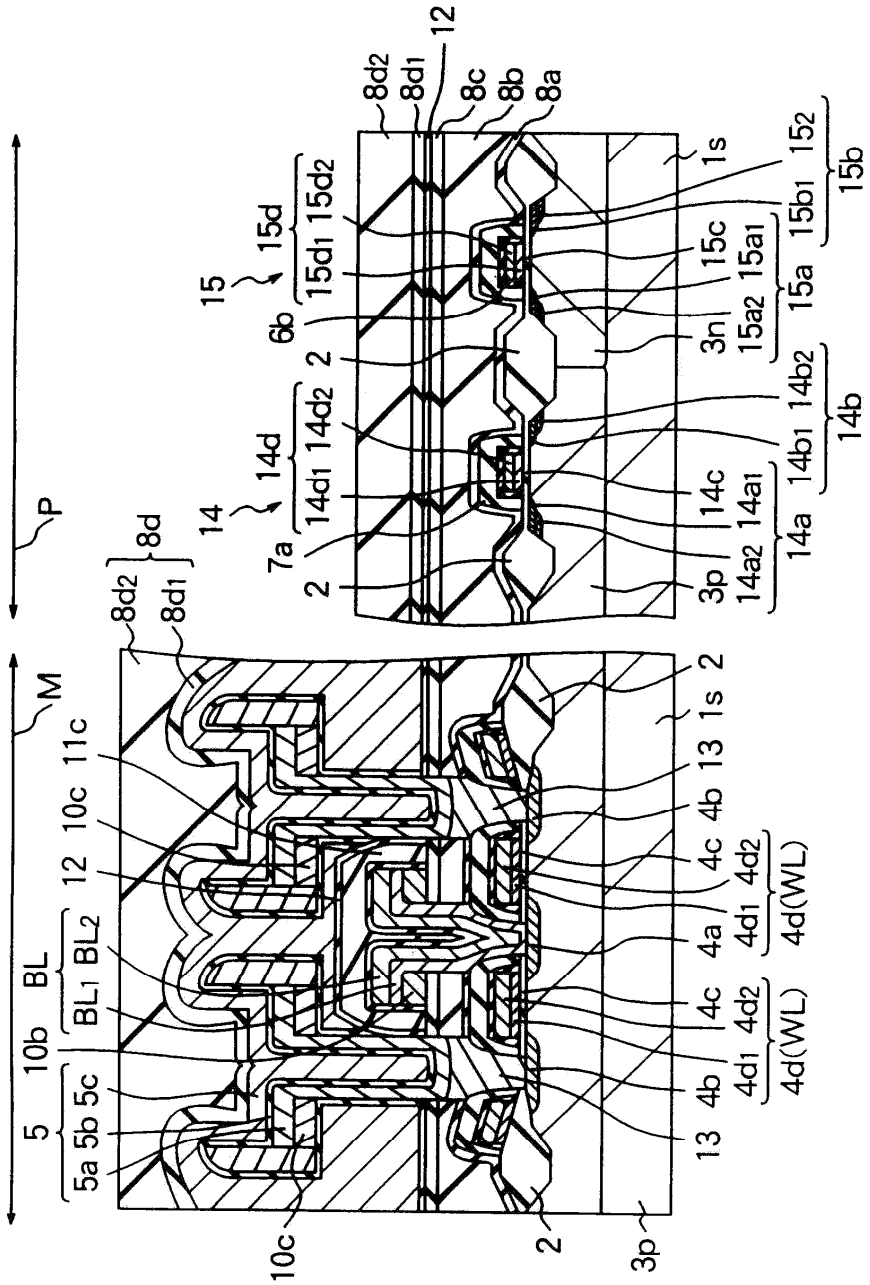
도면5t


P
M
20
12
8c
8b
8a
2
15
7b
6b
7a
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
10c
5a2(5a)
5a1(5a)
21
4d1
4d2
WL(4d)
4b
4c
4a
4d(WL)

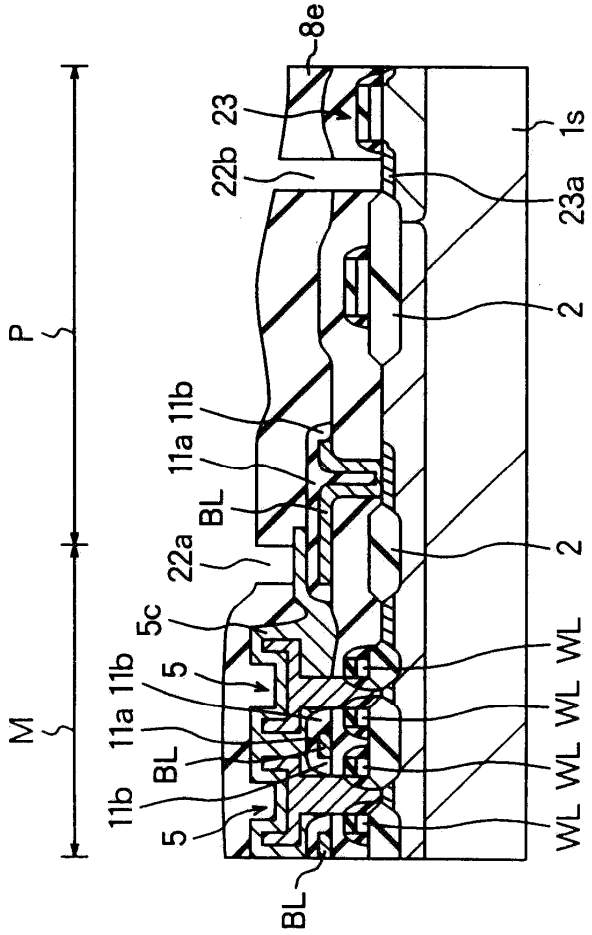
도면5u


P
M
12
8c
8b
8a
2
15
7b
6b
7a
6a
14
15b2
15b1
15b
15c
15a1
15a2
15a
1s
3n
14b2
14b1
14b
14c
14a1
14a2
14a
3p
5a2(5a)
5a1(5a)
5a(5a)
10c
4d1
4d2
WL(4d)
4b
4c
4a
4d(WL)

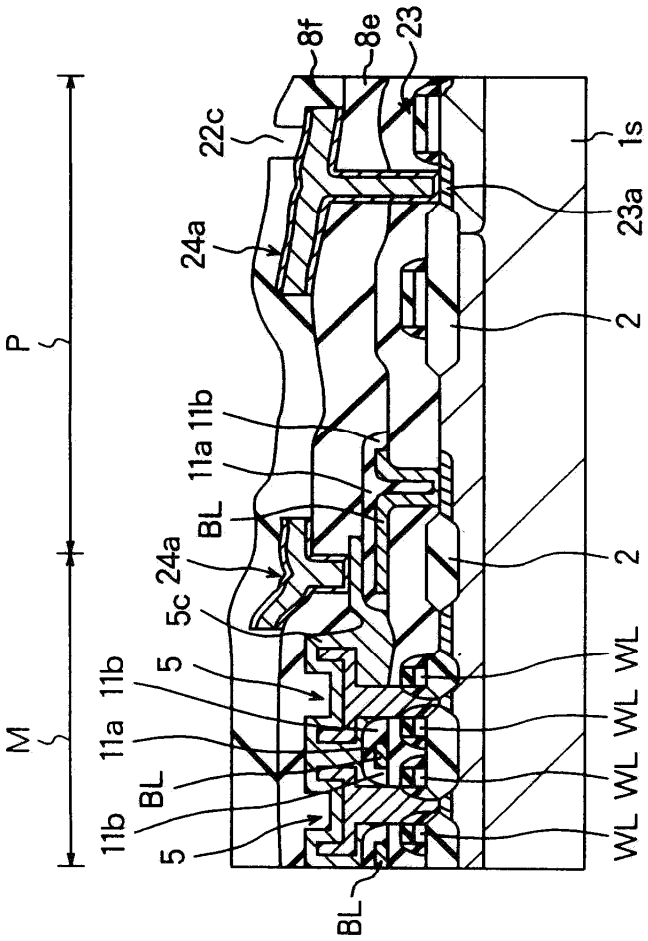
도면5v


P
M
5
5a 5b 5c
10b
BL
BL1 BL2
12
10c
11c
8d
8d1
8d2
10c
2
3p
13
4b
4c
4d1 4d2
4d(WL)
4a
1s
14
14d
14d1 14d2
7a
6b
15
15d
15d1 15d2
8a
8b
8c
8d1
8d2
12
1s
15b
15b1 15b2
15a
15a1 15a2
15c
3n
14b
14b1 14b2
14a
14a1 14a2
14c
3p

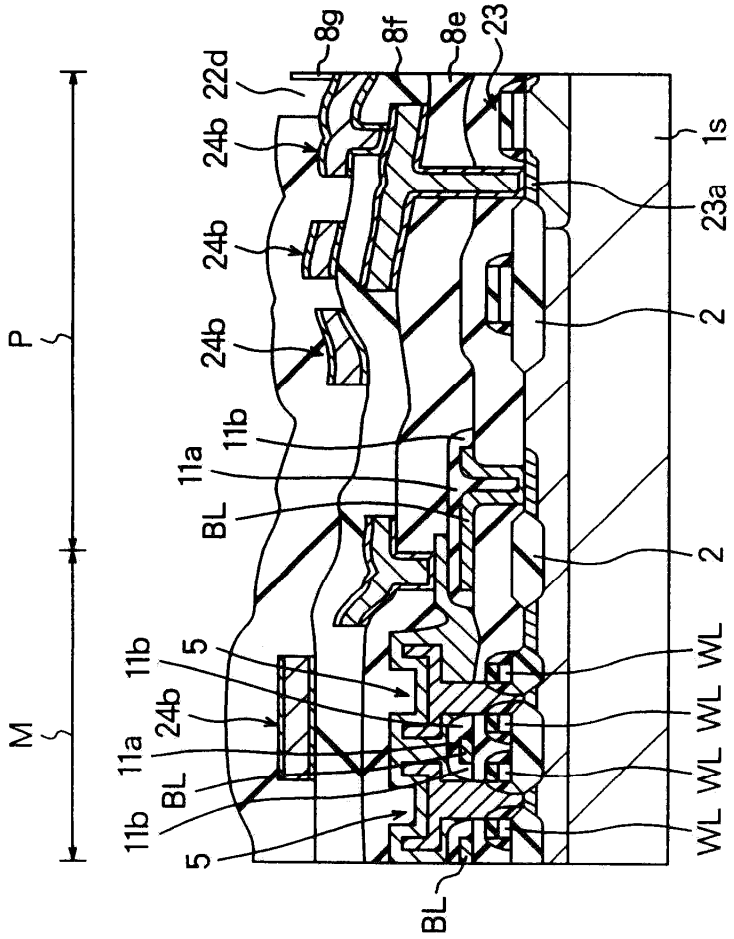
도면5w


8e
23
22b
1s
23a
2
P
11a 11b
BL
22a
2
5c
5
11a 11b
BL
11b
5
M
WL
WL
WL
WL
BL

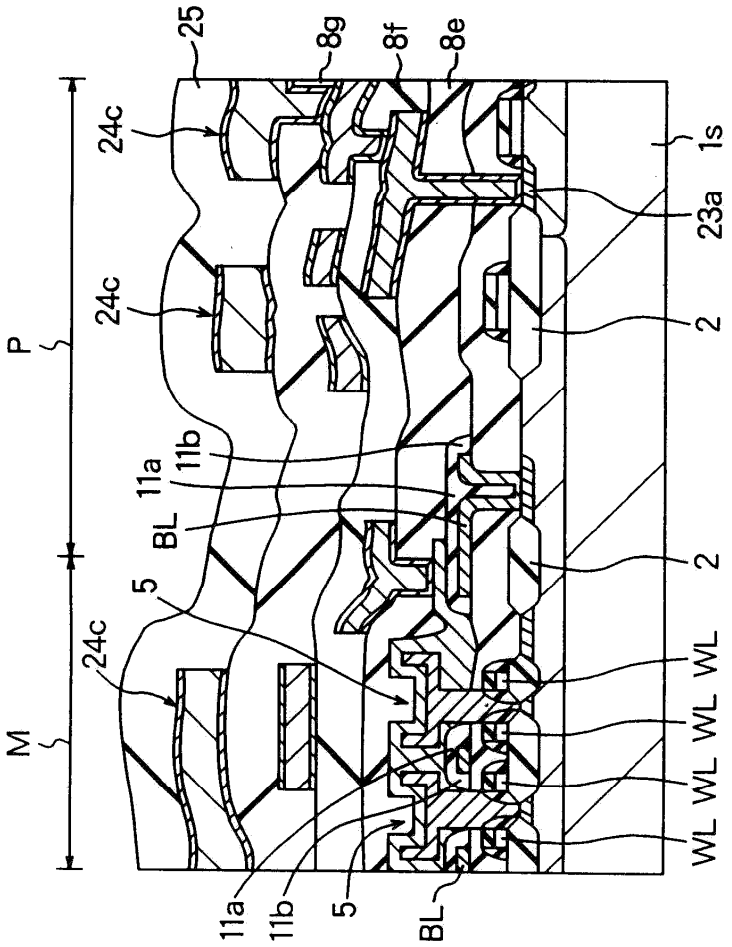
도면5x


8f
8e
23
22c
1s
23a
24a
2
P
11b
11a
BL
24a
2
5c
5
11b
WL
11a
WL
BL
WL
11b
5
WL
M
BL

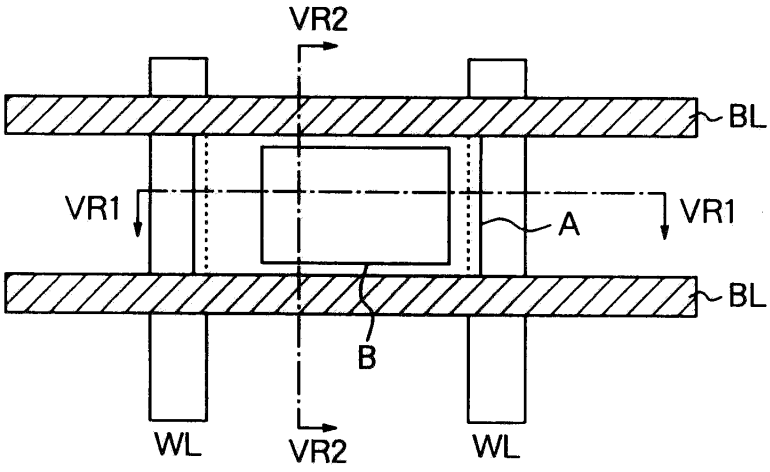
도면5y


8g
8f
8e
23
22d
24b
24b
24b
11b
11a
BL
1s
23a
2
2
WL
WL
WL
WL
P
M
11b
5
24b
11a
BL
11b
5
BL

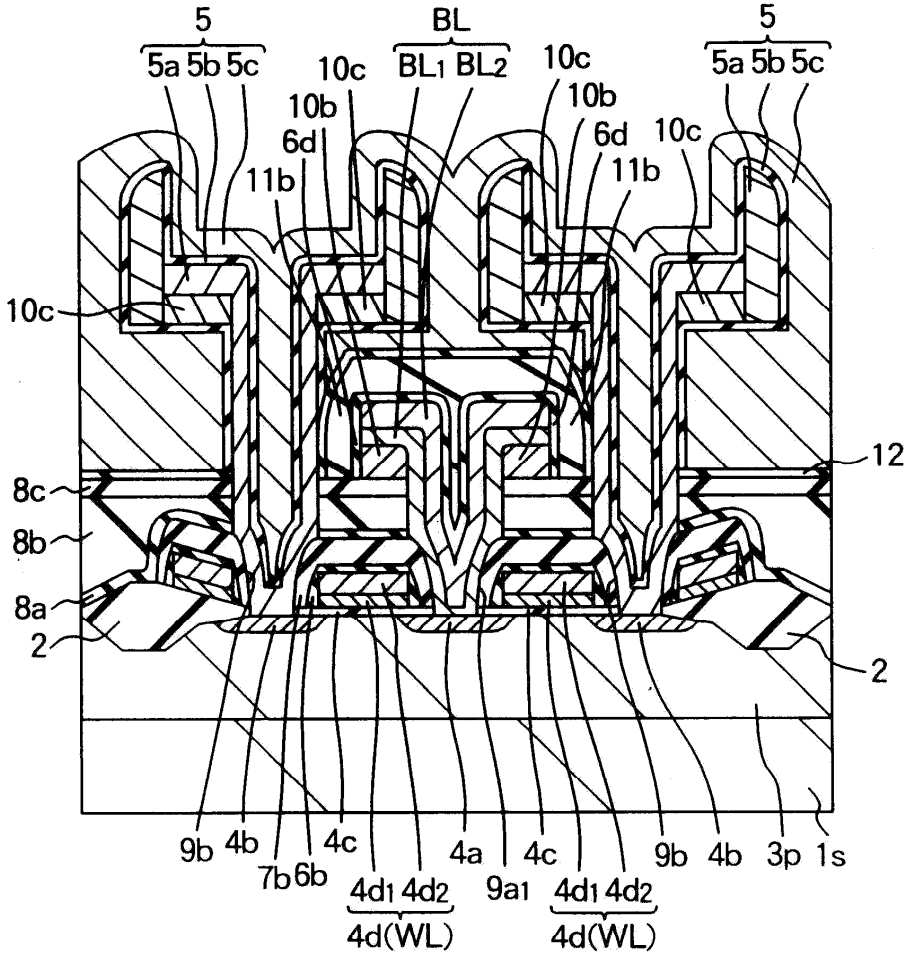
도면5z


25
8g
8f
8e
24c
1s
23a
2
P
11a
11b
BL
5
M
WL
WL
WL
WL

도면6


VR2
BL
VR1
A
VR1
BL
B
WL
VR2
WL

도면7


5
5a 5b 5c
BL
BL1 BL2
10c
10b
6d
11b
10c
10b
6d
11b
10c
5
5a 5b 5c
10c
12
8c
8b
8a
2
2
9b 4b 4c
7b 6b
4d1 4d2
4d(WL)
4a
9a1
4c
4d1 4d2
4d(WL)
9b 4b 3p 1s