



(19) **RU** ⁽¹¹⁾ **2 024 920** ⁽¹³⁾ **C1**

(51) МПК⁵ **G 06 F 1/14**

РОССИЙСКОЕ АГЕНТСТВО
ПО ПАТЕНТАМ И ТОВАРНЫМ ЗНАКАМ

(12) ОПИСАНИЕ ИЗОБРЕТЕНИЯ К ПАТЕНТУ РОССИЙСКОЙ ФЕДЕРАЦИИ

(21), (22) Заявка: 4855405/24, 31.07.1990

(46) Дата публикации: 15.12.1994

(56) Ссылки: Электронная вычислительная машина ЕС1046. А.Т.Кучукян и др. М.: Радио и связь, 1987, с.28-29. Процессор ЕС2130. Техническое описание. Часть I. Общие сведения. Приложение 9. Логические структуры системных средств E13.055.009 T021, с.55-67, рис.53-65, 1989.

(71) Заявитель:

Научно-исследовательский институт
электронных вычислительных машин (ВУ)

(72) Изобретатель: Кондратьев Анатолий
Павлович[ВУ],

Самусев Анатолий Алексеевич[ВУ], Гиль
Святослав Семенович[ВУ], Фирсов Сергей
Владимирович[ВУ]

(73) Патентообладатель:

Научно-исследовательский институт
электронных вычислительных машин (ВУ)

(54) УСТРОЙСТВО ДЛЯ ОТСЧЕТА ВРЕМЕНИ

(57) Реферат:

Изобретение относится к вычислительной технике и предназначено для непрерывного отсчета астрономического времени /функция часы/, для фиксации заранее заданного момента времени /функция компаратора/, для измерения истекшего времени работы процессора /функция таймер процессора/ и может быть применено в ЭВМ любого класса, например в ЕС ЭВМ. Цель изобретения - сокращение аппаратных затрат. Поставленная цель достигается благодаря

тому, что в устройство, содержащее два двунаправленных коммутатора, счетчик, блок управления, блок сравнения, блок памяти информационных разрядов, блок памяти контрольных разрядов, два коммутатора, регистр, блок предсказания переносов, блок предсказания четности байтов, блок формирования сигналов состояния (устройства), элемент свертки по модулю два, элемент ИЛИ с соответствующими связями, дополнительно введен узел реконфигурации с новыми связями. 5 ил.

RU 2 0 2 4 9 2 0 C 1

RU 2 0 2 4 9 2 0 C 1



(19) **RU** ⁽¹¹⁾ **2 024 920** ⁽¹³⁾ **C1**

(51) Int. Cl.⁵ **G 06 F 1/14**

RUSSIAN AGENCY
FOR PATENTS AND TRADEMARKS

(12) **ABSTRACT OF INVENTION**

(21), (22) Application: 4855405/24, 31.07.1990

(46) Date of publication: 15.12.1994

(71) Applicant:

Nauchno-issledovatel'skij institut
ehlektronnykh vychislitel'nykh mashin (BY)

(72) Inventor: Kondrat'ev Anatolij Pavlovich[BY],
Samusev Anatolij Alekseevich[BY], Gil'
Svjatoslav Semenovich[BY], Firsov Sergej
Vladimirovich[BY]

(73) Proprietor:

Nauchno-issledovatel'skij institut
ehlektronnykh vychislitel'nykh mashin (BY)

(54) **DEVICE FOR TIME COUNT**

(57) Abstract:

FIELD: computer engineering. SUBSTANCE:
effect is achieved by the fact that a
reconfiguration unit with new connections is
complementarily introduced into the device
having two bidirectional commutators, a
counter, a control unit, a comparator unit,
memory unit of information digits, memory

unit of checking digits, two commutators, a
register, transfer prognosis block,
prognosis block of the byte parity, block of
signal normalization of the device state,
element of convolution to the modulus two
and OR element with the corresponding
connections. EFFECT: reduction of apparatus
expenses. 5 dwg

RU 2 0 2 4 9 2 0 C 1

RU 2 0 2 4 9 2 0 C 1

Изобретение относится к вычислительной технике и предназначено для организации совместно с процессором в ЭВМ отсчета астрономического времени (функция часы) для фиксации заранее заданного момента времени (функция компаратора), для измерения истекшего времени работы процессора (функция таймер процессора) и может быть применено в ЭВМ любого класса, например, в ЕС ЭВМ.

Известно устройство для отсчета времени, содержащее 20-разрядный счетчик, первую и вторую буферные памяти. В указанном устройстве с помощью 20-разрядного счетчика ежесекундно (через 2^{20} мкс) формируются сигналы-сообщения о микропрограммном прерывании процессору (микропроцессору), представляющие собой запросы процессору на обслуживание устройства. Параллельно указанный сигнал запроса запоминается в первой буферной памяти и в последующем переписывается во вторую буферную память, если процессор не осуществляет из нее чтения данных. При задержке возникновения микропрограммного прерывания в процессоре для обслуживания устройства (по причине, например, останова процессора или в связи с выполнением в процессоре процедуры "начальной загрузки") на несколько секунд все возникающие ежесекундно указанные сигнал-запросы запоминаются (накапливаются) во второй буферной памяти (через первую буферную память). Когда процессор "обслуживает" устройство, то он считывает последовательно все данные из второй буферной памяти и соответствующим образом модифицирует счетчик секунд, организованный микропрограммно в процессоре. При этом перезапись данных из первой буферной памяти во вторую предотвращается, а возможные новые сигналы-запросы, генерируемые 20-разрядным счетчиком в устройстве запоминаются (накапливаются) в первой буферной памяти. Данные из первой буферной памяти переписываются во вторую буферную память после завершения чтения данных из нее процессором.

Недостатками указанного устройства являются большие аппаратные затраты в связи с использованием первой и второй буферных памяти и ограниченный класс решаемых задач в связи с невозможностью организовать с помощью устройства таймер процессора и компаратор.

Известно устройство для отсчета времени, содержащее 20-разрядный счетчик компаратора и 52-разрядный счетчик часов. Старшие (32) разряды таймера процессора, при использовании указанного устройства, организуются в процессоре в виде микропрограммного счетчика путем использования соответствующей (32-разрядной) ячейки локальной памяти процессора, содержимое которой модифицируется (вычитается единица) после появления переноса из старшего разряда 20-разрядного счетчика таймера процессора и соответствующего микропрограммного прерывания в процессоре. Для организации компаратора в локальной памяти процессора выделяется 52-разрядная ячейка, в которой хранится значение компаратора. По сигналам от устройства, генерируемых каждую секунду, осуществляется микропрограммное

прерывание в процессоре, после которого процессор осуществляет "обслуживание" устройства. Осуществляется чтение значения часов из 52-разрядного счетчика и вычитание от значения часов значения компаратора. Если полученная разность соответствует значению времени, большему одной секунды, то вычисление указанной разности повторяется через секунду. Если полученная разность имеет значение, меньшее (равное) одной секунды, то код разности загружают в 20-разрядный счетчик компаратора, который по истечении оставшегося времени выдает запрос на внешнее прерывание от компаратора.

Недостатком указанного устройства являются большие аппаратные затраты в связи с использованием 52-разрядного счетчика часов и низкая достоверность счета.

Наиболее близким по технической сущности к заявляемому является устройство для отсчета времени, содержащее первый и второй двунаправленные коммутаторы, счетчик, блок управления, блок сравнения, блок памяти информационных разрядов, блок памяти контрольных разрядов, первый и второй коммутаторы, регистр, блок предсказания четности байтов, блок состояния, элемент свертки по модулю два, элемент ИЛИ, причем группа адресных входов блока памяти контрольных разрядов соединена с группой адресных входов блока памяти информационных разрядов и с группой адресных выходов блока управления, вход запуска которого является входом запуска устройства, вход задания операций внешнего обмена которого соединен с входом задания операций внешнего обмена блока управления, группа входов задания начальных условий которого является группой входов задания начальных условий устройства, первая группа тактовых входов блока управления является первой группой тактовых входов устройства, вход фиксации переполнения блока состояния устройства соединен с выходом переполнения блока предсказания переносов, группа выходов которого соединена со второй группой входов блока предсказания четности байтов, первая группа входов которого соединена с группой информационных входов блока предсказания переносов, с группой разрядных выходов счетчика и с группой информационных входов блока памяти информационных разрядов, управляющий вход которого соединен с управляющим входом блока памяти контрольных разрядов и с шестым выходом блока управления, седьмой выход которого соединен с управляющим входом второго коммутатора, группа выходов которого соединена с группой информационных входов регистра, а вторая группа информационных входов второго коммутатора соединена со второй группой выходов блока предсказания четности байтов, первая группа выходов которого соединена со второй группой входов блока сравнения, первая группа входов которого соединена с группой разрядных выходов регистра и с группой информационных входов блока памяти контрольных разрядов, группа выходов которого соединена с первой группой информационных входов второго коммутатора и со второй группой информационных входов/выходов второго

двунаправленного коммутатора, вторая группа информационных входов/выходов первого двунаправленного коммутатора соединена с группой выходов блока памяти информационных разрядов и с группой информационных входов счетчика, вход разрешения счета которого соединен с первым выходом блока управления, второй выход которого соединен со входом запрета первого, второго двунаправленных коммутаторов и первого коммутатора, входы управления передачей информации первого и второго двунаправленных коммутаторов соединены с третьим выходом блока управления, четвертый выход которого соединен со входом управления передачей информации первого коммутатора, первая группа информационных входов/выходов первого двунаправленного коммутатора является группой входов/выходов задания времени устройства, первая группа входов/выходов второго двунаправленного коммутатора является группой входов/выходов контрольных разрядов устройства, группа информационных выходов вместе с выходом разряда контроля четности первого коммутатора является группой выходов сигналов состояния вместе с выходом разряда контроля четности устройства, выход ошибки которого соединен с выходом блока сравнения, а группа выходов состояния блока состояния соединена с соответствующими входами элемента свертки по модулю два и с информационными входами первого коммутатора, вход разряда контроля четности которого соединен с выходом элемента свертки по модулю два, соответствующие входы которого соединены со входами элемента ИЛИ, выход которого соединен с выходом запроса устройства, управляющий вход блока состояния соединен с пятым выходом блока управления, выход конца операции внешнего обмена которого является выходом конца операции внешнего обмена устройства, соответствующие тактовые входы второй группы тактовых входов которого соединены с группами тактовых входов первого, второго двунаправленных коммутаторов, первого коммутатора, счетчика, регистра, блока состояния и со второй группой тактовых входов блока управления.

Недостатком указанного устройства являются большие аппаратные затраты из-за необходимости использовать 52-разрядных счетчика первого двунаправленного коммутатора, блока памяти информационных разрядов.

Цель изобретения - сокращение аппаратных затрат за счет обеспечения возможности использования 20-разрядных счетчика, первого двунаправленного коммутатора, блока памяти информационных разрядов при обеспечении решения в процессоре ЭВМ всех задач, решаемых с помощью прототипа.

Поставленная цель достигается тем, что устройство для отсчета времени, содержащее первый и второй двунаправленные коммутаторы, счетчик, блок управления, блок сравнения, блок памяти информационных разрядов, блок памяти контрольных разрядов, первый и второй коммутаторы, регистр, блок предсказания переносов, блок предсказания четности байтов, блок состояния, элемент

свертки по модулю два, элемент ИЛИ, причем группа адресных входов блока памяти контрольных разрядов соединена с группой адресных входов блока памяти информационных разрядов и с группой адресных выходов блока управления, вход запуска которого является входом запуска устройства, вход задания операций внешнего обмена которого соединен с входом задания операций внешнего обмена блока управления, группа входов задания начальных условий которого является группой входов задания начальных условий устройства, первая группа тактовых входов блока управления является первой группой тактовых входов устройства, вход фиксации переполнения блока состояния соединен с выходом переполнения блока предсказания переносов, группа выходов которого соединена со второй группой входов блока предсказания четности байтов, первая группа входов которого соединена с группой информационных входов блока предсказания переносов, с группой разрядных выходов счетчика и с группой информационных входов блока памяти информационных разрядов, управляющий вход которого соединен с управляющим входом блока памяти контрольных разрядов и с шестым выходом блока управления, седьмой выход которого соединен с управляющим входом второго коммутатора, группа выходов которого соединена с группой информационных входов регистра, а вторая группа информационных входов второго коммутатора соединена со второй группой выходов блока предсказания четности байтов, первая группа выходов которого соединена со второй группой входов блока сравнения, первая группа входов которого соединена с группой разрядных выходов регистра и с группой информационных входов блока памяти контрольных разрядов, группа выходов которого соединена с первой группой информационных входов второго коммутатора и со второй группой информационных входов/выходов второго двунаправленного коммутатора, вторая группа информационных входов/выходов первого двунаправленного коммутатора соединена с группой выходов блока памяти информационных разрядов и с группой информационных входов счетчика, вход разрешения счета которого соединен с первым выходом блока управления, второй выход которого соединен со входом запрета первого, второго двунаправленных коммутаторов и первого коммутатора, входы управления передачей информации первого и второго двунаправленных коммутаторов соединены с третьим выходом блока управления, четвертый выход которого соединен со входом управления передачей информации первого коммутатора, первая группа информационных входов/выходов первого двунаправленного коммутатора является группой входов/выходов задания времени устройства, первая группа информационных входов/выходов второго двунаправленного коммутатора является группой входов/выходов контрольных разрядов устройства, группа информационных выходов вместе с выходом разряда контроля четности первого коммутатора является группой выходов

сигналов состояния вместе с выходом разряда контроля четности устройства, выход ошибки которого соединен с выходом блока сравнения, а группа выходов состояния блока состояния соединена с соответствующими входами элемента свертки по модулю два и с информационными входами первого коммутатора, вход разряда контроля четности которого соединен с выходом элемента свертки по модулю два, соответствующие входы которого соединены с входами элемента ИЛИ, выход которого соединен с выходом запроса устройства, выход конца операций внешнего обмена которого соединен с выходом конца операции внешнего обмена блока управления, пятый выход которого соединен с управляющим входом блока состояния, группа тактовых входов которого, а также группы тактовых входов первого и второго двунаправленных коммутаторов, первого коммутатора, счетчика, регистра и вторая группа тактовых входов блока управления соединены с соответствующими тактовыми входами второй группы тактовых входов устройства, дополнительно содержит узел реконфигурации, причем управляющий выход блока состояния соединен с первым управляющим входом узла реконфигурации, первый выход которого соединен со входом сброса счетчика, счетный вход которого соединен с управляющим входом блока предсказания переносов и блока предсказания четности байтов и со вторым выходом узла реконфигурации, второй управляющий вход которого соединен с восьмым выходом блока управления, выход блока предсказания переносов соединен с третьим управляющим входом узла реконфигурации, группа тактовых входов которого соединена с соответствующими тактовыми входами второй группы тактовых входов устройства.

В предложенном устройстве содержатся такие признаки, как узел реконфигурации со связями, которые отсутствуют во всех аналогах и благодаря которым достигается положительный эффект - сокращение аппаратных затрат за счет уменьшения разрядности (до 20 разрядов) счетчика (часов). Структура узла реконфигурации также является новой, но может быть разной в зависимости от используемой элементной базы.

Так как в предложенном устройстве содержатся признаки, не обнаруженные ни в одном аналоге и обеспечивающие достижение положительного эффекта, то оно соответствует критерию "существенные отличия".

На фиг. 1 изображена структурная схема устройства; на фиг. 2 - структурная схема блока управления устройством; на фиг. 3 - функциональная схема блока состояния устройства; на фиг. 4 - функциональная схема узла реконфигурации устройства; на фиг. 5 - функциональные схемы блока предсказания переносов и блока предсказания четности со связями.

Цифрами в прямоугольниках (квадратах) и около них на фиг. 1 - фиг. 5 обозначены: 1 - первый двунаправленный коммутатор; 2 - второй двунаправленный коммутатор; 3 - первый коммутатор; 4 - счетчик; 5 - блок управления; 6 - блок сравнения; 7 - блок

памяти информационных разрядов; 8 - блок памяти контрольных разрядов; 9 - второй коммутатор; 10 - регистр; 11 - блок предсказания переносов; 12 - блок предсказания четности байтов; 13 - узел реконфигурации; 14 - блок состояния; 15 - элемент свертки по модулю два; 16 - элемент ИЛИ; 17 - первый выход узла 13, вход сброса счетчика 4 и регистра 10; 18 - второй выход узла 13, счетный вход счетчика 4, управляющий вход блоков 11 и 12; 19 - управляющий выход блока 14, первый управляющий вход узла 13; 20 - второй управляющий вход узла 13, восьмой выход блока 5; 21 - первая группа входов/выходов коммутатора 1; 22 - первая группа входов/выходов коммутатора 2, группа входов/выходов контрольных разрядов устройства; 23 - группа выходов вместе с выходом разряда контроля четности коммутатора 31, группа выходов состояния устройства вместе с выходом разряда контроля четности; 24 - группа выходов состояния блока 14, соответствующие входы элемента 15, группа информационных входов коммутатора 3; 25 - выход запроса устройства, выход элемента 16; 26 - выход конца операции внешнего обмена блока 5 и устройства; 27 - вход задания операций внешнего обмена устройства и блока 5; 28 - входы элемента 16; 29 - вход разряда контроля четности группы информационных входов коммутатора 3, выход элемента 15; 30 - группа выходов коммутатора 9, группа информационных входов регистра 10; 31 - группа разрядных выходов счетчика 4, группа информационных входов блоков 7, 11, первая группа входов блока 12; 32 - группа выходов блока 11, вторая группа входов блока 12; 33 - выход блока 6, выход ошибок устройства; 34 - выход переполнения блока 11, вход фиксации переполнения блока 14, третий управляющий вход узла 13; 35 - вторая группа выходов блока 12, вторая группа информационных входов коммутатора 9; 36 - первая группа выходов блока 12, вторая группа входов блока 6; 37 - управляющий вход блока 14, пятый выход блока 5; 38 - первая группа входов блока 6, группа выходов регистра 10, группа информационных входов блока 8; 39 - управляющий вход коммутатора 9, седьмой выход блока 5; 40 - управляющий вход блоков 7, 8, шестой выход блока 5; 41 - группа адресных входов 7, 8, группа адресных выходов блока 5; 42 - группа выходов блока 8, вторая группа информационных входов/выходов коммутатора 2, первая группа информационных входов коммутатора 9; 43 - вход разрешения счета счетчика 4, первый выход блока 5; 44 - вход управления передачей информации коммутатора 3, четвертый выход блока 5; 45 - вход запрета коммутаторов 1, 2, 3, второй выход блока 5; 46 - вход управления передачей информации коммутаторов 1, 2, 3, третий выход блока 5; 47 - вторая группа тактовых входов устройства; 48 - вторая группа тактовых входов блока 5; 49 - вход запуска устройства и блока 5; 50 - группа входов задания начальных условий устройства и блока 5; 51 - первая группа тактовых входов устройства и блока 5; 52 - группа тактовых входов блока 14, соответствующие тактовые входы группы входов 47; 53 - группа тактовых входов

счетчика 4, регистра 10, узла 13; 54 - группа тактовых входов коммутаторов 1, 2, 3; 55 - группа выходов блока 7, группа информационных входов/выходов коммутатора 2; 56 - узел внутреннего управления блока 5; 57 - узел управления внешним обменом блока 5; 58 - узел сравнения блока 5; 59 - узел формирования адресных сигналов блока 5; 60 - первая группа тактовых входов узла 56 (тактовых сигналов > ТЗБОВ, > Т4БОВ), соответствующие входы группы входов 51; 61 - группа тактовых входов узла 58 (тактовых сигналов > СИ2-БОВ, > СИ4-БОВ), соответствующие входы группы входов 48; 62 - вторая группа тактовых входов узла 56 (тактовых сигналов > СИ4-БОВ, > СИ6-БОВ), соответствующие входы группы входов 48; 63 - вторая группа тактовых входов узла 57, (тактовых сигналов > С1БОВД, > С2БОВД, > ТИ2-СИ2, > ТИ3-С2), соответствующие входы группы входов 48; 64 - первая группа тактовых входов узла 57 (тактовых сигналов > ТТ2-С1, > ТТ4-С2, > РТИ1П1, > ТТ5-С1, РТИ2В, > Т5БОВ), соответствующие входы группы выходов 51; 65 - группа тактовых входов узла 59 (тактовых сигналов > СИ1-БОВ, > СИ6-БОВ), соответствующие входы группы входов 48; 66 - группа адресных выходов узла 57, первая группа входов узла 58, вторая группа входов которого соединена с группой адресных выходов узла 79 и с группой адресных выходов 41; 67, 68, 69, 80 - триггеры в блоке 14; 70, 75, 76 - элементы И-НЕ в блоке 14; 71, 73, 74, 77, 81 - элементы И-НЕ в блоке 14; 72 - элемент НЕ в блоке 14; 78 - элемент И в блоке 14; 79 - элемент ЗИ-ИЛИ-НЕ в блоке 14; 82 - вход синхронизации (соответствующий сигналу > СИ3-БОВ) группы входов 52; 83 - вход синхронизации (соответствующий сигналу > СИ4-БОВ) группы входов 52; 84, 85, 86 - инверсные выходы элементов соответственно 70, 75, 76; 87 - инверсный выход элемента 79; 88 - инверсный выход триггера 80; 89 - прямой выход триггера 80, соответствующий разряд выхода 19; 90 - выход элемента 81, соответствующий разряд выхода 19; 91 - элемент И-НЕ в узле 13; 92 - элемент И-НЕ в узле 13; 93, 94 - триггеры в узле 13; 95 - элемент И в узле 13; 96 - элемент И-НЕ в узле 13; 97 - элемент И-НЕ в узле 13; 98, 99 - элементы И в блоке 11; 100, 101 - элементы И в блоке 11; 102- узел формирования сигналов четности в блоке 12; 103 - выход предсказанных сигналов четности байтов узла 102; 104, 105 - коммутатор в блоке 12.

Идентификаторы сигналов, приведенные над соответствующими связями на фиг. 2-4 соответствуют принятым идентификаторам (обозначениям) этих же сигналов (и связей) в документе [3].

Цифры около групп входов и выходов на фиг. 5 обозначают номера разрядов или входов и выходов.

Двунаправленные коммутаторы 1, 2 и коммутатор 3 предназначены для подключения устройства к общей магистрали центрального процессора и организации обмена информацией с центральным процессором. По структуре и функционированию коммутаторы 1, 2, 3

идентичны одноименным коммутатором прототипа и могут быть построены на микросхемах типа КМ500РС3 или КС1543ИР1. Коммутаторы 1, 2, 3 функционируют следующим образом. При установке на входе 45 логического нуля ($> \text{EPD}=0$) обеспечивается запрет записи информации с любой группы входов/выходов коммутаторов во внутренний регистр. При установке на входе 45 логической единицы ($> \text{EPD}=1$) обеспечивается запись информации во внутренний регистр коммутаторов 1, 2, 3 с первой или второй группы информационных входов/выходов коммутаторов (в зависимости от управляющих сигналов на входе 46, 44) под действием тактовых импульсов на тактовых входах 54. Группа 54 тактовых входов состоит из двух тактовых входов, на первый из которых подается тактовый сигнал > С1БОВ, фиксирующий входную информацию, а второй - > сигнал С2БОВ, фиксирующий информацию для передачи на выходы.

При формировании сигналов > DE1PD=0 и > DE3PD=0 на разрядах входов 44, 46 передача информации на входы/выходы с выходов внутреннего регистра блокируется. При формировании сигналов > DE1PD=1, > DE3PD=1 обеспечивается передача информации со второй группы информационных входов/выходов и со входов 24 и 29 на информационные входы внутренних регистров для записи в регистры и передача информации с выходов внутренних регистров коммутаторов на выходы 23 коммутатора 3 и (при формировании сигнала > SPD=0 на соответствующем разряде выхода 46 (см. фиг. 2)) на первую группу информационных входов/выходов коммутаторов 1, 2. При формировании сигнала > SPD=1 (при сигнале > DE1PD=1) обеспечивается передача информации в обратном направлении. Передача информации в обратном направлении в коммутаторе 3 не предусмотрена.

Счетчик 4 предназначен для промежуточного запоминания значений часов, компаратора, таймера процессора и для модификации (счета) указанных значений. Счетчик 4 может быть реализован, например, на микросхемах типа КМ500СТ2 или КС1543ИЕ1. Счетчик 4 функционирует следующим образом. При логическом нуле ($> \text{E2C4}=0$) на входе 43 счетчик 4 устанавливается в режим записи кода с информационной группы входов под действием тактовых сигналов на входах 53. При логической единице ($> \text{E2C4}=1$) на входе 43 счетчик 4 устанавливается в режим счета при логической единице на входе 18 или в режим хранения при логическом нуле на входе 18.

Описанные режимы устанавливаются при логической единице на входе 17. При логическом нуле на входе 17 счетчик 4 "сбрасывается" под действием тактовых сигналов на входах 53.

Блок 5 управления (фиг. 2) предназначен для формирования управляющих сигналов для всех узлов и блоков устройства, для формирования адресов часов, коммутатора и таймера процессора в требуемый временной промежуток времени и для формирования сигнала конца операции внешнего обмена на

выходе 26.

Структурная схема блока 5 изображена на фиг. 2. Блок 5 содержит узел 56 внутреннего управления, узел 57 управления внешним обменом, узел 58 сравнения, узел 59 формирования адресных сигналов.

Структурная схема блока 5 отличается от структурной схемы блока управления прототипа наличием дополнительного выхода 20, на разрядах которого формируются сигналы > РКМ1, > ЗПБОВ, > СПАДР2, РТП, > Р4С2, формирование которых уже предусмотрено в блоке управления прототипа.

В связи с тем, что изменения структуры блока 5 однозначно определяются наличием признака - выхода 20 и алгоритмом функционирования узла 13, авторы и заявитель считают нецелесообразным включать признаки блока управления в формулу изобретения.

Моменты появления и назначения сигналов ЗПБОВ, СПАДР2, > Р4С2, > РКМ2, > РТП2, > СБРОС, РТП, > РКМ1, > УПР, УПР, > WRRAMД, > Е1РАМД, > АДР1, > АДР2, > ТСР, > СПАДР1 будет пояснено ниже и при описании функционирования устройства.

Блок 6 сравнения предназначен для сравнения значений контрольных разрядов с группы выходов 38 регистра 10 и с группы выходов 36 для формирования сигналов ошибок на выходе 33.

Блок 7 памяти информационных разрядов и блок 8 памяти контрольных разрядов предназначены для хранения кодов текущих значений часов (компаратора, таймера процессора) и контрольных кодов значений побайтных сигналов четности кодов текущих значений часов (компаратора, таймера процессора). Блоки 7, 8 функционируют следующим образом. При формировании сигнала > Е1РАМД=0 на соответствующем разряде входа 40 выходы блоков 7, 8 блокируются, а при формировании сигнала > Е1РАМД=1 и сигнала > WRRAMД=0 на соответствующих разрядах входа 40 на выходы блоков 7, 8 считывается информация, хранимая в блоках по адресу, код которого установлен на входах 41. При формировании сигналов > Е1РАМД=1 и > WRRAMД=1 осуществляется операция записи в блоках 7, 8 по адресу, код которого установлен на входах 41.

Коммутатор 9 предназначен для передачи контрольных кодов сигналов четности с группы выходов блока 8 (при сигналах > УПР=1, > УПР=0 на соответствующих разрядах входа 39) или с группы выходов 35 (при сигналах > УПР=0, > УПР=1).

Регистр 10 предназначен для временного хранения контрольных кодов сигналов четности, передаваемых с выходов блока 8 или выходов 35 блока 12.

Блок 11 предсказания переносов (фиг. 5) предназначен для формирования сигналов побайтных предсказанных переносов на выходах 32, предсказанного сигнала переполнения на выходе 34.

Блок 11 может быть построен на элементах И 98, 99, 100, 101. При логическом нуле на входе 18 блока 11 на всех выходах 32, 34 устанавливается логический нуль (т.е.

формирование переносов блокируется). При логической единице на входе 18 блока 11 обеспечивается формирование сигналов переносов в соответствии с алгоритмом, задаваемом функциональной схемой блока 11 на фиг. 5.

Структура и функционирование блока 11 идентичны структуре и функционированию одноименного блока прототипа с тем отличием, что количество выходов в группе выходов 32 равно двум (вместо шести) и введен управляющий вход 18.

Блок 12 предсказания четности байтов (фиг. 5) предназначен для формирования побайтных сигналов четности (на выходах 36) для кода, установленного на входе 31 и предсказанных побайтных сигналов четности (на выходах 35) для кода, установленного на входе 31 после его модификации. Блок 12 содержит узел 102 формирования сигналов четностей, коммутаторы 104, 105. На выходе 36 формируются побайтные сигналы четностей для кода, установленного на входе 31. На выходах 103 формируются предсказанные сигналы четности для каждого байта кода, установленного на входе 31, т.е. предполагается, что к значению кода каждого байта (в младший разряд байта) прибавлена единица и для полученного кода - суммы формируется предсказанный сигнал четности на соответствующем выходе 103. Узел 102 может быть построен на элементах ПЗУ соответствующим образом закодированных (как в прототипе). В зависимости от наличия или отсутствия переноса в байт кода на соответствующий выход 35 передается сигнал либо с соответствующего выхода 103, либо с соответствующего выхода 36. При логическом нуле на входе 18 на соответствующий выход группы выходов 35 всегда передается сигнал с соответствующего выхода группы выходов 36. При логической единице на входе 18 на соответствующий выход группы выходов 35 всегда передается сигнал с соответствующего выхода группы выходов 103.

Структура блока 12 отличается от структуры одноименного блока прототипа наличием дополнительного коммутатора 104 со связями.

Так как изменения в структуре блоков 11, 12 обусловлены наличием признака - связи 18, то авторы считают нецелесообразным описывать структуру блоков 11 и 12 в формуле изобретения.

Узел реконфигурации 13 предназначен для формирования управляющих сигналов, обеспечивающих автоматическое изменение режима функционирования устройства (реконфигурацию связей в устройстве) так, что устройство из режима "счета" (часов, компаратора, таймера процессора) переходит в режим "сохранения счета часов". Узел 13 (фиг. 4) может быть построен на элементах И-НЕ 91, 92, 96, 97, И 95, триггерах 93, 94. В исходном состоянии на разрядах 89, 90 входа 19 установлены логические нули, под действием которых триггеры 93, 94 удерживаются в "нулевом" состоянии, а на выходах 17, 18 - логические единицы. При установке на разряде 90 входа 19 логической единицы триггер 94 переходит в "единичное" состояние только при появлении сигналов > Р4С2=1, РТП=1, > РО=1 на

соответствующих разрядах входа 20. При этом, при последующем появлении сигнала РТП=0 триггер 94 вновь переходит в "нулевое" состояние и сохраняет его до повторного появления сигнала $\gt P4C2=1, \gt PO=1$. В момент появления сигнала $\gt P4C2=1$ на инверсном выходе элемента 96 устанавливается логический ноль, который удерживает логическую единицу на выходе 18 независимо от состояния разряда 89 входа 19. Логический ноль на выходе 18 устанавливается только при логической единице на разряде 89 входа 19, наличии сигнала $\gt P4C2=0$ и "нулевом" состоянии триггера 94. Всякий раз при появлении сигналов $\gt ЗПБОВ=1, \gt СПАДР2=1$ триггеры 93, 94 устанавливаются в "нулевое" состояние. При этом при логической единице на разряде 89 и сигнале $\gt РКМ1=1$ на выходе 17 устанавливается логический ноль, а триггер 93 устанавливается в "единичное" состояние. Триггеры 93, 94 переключаются под действием синхросигналов $\gt СИ3=1, \gt СИ4=1$, формируемых последовательно на входах 82, 83 группы входов 53.

На фиг. 4 буквами D, R, E около входов триггеров 93, 94 (так же как и на фиг. 3 около входов триггеров 67, 68, 69, 80) обозначены соответственно информационный вход, вход сброса (при логическом нуле), вход запрета переключения (при логическом нуле). Буквами \bar{F} , F обозначены

соответственно инверсный и прямой выходы триггеров, переключение состояния которых осуществляется после окончания действия сигнала $\gt СИ3=1$ на входе С1 и начала действия сигнала $\gt СИ4=1$ на входе С2.

Блок 14 состояния (фиг. 3) предназначен для формирования сигналов состояния устройства, в том числе сигнал ($\gt ПРТП$) прерывания от таймера процессора, сигнал ($\gt ПРКМ$) прерывания от компаратора, сигнал ($\gt ПЧС$) прерывания от часов, сигнал ($\gt ПРКФ$) прерывания на реконфигурацию.

Блок 14 может быть построен на элементах И-НЕ 70, 71, 75, 73, 76, 77, 74, 81, НЕ 72, ЗИ-ИЛИ 79, триггерах 67, 68, 69, 80. Триггеры 67, 68, 69, 80 функционируют так же как и триггеры в узле 4 (см. описание узла 4) и могут быть реализованы на микросхемах КС1543ТМ2 или КМ500ТТ2.

Триггеры 67, 68, 69 устанавливаются в "нулевое" состояние при формировании сигнала $\gt СБРОС=1$ на соответствующем разряде входа 37. При этом триггеры 67, 68, 69 устанавливаются в "нулевое" состояние только в том случае, если они находились в "единичном" состоянии или находятся в "единичном" состоянии триггер 80. Если же триггер 67 (68, 69) находится в "нулевом" состоянии (при нулевом состоянии триггера 80) и имеет место одновременное формирование сигналов $\gt СБРОС=1, \gt Р4С2=1$ ($\gt РКМ2=1, \gt РТП2=1$), $\gt PO=1$, на разрядах входа 37, то установка "нулевого" состояния триггера 67 (68, 69) предотвращается (в связи с блокировкой элемента 71 (73, 74) и обеспечивается установка "единичного" состояния указанного триггера путем записи логической единицы со входа $\gt PO=1$. Таким образом, в отличие от прототипа предотвращается потеря сигналов прерывания (благодаря использованию

элементов 70, 71 (73, 75 и 74, 76) при формировании сигнала $\gt СБРОС=1$). Описанный положительный эффект является дополнительным по отношению к основному и зависимым от основного. Если логическая единица со входа 34 ($\gt PO=1$) будет зафиксирована в одном из триггеров 67, 68, 69 при одновременном появлении сигнала $\gt Р4С2=1$ ($\gt РКМ2=1, \gt РТП2=1$) и после этого не появляется сигнал $\gt СБРОС=1$ вплоть до повторного появления сигнала $\gt PO=1$, то при повторном появлении сигнала $\gt PO=1$ при одновременном появлении сигнала $\gt Р4С2=1$ ($\gt РКМ2=1, \gt РТП2=1$) обеспечивается переключение в "единичное" состояние (через элемент 79) триггера 80. На разрядах 89, 90 устанавливаются при этом логические единицы. При этом на разряде 90 логическая единица устанавливается до появления синхросигналов $\gt СИ3=1, \gt СИ4=1$, а на разряде 89 выхода 89 устанавливается логическая единица после сигнала $\gt СИ3=1$ в момент действия сигнала $\gt СИ4=1$. В результате обеспечивается своевременное переключение триггеров в узле 13 и изменение режимов функционирования счетчика 4. При появлении сигналов $\gt ЗПБОВ=1, \gt СПАДР2=1$ триггер 80 устанавливается в "нулевое" состояние.

Устройство функционирует следующим образом. В исходном состоянии на входы 47, 51 не поступают тактовые сигналы. После включения электропитания по последовательным цепям сброса, не показанным на чертежах, во все триггерные и регистровые элементы памяти заносятся нулевые коды. На входах 27 устанавливается нулевой код. На входах 50 устанавливаются требуемые коды начальных условий. На вход 49 подается запускающий сигнал, представляющий импульсы длительностью 500 нс, поступающие на вход 49 с периодичностью 1 мкс. Затем осуществляется запуск тактовых сигналов на входах 47, 52. На вход 47 начинают поступать тактовые сигналы задающей серии: $\gt С1БОВ$ ($\gt С1БОВД$), $\gt С2БОВ$ ($\gt С2БОВД$), основной; серии: $\gt СИ1-БОВ, \gt СИ2-БОВ, \gt СИ3-БОВ, \gt СИ4-БОВ, \gt СИ6-БОВ$; процессорной серии: $\gt ТИ2-С2, \gt ТИ3-С2$. На вход 51 начинают поступать тактовые сигналы вспомогательной основной серии: $\gt Т3БОВ, \gt Т4БОВ, \gt Т5БОВ$ и вспомогательной процессорной серии: $\gt ТТ2-С1, \gt ТТ4-С2, \gt ТТ5-С1, \gt РТИ1П, РТИ2В$. Сигналы $\gt С1БОВ$ ($\gt С1БОВД$) и $\gt С2БОВ$ ($\gt С2БОВД$) представляют собой импульсы длительностью меньшей 20 нс и большей 10 нс, поступающие каждый на "свой" тактовый вход с периодичностью (40-46,6) нс. При этом, при отсутствии импульса $\gt С1БОВ$ ($\gt С1БОВД$) появляется импульс $\gt С2БОВ$ ($\gt С2БОВД$) и наоборот. Сигналы $\gt СИ1-БОВ, \gt СИ2-БОВ, \gt СИ3-БОВ, \gt СИ4-БОВ, \gt СИ5-БОВ, \gt СИ6-БОВ$ представляют собой сигналы, длительностью такой же как и сигналы $\gt С1БОВ$ ($\gt С2БОВ$), поступающие последовательно каждый на "свой", соответственно, первый, второй, третий, четвертый, пятый, шестой тактовые входы. Периодичность поступления каждого импульса на "своем" тактовом входе равна (120-140) нс. При этом импульс $\gt СИ-БОВ$

появляется на i-ом тактовом входе через (20-23,6) нс после начала появления импульса > СИ(i-1)-БОВ на (i-1)-ом тактовом входе. Сигналы > ТИ2-С2 и > ТИ3-С2 соответствуют сигналам > СИ2-БОВ и > СИ3-БОВ, но появление импульсов > ТИ2-С2 и > ТИ3-С2 не синхронизировано с появлением импульсов > СИ2-БОВ и > СИ3-БОВ. По этой причине моменты появления импульсов > ТИ2-С2 могут совпадать с моментами появления импульсов > СИ2-БОВ или > СИ4-БОВ, > СИ6-БОВ, а моменты появления импульсов > ТИ3-С2 могут совпадать с моментами появления импульсов > СИ1-БОВ, > СИ5-БОВ. Сигнал > СИ5-БОВ в устройство не используется.

Сигналы > Т3БОВ, > Т4БОВ, > Т5БОВ представляют собой импульсы длительностью (40-46,6) нс, поступающие каждый на "свой" тактовый вход с периодичностью (120-140) нс. При этом импульс > Т3БОВ действует во время действия импульсов > СИ2-БОВ, > СИ3-БОВ, импульс > Т4БОВ действует во время действия импульсов > СИ3-БОВ, > СИ4-БОВ, импульс > Т5БОВ действует во время действия импульсов > СИ4-БОВ, > СИ5-БОВ. Тактовые сигналы > Т1БОВ, > Т2БОВ, > Т6БОВ в устройстве не используются.

Сигналы > ТТ2-С2, > ТТ4-С2, > ТТ5-С1 аналогичны сигналам > Т2БОВ, > Т4БОВ, > Т5БОВ, но формируются асинхронно, т.е. сигналы > ТТ2-С2 (> ТТ4-С2) могут совпадать по времени появления с сигналами > Т2БОВ, > Т4БОВ, > Т6БОВ, а сигнал > ТТ5-С1 может совпадать с сигналами > Т1БОВ, > Т3БОВ, > Т5БОВ.

Сигналы > РТИ1П1 и РТИ2В представляют собой импульсы, длительность которых кратна (120-140) нс, а периодичность появления асинхронна, т.е. моменты появления заранее не определены, т.к. соответствуют моментам включения (выключения) синхронизации центрального процессора при приостановках его работы в связи с взаимодействием оперативной памяти с каналами ввода-вывода.

Сигналы > ТТ2-С2, > ТТ4-С2, > ТТ5-С1, > РТИ1П1, > РТИ2В, > ТИ2-С2, > ТИ3-С2 необходимо использовать для частичной синхронизации работы устройства с работой центрального процессора при обмене информацией, что связано с конкретной реализацией устройства, его применением.

Затем микропрограммно (с помощью центрального процессора) через входы/выходы 22, 21 устанавливаются нулевые показания (нулевой код) часов, компаратора, таймера процессора путем установки на входах 27 последовательно, каждый раз после появления сигнала готовности на выходе 26, кода записи показаний часов, компаратора, таймера процессора.

Затем на входах 27 устанавливается код чтения часов и, после появления сигнала готовности на выходе 26, устройство считается приведенным в исходное состояние.

Таким образом, на входе 27 могут устанавливаться следующие коды:

- нулевой код - при отсутствии операций внешнего обмена информацией (с центральным процессором или процессором);
 - код записи часов (КЗЧ) - для записи нового значения часов;
 5 - код записи компаратора (КЗК) - для записи нового значения компаратора;
 - код записи таймера процессора (КЗТ) - для записи нового значения таймера процессора;
 10 - код чтения часов (КЧЧ) - для чтения значения часов;
 - код чтения компаратора (КЧК) - для чтения значения компаратора;
 - код чтения таймера процессора (КЧТ) - для чтения значения компаратора.

15 При этом при установке на входе 27 кодов КЗЧ, КЗК, КЗТ на входах/выходах 21 устанавливаются коды значений часов, компаратора таймера процессора, передаваемых из центрального процессора, а на входах/выходах 22 - их контрольные коды четности. В блоке 5, после появления сигнала

20 > ТСП на входе узла 58 и появления последовательно сигналов > АДР1 и > АДР2 на соответствующих выходах узла 59, на соответствующих выходах узла 56

25 появляются в соответствующей последовательности сигналы > СПАДР1 и > СПАДР2. Под действием сигнала > Е1РАМД на разряде входа 40 и кода на входе 27 узла 57 и совокупности тактовых сигналов на входах 63, 64 узла 57 на выходах 44, 45, 46 узла 57 и блока 5 формируются сигналы в требуемой последовательности, обеспечивающие запись кодов, установленных на входах/выходах 21, 22 во внутренний регистр коммутаторов 1, 2. Однако только после появления требуемой комбинации сигналов

35 УПР, > УПР, > Е2С4, > WRRAMД, > Е1РАМД на выходах 39, 43, 40, обеспечивающих перезапись кодов из внутренних регистров коммутаторов 1, 2 в счетчик 4 и регистр 10 и далее в блоки памяти 7,8, под действием

40 сигнала > СПАДР2 на входе узла 57 на выходе 26 появляется сигнал (логическая единица) конца операции внешнего обмена. Параллельно осуществляется контроль по четности принятых кодов с помощью блоков 11, 12, 6. Если имеет место ошибка, то на

45 выходе 33 формируется код ошибки. Сигналы (логические единицы) > АДР1, > АДР2 появляются последовательно друг за другом на время (120-130) нс каждый (в промежуток времени (> СИ1-БОВ - > СИ6-БОВ) с

50 периодичностью (240-260) нс. Сигналы > СПАДР1, > СПАДР2 идентичны сигналам соответственно > АДР1, > АДР2, но появляются только при появлении сигнала > ТСП на выходе узла 58.

55 Описанный режим функционирования устройства является режимом записи (РЗ).

При установке на входе 27 кодов КЧЧ, КЧК, КЧТ устройство начинает функционировать в режиме чтения, который отличается от режима счета (РС), устанавливаемом при нулевом коде на входе 53, только тем, что во время действия сигнала > СПАДР1 на выходах 44, 45, 46 блока 5 формируется такая совокупность сигналов, которая обеспечивает запись кодов, считанных из блоков 7, 8 и со входов 29, 24 во внутренний регистр коммутаторов 1, 2, 3 и выдачу их на входы/выходы 21, 22, 23 в

требуемый момент времени, определяемый моментом появления импульса ТИ2-С2. При этом как и в режиме чтения сигнал (логическая единица) на выходе 26 появляется под действием сигнала > СПАДР2 в момент действия сигнала > ТТ4-С2. Установка логического нуля на выходе 26 как при режиме записи, так и при режиме чтения осуществляется через (120-130) нс в моменты действия сигналов > ТТ4-С2, РТИ2В. В режиме чтения осуществляется также формирование сигнала (логической единицы) сброса (> СБРОС) на разряде выхода 37 блока 5 (см. фиг. 2), под действием которого осуществляется сброс (обнуление) всех триггеров состояния в блоке 14 (фиг. 3), выходы которых соединены с выходами 24, кроме триггера 80 состояния реконфигурации. Коды указанных триггеров, представляющие собой биты динамического кода состояния средств отсчета времени (ДКС СОВ), записываются во внутренний регистр коммутатора 3 для передачи в центральный процессор для хранения и анализа.

В контрольный разряд внутреннего регистра коммутатора 3 записывается код значения четности для кода на входе 24 для контроля достоверности передачи кода ДКССОВ с группы выходов 23 коммутатора 3 в центральный процессор. Триггер 80 в блоке 14 сбрасывается только в момент появления сигналов > ЗПБОВ= 1 и > СПАДР=2, т.е. когда в устройстве заканчивается режим записи. Сигнал > ТСЦ на выходе узла 58 формируется под действием сигналов > СИ2-БОВ, > СИ4-БОВ при равенстве кодов адреса на входе 41 и на выходе 66. На выходе 66 формируется код адреса часов или компаратора или таймера процессора в зависимости от кода операции, установленного на входе 27 соответственно КЗЧ, КЧЧ или КЗК, КЧК или КЗТ, КЧТ. В режиме счета (когда на входе 27 установлен нулевой код) на выходах 66 (фиг. 2) также устанавливается нулевой код. В результате на выходе узла 58 устанавливается нулевой код. На выходах 44, 45, 46 устанавливается такая комбинация сигналов, при которой коммутаторы 1, 2, 3 отключаются от входов/выходов.

При этом при установке на входе 27 кодов КЗЧ, КЗК, КЗТ на входах/выходах 21 устанавливаются коды значений часов, компаратора таймера процессора, передаваемых из центрального процессора, а на входах/выходах 22 - их контрольные коды четности. В блоке 5, после появления сигнала > ТСП на входе узла 58 и появления последовательно сигналов > АДР1 и > АДР2 на соответствующих выходах узла 59, на соответствующих выходах узла 56 появляются в соответствующей последовательности сигналы > СПАДР1 и > СПАДР2. Под действием сигнала > Е1РАМД на разряде входа 40 и кода на входе 27 узла 57 и совокупности тактовых сигналов на входах 63, 64 узла 57 на выходах 44, 45, 46 узла 57 и блока 5 формируются сигналы в требуемой последовательности, обеспечивающие запись кодов, установленных на входах/выходах 21, 22 во внутренний регистр коммутаторов 1, 2. Однако только после появления требуемой комбинации сигналов УПР, > УПР, > Е2С4, > WRRAMД, > Е1РАМД

на выходах 39, 43, 40, обеспечивающих перезапись кодов из внутренних регистров коммутаторов 1, 2 в счетчик 4 и регистр 10 и далее в блоки памяти 7,8, под действием сигнала > СПАДР2 на входе узла 57 на выходе 26 появляется сигнал (логическая единица) конца операции внешнего обмена. Параллельно осуществляется контроль по четности принятых кодов с помощью блоков 11, 12, 6. Если имеет место ошибка, то на выходе 33 формируется код ошибки. Сигналы (логические единицы) > АДР1, > АДР2 появляются последовательно друг за другом на время (120-130) нс каждый (в промежуток времени (> СИ1-БОВ - > СИ6-БОВ) с периодичностью (240-260) нс. Сигналы > СПАДР1, > СПАДР2 идентичны сигналам соответственно > АДР1, > АДР2, но появляются только при появлении сигнала > ТСП на выходе узла 58.

Описанный режим функционирования устройства является режимом записи (РЗ).

При установке на входе 27 кодов КЧЧ, КЧК, КЧТ устройство начинает функционировать в режиме чтения, который отличается от режима счета (РС), устанавливаемом при нулевом коде на входе 53, только тем, что во время действия сигнала > СПАДР1 на выходах 44, 45, 46 блока 5 формируется такая совокупность сигналов, которая обеспечивает запись кодов, считанных из блоков 7, 8 и со входов 29, 24 во внутренний регистр коммутаторов 1, 2, 3 и выдачу их на входы/выходы 21, 22, 23 в требуемый момент времени, определяемый моментом появления импульса ТИ2-С2. При этом как и в режиме чтения сигнал (логическая единица) на выходе 26 появляется под действием сигнала > СПАДР2 в момент действия сигнала > ТТ4-С2. Установка логического нуля на выходе 26 как при режиме записи, так и при режиме чтения осуществляется через (120-130) нс в моменты действия сигналов > ТТ4-С2, РТИ2В. В режиме чтения осуществляется также формирование сигнала (логической единицы) сброса (> СБРОС) на разряде выхода 37 блока 5 (см. фиг. 2), под действием которого осуществляется сброс (обнуление) всех триггеров состояния в блоке 14 (фиг. 3), выходы которых соединены с выходами 24, кроме триггера 80 состояния реконфигурации. Коды указанных триггеров, представляющие собой биты динамического кода состояния средств отсчета времени (ДКС СОВ), записываются во внутренний регистр коммутатора 3 для передачи в центральный процессор для хранения и анализа.

В контрольный разряд внутреннего регистра коммутатора 3 записывается код значения четности для кода на входе 24 для контроля достоверности передачи кода ДКССОВ с группы выходов 23 коммутатора 3 в центральный процессор. Триггер 80 в блоке 14 сбрасывается только в момент появления сигналов > ЗПБОВ= 1 и > СПАДР=2, т.е. когда в устройстве заканчивается режим записи. Сигнал > ТСЦ на выходе узла 58 формируется под действием сигналов > СИ2-БОВ, > СИ4-БОВ при равенстве кодов адреса на входе 41 и на выходе 66. На выходе 66 формируется код адреса часов или компаратора или таймера процессора в зависимости от кода операции, установленного на входе 27 соответственно

КЗЧ, КЧЧ или КЗК, КЧК или КЗТ, КЧТ. В режиме счета (когда на входе 27 установлен нулевой код) на выходах 66 (фиг. 2) также устанавливается нулевой код. В результате на выходе узла 58 устанавливается нулевой код. На выходах 44, 45, 46 устанавливается такая комбинация сигналов, при которой коммутаторы 1, 2, 3 отключаются от входов/выходов.

С каждым появлением сигнала (логической единицы) >ГИ на входе 49 начинается формироваться последовательность сигналов АДР1 и >АДР2, а на выходе 41 формируется последовательно код адресов часов (>РЧС), код адреса компаратора (>РКМ), код адреса таймера процессора (>РТП). Каждый новый код на выходе 41 удерживается в течение действия сигналов >АДР1 и >АДР2. Появление сигнала >РКМ2 (>РЧС2, >РТП2) на соответствующем разряде выхода 37 совпадает по времени с появлением сигнала >АДР2 и установкой на выходе 41 кода адреса компаратора (часов, таймера процессора).

Сигналы >РКМ2, >РТП2, >РЧС2 управляют фиксацией сигнала переполнения (переноса) со входа 34Т блока 14 отдельно для компаратора, таймера процессора, часов. Дополнительно, идентификация режимов записи, чтения и счета устройства в блоке 14 осуществляется с помощью сигналов >СПАДР2, >ЗПБОВ в разрядах входа 37.

В режиме счета (РС) (так же как и чтения) в течение действия сигнала >АДР1 осуществляется чтение кодов из блоков 7, 8 и запись их в счетчик 4 и регистр 10 под действием сигналов >СИЗ-БОВ, >СИ4-БОВ благодаря установке соответствующей комбинации управляющих сигналов на входах 39, 40, 43. На выходах 36 формируется контрольный код, который сравнивается с контрольным кодом с выходов регистра 10. Сигнал ошибки (если она возникла) формируется на выходе 33. В течение действия сигнала >АДР2 осуществляется модификация (счет) кодов, запомненных в счетчике 4 и запись в регистр 10 предсказанного контрольного кода со входов 35 под действием сигналов >СИЗ-БОВ, >СИ4-БОВ благодаря установке на входах 39, 43 соответствующей комбинации сигналов. С помощью блоков 6, 12 осуществляется контроль правильности модификации кода с формированием на выходе 33 соответствующего сигнала. Возможные сигналы переполнения (логическая единица переноса со старшего разряда модифицируемого в счетчике 4 кода) с выхода 34 фиксируется в блоке 14 под действием сигналов >СИЗ-БОВ, >СИ4-БОВ (триггерах 67, 68, 69 (фиг. 3) при модификации кодов соответственно часов, компаратора, таймера процессора). На соответствующих выходах 24 и выходе 25 формируется сигнал - логическая единица.

Если сигнал переноса >РО (второй сигнал переноса) при модификации кода часов, компаратора, таймера процессора появляется в тот момент, когда еще не сброшен предыдущий сигнал переноса (первый сигнал переноса), возникший при модификации кода соответственно часов, компаратора, таймера процессора и

зафиксированный в триггере соответственно 67, 68, 69, то через элементы 78, 79 (фиг. 3) устанавливается в единичное состояние триггер 80 под действием сигналов >СИЗ-БОВ, >СИ4-БОВ. На разрядах 90 и 89 выхода 19 и выхода 24 устанавливаются логические единицы.

Устройство переходит в режим реконфигурации (РРК). В момент действия ближайшего (по времени) сигнала >РКМ1= 1 формируется логический ноль на выходе 17 (фиг. 4), под действием которого вместо кода компаратора в счетчике 4 устанавливается нулевой код. Параллельно устанавливается в единичное значение триггер 93 (фиг. 4), благодаря чему в дальнейшем в режиме реконфигурации предотвращается формирование логического нуля на выходе 17. Кроме того, что второй сигнал переноса, возникший при модификации кода часов (от часов) фиксируется в триггере 80 блока 14 он, а также и все последующие сигналы переноса от часов в режиме реконфигурации фиксируются в триггере 94 узла 13 (фиг. 4). В результате в момент модификации кода, который в других режимах представлял код компаратора, будет осуществляться подсчет количества переносов от часов, так как на выходе 18 устанавливается единица на время действия сигналов >РКМ1=1 и >РКМ2=1.

В момент появления сигнала РТП=0 (на разряде входа 20) триггер 94 узла 13 сбрасывается (обнуляется) и в момент действия последующего сигнала >РЧС2= 1 вновь в триггере 94 может зафиксироваться последующий сигнал переноса от часов, который прибавляется к уже подсчитанному количеству сигналов переносов, код которого модифицируется в счетчике 4 в момент действия сигнала >РКМ2=1. Так как триггер 94 сбрасывается уже в момент действия сигнала >РТП1=1, то к моменту действия сигнала >РТП2=1 на всех входах элемента 91 узла 13 устанавливаются логические единицы и, следовательно, на выходе 18 узла 13 устанавливается логический ноль. В результате код таймера, записанный в счетчике 4, модифицироваться не будет и без изменений вновь будет записан в блок памяти 7, а его контрольные разряды без изменений будут записаны в блок памяти 8. Это связано с тем, что при установке на выходе 18 логического нуля счетчик 4 переходит в режим хранения, а в блоке 12 контрольный код с выходов 36 передается на выходы 35 (см. фиг. 5). При этом в блоке 11 блокируется формирование сигнала переноса (см. фиг. 5). Только при задании в устройстве операции внешнего обмена-записи нового значения часов, компаратора или таймера процессора в момент одновременного действия сигналов >ЗПБОВ= 1 и >СПАДР2= 1 в блоке 14 и узле 13 осуществляется сброс триггеров 80, 93, 94 и устройство переходит в режим счета. При этом на разрядах 89, 90 выхода 19 и выхода 24 устанавливаются логические нули. На выходах 17, 18 узла 13 постоянно устанавливаются логические единицы.

Во всех случаях по сигналу на выходе 25 центральный процессор "задает" в устройстве режим чтения по адресу часов путем установки на входе 27 кода КЧЧ. Параллельно осуществляется чтение кода состояния ДКССОВ устройства через входы

24 и выходы 23.

Покажем, что с помощью предложенного устройства благодаря использованию узла реконфигурации со связями обеспечивается решение в процессоре ЭВМ всех задач, решаемых прототипом.

Предлагаемое устройство предназначено для реализации средств отсчета времени (СОВ) в центральном процессоре (ЦП) следующим способом.

В соответствии с принципами функционирования современных ЭВМ, например, известной ЕС ЭВМ, с помощью прототипа в процессоре обеспечивается организация (не считая интервального таймера) следующих средств отсчета времени: часов (ЧС), компаратора (КМ), таймера процессора (ТП), значение каждого из которых представляется 52-х разрядным двоичным кодом. В процессе работы (функционирования) средств отсчета времени в младший (51-й разряд кода часов каждую микросекунду прибавляется единица (таким образом осуществляется счет (модификация часов)), значение компаратора каждую микросекунду сравнивается с промодифицированным значением часов, а из младшего (51-го разряда кода таймера процессора каждую микросекунду вычитается единица. При этом в момент, когда значение компаратора становится меньше значения часов или знак (нулевой) разряд таймера процессора изменяется на противоположный (становится равным логической единице), в процессор формируется запрос на внешнее прерывание от компаратора или от таймера процессора. Средства отсчета времени рассматриваются как внешние устройства по отношению к процессору.

При этом на работу часов не должны влиять такие состояния, режимы функционирования процессора и процедуры, выполняемые в процессоре, как: "ожидание"/"счет", "задача"/"супервизор", "стоп"/"работа", "покомандная работа", "потактная работа", режим "контроля", "сброс" процессора, "начальный сброс", "программный сброс", "начальный программный сброс", "сброс с очисткой", "начальная загрузка".

Значение часов должно становиться нулевым после "сброса при включении питания".

Значение компаратора должно сохраняться при таких состояниях, режимах функционирования процессора и процедурах, выполняемых в процессоре, как: "ожидание"/"счет", "задача"/"супервизор", "стоп"/"работа", "покомандная работа", "контактная работа", "режим контроля", "сброс" процессора, "программный сброс", "начальная загрузка".

Значение компаратора должно становиться нулевым и должен формироваться в процессор запрос на внешнее прерывание от компаратора после "начального сброса" процессора, "начального программного сброса", "сброса с очисткой", "сброса при включении питания".

Значение таймера процессора должно сохраняться и таймер процессора должен уменьшаться при таких состояниях, режимах функционирования процессора и процедурах, выполняемых в процессоре, как: "ожидание"/"счет", "задача"/"супервизор",

"работа" (в том числе и при выполнении команды в процессе покомандной работы), "сброс процессора", "программный сброс", "начальная загрузка".

Значение таймера процессора должно сохраняться и таймер процессора не должен уменьшаться при состоянии "стоп" процессора. Значение таймера процессора должно становиться нулевым при "начальном сбросе" процессора, "начальном программном сбросе", "сбросе с очисткой", "сбросе при включении питания".

После выполнения таких процедур в процессоре, как "сброс" процессора, "программный сброс", "начальный сброс", "начальный программный сброс", "сброс с очисткой" процессор переходит в состояние "стоп", из которого он выводится оператором или сигналом от другого процессора.

В состоянии "стоп" или в режиме "начальной загрузки" процессор может находиться неопределенный интервал времени, больший 1 с. При этом часы должны непрерывно производить отсчет времени без потери точности, а значение компаратора должно сравниваться со значением часов с формированием соответствующих запросов в процессор на внешнее прерывание. Таймер процессора должен осуществлять отсчет интервала времени в течение выполнения процедур "сброс" процессора, "программный сброс", "начальная загрузка" до установки состояния "стоп" процессора, при котором таймер процессора должен остановиться. При выполнении таких процедур, как "начальный сброс", "начальный программный сброс", "сброс с очисткой", "сброс при включении питания" значение таймера процессора и компаратора устанавливается равным нулевому и таковым сохраняется после установки состояния "стоп" процессора. При выполнении процедуры "сброс при включении" значение часов устанавливается равным нулевому, однако сразу после сброса часы должны начать отсчет времени. Во всех случаях счет в часах и таймере процессора должен осуществляться с одинаковой скоростью.

С помощью предлагаемого устройства осуществляется счет только в 20-ти (в разрядах 32/51) младших разрядах всех средств отсчета времени. Старшие же 32 разряда (разряды 0/31) всех средств отсчета времени (в том числе и часов) хранятся в ячейках локальной (ЛП) или в рабочей области основной (оперативной) памяти процессора и счет в них (при возникновении переноса из 32-го разряда) осуществляется средствами процессора.

При этом не является очевидным, как обеспечить сохранность отсчета и точность отсчета времени часами и интервалов времени таймером процессора при установке состояния "стоп" процессора и при выполнении процедур "начальной загрузки" (в течение промежутка времени большего 1 с)? По этой причине в известных аналогах часы построены на 52-х разрядном аппаратном счетчике, что требует больших аппаратных затрат (в ТЭЗах).

В предложенном устройстве предусмотрены дополнительные специальные аппаратные средства (узел реконфигурации с соответствующими связями), отсутствующие во всех аналогах, с

помощью которых обеспечивается сохранение отсчета и точности отсчета времени часами и интервалов времени таймером процессора и, следовательно, обеспечивается возможность организации счета аппаратными средствами только в 20 разрядах всех средств отсчета времени, что в свою очередь обуславливает сокращение аппаратных затрат (на два ТЭЗа по сравнению с прототипом). Затраты же дополнительных ресурсов (ячеек, которые как правило имеются в резерве) локальной или основной памяти процессора являются более дешевыми, чем дополнительные аппаратные затраты.

Так же как в прототипе для использования предлагаемого устройства в локальной памяти (ЛП) или в рабочей области основной (оперативной) памяти (ОП) ЦП выделяется область средств отсчета времени (ОСОВ), состоящая из ячейки (КС52) для хранения 52-разрядного статического кода (СКК52) компаратора, ячейки (ТД32) для хранения 32-х старших разрядов динамического кода (ДКТ32) таймера процессора, ячейки (ТД20) для хранения 20-ти младших разрядов динамического кода ДКТ20 таймера процессора на время останова процессора, ячейки (ЯС8) для хранения статического кода состояния (СКС8) средств отсчета времени. Кроме указанных ячеек в ОСОВ необходимо выделить ячейку (КД32) для хранения 32-х старших разрядов динамического кода (ДКК32) компаратора, ячейку (ЧС32) для хранения кода 32-х старших разрядов часов (КЧС32), ячейку (ЧС20) для хранения кода 20-ти младших разрядов часов (КЧС20).

Процедуры сброса в процессоре предусматривают не обнуление всех ячеек области ОСОВ, а установку требуемых значений в соответствии с описанными выше требованиями принципов. Так при выполнении процедуры "сброса при включении" во все ячейки области ОСОВ заносятся нулевые коды, кроме ячейки ЯС в бите запроса на прерывание от компаратора, значение которого устанавливается равным логической единице (означающей наличие запроса на внешнее прерывание от компаратора). Процедурой "сброс с очисткой", "начальный сброс процессора", "начальный программный сброс" во все ячейки области ОСОВ, кроме ячеек ЧС32, ЯС8 заносятся нулевые коды. Ячейка ЧС32 остается без изменений. В ячейке ЯС8, в бите запроса на прерывание от компаратора устанавливается логическая единица.

Процедурой "сброс" процессора и "программный сброс" не предусматривается изменение состояния ячеек области ОСОВ.

Динамический код компаратора (ДКК52) представляет собой (как и в прототипе) 52-разрядный дополнительный код от кода, полученного в результате вычитания от значения (кода) часов (КЧС52) значения статического кода компаратора (СКК52), если полученная разность положительна

$$ДКК52 = \frac{КЧС52 - СКК52}{2} + 1$$

Если указанная разность отрицательна, то сразу формируется запрос на внешнее прерывание в процессор от компаратора, т.е. устанавливается логическая единица в соответствующий бит кода СКС8. Старшие 32 разряда кода ДКК52 представляют собой код ДКК32, который хранится в ячейке КД32 и

модифицируется средствами процессора. Младшие 20 разрядов кода ДКК52 представляют собой код КД20, который хранится в памяти устройства и модифицируется в счетчике устройства.

5 Динамический код таймера процессора (ДКТ52) представляет собой (как и в прототипе) дополнительный код от статического кода СКТ52, который задается в команде установки нового значения таймера процессора

$$10 ДКТ52 = \frac{СКТ52}{2} + 1$$

15 Старшие 32 разряда кода ДКТ52 представляют собой код ДКТ32, который хранится в ячейке ТД32 и модифицируется средствами процессора. Младшие 20 разрядов кода ДКТ20 представляют собой код ДКТ20, который хранится в памяти устройства и модифицируется в счетчике устройства.

20 При использовании предлагаемого устройства предусматривается модификация (счет) кодов КЧС52, ДКК52, ДКТ52 путем прибавления в устройстве в младший разряд кодов КЧС20, ДКК20, ДКТ20 единицы каждую микросекунду. При этом, при появлении переноса из старшего разряда указанных кодов, осуществляется фиксация в устройстве, в динамическом коде состояния средств отсчета времени (ДКССОВ), хранимого в блоке состояния устройства, сигналов переполнения, появление которых вызывает формирование запросов на микропрограммное прерывание в процессоре.

25 При обработке указанных запросов в процессор из устройства передается и анализируется ДКССОВ, а все биты ДКССОВ в устройстве обнуляются. По результатам анализа ДКСОВ в процессоре

30 осуществляется прибавление возникшего переноса (логической единицы) в младший разряд соответствующего кода КЧС32, ДКК32, ДКТ32 (т.е. осуществляется модификация кодов КЧС32, ДКК32, ДКТ32 при появлении переноса из старшего разряда кодов

35 соответственно КЧС20, ДКК20, ДКТ20). При этом, при модификации кодов ДКК32, ДКТ32 осуществляется фиксация сигналов переполнения (путем установки логической единицы в соответствующих битах СКС8),

40 появление которых означает формирование запросов на внешнее прерывание в процессор соответственно от компаратора и таймера процессора. Обработка внешнего прерывания осуществляется в соответствии с приоритетами, предусматриваемыми известными принципами. После обработки

45 внешнего прерывания от компаратора или таймера процессора в соответствующем бите кода СКС8 устанавливается логический ноль.

50 При выполнении в процессоре команды "чтение значения компаратора" значение компаратора считывается из ячейки КС52.

55 При выполнении в процессоре команды "чтение значения часов" или "чтение значения таймера процессора" осуществляется чтение 20-ти младших разрядов кода КЧС52 или ДКТ52 из памяти устройства (т.е. читаются коды КЧС20 или ДКТ20) и 32 старшие

60 разряды кодов КЧС52 или ДКТ52 из ячеек ЧС32 или ТД32 (т.е. читаются коды КЧС32 или ДКТ32). Затем в процессоре осуществляется склеивание 20-ти младших и 32-х старших разрядов кода КЧС52 или ДКТ52 в 52-х разрядный код. Для кода ДКТ52

осуществляют преобразование

$$СКТ52 = \overline{ДКТ52} + 1$$

При выполнении в процессоре команды "установка нового значения часов" соответствующим образом обновляется содержимое ячейки ЧС32. Младшие разряды (20) разрядов кода нового значения часов записываются в соответствующую ячейку памяти устройства.

При выполнении в процессоре команды "установка нового значения компаратора" или команды "установка нового значения таймера процессора" в ячейку КС52 записывается новое значение кода СКК52, вычисляются коды ДКК52 и ДКТ52 по описанному выше алгоритму. Младшие разряды (20) разрядов кодов ДКК52 ДКТ52, т.е. коды ДКК20 и ДКТ20 записываются в соответствующие ячейки памяти устройства, а старшие разряды (32) разряда) - в ячейки КД32 и ТД32 области ОСОВ.

Перед остановками процессора, задаваемыми или с пульта оператора, или при ошибках и отказах, или после выполнения процедур сброса, или в процессе покомандной работы (микропрограммно, а также перед процедурой "начальной загрузки" осуществляется чтение 20-ти младших бит таймера процессора (код ДКТ20) и часов (код КЧС20) из памяти устройства и запись их в ячейку соответственно ТД20 и ЧС20 области ОСОВ. При новом запуске процессора из состояния "стоп" код из ячейки ТД20 области ОСОВ (микропрограммно) записывается в соответствующую ячейку памяти устройства. После этого осуществляется чтение кода ДКТ20 из памяти устройства вместе с динамическим кодом состояния средств отсчета времени (ДКССОВ). При этом, если в коде ДКССОВ зафиксирован сигнал переноса из старшего разряда ДКТ20, то он игнорируется. Таким образом осуществляется останов таймера процессора в момент останова процессора и запуске таймера процессора при запуске процессора. Предварительное напоминание кода КЧС20 в ячейку ЧС20 необходимо для восстановления таймера процессора после процедуры "начальной загрузки", что будет описано ниже.

При выполнении процедуры "начальной загрузки", которая может осуществляться в течение времени больше 1 с, а также в связи с тем, что процессор может находиться в состоянии выполнения процедур сброса и последующего останова в течение времени, больше 1 с, а также в связи с остановками процессора, задаваемыми с пульта оператора или по команде от другого процессора на время, большее 1 с, в процессоре не представляется возможным своевременно (в течение 1 с - времени счета 2^{20} мкс) модифицировать коды КЧС32, ДКК32, ДКТ32 (так как за 1 с завершается счет в 20-ти младших разрядах часов). По указанной причине до настоящего времени в универсальных ЭВМ часы (все 52 разряда) реализовывались аппаратно (в виде 52-разрядного счетчика) и независимо от процессора, что оправдывалось необходимостью сохранить счет и точность счета часов (т.е. предотвратить потерю отсчета времени при остановках процессора и при выполнении в процессоре процедур "начальной загрузки". В результате для

построения средств отсчета времени требовались большие аппаратные затраты.

Для предотвращения потери отсчета времени в указанных случаях в предлагаемом устройстве предусмотрены специальные аппаратные средства, с помощью которых при аппаратной реализации всего лишь 20 младших разрядов кодов значений часов, компаратора, таймера процессора обеспечивается сохранение (т. е. предотвращается потеря) отсчета всех средств отсчета времени, в том числе и часов при остановках процессора или при выполнении процедур начальной загрузки в течение любого промежутка времени до 2^{20} с. Это позволяет значительно сократить аппаратные затраты на построение средств отсчета времени за счет использования резервных ресурсов памяти процессора (двух 52-разрядных ячеек памяти).

Предотвращение потери отсчета времени часами и интервалов времени таймером процессора при выполнении процедур начальной загрузки, сброса и останова в процессоре достигается благодаря фиксации состояния устройства (состояния реконфигурации), когда появление последующего сигнала переноса из 32 разряда отдельно любого средства (часов, компаратора, таймера процессора) (т.е. сигнала переноса из нулевого разряда отдельно любого из кодов КЧС20, ДКК20, ДКТ20) произошло в момент, когда еще не сброшен (в коде ДКССОВ в устройстве) предыдущий сигнал переноса из 32-го разряда этого же средства (что означает, что в течение 1 с процессор не смог "обслужить" устройство и, следовательно, он (процессор) находится либо в состоянии "стоп", либо в нем выполняется процедура начальной загрузки). При этом автоматически осуществляется реконфигурация (с помощью узла реконфигурации) связей в устройстве так, что счет младших разрядов кода ДКТ20 в устройстве прекращается и обеспечивается сохранение текущего (сформированного) значения кода ДКТ20 в устройстве без изменений. Биты 20 младших разрядов компаратора (код ДКК20) в устройстве обнуляются, и вместо младших разрядов кода ДКК20 обеспечивается формирование 20 старших разрядов (разрядов 12/31) часов (кода КЧС20Р) путем подсчета в устройстве сигналов переноса из нулевого разряда кода КЧС20, появляющихся в процессе модификации кода КЧС20. При этом соответствующий бит реконфигурации в коде состояния ДКССОВ устанавливается равным логической единице, под действием которой формируется запрос (сигнал) на микропрограммное прерывание для "обслуживания" устройства. После того, как процессор закончит выполнение процедур "начальной загрузки" или выйдет из состояния "стоп", осуществляется чтение из соответствующего регистра блока состояния устройства, передача в процессор и анализ кода ДКССОВ. Наличие логической единицы в бите реконфигурации кода ДКССОВ означает, что средства отсчета времени (часы, компаратор, таймер процессора) необходимо восстановить. Для этого процессор "осуществляет" чтение кода КЧС20 из соответствующей ячейки памяти устройства и кода КЧС20Р из ячейки памяти устройства, в

которой раньше хранился код ДКК20. Код КЧС20Р и считанный код КЧС20 склеиваются в код КЧС40 и записываются на временное хранение в ячейку ДКК52 ОСОВ. Далее в ячейку памяти устройства, в которой хранится код ДКК20 (КЧС20Р) записывается нулевой код. При этом состояние реконфигурации устройства сбрасывается. Далее, если восстановление средств отсчета времени осуществляется после выполнения процедуры "начальной загрузки", то от значения кода КЧС40 вычитается значение кода КЧС20, хранимого в ячейке КЧС20 области ОСОВ и значение кода полученной разности прибавляется к коду ДКТ52, считанному из ячеек ТД32 и ТД20 ОСОВ. Если при этом возникает перенос из нулевого разряда ДКТ52, то формируются (путем установки логической единицы в соответствующем бите (разряде) кода СКС8) запрос на внешнее прерывание от таймера процессора. Если перенос из нулевого разряда ДКТ52 не возникает, то 20 младших разрядов кода ДКТ52 записываются в соответствующую ячейку памяти устройства в качестве кода ДКТ20, а 32 старших разряда кода ДКТ52 записываются в ячейку ТД32 в качестве кода ДКТ32. Таким образом, таймер процессора восстановлен после процедуры начальной загрузки в процессоре.

Для восстановления часов к коду КЧС32 из ячейки ЧС32 прибавляется код КЧС20Р и полученный код суммы записывается в ячейку ЧС32. Таким образом часы восстановлены, так как код КЧС20 продолжает модифицироваться в устройстве.

Значение кода ДКТ20 после состояния "стоп" процессора восстанавливается (как было описано) благодаря использованию ячейки ТД20 ОСОВ, в которую предварительно перед остановом процессора заносится код ДКТ20. По восстановленному коду значения часов и сохраненному коду КЧС52 заново формируется код ДКК52 (и, следовательно, коды ДКК32 и ДКК20) как это было описано выше.

Таким образом, с помощью предложенного устройства обеспечивается решение в процессоре ЭВМ всех задач, решаемых прототипом. При этом в предложенном устройстве вместо 52-разрядных первого двунаправленного коммутатора, счетчика и блока памяти информационных разрядов используется всего лишь 20-разрядные первый двунаправленный коммутатор, счетчик и блок памяти информационных разрядов, благодаря чему обеспечивается сокращение аппаратных затрат на два ТЭЗа. Следовательно, достигается поставленная цель - сокращение аппаратных затрат.

Формула изобретения:

УСТРОЙСТВО ДЛЯ ОТСЧЕТА ВРЕМЕНИ, содержащее первый и второй двунаправленные коммутаторы, счетчик, блок управления, блок сравнения, блок памяти информационных разрядов, блок памяти контрольных разрядов, первый и второй коммутаторы, регистр, блок предсказания переносов, блок предсказания четности байтов, блок формирования сигналов состояния, элемент свертки по модулю два, элемент ИЛИ, причем группа адресных входов блока памяти контрольных разрядов соединена с группой адресных входов блока

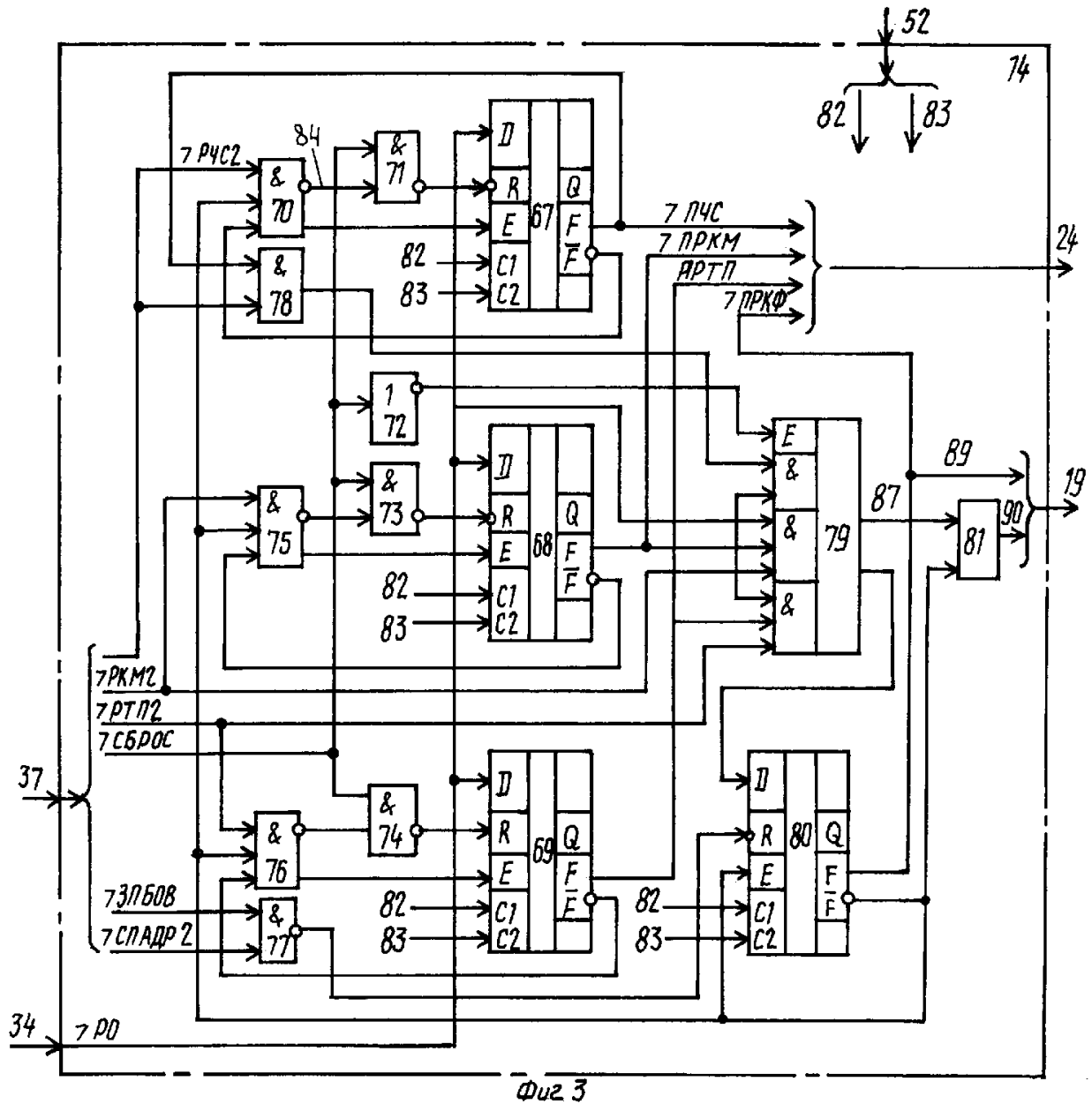
памяти информационных разрядов и с группой выходов блока управления, вход запуска которого является входом запуска устройства, вход задания операций внешнего обмена которого соединен с входом задания операций внешнего обмена блока управления, группа входов задания начальных условий которого является группой входов задания начальных условий устройства, первый тактовый вход блока управления является первым тактовым входом устройства, вход фиксации переполнения блока формирования сигналов состояния соединен с выходом переполнения блока предсказания переносов, группа выходов которого соединена с первой группой входов блока предсказания четности байтов, вторая группа входов которого, группа информационных входов блока предсказания переносов, группа информационных входов блока памяти информационных разрядов подключены к группе разрядных выходов счетчика, входы управления записью чтением блока памяти информационных разрядов и блока памяти контрольных разрядов подключены к первому выходу блока управления, группа выходов первого коммутатора соединена с группой информационных входов регистра, а вторая группа информационных входов первого коммутатора соединена с первой группой выходов блока предсказания четности байтов, вторая группа выходов которого соединена с первой группой входов блока сравнения, вторая группа входов которого соединена с группой разрядных выходов регистра и с группой информационных входов блока памяти контрольных разрядов, группа выходов которого соединена с первой группой информационных входов первого коммутатора и с первой группой информационных входов/выходов второго двунаправленного коммутатора, первая группа информационных входов/выходов первого двунаправленного коммутатора соединена с группой выходов блока памяти информационных разрядов и с группой информационных входов счетчика, вход разрешения счета которого соединен с вторым выходом блока управления, третий выход которого соединен с управляющими входами первого, второго двунаправленных коммутаторов и второго коммутатора, входы управления передачей информации первого и второго двунаправленных коммутаторов соединены с четвертым выходом блока управления, пятый выход которого соединен с входом управления передачей информации второго коммутатора, вторая группа информационных входов/выходов первого двунаправленного коммутатора является группой входов/выходов задания времени устройства, вторая группа информационных входов/выходов второго двунаправленного коммутатора является группой входов/выходов контрольных кодов четности устройства, группа информационных выходов и выход разряда контроля четности второго коммутатора являются группой выходов сигналов состояния и выходом признака контроля четности устройства, выход ошибки устройства соединен с выходом блока сравнения, а группа выходов состояния блока формирования сигналов состояния соединена с соответствующими входами элемента

свертки по модулю два, элемент ИЛИ и с информационными входами второго коммутатора, вход разряда контроля четности которого соединен с выходом элемента свертки по модулю два, выход элемента ИЛИ соединен с выходом запроса устройства, выход конца операции внешнего обмена которого соединен с шестым выходом блока управления, седьмой выход которого соединен с управляющим входом блока формирования сигналов состояния, тактовые входы блока формирования сигналов состояния, первого и второго двунаправленных коммутаторов, второго коммутатора, счетчика, регистра и второй тактовый вход блока управления соединены с вторым тактовым входом устройства, восьмой выход блока управления соединен с управляющим входом первого коммутатора, отличающееся тем, что, с целью сокращения аппаратных затрат, устройство содержит узел реконфигурации, причем группа управляющих выходов блока формирования сигналов состояния соединена с группой входов задания начальных условий узла реконфигурации, первый выход которого соединен с входом сброса счетчика, счетный вход которого соединен с управляющими входами блока предсказания переносов и блока предсказания четности байтов и с вторым выходом узла реконфигурации, группа входов задания режима которого соединена с девятым выходом блока управления, выход блока предсказания переноса соединен с входом задания режима узла реконфигурации, тактовый вход которого соединен с вторым тактовым входом устройства, узел реконфигурации содержит

два триггера, пять элементов И - НЕ, причем первый вход задания начальных условий узла реконфигурации соединен с первыми входами первого и второго элементов И - НЕ, второй вход задания начальных условий узла реконфигурации соединен с первыми входами третьего и четвертого элементов И - НЕ, входы с первого по пятый группы входов задания режима узла реконфигурации соединены соответственно с вторым входом первого элемента И - НЕ, первым и вторым входами пятого элемента И - НЕ, вторыми входами третьего и четвертого элементов И - НЕ, инверсные выходы первого и второго элементов И - НЕ являются первым и вторым выходами узла реконфигурации, прямой выход первого элемента И - НЕ подключен к информационному входу первого триггера, вход установки в "0" которого соединен с третьим входом третьего элемента И - НЕ и подключен к инверсному выходу пятого элемента И - НЕ, прямые выходы третьего и четвертого элементов И - НЕ соединены соответственно с входом установки в "0" и стробирующим входом второго триггера, инверсные выходы четвертого элемента И - НЕ и второго триггера соединены соответственно с вторым и третьим входами второго элемента И - НЕ, вход задания режима узла реконфигурации соединен с информационным входом второго триггера, синхровходы первого и второго триггеров подключены к тактовому входу узла реконфигурации, инверсный выход первого триггера соединен с третьим входом первого элемента И - НЕ и стробирующим входом первого триггера.

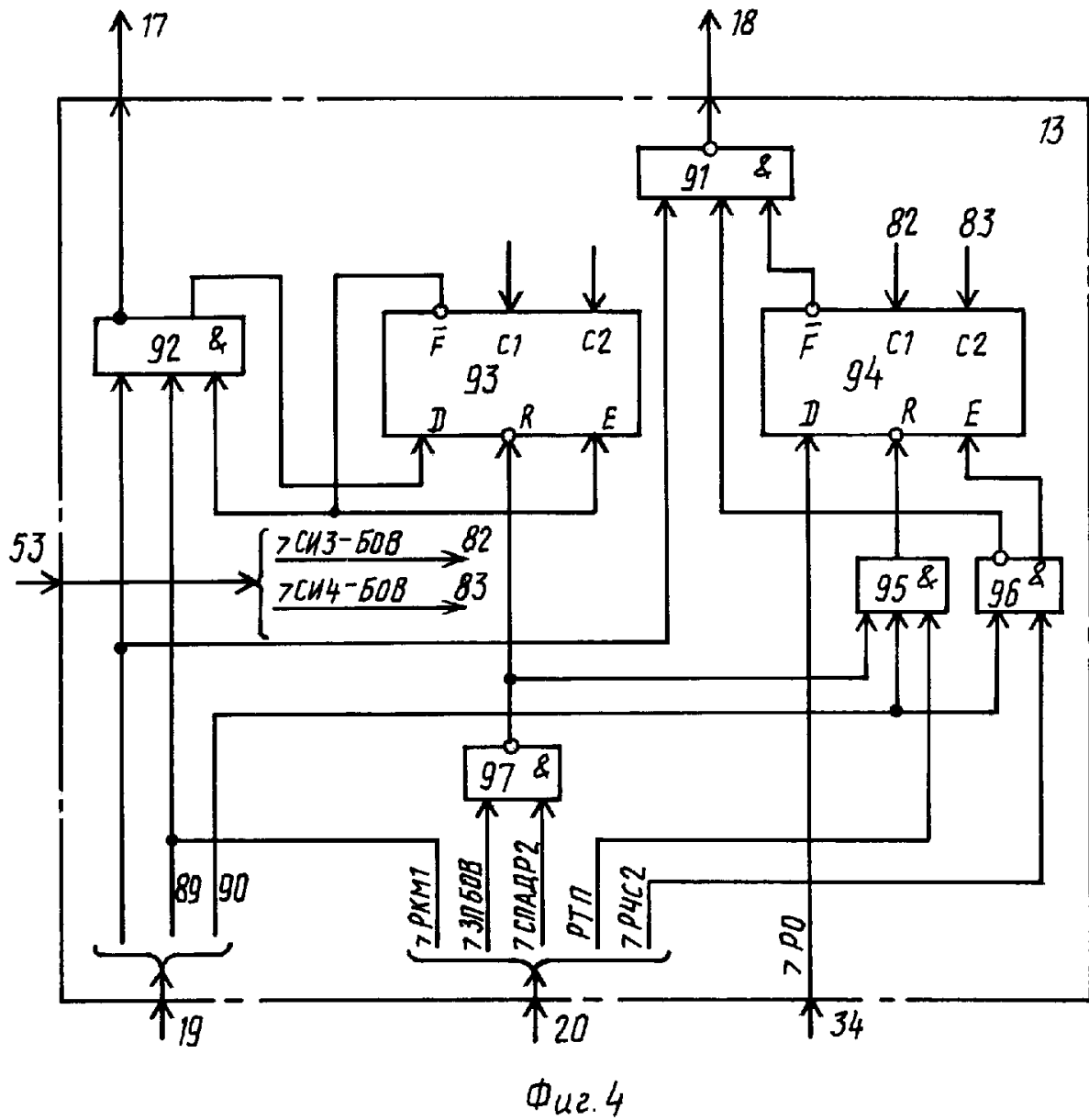
5
10
15
20
25
30
35
40
45
50
55
60

RU 2024920 C1



RU 2024920 C1

RU 2024920 C1



RU 2024920 C1

