

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/335 (2006.01)

H01L 29/772 (2006.01)



[12] 发明专利说明书

专利号 ZL 200510055456.9

[45] 授权公告日 2008 年 3 月 12 日

[11] 授权公告号 CN 100375252C

[22] 申请日 2005.3.17

[21] 申请号 200510055456.9

[30] 优先权

[32] 2004.4.28 [33] US [31] 10/709,323

[73] 专利权人 国际商业机器公司

地址 美国纽约

[72] 发明人 A·布赖恩特 O·H·多库马奇

H·I·哈纳菲 E·J·诺瓦克

[56] 参考文献

US 6709982 B1 2004.3.23

JP2003-204068 A 2003.7.18

US 6642090 B1 2003.11.4

审查员 吴晓达

[74] 专利代理机构 北京市中咨律师事务所

代理人 于 静 李 峰

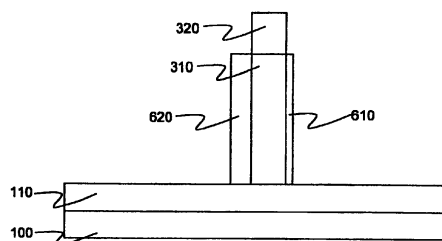
权利要求书 4 页 说明书 8 页 附图 11 页

[54] 发明名称

鳍片场效应晶体管半导体结构及其制造方法

[57] 摘要

一种制造在前栅极侧面和背栅极侧面上具有不同的介质层厚度的背栅极化鳍片场效应晶体管的方法，包括在鳍片场效应晶体管的鳍片的至少一侧引入杂质，以使得形成具有不同厚度的介质层。可以通过注入来引入的杂质增强或阻碍介质的形成。



1. 一种制造鳍片场效应晶体管半导体结构的方法，包括以下步骤：

在衬底上形成用于鳍片场效应晶体管的鳍片，所述鳍片具有第一侧面和第二侧面；

在所述鳍片的第一侧面上引入第一杂质；以及

在所述第一侧面和第二侧面上形成介质层，其中所述介质层在所述第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度，以及所引入的杂质增强或者阻碍所述介质层的形成。

2. 根据权利要求1的方法，其中所述第一杂质是阻碍介质层形成的物质。

3. 根据权利要求2的方法，其中所述第一杂质为氮。

4. 根据权利要求1的方法，其中所述第一杂质是增强介质层形成的物质。

5. 根据权利要求4的方法，其中所述第一杂质为硅、氢、铯、氧或锗中的一种。

6. 根据权利要求1的方法，其中所述引入第一杂质的步骤包括定向注入的步骤。

7. 根据权利要求6的方法，其中所述定向注入的步骤包括将所述结构根据将要注入的杂质倾斜预定的入射角度。

8. 根据权利要求1的方法，其中所述衬底由掩埋氧化物层构成。

9. 根据权利要求1的方法，还包括在所述鳍片的第二侧面上引入第二杂质的步骤。

10. 根据权利要求9的方法，其中所述第一杂质是阻碍介质层形成的物质，所述第二杂质是增强介质层形成的物质。

11. 根据权利要求10的方法，其中：

所述第一杂质为氮；以及

所述第二杂质为硅、氢、铯、氧或锗中的一种。

12. 根据权利要求 10 的方法, 其中:

所述引入第一杂质的步骤包括向所述鳍片的第一侧面定向注入的步骤; 以及

所述引入第二杂质的步骤包括向所述鳍片的第二侧面定向注入的步骤。

13. 根据权利要求 12 的方法, 其中所述定向注入的步骤包括将所述结构根据将要注入的杂质倾斜预定的入射角度。

14. 一种制造鳍片场效应晶体管半导体结构的方法, 包括以下步骤:

在衬底上形成用于鳍片场效应晶体管的鳍片, 所述鳍片具有第一侧面和第二侧面;

在所述鳍片的第一侧面上定向注入第一杂质;

在所述第一侧面和第二侧面上形成介质层, 其中所述介质层在所述第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度, 由于所引入的杂质增强或者阻碍所述介质层的形成; 以及

形成跨在所述鳍片上的鳍片场效应晶体管栅极, 所述鳍片场效应晶体管栅极具有前栅极侧面和背栅极侧面以及顶表面。

15. 根据权利要求 14 的方法, 还包括背栅极化所述栅极的背栅极侧面的步骤。

16. 根据权利要求 15 的方法, 其中背栅极化所述栅极的背栅极侧面的所述步骤包括对所述栅极的背栅极侧面施加偏压的步骤。

17. 根据权利要求 14 的方法, 还包括掺杂所述结构上的栅极区的步骤。

18. 根据权利要求 17 的方法, 其中在所述栅极的一个侧面上定向注入 n 型杂质, 而在所述栅极的另一个侧面上定向注入 p 型杂质。

19. 根据权利要求 14 的方法, 还包括在所述结构上形成源区和漏区的步骤。

20. 根据权利要求 19 的方法, 其中在所述结构上形成源区和漏区的所述步骤包括:

在所述源区中定向注入源掺杂剂; 以及

在所述漏区中定向注入漏掺杂剂。

21. 根据权利要求 19 的方法, 还包括形成邻接所述鳍片场效应晶体管栅极的隔离层的步骤。

22. 根据权利要求 21 的方法, 还包括平坦化所述栅极的顶表面的步骤。

23. 一种鳍片场效应晶体管半导体结构, 包括:

衬底;

在所述衬底上用于鳍片场效应晶体管的鳍片, 所述鳍片具有第一侧面和第二侧面;

在所述鳍片的第一侧面上的第一杂质;

在所述第一侧面和第二侧面上的介质层, 其中所述介质层在所述第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度, 以及所引入的杂质增强或者阻碍所述介质层的形成。

24. 根据权利要求 23 的鳍片场效应晶体管半导体结构, 还包括跨在所述鳍片上的栅极, 所述栅极具有前栅极侧面和背栅极侧面以及顶表面, 其中背栅极化所述栅极的背栅极侧面。

25. 根据权利要求 24 的鳍片场效应晶体管半导体结构, 其中在所述栅极的背栅极侧面上施加偏压。

26. 根据权利要求 25 的鳍片场效应晶体管半导体结构, 还包括掺杂所述结构上的栅极区。

27. 根据权利要求 25 的鳍片场效应晶体管半导体结构, 其中在所述栅极的一个侧面上定向注入 n 型杂质, 而在所述栅极的另一个侧面上定向注入 p 型杂质。

28. 根据权利要求 23 的鳍片场效应晶体管半导体结构, 还包括所述结构上的源区和漏区。

29. 根据权利要求 28 的鳍片场效应晶体管半导体结构, 还包括:

在所述源区中定向注入的源掺杂剂; 以及

在所述漏区中定向注入的漏掺杂剂。

30. 根据权利要求 28 的鳍片场效应晶体管半导体结构, 还包括邻接跨

在所述鳍片上的鳍片场效应晶体管栅极的隔离层。

31. 根据权利要求 28 的鳍片场效应晶体管半导体结构，其中所述鳍片场效应晶体管栅极具有平坦化的顶表面。

鳍片场效应晶体管半导体结构及其制造方法

技术领域

本发明通常涉及一种半导体器件及其制造方法，更具体地说，涉及一种包括在前栅极和背栅极上具有不同氧化物厚度的 FinFET（鳍片场效应晶体管）的半导体器件及其制造方法。

背景技术

传统的金属氧化物半导体场效应晶体管（MOSFET）具有在平坦衬底上的单个控制栅极。当晶体管确定为不导电时，沟道的单个控制经常在源和漏之间产生不希望的漏电流。随着集成电路临界尺寸的继续缩小这尤其成为一个问题。

改进的平面结构采用两个栅极，在沟道的每侧上各有一个。由于这样的配置提高了栅极和沟道之间的静电耦合，提高了晶体管的驱动电流并降低了漏电流。然而，不幸的是，这样的平面双栅极器件很难制造。

双栅极 FET 的一种操作模式是同时开关两个栅极。两个栅极的另一用于仅开关一个栅极并对第二栅极施加偏压以改变 FET 的阈值电压。通常把该操作模式称为背栅极（backgate）。有利地，背栅极芯片的性能可以动态地或者在制造后微调。

随着器件按比例缩小，背栅极器件为器件技术提供了有益的改进。对于金属栅极器件，通过掺杂调节阈值电压产生了埋层器件。背栅极器件不需要制造埋层器件就能用于调节阈值电压。

对于全耗尽的薄硅器件，阈值电压能通过传统的掺杂来调节。然而，额外的掺杂剂引起的杂质散射增加可能导致迁移率和驱动电流的显著降低。

由于 FinFET 更容易制造, FinFET 是平面双栅极器件有吸引力的替代物。FinFET 的主体是从垂直半导体结构形成的, 通常称作“鳍片”, 其用作沟道。可以在鳍片上沉积多晶硅层并构图以形成跨在鳍片上的完全对准的栅极。鳍片在源和漏的两侧中止。在 FinFET 所提供的许多优点中的一个是在短栅极长度处的较好的栅极控制。因此 FinFET 能促进 CMOS 尺寸的缩小同时维持可接受的性能。

如上所述当栅极形成在鳍片的两侧时, 器件通常被称作双栅极 FinFET。双栅极的用途是消除短沟道效应 (SCE), 提供更低的漏电流, 并提供改进的开关性能。

FinFET 的制造方法可以被修改以将双栅极 FinFET 变成背栅极器件。一种修改涉及氧化物的厚度。在背栅极器件中, 通常优选在背栅极中具有比前栅极中更厚的氧化物, 以最小化前栅极到背栅极的电容量和源/漏到背栅极的电容量。

当利用侧壁图像转印 (SIT) 工艺形成鳍片时, 可以在 FinFET 的鳍片的两侧上生长不同厚度的氧化物。然而, 在 SIT 工艺中生长两种不同的厚度有缺点。例如, 氧化物在作为 SIT 工艺的整体步骤的蚀刻虚栅极期间或鳍片相反侧的反应离子蚀刻 (RIE) 期间可能会被破坏。同样, 如果利用除了 SIT 之外的工艺制造鳍片, 需要不同的方法来获得多倍的氧化物厚度。

本发明旨在解决上述一个或多个问题。

发明内容

在本发明的第一方面, 提供了一种制造半导体结构的方法。该方法在衬底上形成用于 FinFET 的鳍片。鳍片具有第一侧面和第二侧面。在鳍片的第一侧面上引入第一杂质。在第一侧面和第二侧面上形成介质层。由于存在杂质, 介质层在第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度。

在本发明的第二方面, 提供了一种制造半导体结构的方法, 包括在衬底上形成用于 FinFET 的鳍片。鳍片具有第一侧面和第二侧面。在鳍片的

第一侧面上定向引入第一杂质。在鳍片的第一侧面和第二侧面上形成介质层。由于存在引入的杂质，介质层在第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度。还形成具有前栅极侧面和背栅极侧面以及顶表面的 FinFET 栅极。FinFET 栅极跨在鳍片上。

在本发明的第三方面，提供了一种半导体结构。该半导体结构包括衬底和在衬底上的用于 FinFET 的鳍片。鳍片具有第一侧面和第二侧面。该结构还包括在鳍片的第一侧面上引入的第一杂质。因此，由于存在引入的杂质，在鳍片的第一侧面和第二侧面上形成的介质层在第一侧面和第二侧面中的一个侧面上的厚度大于在另一个侧面上的厚度。

附图说明

图 1 示出了根据本发明的原理在其上形成有 FinFET 的示例性衬底；

图 2 示出了根据本发明的原理在其上形成有 FinFET 的衬底结构顶部的示例性掩膜；

图 3 示出了根据本发明的原理被蚀刻以形成用于 FinFET 的鳍片结构的示例性结构；

图 4 示出了根据本发明的原理具有鳍片和硬掩膜的示例性半导体结构的截面图；

图 5 示出了根据本发明的原理将杂质注入到示例性鳍片的一个侧面中的示例性步骤；

图 6 示出了根据本发明的原理沿着示例性鳍片的侧面形成不同介质的示例性步骤；

图 7A 和 7B 示出了根据本发明的原理形成跨在示例性鳍片上的栅极的示例性步骤；

图 8 示出了根据本发明的原理的掺杂步骤；

图 9 示出了根据本发明的原理沿着跨在鳍片上的栅极形成的具有隔离层的结构；以及

图 10 示出了根据本发明的原理的平坦化结构。

具体实施方式

根据本发明的示例性方法包括这样的步骤：在 FinFET 的鳍片的至少一个侧面中引入杂质以形成具有不同厚度的介质层。可以通过离子注入引入的杂质增强或阻碍介质层的形成，在背栅极（即偏置的非开关栅极）中具有比前栅极中更厚的介质层，从而减小前栅极到背栅极的电容量以及源和漏到背栅极的电容量。

现在参考图 1，提供了一种如绝缘体上硅（SOI）结构的示例性衬底，包括硅衬底层 100、掩埋氧化物层 110 和在掩埋氧化物层上的硅层 120。该硅层 120 可以例如具有大约 50nm 的厚度，其决定了将要形成的鳍片（即晶体管的主体）的高度，具体如下所述。

以传统的方法在硅层 120 的暴露表面上形成硬掩膜 130。硬掩膜可以包括绝缘层如氧化硅、氮化硅、低介电常数材料或其它合适的能利用腐蚀性蚀刻化学物质如等离子蚀刻的腐蚀剂绝缘体。作为例子，由 SiO_2 和 Si_3N_4 构成的保护硬掩膜叠层可以通过化学气相沉积在硅层 120 上形成。氮化物层和氧化物层的形成顺序可以颠倒，或者可以仅用其中的一层而不是两层。

沉积硬掩膜后，可以通过使用光刻蚀、电子束刻蚀、x 射线刻蚀或者其它传统的方法，在硬掩膜上施加光刻胶以限定图形，从而限定如图 2 所示的刻蚀掩膜 210。下一步，如图 3 所示，进行蚀刻工艺以构图器件鳍片结构 310。硬掩膜 320 的构图部分保留在鳍片结构的顶部。其后去除光刻掩膜 210，得到如图 3 所示的结构。

本领域的技术人员可以理解鳍片结构 310 可以利用不同的技术形成，例如通过覆盖沉积，接着进行如上所述的选择性蚀刻，或每层的选择性沉积。形成鳍片的特定方法对于本发明并不重要。

现在参考图 4，提供了从图 3 的结构中的 a-a 部分的截面图。该结构包括在掩埋氧化物层 110 顶部上的半导体（例如硅）鳍片 310。硬掩膜保留在鳍片 310 顶部。

然后，如图 5 所示在鳍片 310 的侧面定向注入杂质。该杂质增强或者

阻碍介质的生长。如果杂质阻碍介质的生长，则鳍片 310 的有离子注入的侧面将比鳍片 310 的相反侧具有更薄的介质层。然而，如果杂质增强介质的生长，则注入侧将具有更厚的介质层。当然，在不脱离本发明的范围的情况下，一个侧面可以具有阻碍杂质而另一个侧面可以具有增强杂质。

杂质的注入使得形成的背栅极化 FinFET 的前栅极与控制背栅极相比具有不同的介质厚度。背栅极介质通常是更厚的层。作为例子并不局限于此，可以将氮或一些其它的阻碍杂质注入到前栅极侧面以阻碍在该侧面的氧化物介质生长。可选地，可以将硅或氮或者其它增强注入引入到背栅极侧面以增强在该侧面的氧化物介质生长。其它合适注入的种类包括能提高氧化的重离子，如铯、氧或锗。例如，上述杂质可以以 0.1 至 10KeV、以 $1e^{14}$ 至 $1e^{16}$ 的剂量、以约 10° 至 45° 的倾斜角度注入。

说明性地，可以使用等离子体氮化工艺，在前栅极侧面上注入氮以阻碍氧化物介质的生长。利用微波的远程等离子体氮化 (RPN) 或者利用射频的去耦等离子体氮化 (DPN) 可以与含氮气体交互作用，从而产生包含氮基的等离子体。

可以用含氮等离子体定向轰击前栅极侧面。例如，以偏离垂直方向的角度 (例如 $\theta = 30^\circ$) 在前栅极侧面上引入等离子体，应当避免在背栅极侧面上的材料注入。注入的定向方位对于保证注入不会不均匀地影响具有相同杂质的栅极结构很重要。如果注入等同地影响栅极的两侧，注入将不会产生介质层厚度的不同。

在 20 至 80mTorr 的压力下等离子体的示例性气体组分为 75% 的氮和 25% 的氮。等离子体氮浓度可以改变，例如从 10% 至 25%，利用氮、氮或氮提供平衡。在等离子体中引入氮源以形成含氮等离子体。氮源可以是，例如 N_2 、 NH_3 、NO、 N_2O 和/或其混合物。等离子体可以在 10 至 50W 下施加 10 至 60 秒。

在等离子体氮化期间，可以无偏置鳍片 310，在这种情况下通过等离子体电势来加速电离物质，然后将电离物质注入到绝缘表面中。可选地，可以在鳍片 310 上施加偏压以进一步加速从等离子体的离子运动。可以使用

直流或射频偏压来偏置衬底。因此该方法的这个步骤在鳍片的一个侧面(例如前栅极侧面)中单独地或主要地引入了杂质(例如氮)来影响(例如阻碍)介质的生长。

在不脱离本发明的范围的情况下,可以使用相似的定向注入工艺在鳍片的侧面中引入一些其它的阻碍或增强杂质,例如氮或硅。特别的定向注入技术不是特别重要。在不脱离本发明的范围的情况下,现已知的或后来发展的其它技术可以应用于在鳍片的侧面中定向注入阻碍或增强杂质。

利用杂质注入,然后可以使用传统的 FinFET 制造方法来完成背栅极化的 FinFET。为了示例性说明的目的,下面将提供示例性方法步骤的说明。

现在参考图 6,在注入杂质后,在鳍片上生长或沉积栅极介质。例如,可以热生长或沉积这样的介质: SiO_2 、 Si_3N_4 、高 K 介电常数材料、其它介质绝缘体、或者适合于用作 FinFET 的栅极介质的它们的组合物。当然,介质也应当对注入的杂质敏感,从而杂质如上所述增强或者阻碍介质的形成。由于注入的杂质,鳍片的一个侧面(例如背栅极)在背栅极(即偏置的非开关栅极)中将会具有比在前栅极中更厚的介质层,从而减少了前栅极到主体和背栅极的电容量以及源和漏到背栅极的电容量。

然后,如图 7A 和 7B 所示跨在鳍片上形成栅极。以传统的方式在结构的表面上沉积栅极材料,栅极材料可以是任何适合于 FinFET 栅极组分的导电材料,例如多晶硅、硅锗、难熔金属或化合物如氮化钛或钼。如图 7B 所示,然后以传统的方式限定栅极掩膜 710,并蚀刻下面的栅极材料以形成在栅极介质(图 7A 中的 610-620)和掩埋氧化物层 110 上具有蚀刻停止层的栅极 720。栅极 720 通过栅极介质 610、620 和硬掩膜 320 与晶体管结构电隔离。

在形成栅极 720 后,剥离栅极掩膜 710。这可以利用任何合适的掩膜去除技术,例如选择性湿法或干法蚀刻来实现。

在这里,如图 8 所示,可以注入合适的掺杂剂以形成源区和漏区、栅极区和延伸区。源区和漏区的掺杂使得它们可导电。如果需要也可以在此

步骤掺杂栅极。掺杂可以通过高端注入、气体浸入激光掺杂、离子簇射（shower）掺杂、固体或气体源扩散或其它传统方法来实现。选择掺杂剂的种类以达到所需要的器件性能，例如 N 型或 P 型，包括掺杂剂的浓度。众所周知，P、As 和 Sb 是用于 N 型区的合适掺杂剂，而 B、In 和 Ga 适合用于 P 型区阱。定向角度浅离子注入可以用于掺杂源区和漏区以及栅极区。离子注入的方向对于确保注入不会不均匀地影响栅极的不同侧很重要。可以利用传统的定向离子注入设备来实现定向注入，该设备例如能够将晶片根据将要注入的掺杂种类倾斜预定的入射角度的设备。可以定向引入一种掺杂剂，然后利用另一角度方向引入另一种掺杂剂。任何注入损伤或非晶化都可以通过随后暴露于升高的温度来进行退火。

可选地，也可以形成延伸和晕圈注入。对于 nFETs，通常将 B、In 或 Ga 在 5 至 15keV 的能量范围内在 1×10^{13} 至 $8 \times 10^{13} \text{ cm}^{-3}$ 的剂量下用于晕圈注入。同样，对于 pFETs，通常将 P、As 或 Sb 在 20 至 45keV 的能量范围内在 1×10^{13} 至 $8 \times 10^{13} \text{ cm}^{-3}$ 的剂量下用于晕圈注入。

然后，可以通过沉积和选择性蚀刻介质如氮化硅或氧化硅，沿栅极和沟道的侧壁形成隔离层。如果需要，可以通过附加蚀刻去除在沟道侧壁上形成的隔离层，保留在栅极每侧上的栅极隔离层 910 和 920，如图 9 所示。

在形成隔离层后，可以去除在源和漏上的硬掩膜以直接接触下面的源和漏材料。这可以通过各向异性蚀刻（例如反应离子蚀刻）硬掩膜以去除在源和漏岛上的硬掩膜来实现。

随后，如图 10 所示，可以化学机械抛光（CMP）表面以使栅极高度基本上平坦化。在形成期间，由于栅极跨在鳍片上，在结构的交叉处通常有凸起。传统方式的化学机械抛光可以减少或消除凸起并基本上将栅极平坦化到鳍片顶部的硬掩膜。

然后形成到源、漏、栅极的接触以完成器件。因此，可以例如利用化学机械抛光工艺，沉积并平坦化介质。然后可以利用各向异性工艺（例如反应离子蚀刻）等构造并蚀刻接触孔。然后可以以传统的方式使用导电材料填充接触孔，该导电材料如掺杂的多晶硅、硅化物（例如 Wsi）、金属

(例如 Au、Al、Mo、W、Ta、Ti、Cu 或 ITO (铟-锡氧化物)) 等, 通过蒸发、溅射或者其它已知的技术沉积, 从而形成源和漏接触。然后可以沉积并利用反应离子蚀刻工艺等构造第一金属层。可选地, 第一金属层的结构可以在镶嵌处理流程之后完成。

得到的结构包括在前栅极侧面和背栅极侧面上具有不同介质层厚度的 FinFET。在 FinFET 的鳍片的至少一个侧面上引入的杂质使得形成了具有不同厚度的介质层。可以通过注入来引入的杂质增强或阻碍介质的形成。

虽然本发明以示例性实施例的方式描述, 但是本领域的技术人员会认识到本发明可以在所附权利要求书的精神和范围内进行修改并实施。

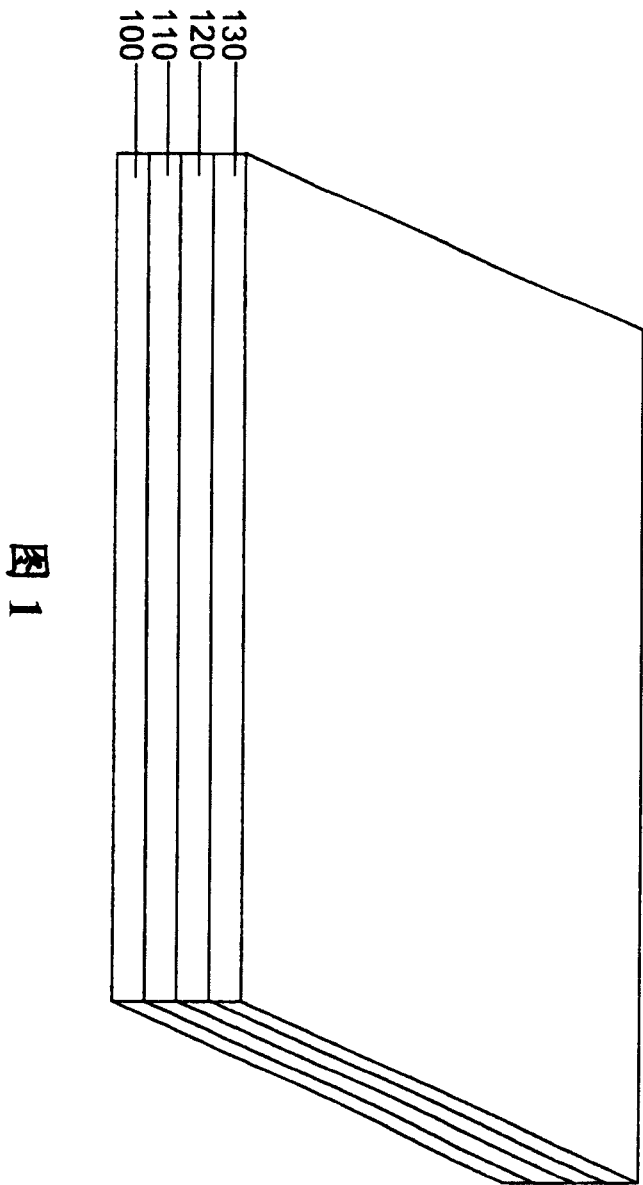


图 1

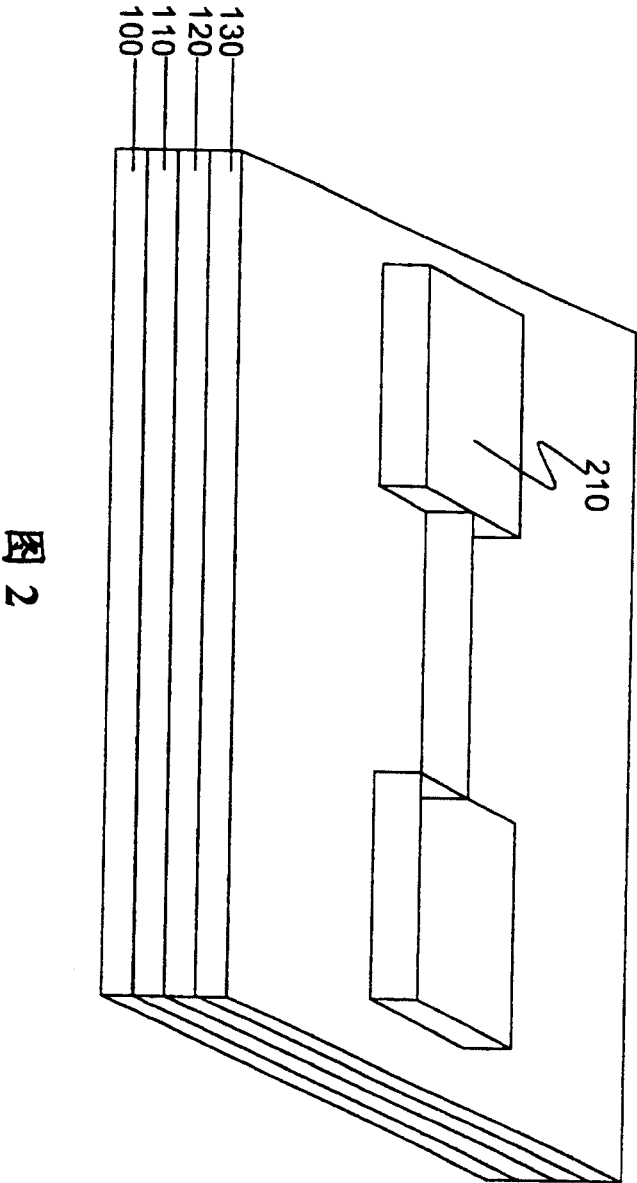


图 2

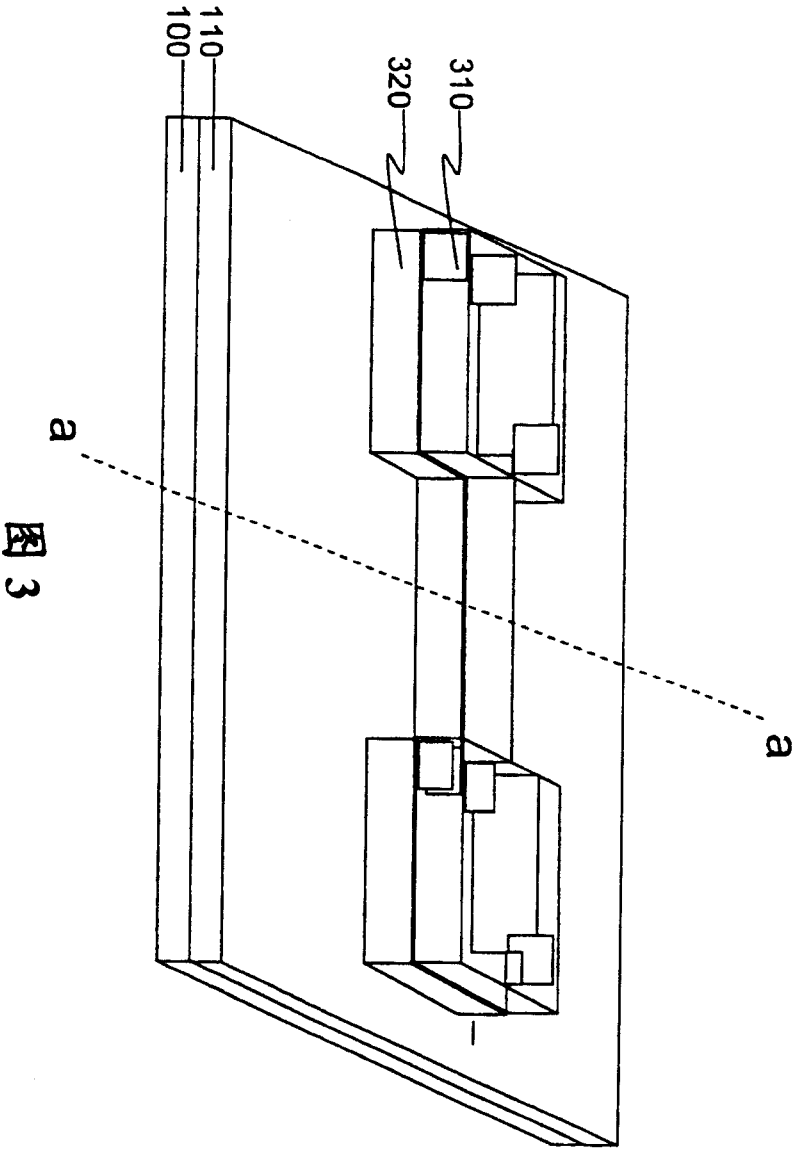


图 3

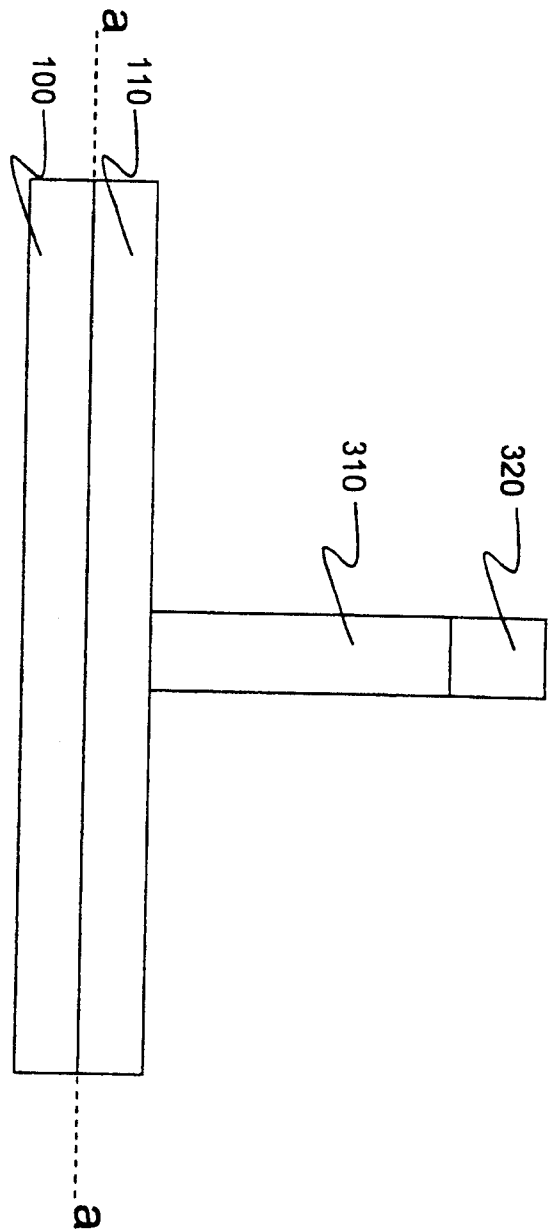
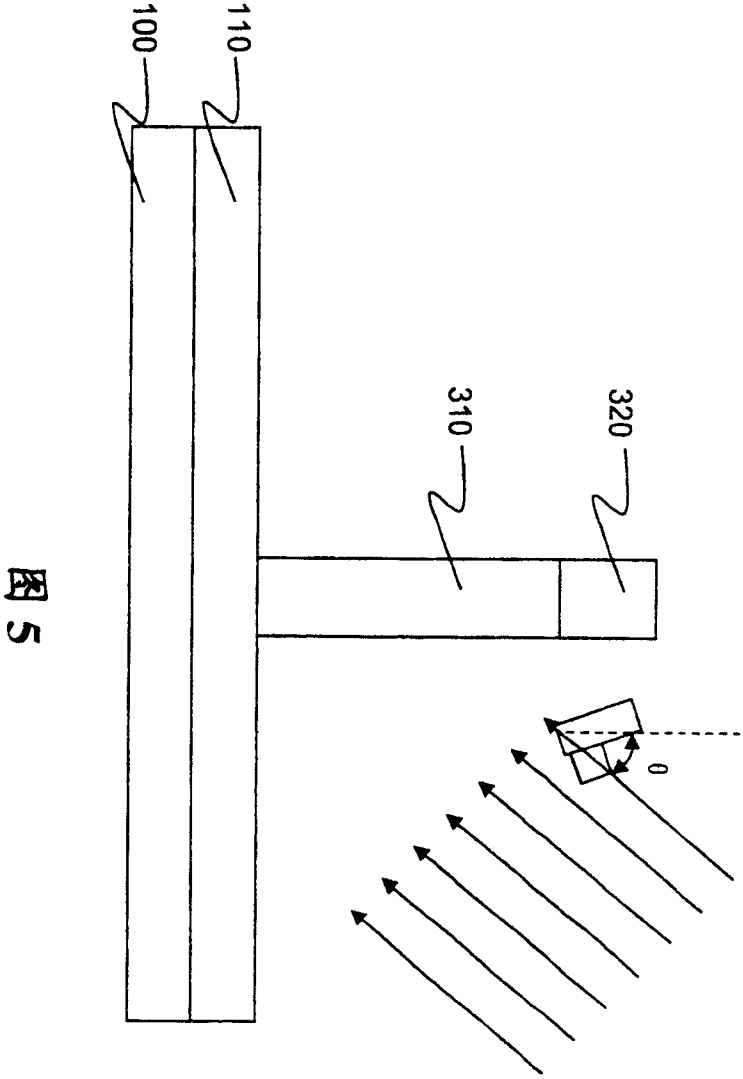


图 4



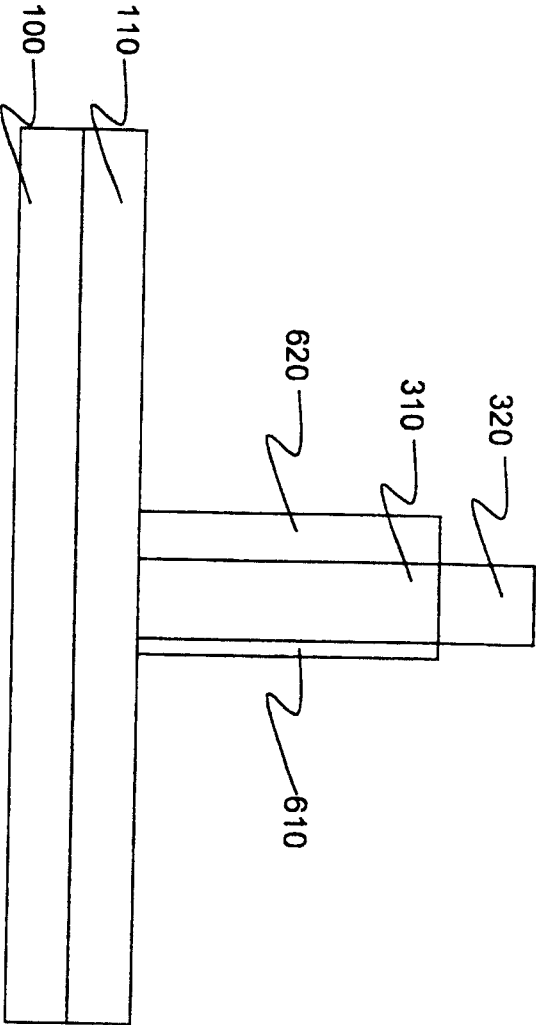


图 6

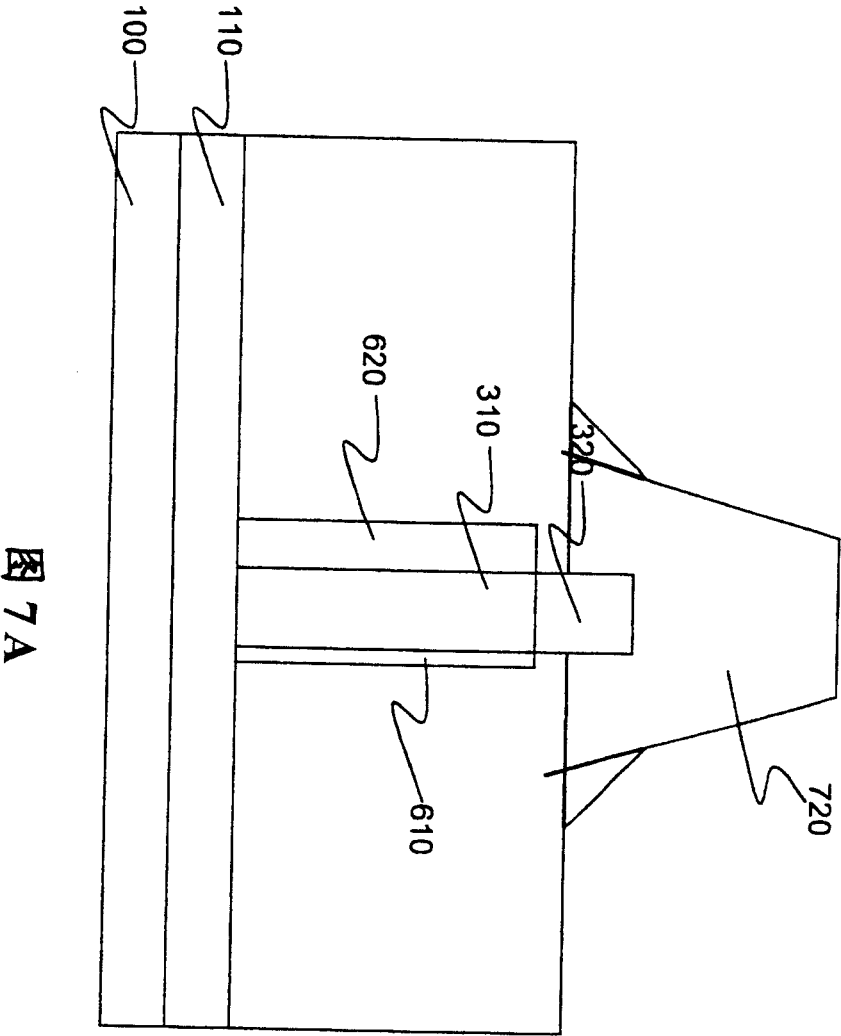


图 7A

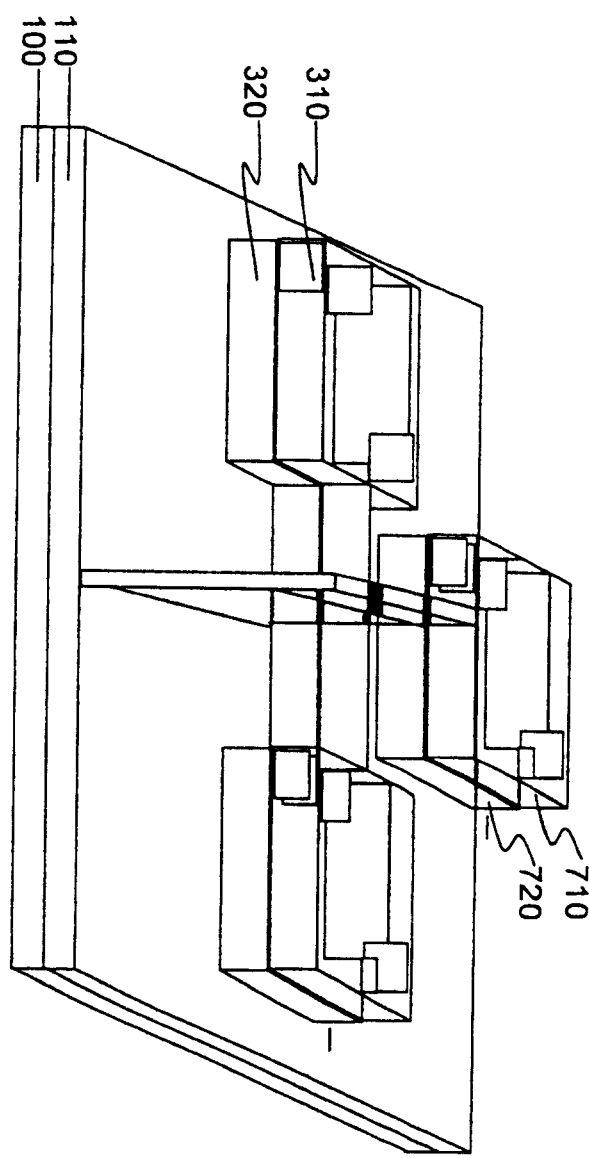


图 7 B

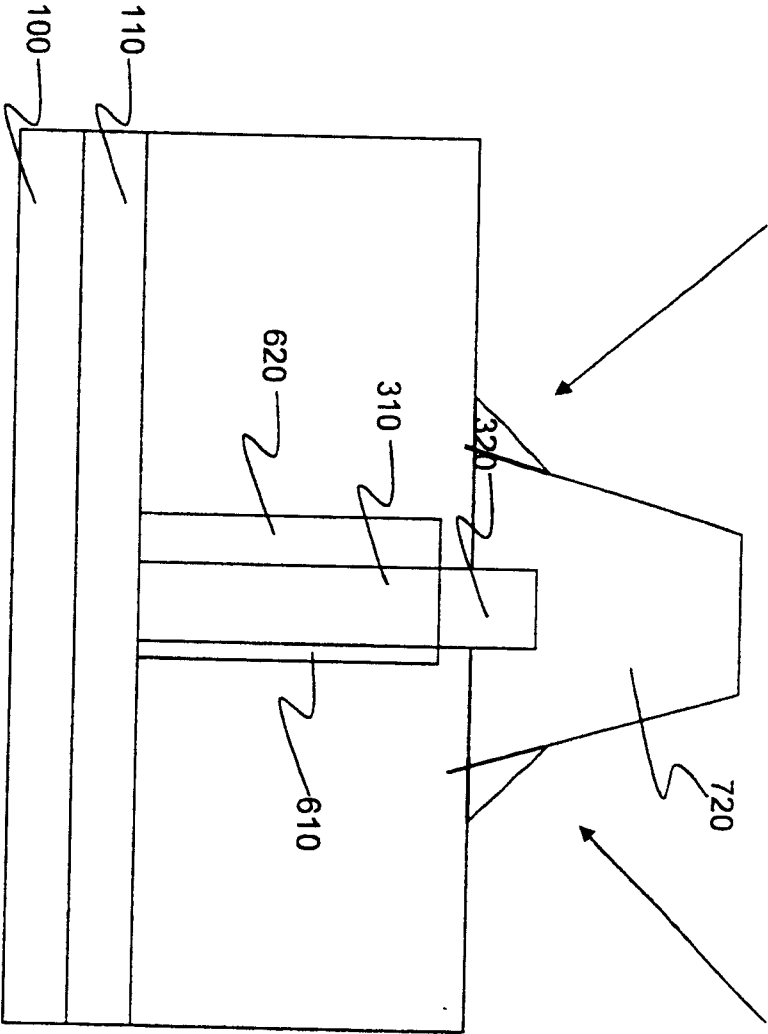


图 8

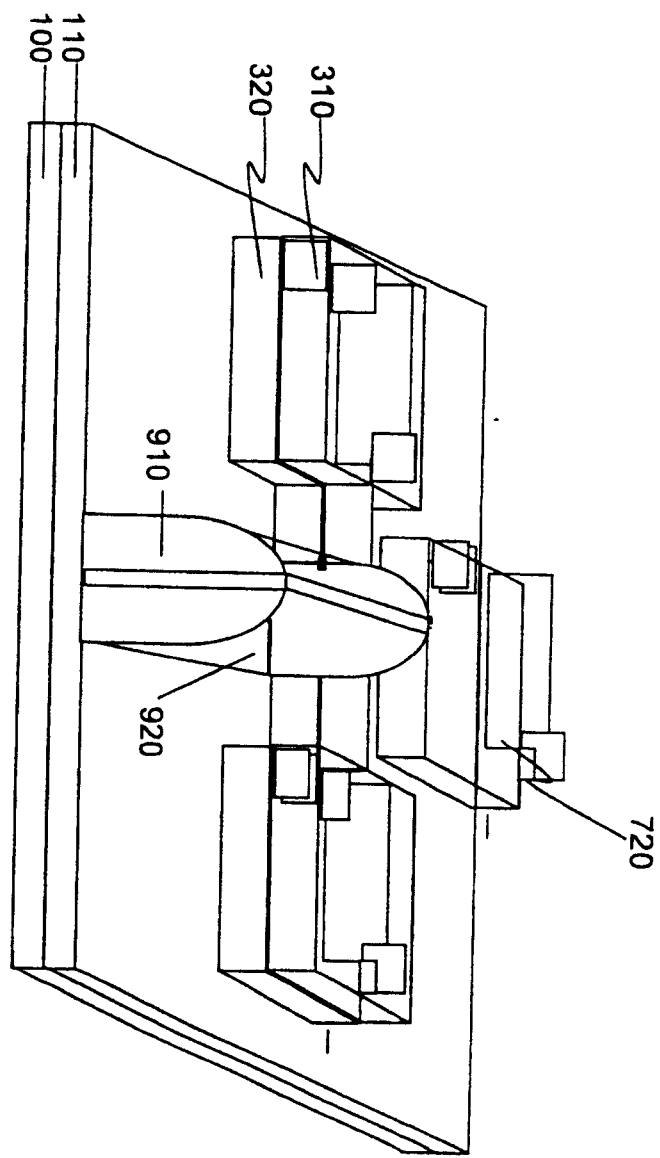


图 9

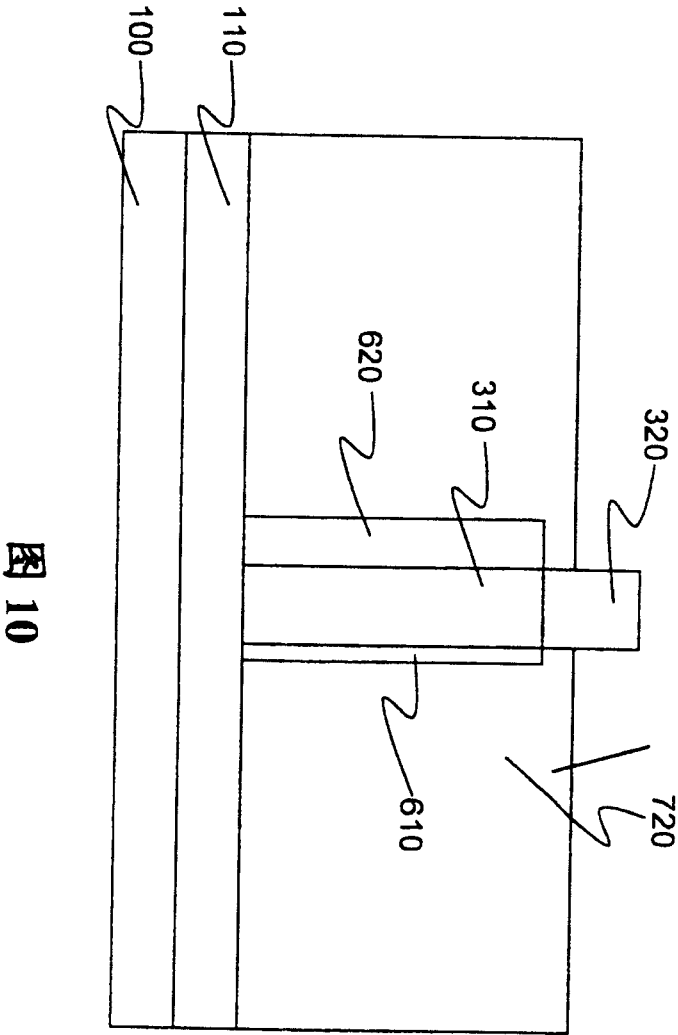


图 10