

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3927788号
(P3927788)

(45) 発行日 平成19年6月13日(2007.6.13)

(24) 登録日 平成19年3月9日(2007.3.9)

(51) Int.C1.

F 1

HO3K	19/00	(2006.01)	HO3K	19/00	A
HO3K	19/0175	(2006.01)	HO3K	19/00	101F
HO1L	21/822	(2006.01)	HO1L	27/04	G
HO1L	27/04	(2006.01)	HO1L	27/04	B
HO2M	1/08	(2006.01)	HO2M	1/08	A

請求項の数 14 (全 16 頁)

(21) 出願番号

特願2001-336161 (P2001-336161)

(22) 出願日

平成13年11月1日 (2001.11.1)

(65) 公開番号

特開2003-143000 (P2003-143000A)

(43) 公開日

平成15年5月16日 (2003.5.16)

審査請求日

平成16年10月25日 (2004.10.25)

(73) 特許権者 503121103

株式会社ルネサステクノロジ

東京都千代田区丸の内二丁目4番1号

(74) 代理人 100064746

弁理士 深見 久郎

(74) 代理人 100085132

弁理士 森田 俊雄

(74) 代理人 100083703

弁理士 仲村 義平

(74) 代理人 100096781

弁理士 堀井 豊

(74) 代理人 100098316

弁理士 野田 久登

(74) 代理人 100109162

弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

出力回路を含む半導体装置であつて、

前記出力回路に出力制御信号を与える半導体回路、

外部から前記半導体回路に与えられる第1の電源電位が供給される第1の電源端子、

外部から前記半導体回路に与えられる第2の電源電位が供給される第2の電源端子、および

前記第1の電源電位を前記第2の電源電位側にシフトさせることによって得られた所定の電源電位を前記出力回路に供給する電源回路を含み、

前記電源回路は、制御用トランジスタを含み、出力電位と前記第2の電源電位との間の電圧を分圧し、前記分圧動作によって得られた電位と出力電位との電位差を用いて前記制御用トランジスタのオン抵抗を制御し、かつ前記所定の電源電位を出力する、半導体装置。

【請求項 2】

前記電源回路は、前記半導体回路から与えられる活性信号に応じて、前記第1の電源電位を前記第2の電源電位側にシフトすることによって得られた前記所定の電源電位を前記出力回路に供給するスイッチングトランジスタを含む、請求項1に記載の半導体装置。

【請求項 3】

各々が前記半導体回路と前記出力回路とを含む複数の半導体チップが配列されていて、前記電源回路は前記複数の半導体チップに対して共通に設けられる、請求項1に記載の

半導体装置。

【請求項 4】

前記第1の電源電位はVDDであり、前記第2の電源電位はVSSである、請求項1に記載の半導体装置。

【請求項 5】

前記第1の電源電位はVSSであり、前記第2の電源電位はVDDである、請求項1に記載の半導体装置。

【請求項 6】

出力回路を含む半導体装置であって、

前記出力回路に出力制御信号を与える半導体回路、

外部から前記半導体回路に与える電源電圧が供給される電源端子、および

前記出力回路に与える出力電位と予め定める参照電位とを比較する比較回路と、前記比較回路の比較出力に応じて前記出力電位を前記電源端子に与えられる電源電圧よりも低い一定の電源電位となるように制御するドライブトランジスタを含む出力回路専用電源回路を備えた、半導体装置。

【請求項 7】

前記電源回路は、前記半導体回路から与えられる活性信号に応じて前記電源電圧より低い一定の電源電位を前記出力回路に供給するスイッチングトランジスタを含むことを特徴とする、請求項6に記載の半導体装置。

【請求項 8】

出力回路を含む半導体装置であって、

前記出力回路に出力制御信号を与える半導体回路、

外部から前記半導体回路と前記出力回路とに与える電源電圧が供給される電源端子、

外部の接地電位に接続される接地端子、および

前記出力回路に与える出力接地電位と予め定める参照電位とを比較する比較回路と、前記比較回路の比較出力に応じて前記出力接地電位を前記接地端子の接地電位よりも高い一定の電位となるように制御するドライブトランジスタを含む電源回路を備えた、半導体装置。

【請求項 9】

前記電源回路は、前記半導体回路から与えられる活性信号に応じて前記接地端子の接地電位よりも高い一定の接地電位を前記出力回路に供給するスイッチングトランジスタを含むことを特徴とする、請求項8に記載の半導体装置。

【請求項 10】

前記出力回路は複数設けられていて、

前記電源回路のドライブトランジスタは各出力回路のそれぞれに対応して設けられていることを特徴とする、請求項6または8に記載の半導体装置。

【請求項 11】

前記ドライブトランジスタはその入力電極に前記比較出力が与えられ、その第1の電極に前記電源電圧が与えられ、その第2の電極から前記出力電圧を出力して前記出力回路に与え、さらに

前記ドライブトランジスタの入力電極と第2の電極との間に接続される帰還容量と、

前記ドライブトランジスタの入力電極と前記比較出力との間に接続される第1の抵抗と

、前記ドライブトランジスタの第2の電極と前記比較回路の比較入力との間に接続される第2の抵抗とを含むことを特徴とする、請求項10に記載の半導体装置。

【請求項 12】

前記参照電位は、入力信号用の基準電位が用いられることを特徴とする、請求項6ないし11のいずれかに記載の半導体装置。

【請求項 13】

さらに、前記比較回路の比較入力に与えられる信号を分圧するための分圧抵抗を含むこ

10

20

30

40

50

とを特徴とする、請求項 1_2 に記載の半導体装置。

【請求項 1 4】

各々が前記半導体回路と前記出力回路とを含む複数の半導体チップが複数配列されていて、

前記電源回路は前記複数の半導体チップに対して共通に設けられることを特徴とする、請求項 6 ないし 9 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は半導体装置に関し、特に、高速・低消費電力動作を目的とし、かつ対ノイズ性を確保するために、半導体チップの電源電圧とは別の低い電圧を出力回路に与えて動作するように構成した半導体装置に関する。 10

【0002】

【従来の技術】

図 13 は従来の半導体チップの概略ブロック図である。図 13において、半導体チップ 1 には半導体メモリや半導体ロジックなどの半導体回路 11 と出力回路 12 とが内蔵されており、半導体回路 11 から出力回路 12 に出力制御信号が与えられる。このような半導体チップ 1 においては、出力回路 12 の出力動作に伴うノイズの影響を避けるために、半導体チップ 1 の電源電圧 VDD が供給される電源端子とは別に、出力回路 12 専用の電源電圧 VDDQ を供給するための電源端子を設ける場合が多い。 20

【0003】

また、近年の高速化の要求により半導体装置を高速にすると「H」レベルと、「L」レベルの切換回数が増えてくるので、変化する電圧 × 变化する回数の関係から消費電力が増加する。このため、消費電力を減少させるためには、出力回路 12 の出力信号の振幅を小さくする必要がある。そのためには、出力回路 12 の電源電圧をメモリ回路やロジック回路などの半導体回路 11 とは別の低い電源電圧を電源端子から別途供給する必要がある。 30

【0004】

【発明が解決しようとする課題】

しかしながら、出力回路専用の電源端子を設けても、システムに実装される際には実装基板の電源層数の制約などにより、特に半導体メモリでは同一電源に接続されてしまうことが多かった。 30

【0005】

また、上述のごとく出力振幅を小さくするために半導体チップ 1 本体の電源電圧とは異なる低い電圧を出力専用の電源端子に与えることは、やはり実装基板の層数制限により難しかった。

【0006】

それゆえに、この発明の主たる目的は出力回路のための電源端子を設けることなく、高速動作が可能でありかつ低振幅の出力信号が出力可能な半導体装置を提供することである。

【0007】

【課題を解決するための手段】

この発明は、出力回路を含む半導体装置であって、出力回路に出力制御信号を与える半導体回路と、外部から半導体回路に与える電源電圧が供給される電源端子と、電源端子に供給される電源電圧を降圧した出力電圧を分圧し、その分圧電圧と出力電圧との電位差を用いて、制御用トランジスタのオン抵抗を制御して出力電圧を外部から与えられる電源電圧より高い一定の電源電位にして出力回路に供給する電源回路を備えたことを特徴とする。 40

【0008】

また、電源回路は、半導体回路から与えられる活性信号に応じて電源電圧より低い一定の電源電位を出力回路に供給するスイッチングトランジスタを含むことを特徴とする。

【0009】

他の発明は、出力回路を含む半導体装置であって、出力回路に出力制御信号を与える半導 50

体回路と、外部から半導体回路と出力回路とに与える電源電圧が供給される電源端子と、外部の接地電位に接続される接地端子と、外部の接地電位より高い出力接地電位を基に分圧電圧を生成し、その分圧電圧と出力接地電位との電位差を用いて、制御用トランジスタのオン抵抗を制御して出力接地電位を外部の接地電位より高い一定の接地電位にして出力回路に供給する電源回路を備えたことを特徴とする。

【0010】

また、電源回路は、半導体回路から与えられる活性信号に応じて外部の接地電位より高い一定の接地電位を出力回路に供給するスイッチングトランジスタを含むことを特徴とする。

【0011】

さらに、他の発明は、出力回路を含む半導体装置であって、出力回路に出力制御信号を与える半導体回路と、外部から半導体回路に与える電源電圧が供給される電源端子と、出力回路に与える出力電位と予め定める参照電位とを比較する比較回路および比較回路の比較出力に応じて出力電位を電源端子に与えられる電源電圧よりも低い一定の電位となるように制御するドライブトランジスタを含む電源回路を備えたことを特徴とする。

【0012】

また、電源回路は、半導体回路から与えられる活性信号に応じて電源電圧より低い一定の電源電位を出力回路に供給するスイッチングトランジスタを含むことを特徴とする。

【0013】

さらに、他の発明は、出力回路を含む半導体装置であって、出力回路に出力制御信号を与える半導体回路と、外部から半導体回路と出力回路とに与える電源電圧が供給される電源端子と、外部の接地電位に接続される接地端子と、出力回路に与える出力接地電位と予め定める参照電位とを比較する比較回路および比較回路の比較出力に応じて出力接地電位を接地端子の接地電位よりも高い一定の電位となるように制御するドライブトランジスタを含む電源回路を備えたことを特徴とする。

【0014】

また、電源回路は、半導体回路から与えられる活性信号に応じて接地端子の接地電位よりも高い一定の接地電位を出力回路に供給するスイッチングトランジスタを含むことを特徴とする。

【0015】

さらに、出力回路は複数設けられていて、電源回路のドライブトランジスタは各出力回路のそれぞれに対応して設けられていることを特徴とする。

【0016】

さらに、ドライブトランジスタはその入力電極に比較出力が与えられ、その第1の電極に電源電圧が与えられ、その第2の電極から出力電圧を出力して出力回路に与え、ドライブトランジスタの入力電極と第2の電極との間に接続される容量結合と、ドライブトランジスタの入力電極と比較出力との間に接続される第1の抵抗と、ドライブトランジスタの第2の電極と比較回路の比較入力との間に接続される第2の抵抗とを含むことを特徴とする。

【0017】

また、参照電位は、入力信号用の基準電位が用いられる特徴とする。

さらに、第2の抵抗を介して比較回路の比較入力に与えられる信号を分圧するための分圧抵抗を含むことを特徴とする。

【0018】

さらに、半導体回路と出力回路とを含む複数の半導体チップが複数配列されていて、電源回路は複数の半導体チップに対して共通に設けられることを特徴とする。

【0019】

【発明の実施の形態】

図1はこの発明の第1の実施形態における半導体チップの構成を示すブロック図である。

図1において、半導体チップ1は電源端子8と半導体回路11と出力回路12とレギュレ

10

20

30

40

50

ータ回路 13 とを含む。電源端子 8 にはたとえば 2.5 V の外部電圧 VDD が供給され、この外部電圧 VDD は半導体回路 11 とレギュレータ回路 13 とに与えられる。半導体回路 11 はたとえば半導体メモリであって、半導体回路 11 から出力制御信号が出力回路 12 に与えられる。レギュレータ回路 13 は半導体回路 11 から出力される活性化信号としての RD 信号（読み出し開始信号）に応じて、外部電圧 VDD を 1.8 V に下げた出力電圧 VDDQ を出力回路 12 に与える。レギュレータ回路 13 の制御信号として RD 信号を用いるのは OE 信号（出力開始信号）では出力開始までの時間が充分取れず、安定なレギュレータ動作が望めないからである。また、RD 信号が反転するとレギュレータ回路 13 から出力回路 12 に供給される出力電圧 VDDQ が遮断されるので、漏れ電流が出力回路 12 に流れるのを防止できる。

10

【0020】

図 2 は図 1 に示したレギュレータ回路 13 の具体的な回路図である。図 2 において外部電圧 VDD は PMOS トランジスタ Q21 と Q24 のそれぞれのソースに与えられ、PMOS トランジスタ Q21 と Q22 と Q23 と Q24 には外部電圧 VDD から基板電位が与えられている。PMOS トランジスタ Q24 と NMOS トランジスタ Q25, Q26 の各ゲートには半導体回路 11 から RD 信号が与えられる。PMOS トランジスタ Q24 のドレンと NMOS トランジスタ Q25 のドレンと PMOS トランジスタ Q23 のゲートはノード N22 に接続される。NMOS トランジスタ Q25 と Q26 の各ソースは接地電圧 VSS のラインに接続される。

20

【0021】

PMOS トランジスタ Q21 のドレンと PMOS トランジスタ Q22, Q23 の各ソースはノード N21 に接続される。ノード N21 と接地電圧 VSS のラインとの間にはコンデンサ C21 が接続されるとともに、抵抗 R21 と R22 と NMOS トランジスタ Q26 とが直列接続される。また、PMOS トランジスタ Q22 のドレンとノード N22 との間には抵抗 R23 が接続される。抵抗 R21 と R22 とによって分圧された参照電圧 VR1 は PMOS トランジスタ Q22 のゲートに与えられ、PMOS トランジスタ Q22 と抵抗 R23 とで分圧されたゲート電圧 VG1 は PMOS トランジスタ Q21 のゲートに与えられる。

【0022】

次に、このレギュレータ回路 13 の具体的な動作について説明する。RD 信号が「L」レベルでスタンバイ状態のときは PMOS トランジスタ Q24 がオンし、NMOS トランジスタ Q25, Q26 がオフとなり、ノード N22 およびゲート電圧 VG1 が VDD レベルになるので PMOS トランジスタ Q21, Q23 はオフになる。これにより、外部電圧 VDD およびコンデンサ C21 からの電源出力が遮断される。ここで、NMOS トランジスタ Q26 を NMOS トランジスタ Q25 と別に設けたのはノード N21 および参照電圧 VR1 がノード N22 より過充電されないようにするためにあり、PMOS トランジスタ Q22 のしきい値電圧を VT_H とすると、VDDQ < VDD - VT_H であれば、PMOS トランジスタ Q22 を介してノード N21、参照電圧 VR1 は VDD - VT_H まで充電される。

30

【0023】

RD 信号が「H」レベルになって動作状態になると、NMOS トランジスタ Q25, Q26 がオンし、ノード N22, ゲート電圧 VG1, 参照電圧 VR1 が所定の電位まで低下し、PMOS トランジスタ Q21, Q23 がオンしてレギュレータとしての動作が開始される。すなわち、出力電圧 VDDQ を抵抗 R21 と R22 で分圧した参照電圧 VR1 が PMOS トランジスタ Q22 のゲートに与えられているため、出力電圧 VDDQ が上昇すると、出力電圧 VDDQ と参照電圧 VR1 との電位差 (PMOS トランジスタ Q22 の |VG_S|) も増え、PMOS トランジスタ Q22 のオン抵抗が下がり、PMOS トランジスタ Q21 のゲート電圧 VG1 が上昇するので PMOS トランジスタ Q21 のオン抵抗が上がり、出力電圧 VDDQ が下げられる。

40

【0024】

同様にして、出力電圧 VDDQ が低下すると、PMOS トランジスタ Q22 の |VG_S|

50

が減少し、PMOSトランジスタQ22のオン抵抗が増加するため、PMOSトランジスタQ21のゲート電圧VG1が低下し、PMOSトランジスタQ21のオン抵抗が減少し、出力電圧VDDQが上昇する。この一連の動作により、電圧レギュレータの動作が実現される。このような電圧レギュレータの動作については、たとえば特開昭59-160219号公報に詳細に説明されている。

【0025】

このようにレギュレータ回路13を設けて外部電圧VDDより低い出力電圧VDDQを出力回路12に与えることにより、出力回路12専用の外部電源端子を追加することなく、出力回路12の動作による電源ノイズをレギュレータ回路13により吸収することができ、小振幅かつ高速のインターフェースを実現できる。

10

【0026】

図3はこの発明の第2の実施形態における半導体チップの構成を示すブロック図である。図1に示した実施形態では出力電圧VDDQを外部電圧VDDから下げるためにレギュレータ回路13を半導体チップ1に内蔵したのに対して、この図3に示した実施形態では、電源端子9の接地電圧VSSのラインに接続されたレギュレータ回路14を半導体チップ1に内蔵し、その出力電圧VSSQを出力回路12に供給する。

【0027】

図4は図3に示したレギュレータ回路14の具体的な回路図である。図4において、外部電圧VDDはPMOSトランジスタQ45、Q46の各ソースに与えられ、PMOSトランジスタQ45、Q46およびNMOSトランジスタQ44の各ゲートにはRDの反転信号が与えられる。PMOSトランジスタQ45、Q46には外部電圧より基板電位が与えられている。PMOSトランジスタQ45のドレインとNMOSトランジスタQ44のドレインとNMOSトランジスタQ43のゲートはノードN42に接続されている。

20

【0028】

NMOSトランジスタQ44、Q41のソースは接地電圧VSSのラインに接続されている。NMOSトランジスタQ41のドレインとNMOSトランジスタQ43のソースはノードN41に接続されている。NMOSトランジスタQ43のドレインから出力電圧VSSQが出力される。外部電圧VDDとノードN41との間にはコンデンサC41が接続され、PMOSトランジスタQ46と抵抗R42、R41が直列接続されている。抵抗R41とR42とによって分圧された参照電圧VR2はNMOSトランジスタQ42のゲートに与えられる。また、ノードN42とノードN41との間には抵抗R43とNMOSトランジスタQ42が直列接続され、その接続点のゲート電圧VG2はNMOSトランジスタQ41のゲートに与えられる。

30

【0029】

次に、図4に示したレギュレータ回路14の具体的な動作について説明する。RD信号の反転信号が「H」レベルでスタンバイ状態のときはPMOSトランジスタQ45、Q46がオフとなり、NMOSトランジスタQ44がオンするので、ノードN42およびゲート電圧VG2がVSSレベルになり、NMOSトランジスタQ41、Q43はオフとなる。これにより外部電圧VSSおよびコンデンサC41からの電源出力が遮断される。

【0030】

40

RD信号の反転信号が「L」レベルになって動作状態になると、PMOSトランジスタQ45、Q46がオンし、ノードN42、ゲート電圧VG2、参照電圧VR2が所定の電位まで上昇し、NMOSトランジスタQ41、Q43がオンしてレギュレータとしての動作が開始される。すなわち、出力電圧VSSQを抵抗R41とR42で分圧した参照電圧VR2がNMOSトランジスタQ42のゲートに与えられているため、出力電圧VSSQが上昇すると、出力電圧VSSQと参照電圧VR2との電位差(NMOSトランジスタQ42の|VG2|)が減少し、NMOSトランジスタQ42のオン抵抗が上がり、NMOSトランジスタQ41のゲート電圧VG2が上昇するのでNMOSトランジスタQ41のオン抵抗が下がり、出力電圧VSSQが下げられる。

【0031】

50

同様にして、出力電圧VSSQが低下すると、NMOSトランジスタQ42の|VGS|が増加し、NMOSトランジスタQ42のオン抵抗が減少するため、NMOSトランジスタQ41のゲート電圧VG2が低下し、NMOSトランジスタQ41のオン抵抗が増加し、出力電圧VSSQが上昇する。この一連の動作により、電圧レギュレータの動作が実現される。これにより、出力回路12専用の外部VSSQ端子を追加することなく、出力回路12の動作によるVSSノイズをレギュレータ回路14により吸収することができ、小振幅かつ高速のインターフェースを実現できる。

【0032】

なお、特に図示しないが、図2に示したVDD側のレギュレータ回路13と、図4に示したVSS側のレギュレータ回路14とを同時に使用してVDDQとVSSQを発生し、出力回路12に供給すれば、出力専用の電源端子やVSS端子を追加することなく、出力回路12の動作による電源ノイズやVSSノイズをレギュレータ回路13, 14によって吸収するとともに、半導体チップ1本体の電源電圧VDDより低い電圧と、接地電圧VSSより高い電圧を出力回路12に供給することができるため、小振幅かつ高速のインターフェースを実現できる。

【0033】

図5はこの発明の第3の実施形態における半導体チップを示すブロック図である。図1に示した実施形態ではレギュレータ回路13によって外部電圧VDDから出力電圧VDDQを発生させるようにしたが、この実施形態ではVDC(Voltage Down Converter)回路15を用いて、外部電圧VDDから出力電圧VDDQを発生させるものである。VDC回路15は、たとえばIEEE Journal of Solid-State Circuits, Vol. 25, October 1990のP1129~1135に記載されている。

【0034】

図6は図5のVDC回路15の具体的な回路図である。図6において、外部電圧VDDはPMOSトランジスタQ61, Q63, Q64, Q68の各ソースに与えられるとともに、これらの各PMOSトランジスタに基板電位として与えられている。この基板電位はPMOSトランジスタQ62にも与えられている。PMOSトランジスタQ61はドライブトランジスタを構成している。

【0035】

PMOSトランジスタQ63, Q64, NMOSトランジスタQ65~Q67は差動増幅回路を構成しており、PMOSトランジスタQ63, Q64の各ゲートと、PMOSトランジスタQ64のドレインと、NMOSトランジスタQ66のドレインとが接続され、PMOSトランジスタQ63のドレインとNMOSトランジスタQ65のドレインとが接続される。NMOSトランジスタQ65, Q66のソースとNMOSトランジスタQ67のドレインとが接続され、NMOSトランジスタQ67のソースはVSS電圧に接続される。

【0036】

PMOSトランジスタQ68のドレインとNMOSトランジスタQ65のドレインとPMOSトランジスタQ61のゲートとが接続され、NMOSトランジスタQ67とPMOSトランジスタQ68のゲートにはRD信号が与えられる。NMOSトランジスタQ65のゲートには予め定める参照電圧VR3が与えられる。この参照電圧VR3は図示していないが、前述の図2と同様にして抵抗分圧により発生される。NMOSトランジスタQ67のゲートには差動増幅器の消費電力を押さえるために、RD信号を与え、差動増幅器の活性/非活性を制御する。

【0037】

NMOSトランジスタQ66のゲートとPMOSトランジスタQ62のソースはノードN61に接続され、ノードN61と接地電圧VSSのラインとの間にはコンデンサC61が接続される。PMOSトランジスタQ62のゲートにはRD信号の反転信号が入力される。PMOSトランジスタQ61, Q62の各ドレインは共通接続され、出力電圧VDDQ

10

20

20

30

40

40

50

が取出される。

【0038】

次に、図6に示したVDC回路15の具体的な動作について説明する。RD信号が「L」レベルでその反転信号が「H」レベルでスタンバイ状態のときはPMOSトランジスタQ68がオンしてゲート電圧VG3がVDDレベルとなり、PMOSトランジスタQ61がオフして、外部電圧VDDからの出力電圧VDDQの導出が遮断される。同時に、RD信号の反転信号が「H」レベルになるためPMOSトランジスタQ62もオフになり、コンデンサC61に蓄えられていた電荷の放電も遮断される。

【0039】

RD信号が「H」レベルで、RD信号の反転信号が「L」レベルになって動作状態になると、NMOSトランジスタQ67がオンするとともにPMOSトランジスタQ62もオンし、PMOSトランジスタQ63, Q64とNMOSトランジスタQ65～Q67とから構成されている差動増幅回路により、予め定められた参照電圧VR3と出力電圧VDDQとが比較され、出力電圧VDDQが上昇するとPMOSトランジスタQ61のゲート電圧VG3が引き上げられ、出力電圧VDDQが下降するとゲート電圧VG3が引き下げられ、出力電圧VDDQが常に参照電圧VR3と等しい元の電位に保つようにフィードバック動作が実現される。

【0040】

このようにVDC回路15を用いて半導体チップ1を構成することにより、出力専用の外部電源端子を追加することなく、出力回路12の動作による電源ノイズをVDC回路15の持つ電圧保持特性により吸収するとともに、半導体チップ1本体の電源電圧より低い電圧を出力回路12に供給することができるため、小振幅かつ高速のインターフェースを実現できる。

【0041】

図7はこの発明の第4の実施形態における半導体チップを示すブロック図である。前述の図5に示した実施形態では、出力電圧VDDQを外部電圧VDDから下げるためにVDC回路15を半導体チップ1に内蔵したのに対して、この図7に示した実施形態では、接地電圧VSSのラインに接続されたVSSQ発生回路16を半導体チップ1に内蔵し、その出力電圧VSSQを出力回路12に供給する。

【0042】

図8は図7に示したVSSQ発生回路16の具体的な回路図である。図8において、外部電圧VDDはコンデンサC81の一端と、PMOSトランジスタQ87のソースに与えられる。また、外部電圧VDDからPMOSトランジスタQ85, Q86, Q87に基板電位が与えられる。NMOSトランジスタQ83, Q84とPMOSトランジスタQ85, Q86, Q87によって差動増幅回路が構成されている。すなわち、PMOSトランジスタQ87のドレインはPMOSトランジスタQ85, Q86のソースに接続され、PMOSトランジスタQ85のドレインはNMOSトランジスタQ83, Q88のドレインと、ドライブトランジスタとしてのNMOSトランジスタQ81のゲートとに接続されている。

【0043】

PMOSトランジスタQ86のドレインはNMOSトランジスタQ84のドレインとNMOSトランジスタQ83, Q84の各ゲートとに接続されている。PMOSトランジスタQ85のゲートには参照電圧VR4が与えられ、PMOSトランジスタQ87とNMOSトランジスタQ88の各ゲートには読み出し信号RDの反転信号が与えられている。PMOSトランジスタQ86のゲートはNMOSトランジスタQ82のドレインとコンデンサC81の他端とに接続されている。NMOSトランジスタQ82のソースはNMOSトランジスタQ81のドレインに接続されるとともに出力電圧VSSQを出力する。NMOSトランジスタQ81, Q83, Q84, Q88の各ソースは接地される。

【0044】

次に、図8に示したVSSQ発生回路16の動作について説明する。PMOSトランジス

10

20

30

40

50

タQ 8 5 ~ Q 8 7と、NMOSトランジスタQ 8 3 , Q 8 4とからなる差動増幅回路によって予め定められた参照電圧VR 4と、出力電圧VSSQとが比較され、出力電圧VSSQが上昇すると、NMOSトランジスタQ 8 1のゲート電圧VG 4を引き上げ、出力電圧VSSQが下降すると、ゲート電圧VG 4を引き下げて出力電圧VSSQが常に参照電圧VR 4と等しい元の電位に保たれるようにフィードバック制御が行なわれる。

【0045】

上述のごとく、この実施形態では、VSSQ発生回路16からの出力電圧VSSQを出力回路12に供給することにより、出力回路12専用の外部VSSQ端子を追加することなく、出力回路12の動作によるVSSノイズをVSSQ発生回路16の持つ電圧保持特性により吸収するとともに、半導体チップ1本体の接地電圧VSSより高い電圧を出力回路12に供給できるため、小振幅かつ高速のインターフェースを実現できる。

【0046】

なお、特に図示しないが、図6に示したVDC回路15と、図8に示したVSSQ発生回路16とを同時に使用してVDDQとVSSQを発生し、出力回路12に供給すれば、出力専用の電源端子やVSS端子を追加することなく、出力回路12の動作による電源ノイズやVSSノイズをVDC回路15およびVSSQ発生回路16の持つ電圧保持特性により吸収するとともに、半導体チップ1本体の電源電圧より低い電圧と接地電圧より高い電圧を出力回路12に供給することができるため、小振幅かつ高速のインターフェースを実現できる。

【0047】

図9はこの発明の第5の実施形態におけるVDC回路と出力回路を示す回路図である。この実施形態では、半導体チップの構成としては第3の実施形態と同じ図5の構成が用いられるが、同じ半導体チップ上の複数の出力回路90a , 90b ... 90nを分離して構成されている点が、第3の実施形態と異なる。

【0048】

PMOSトランジスタQ 9 2 , Q 9 3とNMOSトランジスタQ 9 4 ~ Q 9 6によって、図6のQ 6 3 , Q 6 4とNMOSトランジスタQ 6 5 ~ Q 6 7と同様の差動増幅回路が構成されている。ドライブトランジスタとしてのPMOSトランジスタQ 9 1 a , Q 9 1 b ... Q 9 1 nが各出力回路90a , 90b ... 90nごとに設けられていて、これらのPMOSトランジスタQ 9 1 a , Q 9 1 b ... Q 9 1 nの各ゲートには差動増幅回路の出力としてのゲート電圧VG 5が抵抗R 9 1 a , R 9 1 b ... R 9 1 nを介して与えられる。また、各ドライブトランジスタQ 9 1 a , Q 9 1 b ... Q 9 1 nの各出力電圧VDDQ a , VDDQ b ... VDDQ nは抵抗R 9 2 a , R 9 2 b ... R 9 2 nを介して差動増幅回路の一方の入力に与えられており、他方入力には参照電圧VR 5が与えられている。差動増幅回路の一方の入力と接地ラインとの間にはコンデンサC 9 1が接続されている。

【0049】

各ドライブトランジスタQ 9 1 a , Q 9 1 b ... Q 9 1 nのゲートとドレインとの間には、帰還容量としてのコンデンサC 9 1 a , C 9 1 b ... C 9 1 nが接続されていて、AC的に結合されている。ここで、抵抗R 9 1 a , R 9 1 b ... R 9 1 nはコンデンサC 9 1 a , C 9 1 b ... C 9 1 nによる結合を真近のトランジスタに限定するための分離抵抗であり、抵抗R 9 2 a , R 9 2 b ... R 9 2 nは出力電圧VDDQ a , VDDQ b ... VDDQ nの変化の内、DC成分を差動増幅回路に戻すための分離抵抗である。

【0050】

各出力回路90a , 90b ... 90nは、出力制御回路99a , 99b ... 99nと、PMOSトランジスタ97a , 97b ... 97nと、これらのトランジスタと相補的に動作するNMOSトランジスタ98a , 98b ... 98nとから構成されていて、各PMOSトランジスタQ 9 7 a , 9 7 b ... 9 7 nのソースには、出力電圧VDDQ a , VDDQ b ... VDDQ nが与えられている。

【0051】

この図9に示した容量結合によるVDC回路の動作改善については、特開平6-1245

10

20

30

40

50

90号公報に記載されている。すなわち、たとえば出力制御回路99aからの制御信号によりPMOSトランジスタ97aが高速でスイッチング動作した場合、PMOSトランジスタ91aからPMOSトランジスタ97aに負荷電流が流れる。その負荷電流の変化により出力電圧VDDQaが急速に低下し、その電圧低下はコンデンサC91aを介してPMOSトランジスタQ91aに伝達される。

【0052】

このコンデンサC91aの容量結合により、ゲート電圧VG5が高速で低下し、PMOSトランジスタQ91aが供給する電流量を増加させる。すなわち、出力電圧VDDQの電圧低下が遅延なく瞬時にPMOSトランジスタ91aのゲートに伝達され、遅延なくPMOSトランジスタQ91aを流れる電流量が増加され、出力電圧VDDQが上昇する。
10 出力電圧VDDQが逆にPMOSトランジスタQ91aからの電流により上昇すると、その出力電圧VDDQの電圧上昇は再びコンデンサC91aを介してPMOSトランジスタQ91aのゲートへ伝達され、PMOSトランジスタQ91aの供給電流量が減少される。

【0053】

このように帰還容量であるコンデンサC91aにより、出力電圧VDDQの電位変動は遅滞なくPMOSトランジスタQ91aのゲートへ伝達されるため、VDC回路動作時の過度時においては、差動增幅回路による制御よりも速い応答が実現される。したがって、この過度応答時においては、コンデンサC91aにより出力電圧VDDQが所定の電圧レベルに復帰するため、この過度的な動作に対して応答が遅れる差動增幅回路による制御は無視される。
20

【0054】

このように図9において、ドライブトランジスタであるPMOSトランジスタQ91a, Q91b...Q91nを出力回路90a, 90b...90nのそれぞれに対応して設けたことにより、各出力回路90a, 90b...90nの動作によって発生した電源ノイズは、他の出力回路の電源に影響を与えることなく、対応する個々のドライブトランジスタによって処理させることが可能となる。

【0055】

また、このような構成を採ったことにより、出力回路専用の外部電源端子を追加することなく、個々の出力回路90a, 90b...90nの動作による電源ノイズを、VDC回路を構成する個々のドライブトランジスタの持つ電圧保持特性により吸収し、半導体チップ本体のみならず他の出力回路に供給できるため、小振幅かつ超高速のインターフェースを実現できる。
30

【0056】

なお、特に図示しないが、図8に示した第4の実施形態のようにVSS側に対して用いるVSSQ発生回路16を、この実施形態と同様に複数のドライブトランジスタを用いて出力回路別に構成し、VSSノイズの出力干渉を防止することも可能である。

【0057】

さらに、この実施形態で示した出力回路別のVDC回路と、上記の出力回路別のVSSQ発生回路を同時に使用して、VDDQおよびVSSQを出力回路別に発生して供給すれば、出力専用の電源端子やVSS端子を追加することなく、個々の出力回路の動作による電源ノイズやVSSノイズを、VDC回路およびVSSQ発生回路を構成する個々のドライブトランジスタの持つ電圧保持特性により吸収し、半導体チップ本体のみならず他の出力回路への影響をも低減するとともに、半導体チップ本体の電源電圧より低い電圧と接地電圧より高い電圧を出力回路に供給することができるため、小振幅かつ超高速のインターフェースを実現することが可能となる。
40

【0058】

図10はこの発明の第6の実施形態におけるVDC回路と出力回路の構成を示す回路図である。この実施形態は、図9に示した第5の実施形態における差動增幅回路の入力電圧を半導体チップの入力回路に供給される参照電圧Vrefとそれに対応した1/2(VDDQ + VSSQ)にして入出力の電圧関係を等しくするものである。すなわち、これまでに
50

説明してきた第3、第4および第5の実施形態では、出力電圧VDDQまたはVSSQを決定するために参照電圧を与える必要があったが、この実施形態では半導体チップの入力振幅の中心値(V_{ref})と出力振幅の中心値($1/2(VDDQ + VSSQ)$)が等しいとの仮定の基に、参照電圧VRの設定を省略したものである。 $1/2(VDDQ + VSSQ)$ の電圧を設定するために、出力電圧VDDQが分圧抵抗R93とR94とによって分圧され $1/2(VDDQ + VSSQ)$ の電圧が差動增幅回路を構成するNMOSトランジスタQ95のゲートに与えられている。それ以外の構成は図9と同じである。

【0059】

図11はこの発明の第7の実施形態における半導体メモリモジュールの構成を示すブロック図である。この実施形態は、半導体メモリモジュール内に半導体チップ1a, 1b...1nと、レギュレータ回路13を配置したものであり、各半導体チップ1a, 1b...1nはそれぞれメモリ回路11a, 11b...11nと、出力回路12a, 12b...12nとから構成されている。

10

【0060】

この実施形態では、これまでに説明した実施形態と異なり、レギュレータ回路13が半導体チップ1a, 1b...1nの外に配置されているため、各半導体チップ1a, 1b...1nとしては出力専用の電源端子を持つ必要がある。しかし、メモリモジュール全体が1つの半導体装置としてシステムに実装される場合を考えると、出力専用の電源端子が必要ないため、これまでの実施形態で述べてきたような特徴、すなわち出力回路12a, 12b...12nの動作による電源ノイズをレギュレータ回路13により吸収することができる。しかも、半導体チップ1a, 1b...1nの電源電圧よりも低い電圧を出力回路12a, 12b...12nに供給できるため、この実施形態においても小振幅かつ高速のインターフェースを実現できる。

20

【0061】

図12はこの発明の第8の実施形態における半導体メモリモジュールの構成を示すブロック図である。この実施形態は、図11に示した出力電圧VDDQを出力するレギュレータ回路13に代えて、図3および図4に示したレギュレータ回路14を設け、接地電圧VSSQを各半導体チップ1a, 1b...1nに供給するものである。この実施形態においても、出力回路12a, 12b...12nの動作によるVSSノイズをレギュレータ回路14により吸収することができ、しかも、半導体チップ1a, 1b...1nの接地電圧VSSよりも高い接地電圧VSSQを出力回路12a, 12b...12nに供給できるため、小振幅かつ高速のインターフェースを実現できる。

30

【0062】

なお、図11および図12に示した実施形態では、第1および第2の実施形態と同様にレギュレータ回路13を電源側に配置し、あるいはレギュレータ回路14を接地側に配置した例について説明したが、これに限ることなく、レギュレータ回路13, 14に代えて図5に示したVDC回路15あるいは図7に示したVSSQ発生回路16を用いても良く、さらには図9に示した第5の実施形態で説明したように半導体チップごとにドライブトランジスタを分散配置しても同様の効果を奏することができる。

40

【0063】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内のすべての変更が含まれることが意図される。

【0064】

【発明の効果】

以上のように、この発明によれば、外部から電源端子に供給される電源電圧を降圧した出力電圧を分圧し、その分圧電圧と出力電圧とを比較し、トランジスタのオン抵抗を制御して出力電圧を外部から与えられる電源電圧より高い一定の電源電位にして出力回路に供給するようにしたので、出力回路専用の外部電源端子を追加することなく、出力回路の動作

50

による電源ノイズを電源回路により吸収することができ、小振幅かつ高速のインターフェースを実現できる。

【0065】

また、外部から電源端子に供給される電源電圧と、外部の接地電位に接続される接地電位との間の電圧を分圧し、その分圧電圧と出力接地電位とを比較し、トランジスタのオン抵抗を制御して出力接地電位を外部の接地電位より高い一定の接地電位にして出力回路に供給するようにしたので、出力回路専用の外部接地端子を追加することなく、出力回路の動作による接地電位ノイズを電源回路により吸収することができ、小振幅かつ高速のインターフェースを実現できる。

【0066】

さらに、外部から半導体回路に与える電源電圧が供給される電源端子と、出力回路に与える出力電位と予め定める参照電位とを比較し、その比較出力に応じて出力電位を外部から電源端子に与えられる電源電圧よりも低い一定の電位となるようにドライブトランジスタを制御するようにしたので、出力専用の外部電源端子を追加することなく、出力回路の動作による電源ノイズを電源回路の持つ電圧保持特性により吸収するとともに、半導体チップ本体の電源電圧より低い電圧を出力回路に供給することができるため、小振幅かつ高速のインターフェースを実現できる。

【0067】

さらに、出力回路に与える出力接地電位と予め定める参照電位とを比較し、その比較出力に応じて出力接地電位を接地端子の接地電位よりも高い一定の電位となるようにドライブトランジスタを制御するようにしたので、出力回路専用の外部接地端子を追加することなく、出力回路の動作による接地電位ノイズを電源回路の持つ電圧保持特性により吸収するとともに、半導体装置本体の接地電圧より高い電圧を出力回路に供給できるため、小振幅かつ高速のインターフェースを実現できる。

【0068】

さらに、半導体回路から与えられる活性化信号に応じてスイッチングトランジスタをスイッチングさせ、電源回路からの電源電位より低い電位あるいは外部接地電位よりも高い電位を出力回路に供給するようにしたので、活性化信号が非活性のときに電源回路から出力回路に漏れ電流が流れるのを防止できる。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態における半導体チップの構成を示すブロック図である。

【図2】 図1に示したレギュレータ回路13の具体的な回路図である。

【図3】 この発明の第2の実施形態における半導体チップの構成を示すブロック図である。

【図4】 図3に示したレギュレータ回路14の具体的な回路図である。

【図5】 この発明の第3の実施形態における半導体チップを示すブロック図である。

【図6】 図5に示したVDC回路15の具体的な回路図である。

【図7】 この発明の第4の実施形態における半導体チップを示すブロック図である。

【図8】 図7に示したVSSQ発生回路16の具体的な回路図である。

【図9】 この発明の第5の実施形態におけるVDC回路と出力回路の構成を示す回路図である。

【図10】 この発明の第6の実施形態におけるVDC回路と出力回路の構成を示す回路図である。

【図11】 この発明の第7の実施形態における半導体メモリモジュールの構成を示すブロック図である。

【図12】 この発明の第8の実施形態における半導体メモリモジュールの構成を示すブロック図である。

【図13】 従来の半導体チップの概略ブロック図である。

【符号の説明】

10

20

30

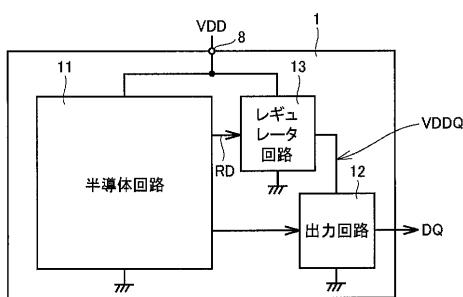
40

50

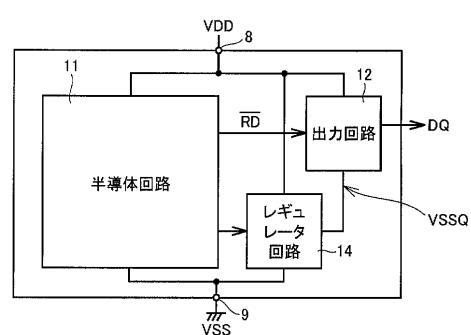
1, 1a, 1b, 1n 半導体チップ、8, 9 電源端子、11 半導体回路、11a, 11b, 11n メモリ回路、12, 12a, 12b, 12n, 90a, 90b...90n 出力回路、13, 14 レギュレータ回路、15 VDC回路、16 VSSQ発生回路、99a, 99b, 99n 出力制御回路、Q21~Q24, Q45, Q46, Q61~Q64, Q68, Q85~Q87, Q91a, Q91b, Q91n, Q92, Q93, Q97a, Q97b, Q97n PMOSトランジスタ、Q25, Q26, Q41~Q44, Q65~Q67, Q81~Q84, Q88, Q94~Q96, Q98a, Q98b, Q98n NMOSトランジスタ、C21, C61, C81, C90, C91, C91a, C91b, C91n コンデンサ、R21, R22, R91a, R91b, R91n, R92a, R92b, R92n, R93, R94 抵抗。

10

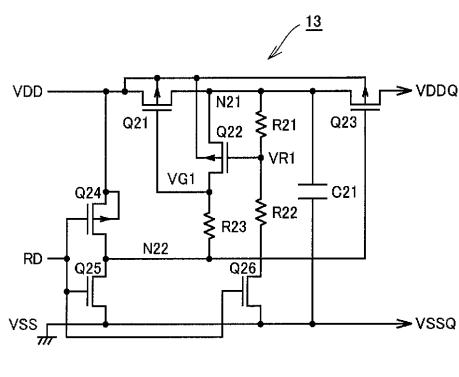
【図1】



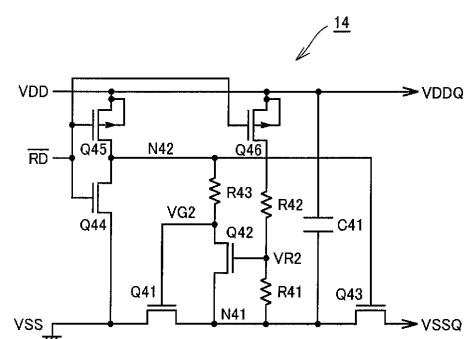
【図3】



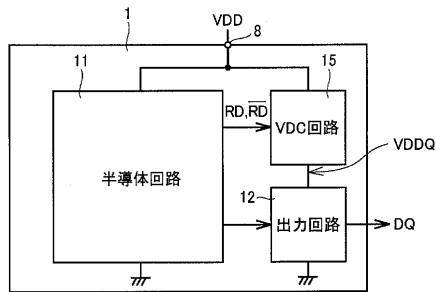
【図2】



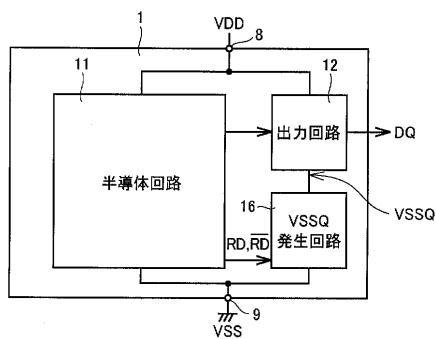
【図4】



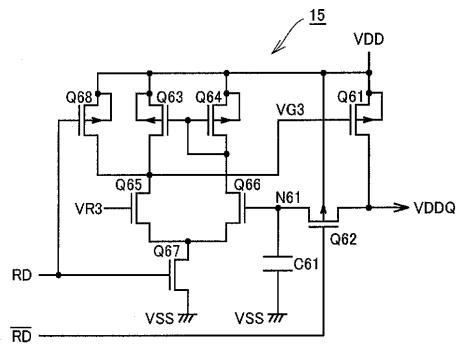
【図5】



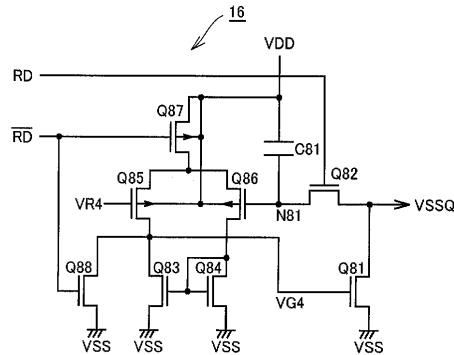
【図7】



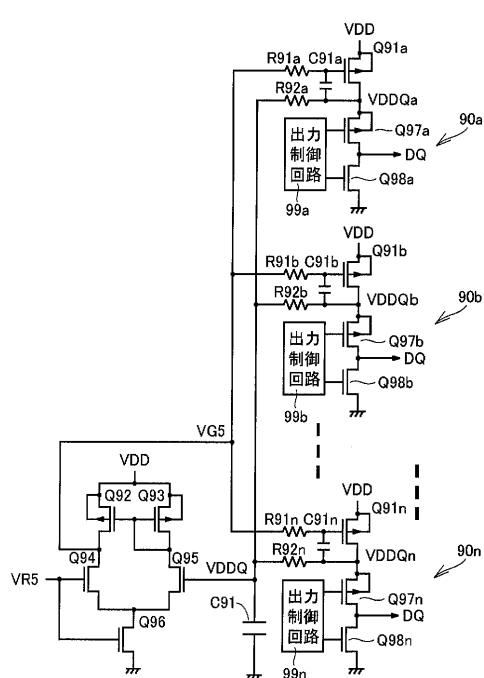
【図6】



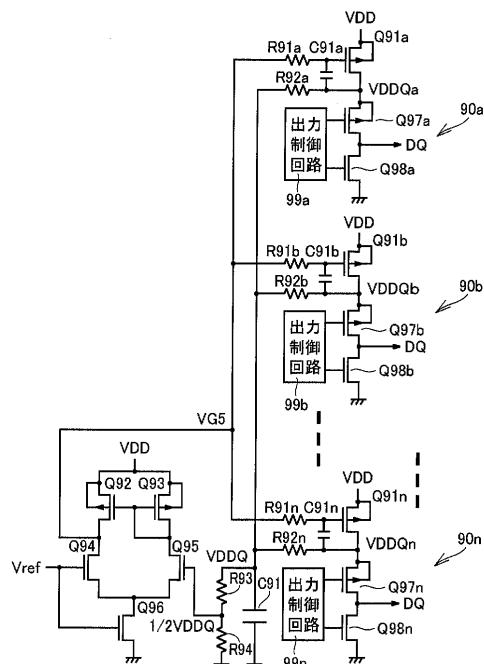
【図8】



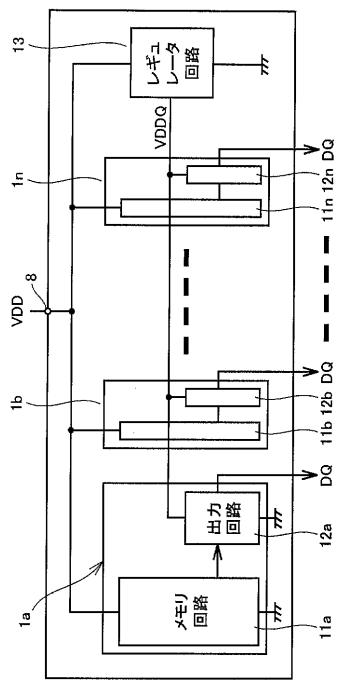
【図9】



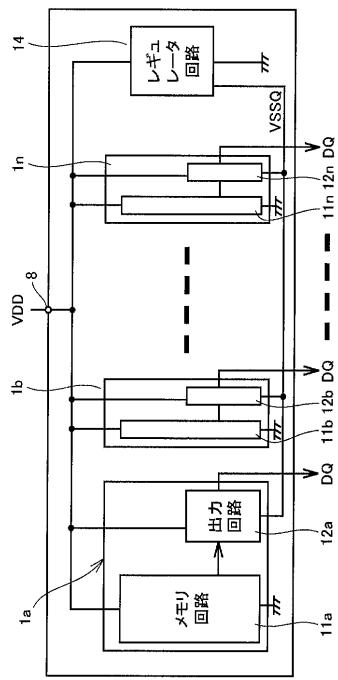
【図10】



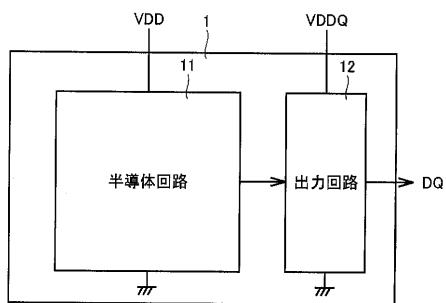
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 梶本 毅

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 宮島 郁美

(56)参考文献 特開平02-165216(JP,A)

特開昭59-160219(JP,A)

特開平06-067740(JP,A)

特開2000-284866(JP,A)

特開平08-065137(JP,A)

特開昭58-215823(JP,A)

特開2002-008375(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K19/00, 19/01-19/082, 19/092-19/096

H01L27/04

H02M1/00-1/30