

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6006948号  
(P6006948)

(45) 発行日 平成28年10月12日(2016.10.12)

(24) 登録日 平成28年9月16日(2016.9.16)

|                                 |                              |
|---------------------------------|------------------------------|
| (51) Int.Cl.                    | F I                          |
| <b>H O 1 L 21/336 (2006.01)</b> | <b>H O 1 L 29/78 6 1 8 A</b> |
| <b>H O 1 L 29/786 (2006.01)</b> | <b>H O 1 L 21/205</b>        |
| <b>H O 1 L 21/205 (2006.01)</b> | <b>H O 1 L 29/78 6 1 8 B</b> |
| <b>C O 1 B 33/02 (2006.01)</b>  | <b>H O 1 L 29/78 6 1 8 E</b> |
| <b>C 2 3 C 16/24 (2006.01)</b>  | <b>H O 1 L 29/78 6 1 7 N</b> |
| 請求項の数 4 (全 40 頁) 最終頁に続く         |                              |

|              |                               |           |                     |
|--------------|-------------------------------|-----------|---------------------|
| (21) 出願番号    | 特願2012-58401 (P2012-58401)    | (73) 特許権者 | 000153878           |
| (22) 出願日     | 平成24年3月15日(2012.3.15)         |           | 株式会社半導体エネルギー研究所     |
| (65) 公開番号    | 特開2012-209550 (P2012-209550A) |           | 神奈川県厚木市長谷398番地      |
| (43) 公開日     | 平成24年10月25日(2012.10.25)       | (74) 代理人  | 110001379           |
| 審査請求日        | 平成26年12月19日(2014.12.19)       |           | 特許業務法人 大島特許事務所      |
| (31) 優先権主張番号 | 特願2011-58747 (P2011-58747)    | (72) 発明者  | 田島 亮太               |
| (32) 優先日     | 平成23年3月17日(2011.3.17)         |           | 神奈川県厚木市長谷398番地 株式会社 |
| (33) 優先権主張国  | 日本国(JP)                       |           | 半導体エネルギー研究所内        |
|              |                               | (72) 発明者  | 田中 哲弘               |
|              |                               |           | 神奈川県厚木市長谷398番地 株式会社 |
|              |                               |           | 半導体エネルギー研究所内        |
|              |                               | 審査官       | 岩本 勉                |
|              |                               |           | 最終頁に続く              |

(54) 【発明の名称】 微結晶半導体膜、及び半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁膜上に、シリコンを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下とする第1の条件を用いたプラズマCVD法により種結晶を形成し、

前記種結晶上に、シリコンを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上50000Pa以下とする第2の条件を用いたプラズマCVD法により第1の微結晶半導体膜を形成し、

前記処理室内の圧力を1333Pa以上50000Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、前記微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする第2の周期とを交互に行う第3の条件を用いたプラズマCVD法により、第1の微結晶半導体膜上に第2の微結晶半導体膜を形成し、

前記第2の微結晶半導体膜上に、シリコンを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を1333Pa以上50000Pa以下とする第4の条件を用いたプラズマCVD法により第3の微結晶半導体膜を形成し、

当該第2の微結晶半導体膜の形成工程において、前記第1の周期よりも前記第2の周期を長く設けることによって、前記第2の周期において非晶質半導体領域の選択的なエッチングによる結晶子の露出を行い、前記第1の周期において露出された前記結晶子を核とす

10

20

る結晶成長を行うことを特徴とする微結晶半導体膜の作製方法。

【請求項 2】

前記第 2 の周期において、前記シリコンを含む堆積性気体の流量を  $0 \text{ sccm}$  より多く  $0.3 \text{ sccm}$  以下とすることを特徴とする請求項 1 に記載の微結晶半導体膜の作製方法。

【請求項 3】

前記第 2 の周期において、前記シリコンを含む堆積性気体の流量を  $0 \text{ sccm}$  とすることを特徴とする請求項 1 に記載の微結晶半導体膜の作製方法。

【請求項 4】

基板上に、ゲート電極を形成し、  
前記基板及び前記ゲート電極上にゲート絶縁膜を形成し、  
前記ゲート絶縁膜上に、第 1 の条件により種結晶を形成し、  
前記種結晶上に、第 2 の条件により第 1 の微結晶半導体膜を形成し、  
前記第 1 の微結晶半導体膜上に、第 3 の条件により第 2 の微結晶半導体膜を形成し、  
前記第 2 の微結晶半導体膜上に、第 4 の条件により第 3 の微結晶半導体膜を形成し、  
前記第 3 の微結晶半導体膜上に、微結晶半導体領域及び非晶質半導体領域を有する半導体膜を形成し、

前記半導体膜上に第 1 の不純物半導体膜を形成し、

前記第 1 の不純物半導体膜の一部をエッチングして、島状の第 2 の不純物半導体膜を形成すると共に、前記種結晶、前記第 1 の微結晶半導体膜、前記第 2 の微結晶半導体膜、前記第 3 の微結晶半導体膜、及び前記半導体膜の一部をエッチングして、島状の第 1 の半導体積層体を形成し、

前記第 2 の不純物半導体膜上に、ソース電極及びドレイン電極として機能する配線を形成し、

前記第 2 の不純物半導体膜をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜を形成し、

前記第 1 の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を 50 倍以上 1000 倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を  $67 \text{ Pa}$  以上  $5000 \text{ Pa}$  以下とする条件であり、

前記第 2 の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を 100 倍以上 2000 倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を  $1333 \text{ Pa}$  以上  $50000 \text{ Pa}$  以下とする条件であり、

前記第 3 の条件は、前記処理室内の圧力を  $1333 \text{ Pa}$  以上  $50000 \text{ Pa}$  以下とし、且つ微結晶半導体を堆積する第 1 の周期と前記微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする第 2 の周期とを交互に行い、前記第 1 の周期よりも前記第 2 の周期を長く設けることによって、前記第 2 の周期において非晶質半導体領域の選択的なエッチングによる結晶子の露出を行い、前記第 1 の周期において露出された前記結晶子を核とする結晶成長を行う条件であり、

前記第 4 の条件は、シリコンを含む堆積性気体の流量に対する水素の流量を 100 倍以上 2000 倍以下にして堆積性気体を希釈し、且つ前記処理室内の圧力を  $1333 \text{ Pa}$  以上  $50000 \text{ Pa}$  以下とする条件であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、微結晶半導体膜の作製方法、及び当該微結晶半導体膜を用いた半導体装置の作製方法、及び表示装置に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、電気光学装置、光電変換装置、半導体回路、及び電子機器は全て半導体装置である。

10

20

30

40

50

## 【背景技術】

## 【0003】

電界効果トランジスタの一種として、絶縁表面を有する基板上に形成された半導体膜を用いてチャネル領域が形成される薄膜トランジスタが知られている。薄膜トランジスタのチャネル領域に用いられる半導体膜に、非晶質シリコン、微結晶シリコン及び多結晶シリコンを用いる技術が開示されている（特許文献1乃至5参照）。薄膜トランジスタの代表的な応用例は、液晶テレビジョン装置であり、表示画面を構成する各画素のスイッチングトランジスタとして実用化されている。

## 【0004】

また、プラズマCVD法により作製可能な結晶系シリコンとして微結晶シリコンを、光電変換を行う半導体膜に用いた光電変換装置の開発が進められている（例えば、特許文献6参照）。

## 【先行技術文献】

## 【特許文献】

## 【0005】

【特許文献1】特開2001-053283号公報

【特許文献2】特開平5-129608号公報

【特許文献3】特開2005-049832号公報

【特許文献4】特開平7-131030号公報

【特許文献5】特開2005-191546号公報

【特許文献6】特開2000-277439号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0006】

非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、電界効果移動度及びオン電流が低いといった問題がある。一方、微結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、非晶質シリコン膜でチャネル領域が形成される薄膜トランジスタと比較して、電界効果移動度は向上するもののオフ電流が高くなってしまい、十分なスイッチング特性が得られないといった問題がある。

## 【0007】

多結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタは、上記二種類の薄膜トランジスタよりも電界効果移動度が格段に高く、高いオン電流が得られるといった特性がある。この薄膜トランジスタは、その特性により、画素に設けられるスイッチング用のトランジスタとして使用できることに加えて、高速動作が要求されるドライバ回路をも構成することができる。

## 【0008】

しかし、多結晶シリコン膜を用いてチャネル領域が形成される薄膜トランジスタの作製工程は、非晶質シリコン膜を用いてチャネル領域が形成される薄膜トランジスタを作製する場合に比べ、半導体膜の結晶化工程が必要となり、製造コストが増大することが問題となっている。例えば、多結晶シリコン膜の製造のために必要なレーザアニール技術は、レーザビームの照射面積が小さく、大画面の液晶パネルを効率良く生産することができないといった問題がある。

## 【0009】

ところで、表示パネルの製造に用いられているガラス基板は、第3世代（550mm×650mm）、第3.5世代（600mm×720mm、または620mm×750mm）、第4世代（680mm×880mm、または730mm×920mm）、第5世代（1100mm×1300mm）、第6世代（1500mm×1850mm）、第7世代（1870mm×2200mm）、第8世代（2200mm×2400mm）、第9世代（2400mm×2800mm）、第10世代（2950mm×3400mm）へと大面積化が進んでいる。ガラス基板の大型化はコストミニマム設計の思想に基づいている。

## 【0010】

これに対して、第10世代(2950mm×3400mm)におけるような大面積のマザーガラス基板に、高速動作が可能な薄膜トランジスタを、生産性良く製造することができる技術は依然として確立されておらず、そのことが産業界の問題となっている。

## 【0011】

そこで、本発明の一態様は、結晶性の高い微結晶半導体膜の作製方法を提供することを課題とする。また、電気特性が良好な半導体装置を、生産性高く作製する方法を提供することを課題とする。

## 【課題を解決するための手段】

## 【0012】

本発明の一態様は、第1の条件により、高い結晶性の混相粒を低い粒密度で有する種結晶を絶縁膜上に形成した後、種結晶上に、第2の条件により混相粒を成長させて混相粒の隙間を埋めるように第1の微結晶半導体膜を形成し、第1の微結晶半導体膜上に、第3の条件により、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ結晶性の高い微結晶半導体膜を形成し、第2の微結晶半導体膜上に、第4の条件により混相粒を成長させて混相粒の隙間を埋めるように第3の微結晶半導体膜を積層形成することを要旨とする。

## 【0013】

高い結晶性を有する混相粒を低い粒密度で与える第1の条件は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下、更に好ましくは67Pa以上13332Pa以下とする条件である。混相粒を成長させて混相粒の隙間を埋める第2の条件は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とする条件である。第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ結晶性の高い微結晶半導体膜を成膜する第3の条件は、処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行う条件である。第2の微結晶半導体膜上に、第2の微結晶半導体膜に含まれる混相粒を成長させて混相粒の隙間を埋める第4の条件は第2の条件と同様である。

## 【0014】

本発明の一態様は、第1の条件により非晶質半導体領域と、単結晶とみなせる微小結晶である結晶子とを含む混相粒を有する種結晶をプラズマCVD法で形成し、第2の条件により種結晶上に第1の微結晶半導体膜をプラズマCVD法で形成し、第3の条件により第1の微結晶半導体膜上に第2の微結晶半導体膜を形成し、第4の条件により第2の微結晶半導体膜上に第3の微結晶半導体膜を形成する方法であって、第1の条件は、処理室内に供給する原料ガスとしてシリコンまたはゲルマニウムを含む堆積性気体と水素が含まれたガスを用い、堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下、更に好ましくは67Pa以上13332Pa以下とする条件である。また、第2の条件及び第4の条件は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とする条件であることを特徴とする。また、第3の条件は、処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行う条件である。

## 【0015】

なお、種結晶においては、複数の混相粒が、分散した状態や連続した状態(即ち、膜状)

10

20

30

40

50

となる場合がある。また、プラズマを生成するパワーは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比に合わせて適宜選択することが好ましい。

【0016】

また、本発明の一態様において、上記第1の条件乃至上記第4の条件の少なくとも一つに用いられる原料ガスに希ガスを加えることも可能である。

【0017】

本発明の一態様は、絶縁膜上に、第1の条件により、高い結晶性の混相粒を低い粒密度で有する種結晶をプラズマCVD法により形成し、種結晶上に、第2の条件により混相粒を成長させて混相粒の隙間を埋めるように第1の微結晶半導体膜をプラズマCVD法により形成し、第1の微結晶半導体膜上に、第3の条件により、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ結晶性の高い第2の微結晶半導体膜をプラズマCVD法により形成し、第2の微結晶半導体膜上に、第4の条件により混相粒を成長させて混相粒の隙間を埋めるように第3の微結晶半導体膜をプラズマCVD法により形成するものである。

10

【0018】

また、本発明の一態様は、上記積層された種結晶、第1の微結晶半導体膜、第2の微結晶半導体膜、及び第3の微結晶半導体膜で構成される微結晶半導体膜を用いてチャネル領域を形成する薄膜トランジスタを有する半導体装置の作製方法である。

【0019】

また、本発明の一態様は、上記積層された種結晶、第1の微結晶半導体膜、第2の微結晶半導体膜、及び第3の微結晶半導体膜で構成される微結晶半導体膜を、p型を示す半導体膜、n型を示す半導体膜、及び光電変換を行う半導体膜の一以上に用いた光電変換装置の作製方法である。

20

【発明の効果】

【0020】

本発明の一態様を適用することで、結晶性の高い微結晶半導体膜を作製することができる。また、電気特性が良好な半導体装置を、生産性高く作製することができる。

【図面の簡単な説明】

【0021】

【図1】本発明の一実施の形態に係る微結晶半導体膜の作製方法を説明する断面図である。

30

【図2】本発明の一実施の形態に係る微結晶半導体膜の作製方法を説明するタイミングチャート図である。

【図3】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図4】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図5】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図6】本発明の一実施の形態に係る半導体装置の作製方法を説明する上面図である。

【図7】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図8】本発明の一実施の形態に係る半導体装置の作製方法を説明する断面図である。

【図9】光電変換装置の作製方法の一形態を説明する断面図である。

40

【図10】電子書籍の一例を示す斜視図である。

【図11】微結晶半導体膜の平均面粗さと最大高低差を説明する図である。

【図12】薄膜トランジスタの電気特性を説明する図である。

【図13】薄膜トランジスタの電気特性を説明する図である。

【発明を実施するための形態】

【0022】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態及び実施例の記載内容のみに限定して解釈され

50

るものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

#### 【0023】

(実施の形態1)

本実施の形態では、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜の作製方法について、図1及び図2を用いて説明する。

#### 【0024】

図1(A)に示すように、基板51上に絶縁膜55を形成し、絶縁膜55上に種結晶57を形成する。

#### 【0025】

基板51としては、ガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる程度の耐熱性を有するプラスチック基板等を用いることができる。また、基板に透光性を要しない場合には、ステンレス等の金属の基板を用いてもよい。ガラス基板としては、例えば、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノケイ酸ガラス等の無アルカリガラス基板を用いるとよい。なお、基板51のサイズに限定はなく、例えば上述のフラットパネルディスプレイの分野でよく使われる第3世代乃至第10世代のガラス基板を用いることができる。

#### 【0026】

絶縁膜55は、CVD法またはスパッタリング法等を用いて、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、または窒化酸化アルミニウム膜を、単層でまたは積層して形成することができる。

#### 【0027】

なお、ここでは、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering Spectrometry)を用いて測定した場合に、組成範囲として酸素が50~70原子%、窒素が0.5~15原子%、シリコンが25~35原子%、水素が0.1~10原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、好ましくは、RBS及びHFSを用いて測定した場合に、組成範囲として酸素が5~30原子%、窒素が20~55原子%、シリコンが25~35原子%、水素が10~30原子%の範囲で含まれるものをいう。ただし、酸化窒化シリコンまたは窒化酸化シリコンを構成する原子の合計を100原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

#### 【0028】

種結晶57としては、微結晶半導体、代表的には、微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を用いて形成する。種結晶57は、複数の混相粒が分散した状態、混相粒が連続した膜の状態、または混相粒及び非晶質半導体領域が連続した膜の状態を含む。このため、種結晶57は、混相粒57aや非晶質半導体が隣接せず、混相粒57aの間に隙間57bを有するものも含む。さらに、混相粒の粒密度(面内における混相粒の存在割合)が低く、且つ混相粒の結晶性が高いことを特徴とする。

#### 【0029】

種結晶57は、プラズマCVD装置の処理室内において、高い結晶性を有する混相粒を低い粒密度で与える第1の条件を用いて、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を50倍以上1000倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を67Pa以上50000Pa以下(0

10

20

30

40

50

． 5 T o r r 以上 3 7 0 T o r r 以下)、更に好ましくは 6 7 P a 以上 1 3 3 3 2 P a 以下 ( 0 . 5 T o r r 以上 1 0 0 T o r r 以下) とする第 1 の条件により、種結晶 5 7 として微結晶シリコン、微結晶シリコンゲルマニウム、微結晶ゲルマニウム等を形成する。このときの堆積温度は、室温～3 5 0 ℃とすることが好ましく、より好ましくは 1 5 0 ～2 8 0 ℃とする。なお、処理室の上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。第 1 の条件を用いて形成することで、結晶成長が促進され、種結晶 5 7 に含まれる混相粒 5 7 a の結晶性が高まる。即ち、種結晶 5 7 に含まれる混相粒 5 7 a に含まれる結晶子の大きさが増大する。また、隣り合う混相粒 5 7 a の間に隙間 5 7 b ができ、混相粒 5 7 a は低い粒密度で形成される。なお、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は、希釈されていない 1 0 0 % のシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量である。このため、シリコンまたはゲルマニウムを含む堆積性気体が希釈されている場合は、シリコンまたはゲルマニウムを含む堆積性気体を 1 0 0 % として、水素流量を調整すればよい。

10

**【0030】**

シリコンまたはゲルマニウムを含む堆積性気体の代表例としては、 $\text{SiH}_4$ 、 $\text{Si}_2\text{H}_6$ 、 $\text{GeH}_4$ 、 $\text{Ge}_2\text{H}_6$  等がある。

**【0031】**

種結晶 5 7 の原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを追加することで、種結晶 5 7 の成膜速度が高まる。この結果、種結晶 5 7 に混入される不純物量が低減するため、種結晶 5 7 の結晶性を高めることができる。また、種結晶 5 7 の原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを追加することで、高いパワーを供給せずとも安定したプラズマを発生させることが可能であるため、種結晶 5 7 のプラズマダメージを低減することが可能であり、種結晶 5 7 の結晶性を高めることができる。

20

**【0032】**

種結晶 5 7 を形成する際のグロー放電プラズマの生成は、3 M H z から 3 0 M H z 、代表的には 1 3 . 5 6 M H z 、2 7 . 1 2 M H z の H F 帯の高周波電力、または 3 0 M H z より大きく 3 0 0 M H z 程度までの V H F 帯の高周波電力、代表的には、6 0 M H z を印加することで行われる。また、1 G H z 以上のマイクロ波の高周波電力を印加することで行われる。なお、高周波電力はパルス状に印加されるパルス発振や、連続的に印加される連続発振とすることができる。また、H F 帯の高周波電力と、V H F 帯の高周波電力を重ねさせることで、大面積基板においてもプラズマのムラを低減し、膜厚及び膜質の均一性を高めることができると共に、堆積速度を高めることができる。

30

**【0033】**

上記のようにシリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を高くすることで、種結晶 5 7 の堆積と同時に、種結晶 5 7 に含まれる非晶質半導体領域のエッチングが生じ、結晶性の高い混相粒 5 7 a が形成されると共に、隣り合う混相粒 5 7 a の間に隙間 5 7 b ができる。装置構成及び被膜表面の化学状態によって最適な条件は異なるが、混相粒 5 7 a がほとんど堆積しなければ、上記シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比を小さく、または R F 電力を小さくすればよい。一方、混相粒 5 7 a の粒密度が高い場合、または非晶質半導体領域が結晶性半導体領域よりも多い場合は、上記シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量の比を大きく、または R F 電力を大きくすればよい。種結晶 5 7 の堆積の様子は S E M ( S c a n n i n g E l e c t r o n M i c r o s c o p y ) 及びラマン分光法により評価することができる。上記流量比及び処理室内の圧力条件により、良好な結晶性を有し、且つ混相粒 5 7 a 間に好ましい隙間を保つ種結晶 5 7 を形成することができる。この結果、種結晶 5 7 に含まれる非晶質半導体領域をエッチングしつつ、混相粒 5 7 a が形成されるため、結晶成長が促進され、混相粒 5 7 a の結晶性が高まる。即ち、混相粒 5 7 a に含まれる結晶子の大きさが増大する。また、隣接する混相粒 5 7 a の間の非晶質半導体領域がエッチングされるため、隣接する混相粒 5 7 a は互いに隙間 5 7 b を有し

40

50

ており、従って混相粒 57a は低い粒密度で形成される。なお、本実施の形態における第 1 の条件で種結晶 57 を形成すると、混相粒 57a の粒径にはばらつきが生じる場合がある。

#### 【0034】

次に、図 1 (B) に示すように、種結晶 57 上に第 1 の微結晶半導体膜 59 を形成する。第 1 の微結晶半導体膜 59 は、種結晶 57 の結晶子を成長させて混相粒の隙間を埋める条件で形成することを特徴とする。

#### 【0035】

第 1 の微結晶半導体膜 59 は、プラズマ CVD 装置の処理室内において、第 2 の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第 2 の条件の原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。ここでは、第 2 の条件を、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量を 100 倍以上 2000 倍以下にして堆積性気体を希釈し、且つ処理室内の圧力を 1333 Pa 以上 5000 Pa 以下 (10 Torr 以上 370 Torr 以下)、更に好ましくは 1333 Pa 以上 1333.2 Pa 以下 (10 Torr 以上 100 Torr 以下) とする。なお、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は、希釈されていない 100% のシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量である。このため、シリコンまたはゲルマニウムを含む堆積性気体が希釈されている場合は、シリコンまたはゲルマニウムを含む堆積性気体を 100% として、水素流量を調整すればよい。

#### 【0036】

上記第 2 の条件により、第 1 の微結晶半導体膜 59 として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。このときの堆積温度は、室温 ~ 350℃ とすることが好ましく、より好ましくは 150 ~ 280℃ とする。なお、処理室の上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。

#### 【0037】

第 1 の微結晶半導体膜 59 を形成する際の、グロー放電プラズマの生成は、種結晶 57 の条件を適宜用いることができる。なお、種結晶 57 及び第 1 の微結晶半導体膜 59 のグロー放電プラズマの生成は、同じ条件で行うことでスループットを向上させることができるが、異なってもよい。

#### 【0038】

第 1 の微結晶半導体膜 59 は、種結晶 57 の結晶子を成長させて混相粒 57a の隙間 57b を埋める第 2 の条件で形成される。第 2 の条件を上記条件とすると、処理室内の圧力が高いため、平均自由行程が短く、水素ラジカル及び水素イオンは衝突のたびにエネルギーを失うため、水素ラジカルや水素イオンのエネルギーが低くなり、被覆率が向上すると共に、イオンダメージが低減し、欠陥低減に寄与する。また、シリコンまたはゲルマニウムを含む堆積性気体の希釈比が高く、水素ラジカルの生成量が増加するため、非晶質半導体領域をエッチングしつつ、混相粒 57a に含まれる結晶子を核として結晶成長する。この結果、第 1 の微結晶半導体膜 59 は、非晶質半導体領域に対する結晶領域の割合が増加し、結晶性が高まる。また、堆積中の第 1 の微結晶半導体膜 59 の欠陥低減に寄与する。

#### 【0039】

なお、種結晶 57 の混相粒 57a の隙間 57b に、新たに第 1 の微結晶半導体膜 59 の混相粒が発生することで、第 1 の微結晶半導体膜 59 の混相粒の大きさは小さくなってしまうため、種結晶 57 の混相粒 57a の発生頻度に対して、第 1 の微結晶半導体膜 59 の混相粒の発生頻度は少ない方が好ましい。この結果、種結晶 57 の混相粒 57a に含まれる結晶子を核とし、当該種結晶 57 からの結晶成長を優先させることができる。

#### 【0040】

このとき、第 1 の微結晶半導体膜 59 は、種結晶 57 の混相粒 57a に含まれる結晶子を核として結晶成長する。また、第 1 の微結晶半導体膜 59 の混相粒の大きさは、種結晶 5

7の混相粒57aの間隔に依存する。このため、種結晶57の混相粒57aの粒密度が低いと、混相粒57aの間隔が広がるため、第1の微結晶半導体膜59の混相粒の結晶成長距離が伸び、第1の微結晶半導体膜59の混相粒の大粒径化が可能である。

#### 【0041】

次に、図1(C)に示すように、第1の微結晶半導体膜59上に第2の微結晶半導体膜61を形成する。第2の微結晶半導体膜61は、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ第1の微結晶半導体膜59より結晶性の高い微結晶半導体膜を成膜する条件で形成することを特徴とする。

#### 【0042】

第2の微結晶半導体膜61は、プラズマCVD装置の処理室内において、第3の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第3の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスとを混合し、グロー放電プラズマにより形成する。ここでは、第3の条件は、処理室内の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とし、且つ微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行う条件である。

#### 【0043】

微結晶半導体を堆積する第1の周期と、当該微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングする上記第1の周期より長い第2の周期とを交互に行うためには、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を交互に増減すればよく、具体的にはシリコンまたはゲルマニウムを含む堆積性気体または水素の流量を増減すればよい。シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が低い場合、代表的には堆積性気体の流量に対する水素の流量を100倍以上2000倍以下にすることで、微結晶半導体の堆積及び結晶成長が優先的に生じる。一方、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量比が高い場合、代表的にはシリコンまたはゲルマニウムを含む堆積性気体を0sccm以上0.3sccm以下とし、水素流量を1000sccmより高くすることで、微結晶半導体に含まれる非晶質半導体領域のエッチングが優先的に生じる。このとき、水素の流量を一定とし、シリコンまたはゲルマニウムを含む堆積性気体の流量を増減させる場合は、第1の周期と同様の流量の水素を処理室に導入することで、第1の周期及び第2の周期において処理室内の圧力を一定に保つことが可能であるため、第2の微結晶半導体膜の膜質の均一性を高めることができる。なお、処理室の圧力を1333Pa以上50000Pa以下、更に好ましくは1333Pa以上13332Pa以下とすることで、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が高い場合は、微結晶半導体に含まれる結晶子よりも非晶質半導体領域が優先的にエッチングされる。なお、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量比は、希釈されず100%のシリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比である。このため、シリコンまたはゲルマニウムを含む堆積性気体が希釈されている場合は、シリコンまたはゲルマニウムを含む堆積性気体を100%として、水素流量を調整すればよい。

#### 【0044】

上記第3の条件により、第2の微結晶半導体膜61として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。この結果、第2の微結晶半導体膜61は第1の微結晶半導体膜59の混相粒の隙間を広げず、且つ、第1の微結晶半導体膜よりも結晶性が高まる。このときの堆積温度は、室温～350℃とすることが好ましく、より好ましくは150～280℃とする。なお、処理室の上部電極及び下部電極の間隔は、プラズマが発生しうる間隔とすればよい。

#### 【0045】

なお、第2の微結晶半導体膜61の原料ガスに、ヘリウム、ネオン、アルゴン、クリプト

10

20

30

40

50

ン、キセノン等の希ガスを追加してもよい。

#### 【0046】

第2の微結晶半導体膜61を形成する際の、グロー放電プラズマの生成は、種結晶57の条件を適宜用いることができる。なお、種結晶57、第1の微結晶半導体膜59、及び第2の微結晶半導体膜61のグロー放電プラズマの生成を同じ条件で行うことで、スループットを向上させることができるが、異なってもよい。

#### 【0047】

ここで、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を交互に増減させる方法について、図2を用いて説明する。図2は、本実施の形態に示す第2の微結晶半導体膜61の形成方法における原料ガス及び装置に供給する電力の時間的変化を示すタイミングチャートである。なお、図2において、実線71は、プラズマCVD装置の電源のオンオフ状態を示し、実線73は水素の流量を示し、実線75はシリコンまたはゲルマニウムを含む堆積性気体（図2はシラン）の流量を示し、実線79は希ガス（図2ではアルゴン）の流量を示す。

#### 【0048】

プラズマCVD装置の処理室に、原料ガスであるシリコンまたはゲルマニウムを含む堆積性気体と、水素とを導入し、処理室を所定の圧力とする。また、基板51の温度を所定の温度とする。このとき、水素は一定流量（図2では流量a）で処理室に供給する。

#### 【0049】

次に、高周波電源の電源をONとし、プラズマ放電を行う。シリコンまたはゲルマニウムを含む堆積性気体は、交互に流量を増減させながら、処理室に供給する。ここでは、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比を交互に増減させることをサイクルフローという。本実施の形態では、電力をONとした後に流量cのシリコンまたはゲルマニウムを含む堆積性気体をt1秒流す第1の周期と、流量b（ $0 < b < c$ ）のシリコンまたはゲルマニウムを含む堆積性気体をt2秒流す第2の周期とを繰り返す。ここでは、第2の周期のt2秒は第1の周期のt1秒より長いことを特徴とする。シリコンまたはゲルマニウムを含む堆積性気体の流量は、第1の周期と比較して第2の周期の方が少ないため、第1の周期より第2の周期の方が、シリコンまたはゲルマニウムを含む堆積性気体に対する水素の流量比が大きい。第1の周期において、堆積性気体に対する水素の流量を100倍以上2000倍以下とすると、後のプラズマ放電により、微結晶半導体の堆積及び結晶成長が優先的に生じ、第2の周期においては、非晶質半導体領域のエッチングが優先的に生じる。

#### 【0050】

第1の周期及び第2の周期におけるプラズマ中では、水素ラジカルと共に、シリコンまたはゲルマニウムを含む堆積性気体から生成されるラジカルも形成される。処理室内の圧力を1333Pa以上5000Pa以下（10Torr以上370Torr以下）、更に好ましくは1333Pa以上13332Pa以下（10Torr以上100Torr以下）とすると処理室内の圧力が高いため、堆積性気体の平均自由行程が短く、水素ラジカル及び水素イオンは衝突のたびにエネルギーを失うため、第1の微結晶半導体膜59に到達するころには水素ラジカルや水素イオンのエネルギーが低くなる。

#### 【0051】

上記圧力下のシリコンまたはゲルマニウムを含む堆積性気体の流量が多い第1の周期（図2においては、流量cである期間）では、流量bである第2の周期と比較して、シリコンまたはゲルマニウムを含む堆積性気体から生成されるラジカルが多数存在するため、第1の微結晶半導体膜59の表面においては、エッチング作用より微結晶半導体の堆積及び結晶成長の方が優位となる。また、処理室内を上記の圧力とすると、イオンやラジカルのエネルギーが低くなるため、堆積中の第2の微結晶半導体膜61に対するプラズマダメージが低減し、欠陥低減に寄与する。

#### 【0052】

また、上記圧力下のシリコンまたはゲルマニウムを含む堆積性気体の流量が少ない第2の

周期（図2においては、流量bである期間）では、プラズマ中で解離された水素ラジカルが、第2の条件で形成した第1の微結晶半導体膜59及び第1の微結晶半導体膜59上に堆積した微結晶半導体に含まれる非晶質半導体領域を選択的にエッチングし、結晶子を露出させる。

【0053】

上記第1の周期及び第2の周期を繰り返すことで、第2の周期では非晶質半導体領域の優先的なエッチングによる結晶子の露出と、第1の周期では露出された結晶子を核とする結晶成長とが交互に起きるため、混相粒の結晶子の大きさが大きくなり、さらには配向面を有する結晶成長が生じる。また、第1の周期よりも第2の周期の方が長いため、微結晶半導体に含まれる非晶質半導体領域のエッチングが十分に行われるため、第2の微結晶半導体膜に含まれる非晶質半導体量を低減することが可能である。これらの結果、第1の微結晶半導体膜に含まれる混相粒の隙間を広げず、且つ第1の微結晶半導体膜より結晶性の高い第2の微結晶半導体膜を形成することができる。また、第2の微結晶半導体膜61の欠陥を低減することができる。

10

【0054】

また、第2の周期において、わずかな流量、代表的には0 s c c mより多く0.3 s c c m以下の流量のシリコンまたはゲルマニウムを含む堆積性気体を流すことで、当該堆積性気体から生成されるわずかなラジカル（代表的には、シリルラジカル）が、非晶質半導体領域のエッチングにより露出された結晶子のダングリングボンドに結合するため、結晶性の高い結晶成長が生じる。即ち、エッチングと共に、結晶成長が生じるため、第2の微結晶半導体膜61の結晶性がより高くなる。

20

【0055】

なお、はじめに、シリコンまたはゲルマニウムを含む堆積性気体の流量を流量cとした第1の周期の後、シリコンまたはゲルマニウムを含む堆積性気体の流量を流量bとする第2の周期に変更しているが、はじめに流量bのシリコンまたはゲルマニウムを含む堆積性気体を流す第2の周期の後、流量cとする第1の周期に変更してもよい。なお、t1及びt2は、数秒から数十秒が好ましい。t1及びt2が数分になってしまうと、例えばt1において結晶性の低い厚さ数nmの微結晶半導体膜が形成されてしまい、こののちt2においては微結晶半導体膜の表面しか反応せず、微結晶半導体膜の内部の結晶性を高めることが困難なためである。

30

【0056】

また、ここでは、第1の周期、即ち流量cのシリコンまたはゲルマニウムを含む堆積性気体を流す時間を全てt1秒としているが、異ならせてもよい。また、第2の周期、即ち流量b（ $b < c$ ）のシリコンまたはゲルマニウムを含む堆積性気体を流す時間を全てt2秒としているが、異ならせてもよい。

【0057】

また、図2の実線79で示すように、原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを導入しないが、破線77で示すように、希ガスを処理室に導入してもよい。または、希ガスを交互に増減させながら処理室に導入してもよい。

【0058】

なお、ここでは、水素の流量を一定としたが、第2の微結晶半導体膜61の形成に必要な量の水素であれば、流量を変化させてもよい。また、シリコンまたはゲルマニウムを含む堆積性気体を一定流量とし、水素の流量を交互に増減させてもよい。

40

【0059】

また、高周波電源をオンにしたまま、原料ガスの流量を切り替えることで、第2の微結晶半導体膜61の堆積速度を向上させることができる。

【0060】

また、処理室へのシリコンまたはゲルマニウムを含む堆積性気体の流量をcとした後、即ち第1の周期の後、高周波電源を切断してもよい。または、処理室へのシリコンまたはゲルマニウムを含む堆積性気体の流量をbとした後、即ち第2の周期の後、高周波電源を切

50

断してもよい。

【0061】

また、ここでは、シリコンまたはゲルマニウムを含む堆積性気体の流量 $b$ を $0 < b < c$ としているが、流量 $b$ を $b = 0$ としてもよい。即ち、シリコンまたはゲルマニウムを含む堆積性気体を導入する周期と導入しない周期を交互に設けてもよい。また、高周波電源は破線72に示すように、第1の周期のときに成膜速度を高めるために電力を高くし、第2の周期のときに微結晶半導体に含まれる結晶子のエッチングを低減するために電力を低くしてもよい。

【0062】

なお、処理室内の圧力が1333Pa以上50000Pa以下（10Torr以上370Torr以下）、更に好ましくは1333Pa以上13332Pa以下（10Torr以上100Torr以下）であれば、第1の条件の圧力より第2の条件の圧力が高くともよい。または、第2の条件より第1の条件の圧力が高くともよい。または、第1の条件及び第2の条件の圧力は同じであってもよい。

【0063】

次に、図1（D）に示すように、第2の微結晶半導体膜61上に第3の微結晶半導体膜63を形成する。第3の微結晶半導体膜63は、混相粒を成長させて混相粒の隙間を埋める条件で形成することを特徴とする。

【0064】

第3の微結晶半導体膜63は、プラズマCVD装置の処理室内において、第4の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素とを混合し、グロー放電プラズマにより形成する。または、第4の条件により、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを混合し、グロー放電プラズマにより形成する。なお、第4の条件は、第2の条件と同様である。

【0065】

上記第4の条件により、第3の微結晶半導体膜63として微結晶シリコン膜、微結晶シリコンゲルマニウム膜、微結晶ゲルマニウム膜等を形成する。

【0066】

第4の条件を上記第2条件と同様とすると、処理室内の圧力が高いため、平均自由行程が短く、水素ラジカル及び水素イオンは衝突のたびにエネルギーを失うため、水素ラジカルや水素イオンのエネルギーが低くなり、被覆率が向上する。また、シリコンまたはゲルマニウムを含む堆積性気体の希釈比が高く、水素ラジカルの生成量が増加するため、非晶質半導体領域をエッチングしつつ、第2の微結晶半導体膜61に含まれる結晶子を核として結晶成長する。この結果、第3の微結晶半導体膜63は、非晶質半導体領域に対する結晶領域の割合が増加し、結晶性が高まる。また、第2の微結晶半導体膜61及び堆積中の第3の微結晶半導体膜63の平坦化に寄与する。

【0067】

以上の工程により、微結晶半導体膜64を形成することができる。

【0068】

ここで、図1（E）～図1（H）に、本実施の形態に示す微結晶半導体膜64の成膜概念図を示す。図1（E）～図1（H）は、それぞれ図1（A）～図1（D）における堆積状態を模式化した拡大図である。

【0069】

図1（E）に示すように、種結晶57の堆積工程は、後に形成される微結晶半導体膜63に含まれる混相粒の大きさを大きくするために、混相粒57aを散在させる工程である。このため、図1（E）に示すように、種結晶57は、混相粒57aが隙間57bをにおいて堆積される。

【0070】

図1（F）に示すように、第1の微結晶半導体膜59の堆積工程は、種結晶粒子を元に結

10

20

30

40

50

晶成長させ、隙間の極めて少ない混相粒を有する膜を形成する工程である。このため、混相粒 57a を種として結晶成長しながら微結晶半導体 58 が堆積される。なお、処理室の圧力を 1333 Pa 以上 50000 Pa 以下 (10 Torr 以上 370 Torr 以下)、更に好ましくは 1333 Pa 以上 13332 Pa 以下 (10 Torr 以上 100 Torr 以下) とすると、微結晶半導体 58 は、膜厚方向だけでなく、平面方向にも結晶成長するため、微結晶半導体 58 同士の隙間が埋まり、微結晶半導体 58 同士が接する。

#### 【0071】

図 1 (G) に示すように、第 2 の微結晶半導体膜 61 の堆積工程は、微結晶半導体 58 上に更に結晶性の高い微結晶半導体 60 を堆積させる工程である。第 2 の微結晶半導体膜 61 の堆積工程においては、微結晶半導体の堆積及び結晶成長の工程と、微結晶半導体に含まれる非晶質半導体領域を優先的にエッチングし、微結晶半導体に含まれる結晶子を露出させる工程とが交互に行われる。また、処理室の圧力が 1333 Pa 以上 50000 Pa 以下 (10 Torr 以上 370 Torr 以下)、更に好ましくは 1333 Pa 以上 13332 Pa 以下 (10 Torr 以上 100 Torr 以下) であるため、微結晶半導体に含まれる非晶質半導体領域が優先的にエッチングされる。これらのため、露出された結晶子に微結晶半導体が堆積する際、エピタキシャル成長が生じやすい。この結果、第 2 の微結晶半導体膜 61 の堆積工程においては、微結晶半導体の配向性が高くなり、配向面を有する微結晶半導体 60 が堆積される。

#### 【0072】

図 1 (H) に示すように、第 3 の微結晶半導体膜 63 の堆積工程は、第 2 の微結晶半導体膜 61 を元に結晶成長させ、第 2 の微結晶半導体膜 61 の混相粒の隙間を埋めつつ、第 2 の微結晶半導体膜 61 の凹凸を低減し、平坦化する工程である。このため、微結晶半導体 60 を種として結晶成長しながら微結晶半導体 62 が堆積される。

#### 【0073】

図 1 (E) 乃至図 1 (H) の工程を経ることで、結晶性が高く、混相粒の隙間が極めて少なく、且つ配向面を有する混相粒を有する微結晶半導体膜 64 を形成することができる。なお、微結晶半導体膜 64 に含まれる混相粒は、種結晶 57、第 1 の微結晶半導体膜 59、第 2 の微結晶半導体膜 61、若しくは第 3 の微結晶半導体膜 63 で堆積した微結晶半導体の場合もある。または、種結晶 57、第 1 の微結晶半導体膜 59、第 2 の微結晶半導体膜 61、及び第 3 の微結晶半導体膜 63 の 2 以上が結晶成長しながら堆積した微結晶半導体の場合もある。

#### 【0074】

なお、種結晶 57 の厚さは 1 nm 以上 10 nm 以下が好ましい。種結晶 57 の厚さが 10 nm より厚いと、第 1 の微結晶半導体膜 59 が堆積しても、混相粒 57a の隙間を埋めることが困難となると共に、種結晶 57 の内部に含まれる非晶質半導体のエッチングが困難となり、種結晶 57 及び第 1 の微結晶半導体膜 59 の結晶性が低減する。一方、種結晶 57 は、混相粒が形成される必要があるため、種結晶 57 の厚さは 1 nm 以上であることが好ましい。

#### 【0075】

種結晶 57、第 1 の微結晶半導体膜 59、第 2 の微結晶半導体膜 61、及び第 3 の微結晶半導体膜 63 は、微結晶半導体を有する。微結晶半導体とは、非晶質と結晶構造 (単結晶、多結晶を含む) の中間的な構造の半導体である。このため、微結晶半導体は非晶質半導体領域を有する。微結晶半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な半導体であり、混相粒径が 2 nm 以上 200 nm 以下、好ましくは 10 nm 以上 80 nm 以下、より好ましくは、20 nm 以上 50 nm 以下の柱状または針状の混相粒が基板表面に対して法線方向に成長している。このため、柱状または針状の混相粒の界面には、粒界が形成される場合もある。なお、ここでの結晶粒径は、基板表面に対して平行な面における結晶粒の最大直径をいう。

#### 【0076】

微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルのピークが単結晶

10

20

30

40

50

シリコンを示す  $520\text{ cm}^{-1}$  よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す  $520\text{ cm}^{-1}$  とアモルファスシリコンを示す  $480\text{ cm}^{-1}$  の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含んでいる。さらに、ヘリウム、ネオン、アルゴン、クリプトン、キセノンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。このような微結晶半導体に関する記述は、例えば、米国特許4,409,134号で開示されている。

#### 【0077】

本実施の形態により、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を作製することができる。

10

#### 【0078】

（実施の形態2）

本実施の形態では、本発明の一形態である半導体装置に形成される薄膜トランジスタの作製方法について、図3乃至図6を参照して説明する。なお、薄膜トランジスタは、p型よりもn型の方がキャリアの移動度が高い。また、同一の基板上に形成する薄膜トランジスタを全て同じ極性に統一すると、工程数を抑えることができて好ましい。そのため、本実施の形態では、n型の薄膜トランジスタの作製方法について説明する。

#### 【0079】

なお、オン電流とは、薄膜トランジスタがオン状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧がトランジスタの閾値電圧よりも高いときにソース電極とドレイン電極との間に流れる電流である。

20

#### 【0080】

また、オフ電流とは、薄膜トランジスタがオフ状態のときに、ソース電極とドレイン電極の間に流れる電流をいう。例えば、n型の薄膜トランジスタの場合には、ゲート電圧が薄膜トランジスタの閾値電圧よりも低いときにソース電極とドレイン電極との間に流れる電流である。

#### 【0081】

図3（A）に示すように、基板101上にゲート電極103を形成する。次に、ゲート電極103（第1のゲート電極ともいう。）を覆うゲート絶縁膜105を形成し、ゲート絶縁膜105上に種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、及び第3の微結晶半導体膜110を形成する。

30

#### 【0082】

基板101としては、実施の形態1に示す基板51を適宜用いることができる。

#### 【0083】

ゲート電極103は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム、ニッケル等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。また、リン等の不純物元素をドーピングした多結晶シリコンに代表される半導体、Ag-Pd-Cu合金、Al-Nd合金、Al-Ni合金などを用いてもよい。

40

#### 【0084】

例えば、ゲート電極103の二層の積層構造としては、アルミニウム膜上にモリブデン膜を積層した二層の積層構造、または銅膜上にモリブデン膜を積層した二層構造、または銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、窒化チタン膜とモリブデン膜とを積層した二層構造、酸素を含む銅-マグネシウム合金膜と銅膜とを積層した二層構造、酸素を含む銅-マンガン合金膜と銅膜とを積層した二層構造、銅-マンガン合金膜と銅膜とを積層した二層構造などとするのが好ましい。三層の積層構造としては、タングステン膜または窒化タングステン膜と、アルミニウムとシリコンの合金膜またはアルミニウムとチタンの合金膜と、窒化チタン膜またはチタン膜とを積層した三層構造とする

50

ことが好ましい。電氣的抵抗が低い膜上にバリア膜として機能する金属膜が積層されることで、ゲート電極103の電氣的抵抗を低くでき、且つ金属膜から半導体膜への金属元素の拡散を防止することができる。

#### 【0085】

ゲート電極103は、基板101上に、スパッタリング法または真空蒸着法を用いて、上記した材料により導電膜を形成し、該導電膜上にフォトリソグラフィ法またはインクジェット法等によりマスクを形成し、該マスクを用いて導電膜をエッチングして形成することができる。また、銀、金または銅等の導電性ナノペーストをインクジェット法により基板上に吐出し、焼成することで形成することもできる。なお、ゲート電極103と、基板101との密着性向上を目的として、上記の金属材料の窒化物膜を、基板101と、ゲート電極103との間に設けてもよい。ここでは、基板101上に導電膜を形成し、フォトリソグラフィ工程により形成したレジストで形成されるマスクを用いて、当該導電膜をエッチングする。

10

#### 【0086】

なお、ゲート電極103の側面は、テーパー形状とすることが好ましい。これは、後の工程で、ゲート電極103上に形成される絶縁膜、半導体膜及び配線が、ゲート電極103の段差箇所において切断されないようにするためである。ゲート電極103の側面をテーパー形状にするためには、レジストで形成されるマスクを後退させつつエッチングを行えばよい。

#### 【0087】

20

また、ゲート電極103を形成する工程により、ゲート配線（走査線）及び容量配線も同時に形成することができる。なお、走査線とは画素を選択する配線をいい、容量配線とは画素の保持容量の一方の電極に接続された配線をいう。ただし、これに限定されず、ゲート配線及び容量配線の一方または双方と、ゲート電極103とは別に設けてもよい。

#### 【0088】

ゲート絶縁膜105（第1のゲート絶縁膜ともいう。）は、実施の形態1に示す絶縁膜55を適宜用いて形成することができる。なお、ゲート絶縁膜105を酸化シリコンまたは酸化窒化シリコン等の酸化絶縁膜により形成することで、薄膜トランジスタの閾値電圧の変動を低減することができる。

#### 【0089】

30

ゲート絶縁膜105は、CVD法またはスパッタリング法等を用いて形成することができる。ゲート絶縁膜105のCVD法による形成工程において、グロー放電プラズマの生成は、実施の形態1に示す種結晶57の条件を適宜用いることができる。また、高周波数が1GHz以上であるマイクロ波プラズマCVD装置を用いてゲート絶縁膜105を形成すると、ゲート電極と、ドレイン電極及びソース電極との間の耐圧を向上させることができるため、信頼性の高い薄膜トランジスタを得ることができる。

#### 【0090】

また、ゲート絶縁膜105として、有機シランガスを用いたCVD法により酸化シリコン膜を形成することで、後に形成する半導体膜の結晶性を高めることが可能であるため、薄膜トランジスタのオン電流及び電界効果移動度を高めることができる。有機シランガスとしては、テトラエトキシシラン（TEOS：化学式 $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、テトラメチルシラン（TMS：化学式 $\text{Si}(\text{CH}_3)_4$ ）、テトラメチルシクロテトラシロキサン（TMCTS）、オクタメチルシクロテトラシロキサン（OMCTS）、ヘキサメチルジシラザン（HMDS）、トリエトキシシラン（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、トリスジメチルアミノシラン（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等のシリコン含有化合物を用いることができる。

40

#### 【0091】

種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、及び第3の微結晶半導体膜110はそれぞれ、実施の形態1に示す種結晶57、第1の微結晶半導体膜59、第2の微結晶半導体膜61、及び第3の微結晶半導体膜63と同様の条件を用い

50

て形成する。

#### 【0092】

本実施の形態では、第1の条件を用いて種結晶107を形成し、第2の条件を用いて第1の微結晶半導体膜108を形成することで、結晶性が高く、且つ混相粒の隙間を低減した緻密な微結晶半導体膜を形成することができる。また、当該第1の微結晶半導体膜108上に第3の条件を用いて第2の微結晶半導体膜109を形成することで、第1の微結晶半導体膜108よりも更に結晶性の高い微結晶半導体膜を形成することができる。また、当該第2の微結晶半導体膜109上に第4の条件を用いて第3の微結晶半導体膜110を形成することで、第2の微結晶半導体膜109よりは結晶性がやや下がるものの、第2の微結晶半導体膜109に含まれる混相粒の間の隙間を埋めつつ、第1の微結晶半導体膜108より結晶性が高く、且つ平坦性の高い微結晶半導体膜を形成することができる。

10

#### 【0093】

次に、図3(B)に示すように、第3の微結晶半導体膜110上に半導体膜111を形成する。半導体膜111は、微結晶半導体領域111a及び非晶質半導体領域111bで構成される。次に、半導体膜111上に、不純物半導体膜113を形成する。次に、不純物半導体膜113上にレジストで形成されるマスク115を形成する。

#### 【0094】

第3の微結晶半導体膜110を核として、部分的に結晶成長させる条件（結晶成長を抑制させる条件）で、微結晶半導体領域111a及び非晶質半導体領域111bを有する半導体膜111を形成することができる。

20

#### 【0095】

半導体膜111は、プラズマCVD装置の処理室内において、シリコンまたはゲルマニウムを含む堆積性気体と、水素と、窒素を含む気体とを混合し、グロー放電プラズマにより形成する。窒素を含む気体としては、アンモニア、窒素、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。グロー放電プラズマの生成は、種結晶107と同様にすることができる。

#### 【0096】

このとき、シリコンまたはゲルマニウムを含む堆積性気体と、水素との流量比は、種結晶107、第1の微結晶半導体膜108乃至第3の微結晶半導体膜110と同様の微結晶半導体膜を形成する流量比を用い、さらに原料ガスに窒素を含む気体を用いる条件とすることで、種結晶107、第1の微結晶半導体膜108乃至第3の微結晶半導体膜110の堆積条件よりも、結晶成長を抑制することができる。具体的には、半導体膜111の堆積初期においては、原料ガスに窒素を含む気体が含まれるため、部分的に結晶成長が抑制され、錐形状の微結晶半導体領域が成長すると共に、非晶質半導体領域が形成される。さらに、堆積中期または後期では、錐形状の微結晶半導体領域の結晶成長が停止し、非晶質半導体領域のみが堆積される。この結果、半導体膜111において、微結晶半導体領域111a、及び欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い半導体膜で形成される非晶質半導体領域111bを形成することができる。

30

#### 【0097】

ここでは、半導体膜111を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量が10～2000倍、好ましくは10～200倍である。なお、通常、非晶質半導体膜を形成する条件の代表例は、シリコンまたはゲルマニウムを含む堆積性気体の流量に対する水素の流量は0～5倍である。

40

#### 【0098】

また、半導体膜111の原料ガスに、ヘリウム、ネオン、アルゴン、クリプトン、キセノン等の希ガスを追加することで、成膜速度を高めることができる。

#### 【0099】

半導体膜111の厚さは、厚さ50～350nmとすることが好ましく、さらに好ましくは120～250nmとする。

50

## 【0100】

ここで、図3（B）に示すゲート絶縁膜105と、不純物半導体膜113との間の拡大図を、図4に示す。

## 【0101】

図4（A）に示すように、半導体膜111の微結晶半導体領域111aは凹凸状であり、凸部はゲート絶縁膜105から非晶質半導体領域111bに向かって、先端が狭まる（凸部の先端が鋭角である）凸状（錐形状）である。なお、微結晶半導体領域111aの形状は、ゲート絶縁膜105から非晶質半導体領域111bに向かって幅が広がる凸状（逆錐形状）であってもよい。

## 【0102】

種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、第3の微結晶半導体膜110、及び微結晶半導体領域111aの厚さ、即ち、ゲート絶縁膜105及び種結晶107の界面から、微結晶半導体領域111aの突起（凸部）の先端までの距離を、5nm以上310nm以下とすることで、微結晶半導体領域111aの突起（凸部）が後に形成される不純物半導体膜に接しないため、薄膜トランジスタのオフ電流を低減することができる。

## 【0103】

また、半導体膜111に含まれる酸素の二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）によって計測される濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 未満とすることで、微結晶半導体領域111aの結晶性を高めることができるため好ましい。また、二次イオン質量分析法によって計測される半導体膜111の窒素濃度プロファイルのピーク濃度は、 $1 \times 10^{20} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{20} \text{ atoms/cm}^3$ 以上 $1 \times 10^{21} \text{ atoms/cm}^3$ 以下である。

## 【0104】

非晶質半導体領域111bは、窒素を有する非晶質半導体で形成される。窒素を有する非晶質半導体に含まれる窒素は、例えばNH基またはNH<sub>2</sub>基として存在していてもよい。非晶質半導体としては、アモルファスシリコンを用いる。

## 【0105】

窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、CPM（Constant photocurrent method）やフォトルミネッセンス分光測定で測定されるUrbach端のエネルギーが小さく、欠陥吸収スペクトル量が少ない半導体である。即ち、窒素を含む非晶質半導体は、従来の非晶質半導体と比較して、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い半導体である。窒素を含む非晶質半導体は、価電子帯のバンド端における準位のテール（裾）の傾きが急峻であるため、バンドギャップが広くなり、トンネル電流が流れにくい。このため、窒素を含む非晶質半導体を微結晶半導体領域111a及び不純物半導体膜113の間に設けることで、薄膜トランジスタのオフ電流を低減することができる。また、窒素を含む非晶質半導体を設けることで、オン電流と電界効果移動度を高めることが可能である。

## 【0106】

さらに、窒素を含む非晶質半導体は、低温フォトルミネッセンス分光によるスペクトルのピークが、1.31eV以上1.39eV以下の範囲にある。なお、微結晶半導体、代表的には微結晶シリコンを低温フォトルミネッセンス分光により測定したスペクトルのピーク領域は、0.98eV以上1.02eV以下であり、窒素を含む非晶質半導体は、微結晶半導体とは異なるものである。

## 【0107】

また、非晶質半導体領域111bの他に、微結晶半導体領域111aにも、NH基またはNH<sub>2</sub>基を有してもよい。

## 【0108】

また、図4（B）に示すように、非晶質半導体領域111bに、粒径が1nm以上10nm

10

20

30

40

50

m以下、好ましくは1 nm以上5 nm以下の半導体混相粒111cを含ませることで、更にオン電流と電界効果移動度を高めることが可能である。

#### 【0109】

ゲート絶縁膜105から非晶質半導体領域111bに向かって、先端が狭まる凸状（錐形状）の微結晶半導体は、微結晶半導体が堆積する条件で微結晶半導体膜を形成した後、部分的に結晶成長させる条件で結晶成長させると共に、非晶質半導体を堆積することで、このような構造となる。

#### 【0110】

半導体膜111の微結晶半導体領域111aは、錐形状または逆錐形状であるため、オン状態でソース電極及びドレイン電極の間に電圧が印加されたときの縦方向（膜厚方向）における抵抗、即ち、半導体膜111の抵抗を下げる事が可能である。また、微結晶半導体領域111aと不純物半導体膜113との間に、欠陥が少なく、価電子帯のバンド端における準位のテール（裾）の傾きが急峻である秩序性の高い、窒素を含む非晶質半導体を有するため、トンネル電流が流れにくくなる。以上のことから、本実施の形態に示す薄膜トランジスタは、オン電流及び電界効果移動度を高めるとともに、オフ電流を低減することができる。

10

#### 【0111】

ここでは、半導体膜111の原料ガスに窒素を含む気体を含ませて、微結晶半導体領域111a及び非晶質半導体領域111bを有する半導体膜111を形成したが、他の半導体膜111の形成方法として、微結晶半導体膜109の表面に窒素を含む気体を曝して、微結晶半導体膜109の表面に窒素を吸着させた後、シリコンまたはゲルマニウムを含む堆積性気体及び水素を原料ガスとして、微結晶半導体領域111a及び非晶質半導体領域111bを有する半導体膜111を形成することができる。

20

#### 【0112】

不純物半導体膜113は、リンが添加されたアモルファスシリコン、リンが添加された微結晶シリコン等で形成する。また、リンが添加されたアモルファスシリコン及びリンが添加された微結晶シリコンの積層構造とすることもできる。なお、薄膜トランジスタとして、p型の薄膜トランジスタを形成する場合は、不純物半導体膜113は、ホウ素が添加された微結晶シリコン、ホウ素が添加されたアモルファスシリコン等で形成する。なお、半導体膜111と、のちに形成する配線129a、129bとがオーミックコンタクトをする場合は、不純物半導体膜113を形成しなくともよい。

30

#### 【0113】

不純物半導体膜113は、プラズマCVD装置の処理室内において、シリコンを含む堆積性気体と、水素と、ホスフィン（水素希釈またはシラン希釈）とを混合し、グロー放電プラズマにより形成する。これにより、リンが添加されたアモルファスシリコン、またはリンが添加された微結晶シリコンが形成される。なお、p型の薄膜トランジスタを作製する場合は、不純物半導体膜113として、ホスフィンの代わりに、ジボランを用いて、グロー放電プラズマにより形成すればよい。

#### 【0114】

また、不純物半導体膜113を、リンが添加された微結晶シリコン、またはホウ素が添加された微結晶シリコンで形成する場合は、半導体膜111と、不純物半導体膜113との間に、微結晶半導体膜、代表的には微結晶シリコン膜を形成することで、界面の特性を向上させることができる。この結果、不純物半導体膜113と、半導体膜111との界面に生じる抵抗を低減することができる。この結果、薄膜トランジスタのソース領域、半導体膜、及びドレイン領域を流れる電流量を増加させ、オン電流及び電界効果移動度の増加が可能となる。

40

#### 【0115】

また、第2の微結晶半導体膜109上に第3の微結晶半導体膜110を形成することで、微結晶半導体膜の平坦性を高めることが可能であるため、平坦性を有する半導体膜111及び不純物半導体膜113を形成することができる。

50

## 【0116】

レジストで形成されるマスク115はフォトリソグラフィ工程により形成することができる。

## 【0117】

次に、レジストで形成されるマスク115を用いて、種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、第3の微結晶半導体膜110、半導体膜111、及び不純物半導体膜113を選択的にエッチングする。この工程により、種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、第3の微結晶半導体膜110、半導体膜111、及び不純物半導体膜113を素子毎に分離し、島状の半導体積層体117、及び島状の不純物半導体膜121を形成する。なお、半導体積層体117は、種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、第3の微結晶半導体膜110、及び半導体膜111それぞれの一部で構成され、種結晶107、第1の微結晶半導体膜108、第2の微結晶半導体膜109、第3の微結晶半導体膜110、及び半導体膜111の微結晶半導体領域111aそれぞれ一部を含む微結晶半導体領域117aと、及び半導体膜111の非晶質半導体領域111bの一部を含む非晶質半導体領域117bとを有する。この後、レジストで形成されるマスク115を除去する（図3（C）参照。）。

10

## 【0118】

次に、不純物半導体膜121上に導電膜127を形成する（図5（A）参照。）。導電膜127は、アルミニウム、銅、チタン、ネオジウム、スカンジウム、モリブデン、クロム、タンタル若しくはタングステン等により単層で、または積層して形成することができる。または、ヒロック防止元素が添加されたアルミニウム合金（ゲート電極103に用いることができるAl-Nd合金等）により形成してもよい。ドナーとなる不純物元素を添加した結晶性シリコンを用いてもよい。ドナーとなる不純物元素が添加された結晶性シリコンと接する側の膜を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物により形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としてもよい。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステンまたはこれらの元素の窒化物で挟んだ積層構造としてもよい。導電膜127は、CVD法、スパッタリング法または真空蒸着法を用いて形成する。また、導電膜127は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成してもよい。

20

30

## 【0119】

導電膜127を平坦性の高い不純物半導体膜121上に形成することで、導電膜127の平坦性を高めることが可能である。

## 【0120】

次に、フォトリソグラフィ工程によりレジストで形成されるマスクを形成し、当該レジストで形成されるマスクを用いて導電膜127をエッチングして、ソース電極及びドレイン電極として機能する配線129a、129bを形成する（図5（B）参照。）。導電膜127のエッチングはドライエッチングまたはウェットエッチングを用いることができる。なお、配線129a、129bの一方は、ソース電極またはドレイン電極のみならず信号線としても機能する。ただし、これに限定されず、信号線とソース電極及びドレイン電極とは別に設けてもよい。

40

## 【0121】

次に、不純物半導体膜121及び半導体積層体117の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜131a、131bを形成する。また、微結晶半導体領域133a及び一対の非晶質半導体領域133bを有する半導体積層体133を形成する。このとき、微結晶半導体領域133aが露出されるように半導体積層体117をエッチングすることで、配線129a、129bで覆われる領域では微結晶半導体領域133a及び非晶質半導体領域133bが積層され、配線129a、129bで覆われず、かつ少なくともゲート電極と重なる領域においては、微結晶半導体領域

50

1 3 3 aが露出する半導体積層体1 3 3となる。

【0 1 2 2】

半導体積層体1 1 7、不純物半導体膜1 2 1、及び導電膜1 2 7の表面は平坦性を有するため、微結晶半導体領域1 3 3 aが露出されるように半導体積層体1 1 7をエッチングすることで露出された微結晶半導体領域1 3 3 aの表面は平坦性を有する。

【0 1 2 3】

微結晶半導体領域1 3 3 aの表面が平坦性を有することで、バックゲート電極側のチャンネル領域における電子の表面散乱を低減することが可能であり、後に形成される薄膜トランジスタの電界効果移動度を高めることができる。また、バックゲート電極側のチャンネル領域において、バックゲート電極の電界が均一に印加されるため、後に形成される薄膜トランジスタのオフ電流を低減することができる。また、微結晶半導体領域1 3 3 aの表面における不純物の残留を低減することが可能である。当該不純物は、キャリアのリークパスとなりうるため、後に形成される薄膜トランジスタのオフ電流を低減することができる。

10

【0 1 2 4】

なお、ここでは、配線1 2 9 a、1 2 9 bの端部と、不純物半導体膜1 3 1 a、1 3 1 bの端部とが揃っているが、配線1 2 9 a、1 2 9 bの端部と、不純物半導体膜1 3 1 a、1 3 1 bの端部とがずれ、断面において、配線1 2 9 a、1 2 9 bの端部が、不純物半導体膜1 3 1 a、1 3 1 bの端部より内側に位置してもよい。

【0 1 2 5】

次に、ドライエッチングを行ってもよい。ドライエッチングの条件は、露出している微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 bにダメージが入らず、且つ微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 bに対するエッチング速度が低い条件を用いる。エッチングガスとしては、代表的には $\text{Cl}_2$ 、 $\text{CF}_4$ 、または $\text{N}_2$ 等を用いる。また、エッチング方法については特に限定はなく、誘導結合型プラズマ（ICP：Inductively Coupled Plasma）方式、容量結合型プラズマ（CCP：Capacitively Coupled Plasma）方式、電子サイクロトン共鳴プラズマ（ECR：Electron Cyclotron Resonance）方式、反応性イオンエッチング（RIE：Reactive Ion Etching）方式等を用いることができる。

20

【0 1 2 6】

次に、微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 bの表面にプラズマ処理、代表的には水プラズマ処理、酸素プラズマ処理、アンモニアプラズマ処理、窒素プラズマ処理、酸素及び水素の混合ガスによるプラズマ処理等を行う。

30

【0 1 2 7】

この後、レジストで形成されるマスクを除去する。なお、当該レジストで形成されるマスクの除去は、不純物半導体膜1 2 1及び半導体積層体1 1 7のドライエッチング前に行ってもよい。

【0 1 2 8】

上記したように、微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 bを形成した後に、微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 bにダメージを与えない条件で更なるドライエッチングを行うことで、露出した微結晶半導体領域1 3 3 a及び非晶質半導体領域1 3 3 b上に存在する残渣などの不純物を除去することができる。また、ドライエッチングに続けて水プラズマ処理、または酸素及び水素の混合ガスによるプラズマ処理を行うことで、レジストで形成されるマスクの残渣を除去すると共に、微結晶半導体領域1 3 3 aの欠陥を低減することができる。また、プラズマ処理を行うことで、ソース領域とドレイン領域との間の絶縁性を高めることができ、完成する薄膜トランジスタのオフ電流を低減し、電気的特性のばらつきを低減することができる。

40

【0 1 2 9】

なお、フォトリソグラフィ工程によりレジストで形成されるマスクを導電膜1 2 7上に形成し、当該レジストで形成されるマスクを用いて導電膜1 2 7をエッチングして、ソース

50

電極及びドレイン電極として機能する配線 1 2 9 a、1 2 9 b を形成する。次に、不純物半導体膜 1 2 1 をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 1 3 1 a、1 3 1 b を形成する。この際、半導体積層体 1 1 7 の一部がエッチングされる場合もある。次に、レジストで形成されるマスクを除去した後、半導体積層体 1 1 7 の一部をエッチングして、微結晶半導体領域 1 3 3 a 及び一対の非晶質半導体領域 1 3 3 b を有する半導体積層体 1 3 3 を形成してもよい。更には、半導体積層体 1 3 3 を形成した後、微結晶半導体領域 1 3 3 a の表面に残るエッチング残渣を除去するため、フッ酸を純水で希釈した溶液等の洗浄液で半導体積層体 1 3 3 の表面を洗浄してもよい。更には、残渣物が除去された半導体積層体 1 3 3 の表面に、プラズマ処理、代表的には水プラズマ処理、酸素プラズマ処理、アンモニアプラズマ処理、窒素プラズマ処理、酸素及び水素の混合ガスによるプラズマ処理等を行ってもよい。微結晶半導体領域 1 3 3 a は、後に形成される薄膜トランジスタのバックゲート側のチャネル領域となるため、当該領域の残渣物を除去することで、後に形成される薄膜トランジスタの電気特性の向上、代表的にはオン電流の上昇及びオフ電流の低減、信頼性の劣化の低減が可能である。

10

#### 【0130】

この結果、レジストで形成されるマスクを除去する工程において、微結晶半導体領域 1 1 7 a が非晶質半導体領域 1 1 7 b に覆われているため、微結晶半導体領域 1 1 7 a が剥離液、及びレジストの残渣物に触れることがない。また、レジストで形成されるマスクを除去した後、配線 1 2 9 a、1 2 9 b を用いて、非晶質半導体領域 1 1 7 b をエッチングして、微結晶半導体領域 1 3 3 a を露出する。このため、剥離液、及びレジストの残渣物に触れた非晶質半導体領域は、バックチャネルには残存しない。この結果、バックチャネルに残存した剥離液、及びレジストの残渣物によるリーク電流が発生しないため、薄膜トランジスタのオフ電流をより低減することができる。

20

#### 【0131】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。また、本実施の形態に示す構造とすることで、オフ電流が低く、オン電流及び電界効果移動度が高いシングルゲート型の薄膜トランジスタを生産性高く作製することができる。

#### 【0132】

次に、半導体積層体 1 3 3、不純物半導体膜 1 3 1 a、1 3 1 b 及び配線 1 2 9 a、1 2 9 b の上に絶縁膜 1 3 7（第 2 のゲート絶縁膜ともいう。）を形成する。絶縁膜 1 3 7 は、ゲート絶縁膜 1 0 5 と同様に形成することができる。

30

#### 【0133】

次に、フォトリソグラフィ工程によりレジストで形成されるマスクを形成し、当該マスクを用いて絶縁膜 1 3 7 に開口部（図示しない。）を形成する。次に、絶縁膜 1 3 7 上にバックゲート電極 1 3 9（第 2 のゲート電極ともいう。）を形成する（図 5（C）参照）。以上の工程により、デュアルゲート型の薄膜トランジスタを作製することができる。なお、図示しないが、バックゲート電極 1 3 9 と同時に、配線 1 2 9 a、1 2 9 b の一方に接続する画素電極を形成することができる。

#### 【0134】

バックゲート電極 1 3 9 は、配線 1 2 9 a、1 2 9 b と同様に形成することができる。また、バックゲート電極 1 3 9 は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物、インジウム亜鉛酸化物、または酸化シリコンを添加したインジウム錫酸化物等の透光性を有する導電性材料を用いて形成することができる。

40

#### 【0135】

また、バックゲート電極 1 3 9 は、透光性を有する導電性高分子（導電性ポリマーともいう。）を含む導電性組成物を用いて形成することができる。バックゲート電極 1 3 9 は、シート抵抗が  $10000\ \Omega/\text{sq}$  以下であって、且つ波長 550 nm における透光率が 70% 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率

50

が  $0.1 \Omega \cdot \text{cm}$  以下であることが好ましい。

【0136】

導電性高分子としては、いわゆる  $\pi$  電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロール及びチオフェンの2種以上の共重合体若しくはその誘導体等がある。

【0137】

バックゲート電極139は、CVD法、スパッタリング法または真空蒸着法を用いて、上記材料のいずれかを用いた薄膜を形成した後、フォトリソグラフィ工程によって形成したレジストで形成されるマスクを用いて上記薄膜をエッチングすることで、形成できる。また、バックゲート電極139は、銀、金または銅等の導電性ナノペーストを用いてスクリーン印刷法またはインクジェット法等を用いて吐出し、焼成することで形成しても良い。

【0138】

次に、薄膜トランジスタの上面図である図6を用いて、バックゲート電極の形状を説明する。

【0139】

図6(A)に示すように、バックゲート電極139は、ゲート電極103と平行に形成することができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とを、それぞれ任意に制御することが可能である。このため、薄膜トランジスタのしきい値電圧を制御することができる。また、キャリアが流れる領域、即ちチャンネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0140】

また、図6(B)に示すように、バックゲート電極139は、ゲート電極103に接続させることができる。即ち、ゲート絶縁膜105及び絶縁膜137に形成した開口部150において、ゲート電極103及びバックゲート電極139が接続する構造とすることができる。この場合、バックゲート電極139に印加する電位と、ゲート電極103に印加する電位とは、等しい。この結果、半導体膜において、キャリアが流れる領域、即ちチャンネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0141】

また、図6(C)に示すように、バックゲート電極139は、ゲート電極103と接続せず、フローティングでもよい。バックゲート電極139に電位を印加せずとも、チャンネル領域が、微結晶半導体領域のゲート絶縁膜105側、及び絶縁膜137側に形成されるため、薄膜トランジスタのオン電流を高めることができる。

【0142】

さらには、図6(D)に示すように、バックゲート電極139は、絶縁膜137を介して配線129a、129bと重畳してもよい。ここでは、図6(A)に示す構造のバックゲート電極139を用いて示したが、図6(B)及び図6(C)に示すバックゲート電極139も同様に配線129a、129bと重畳してもよい。

【0143】

本実施の形態に示すシングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタは、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜でチャンネル領域を形成することが可能である。このため、シングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタのキャリアの移動量が増加し、オン電流及び電界効果移動度を高めることができる。また、第1のゲート絶縁膜側だけでなく、第2のゲート絶縁膜側の結晶性も高めた微結晶半導体膜をチャンネル領域としているため、デュアルゲート型の薄膜トランジスタのキャリアの移動量が増加し、オン電流及び電界効果移動度を高めることができる。また、微結晶半導体領域133aと、不純物半導体膜131a、131bの間に、非晶質半導体領域133bを有する。このため、薄膜ト

10

20

30

40

50

ランジスタのオフ電流を低減することができる。以上のことから、シングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタの面積を小さくすることが可能であり、半導体装置への高集積化が可能である。また、表示装置の駆動回路に本実施の形態に示す薄膜トランジスタを用いることで、駆動回路の面積を低減できるため、表示装置の狭額縁化が可能である。

#### 【0144】

(実施の形態3)

本実施の形態では、実施の形態2と比較して、さらに、オフ電流の低減が可能な薄膜トランジスタの作製方法について、図3及び図7を用いて説明する。

#### 【0145】

実施の形態2と同様に、図3(A)乃至図3(C)の工程を経て、図7(A)に示すように、半導体積層体117を形成する。

#### 【0146】

次に、レジストで形成されるマスク115を残存させたまま、半導体積層体117の側面をプラズマ123に曝すプラズマ処理を行う。ここでは、酸化性ガスまたは窒化性ガス雰囲気中でプラズマを発生させて、半導体積層体117をプラズマ123に曝す。酸化性ガスとしては、酸素、オゾン、一酸化二窒素、水蒸気、酸素及び水素の混合気体等がある。また、窒化性ガスとしては、窒素、アンモニア、フッ化窒素、塩化窒素、クロロアミン、フルオロアミン等がある。酸化性ガスまたは窒化性ガス雰囲気中でプラズマを発生させることで、ラジカルが発生する。当該ラジカルは半導体積層体117と反応し、半導体積層体117の側面に酸化物または窒化物である絶縁領域を形成することができる。なお、プラズマを照射する代わりに、紫外光を照射し、ラジカルを発生させてもよい。

#### 【0147】

また、酸化性ガスとして、酸素、オゾン、水蒸気、酸素及び水素の混合気体を用いると、図7(B)に示すように、プラズマ照射によりレジストが後退し、底面の面積が縮小したマスク115aが形成される。このため、当該プラズマ処理により、半導体積層体117の側面と共に、露出された不純物半導体膜121が酸化し、半導体積層体117の側面及び不純物半導体膜121の側面及び上面の一部にも酸化物または窒化物である絶縁領域125が形成される。

#### 【0148】

次に、実施の形態2に示すように、図5(A)及び図5(B)と同様の工程を経て、図5(C)に示すように、ソース電極及びドレイン電極として機能する配線129a、129b、ソース領域及びドレイン領域として機能する一対の不純物半導体膜131a、131b、微結晶半導体領域133a及び一対の非晶質半導体領域133bを有する半導体積層体133、絶縁膜137を形成することで、シングルゲート型の薄膜トランジスタを作製することができる。

#### 【0149】

また、絶縁膜137上にバックゲート電極を形成することで、デュアルゲート型の薄膜トランジスタを作製することができる。

#### 【0150】

本実施の形態に示すシングルゲート型の薄膜トランジスタ及びデュアルゲート型の薄膜トランジスタは、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜でチャンネル領域を形成することが可能である。また、半導体積層体133及び配線129a、129bの間に酸化物または窒化物である絶縁領域を設けることにより、配線129a、129bから半導体積層体133へのホールの注入を抑制することが可能であり、オフ電流が低く、電界効果移動度及びオン電流の高い薄膜トランジスタとなる。このため、薄膜トランジスタの面積を小さくすることが可能であり、半導体装置への高集積化が可能である。また、表示装置の駆動回路に本実施の形態に示す薄膜トランジスタを用いることで、駆動回路の面積を低減できるため、表示装置の狭額縁化が可能である。

#### 【0151】

なお、本実施の形態では、実施の形態 2 を用いて説明したが、適宜他の実施の形態を用いることができる。

#### 【0152】

(実施の形態 4)

本実施の形態では、本発明の一態様である半導体装置に形成される薄膜トランジスタの作製方法について、図 3、図 5、及び図 8 を参照して説明する。図 8 は、図 5 (B) に示す工程に対応する工程である。

#### 【0153】

実施の形態 2 と同様に、図 3 (A) ~ (C) 及び図 5 (A) の工程を経て、導電膜 127 を形成する。

10

#### 【0154】

次に、図 8 に示すように、実施の形態 2 と同様に、配線 129a、129b を形成し、不純物半導体膜 121 及び半導体積層体 117 の一部をエッチングして、ソース領域及びドレイン領域として機能する一対の不純物半導体膜 131a、131b を形成する。また、微結晶半導体領域 143a 及び非晶質半導体領域 143b を有する半導体積層体 143 を形成する。このとき、不純物半導体膜及び非晶質半導体領域のそれぞれ一部をエッチングすることで、配線 129a、129b で覆われる領域では微結晶半導体領域 143a 及び非晶質半導体領域 143b が積層され、配線 129a、129b で覆われず、かつゲート電極と重なる領域においては、微結晶半導体領域 143a が露出せず、非晶質半導体領域 143b が露出する半導体積層体 143 となる。なお、ここでの半導体積層体 117 のエッチング量は図 5 (B) より少ないものとする。

20

#### 【0155】

この後の工程は、実施の形態 2 と同様である。

#### 【0156】

以上の工程によりシングルゲート型の薄膜トランジスタを作製することができる。この薄膜トランジスタは、バックチャネル側が非晶質であるため、図 5 (B) に示す薄膜トランジスタに比べてオフ電流を低減することができる。

#### 【0157】

また、本実施の形態では、図 5 に示す工程の後に、図 5 (C) に示す工程と同様に、絶縁膜 137 を介してバックゲート電極 139 を形成してもよい。

30

#### 【0158】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

#### 【0159】

(実施の形態 5)

薄膜トランジスタを作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、薄膜トランジスタを用いた駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

#### 【0160】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子とその範疇に含んでおり、具体的には無機 EL (Electro Luminescence) 素子、有機 EL 素子等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

40

#### 【0161】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含む IC 等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜

50

を形成した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

#### 【0162】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

10

#### 【0163】

（実施の形態6）

本実施の形態では、半導体装置の一形態である光電変換装置について、説明する。本実施の形態に示す光電変換装置では、半導体膜に実施の形態1に示すような、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用する。表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜が採用される半導体膜としては、光電変換を行う半導体膜や導電型を示す半導体膜などがあるが、特に、光電変換を行う半導体膜に採用することが好適である。または、光電変換を行う半導体膜や導電型を示す半導体膜と、他の膜との界面に、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用することもできる。

20

#### 【0164】

上述のような構成を採用することで、光電変換を行う半導体膜や導電型を示す半導体膜によって生じる抵抗（直列抵抗）を低減し、特性を向上させることができる。また、光電変換を行う半導体膜や導電型を示す半導体膜と、他の膜との界面における光学的・電氣的な損失を抑制し、光電変換効率を向上させることができる。以下、図9を用いて、光電変換装置の作製方法の一形態について説明する。

#### 【0165】

図9（A）に示すように、基板200上に第1の電極202を形成する。

#### 【0166】

基板200としては、実施の形態1に示す基板51を適宜用いることができる。また、プラスチック基板を用いることもできる。プラスチック基板としては、エポキシ樹脂、不飽和ポリエステル樹脂、ポリイミド樹脂、ビスマレイミドトリアジン樹脂、シアネート樹脂等の熱硬化性樹脂を含む基板や、ポリフェニレンオキシド樹脂、ポリエーテルイミド樹脂、フッ素樹脂等の熱可塑性樹脂を含む基板を用いると良い。

30

#### 【0167】

なお、基板200は、テクスチャ構造であってもよい。これにより、光電変換効率を向上させることが可能である。

#### 【0168】

また、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有する基板を採用するが、のちに形成される第2の電極210側（図の上方）から光が入射する構成とする場合には、これに限られない。この場合、シリコンなどの材料を含む半導体基板や、金属材料などを含む導電性基板を用いても良い。

40

#### 【0169】

第1の電極202は、実施の形態2に示すバックゲート電極139に示す透光性を有する導電性材料を用いて形成することができる。第1の電極202は、スパッタリング法、CVD法、真空蒸着法、塗布法、印刷法などを用いて形成する。

#### 【0170】

第1の電極202は、10nm乃至500nm、望ましくは、50nm乃至100nmの厚さで形成する。また、第1の電極202のシート抵抗は、 $20\Omega/\text{sq.}$  乃至  $200\Omega/\text{sq.}$  程度となるように形成する。

50

## 【0171】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有する導電性材料を用いて第1の電極202を形成しているが、のちに形成される第2の電極210側（図の上方）から光が入射する構成とする場合には、これに限られない。このような場合には、アルミニウム、白金、金、銀、銅、チタン、タンタル、タングステンなどの透光性を有しない導電性材料を用いて第1の電極202を形成することができる。特に、アルミニウム、銀、チタン、タンタルなどの光を反射しやすい材料を用いる場合には、光電変換効率を十分に向上させることが可能である。

## 【0172】

基板200と同様、第1の電極202を、テクスチャー構造としてもよい。また、第1の電極202に接するように、低抵抗な導電性材料からなる補助電極を別途形成してもよい。

10

## 【0173】

次に、図9（B）に示すように、第1の電極202上に第1の導電型を示す半導体膜204を形成する。第1の導電型を示す半導体膜204は、代表的には、導電型を付与する不純物元素が添加された半導体材料を含む半導体膜で形成する。半導体材料としては、生産性や価格などの点でシリコンを用いるのが好適である。半導体材料としてシリコンを用いる場合、導電型を付与する不純物元素としては、n型を付与するリン、ヒ素、p型を付与するホウ素、アルミニウム等が採用される。

## 【0174】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成としているため、第1の導電型を示す半導体膜204の導電型（第1の導電型）はp型とすることが望ましい。これは、ホールの寿命が電子の寿命の約半分と短く、結果としてホールの拡散長が短いこと、電子とホールの形成が、光電変換を行う半導体膜206の光が入射する側において多く行われること、などによるものである。このように、第1の導電型をp型とすることにより、ホールが消滅する前に電流として取り出すことが可能であるため、光電変換効率の低下を抑制することができる。なお、上記が問題とならないような状況、例えば、光電変換を行う半導体膜206が十分に薄い場合などにおいては、第1の導電型をn型としても良い。

20

## 【0175】

第1の導電型を示す半導体膜204に用いることができる半導体材料としては、他にも、炭化シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、セレン化亜鉛、窒化ガリウム、シリコンゲルマニウムなどがある。また、有機材料を含む半導体材料や、金属酸化物を含む半導体材料などを用いることも可能である。当該材料については、光電変換を行う半導体膜206との関係で、適宜選択することができる。

30

## 【0176】

第1の導電型を示す半導体膜204の結晶性についての要求は特にないが、第1の導電型を示す半導体膜204に、実施の形態1に示す、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用する場合には、従来の微結晶半導体膜を採用する場合と比較して、直列抵抗を低減し、また、他の膜との界面における光学的・電氣的な損失を抑制することができるため、好適である。もちろん、非晶質、多結晶、単結晶などの他の結晶性の半導体を採用することも可能である。

40

## 【0177】

なお、第1の導電型を示す半導体膜204を、基板200と同様、テクスチャー構造としてもよい。

## 【0178】

第1の導電型を示す半導体膜204は、シリコンを含む堆積性ガス、及びジボランを用いたプラズマCVD法で、形成することができる。また、第1の導電型を示す半導体膜204は、1nm乃至100nm、望ましくは、5nm乃至50nmの厚さとなるように形成する。

50

## 【0179】

また、導電型を付与する不純物元素が添加されていないシリコン膜をプラズマCVD法などによって形成した後、イオン注入などの方法でホウ素を添加して、第1の導電型を示す半導体膜204を形成してもよい。

## 【0180】

次に、図9(C)に示すように、第1の導電型を示す半導体膜204上には、光電変換を行う半導体膜206を形成する。光電変換を行う半導体膜206としては、半導体膜204と同様の半導体材料を用いた半導体膜が適用される。すなわち、半導体材料として、シリコン、炭化シリコン、ゲルマニウム、ガリウムヒ素、リン化インジウム、セレン化亜鉛、窒化ガリウム、シリコンゲルマニウムなどが用いられる。中でも、シリコンを用いるのが好適である。他に、有機材料を含む半導体材料や、金属酸化物半導体材料などを用いることも可能である。

10

## 【0181】

光電変換を行う半導体膜206としては、実施の形態1に示すような、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を適用するのがより好適である。半導体膜に実施の形態1に示すような、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用することにより、従来の微結晶半導体膜を採用する場合と比較して直列抵抗を低減し、また、他の膜との界面における光学的・電氣的な損失を抑制することができる。

## 【0182】

なお、光電変換を行う半導体膜206には十分な光吸収が求められることから、その厚みは、100nm乃至10μm程度とすることが望ましい。

20

## 【0183】

次に、図9(D)に示すように、光電変換を行う半導体膜206上に、第2の導電型を示す半導体膜208を形成する。本実施の形態では、第2の導電型をn型とする。第2の導電型を示す半導体膜208は、導電型を付与する不純物元素としてリンが添加されたシリコンなどの材料を用いて形成することができる。第2の導電型を示す半導体膜208に用いることができる半導体材料は、第1の導電型を示す半導体膜204と同様である。

## 【0184】

第2の導電型を示す半導体膜208は、第1の導電型を示す半導体膜204と同様に形成することができる。例えば、シリコンを含む堆積性ガス、及びホスフィンを用いたプラズマCVD法で、形成することができる。第2の導電型を示す半導体膜208についても、実施の形態1に示す、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を採用するのが好適である。

30

## 【0185】

なお、本実施の形態では、光が基板200の裏面側(図の下方)から入射する構成としているため、第2の導電型を示す半導体膜208の導電型をn型としているが、開示する発明の一形態はこれに限定されない。第1の導電型を示す半導体膜204をn型とする場合には、第2の導電型を示す半導体膜208がp型となる。

## 【0186】

次に、図9(E)に示すように、第2の導電型を示す半導体膜208上に第2の電極210を形成する。第2の電極210は、金属などの導電性材料を用いて形成する。例えば、アルミニウム、銀、チタン、タンタルなどの光を反射しやすい材料を用いて形成することができる。この場合、半導体膜206において吸収しきれなかった光を再度、半導体膜206に入射させることができ、光電変換効率を向上させることが可能であるため、好適である。

40

## 【0187】

第2の電極210の形成方法としては、スパッタリング法、真空蒸着法、CVD法、塗布法、印刷法などがある。また、第2の電極210は、10nm乃至500nm、望ましくは、50nm乃至100nmの厚さで形成する。

50

## 【0188】

なお、本実施の形態では、光が基板200の裏面側（図の下方）から入射する構成とするため、透光性を有しない材料を用いて第2の電極210を形成しているが、第2の電極210の構成はこれに限られない。例えば、第2の電極210側（図の上方）から光が入射する構成とする場合には、第2の電極210は、第1の電極202に示す透光性を有する導電性材料を用いて形成することができる。

## 【0189】

なお、第2の電極210に接するように、低抵抗な導電性材料からなる補助電極を形成しても良い。

## 【0190】

上述の方法で、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を、光電変換を行う半導体膜、第1の導電型を示す半導体膜、第2の導電型を示す半導体膜のいずれかに用いた光電変換装置を作製することができる。そして、これにより、光電変換装置の変換効率を高めることができる。なお、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜は、光電変換を行う半導体膜、第1の導電型を示す半導体膜、第2の導電型を示す半導体膜、のいずれかに用いられていれば良く、そのいずれに用いるかは適宜変更が可能である。また、上記半導体膜の複数に、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を用いる場合には、より効果的である。

## 【0191】

なお、本実施の形態では、一つのユニットセルを有する光電変換装置を示したが、適宜二つ以上のユニットセルを積層した、光電変換装置とすることができる。

## 【0192】

本実施の形態は、他の実施の形態と適宜組み合わせて用いることができる。

## 【0193】

（実施の形態7）

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、デジタルサイネージ、PID（Public Information Display）、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図10に示す。

## 【0194】

図10は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

## 【0195】

筐体2701には表示部2705及び光電変換装置2706が組み込まれ、筐体2703には表示部2707及び光電変換装置2708が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図10では表示部2705）に文章を表示し、左側の表示部（図10では表示部2707）に画像を表示することができる。

## 【0196】

また、図10では、筐体2701に操作部などを備えた例を示している。例えば、筐体2

10

20

30

40

50

701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

#### 【0197】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

10

#### 【実施例1】

#### 【0198】

本実施例では、実施の形態1で説明した、第1の条件を用いて種結晶を形成した後、第2の条件を用いて第1の微結晶半導体膜を形成し、第3の条件を用いて第2の微結晶半導体膜を形成し、更に第4の条件を用いて第3の微結晶半導体膜を形成するという4段階で微結晶半導体膜を形成することで、表面が平坦であり、混相粒の隙間を低減することで結晶性を高めた微結晶半導体膜を形成できることを説明する。

#### 【0199】

はじめに、実施の形態1に示す方法を用いた微結晶半導体膜の作製方法について説明する。

20

#### 【0200】

ガラス基板（コーニング製EAGLE XG）上に絶縁膜として厚さ300nmの窒化シリコン膜を形成し、この窒化シリコン膜を水素及び酸素の混合気体で発生されたプラズマに曝した。次に、その上に、厚さ5nmの種結晶をプラズマCVD法にて形成した後、窒化シリコン膜および種結晶の上に、厚さ15nmの第1の微結晶半導体膜をプラズマCVD法にて形成し、第1の微結晶半導体膜上に厚さ30nmの第2の微結晶半導体膜をプラズマCVD法により形成し、第2の微結晶半導体膜上に厚さ20nmの第3の微結晶半導体膜をプラズマCVD法により形成した。

#### 【0201】

30

窒化シリコン膜の堆積は、シランの流量を15sccm、水素の流量を200sccm、窒素の流量を180sccm、アンモニアの流量を500sccmとして原料ガスを導入して安定させ、処理室内の圧力を100Pa、RF電源周波数を13.56MHz、RF電源の電力を200Wとしてプラズマ放電を行った。なお、窒化シリコン膜の堆積は、平行平板型のプラズマCVD装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔（ギャップ）を26mmとした。

#### 【0202】

窒化シリコン膜へのプラズマ処理は、水素及び酸素の流量をそれぞれ800sccm、200sccmとして処理室内に導入し、処理室内の圧力を1250Paとして安定させ、電力を900Wとして3分間のプラズマ放電を行った。なお、上記プラズマ処理は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔を15mmとした。

40

#### 【0203】

種結晶の堆積は、シランの流量を3sccm、水素の流量を750sccm、アルゴンの流量を750sccmとして原料ガスを導入して安定させ、処理室内の圧力を1250Pa、RF電源周波数を13.56MHz、RF電源の電力を100Wとしてプラズマ放電を行った。なお、種結晶の堆積は、平行平板型のプラズマCVD装置を用いて行い、下部電極の温度を300℃とし、上部電極と下部電極との間隔を7mmとした。当該条件を第1の条件とする。

#### 【0204】

50

第1の微結晶半導体膜の堆積は、シランの流量を1 s c c m、水素の流量を3 0 0 0 s c c mとして原料ガスを導入して安定させ、処理室内の圧力を1 0 0 0 0 P a、R F電源周波数を1 3 . 5 6 M H z、R F電源の電力を3 0 0 Wとしてプラズマ放電を行った。なお、第1の微結晶半導体膜の堆積は、平行平板型のプラズマC V D装置を用いて行い、下部電極の温度を3 0 0 °Cとし、上部電極と下部電極との間隔を7 m mとした。当該条件を第2の条件とする。

#### 【0205】

第2の微結晶半導体膜の堆積は、シランの流量、R F電源の電力以外の条件は第1の微結晶半導体膜の成膜条件と同様である。流量1 s c c mのシランを1 0秒流す第1の周期と、流量0 . 1 s c c mのシランを6 0秒流す第2の周期を繰り返す条件を用いた。また、R F電源の電力を7 0 0 Wとした。当該条件を第3の条件とする。

10

#### 【0206】

第3の微結晶半導体膜の堆積は、シランの流量、R F電源の電力以外の条件は第1の微結晶半導体膜の成膜条件と同様である。シランの流量を2 s c c mとし、また、R F電源の電力を7 0 0 Wとした。当該条件を第4の条件とする。

#### 【0207】

以上の条件により形成した微結晶半導体膜を試料1とする。

#### 【0208】

また、比較例1として、試料1の第1の条件及び第2の条件を用いて、試料2を形成した。具体的には、ガラス基板（コーニング製E A G L E X G）上に絶縁膜として厚さ3 0 0 n mの窒化シリコン膜を形成し、この窒化シリコン膜を水素及び酸素の混合気体で発生されたプラズマに曝した。次に、その上に、第1の条件を用いて厚さ5 n mの種結晶をプラズマC V D法にて形成した後、窒化シリコン膜および種結晶の上に、第2の条件を用いて厚さ6 5 n mの第1の微結晶半導体膜をプラズマC V D法にて形成した。

20

#### 【0209】

また、比較例2として、試料1の第1の条件、第2の条件、及び第3の条件を用いて、試料3を形成した。具体的には、ガラス基板（コーニング製E A G L E X G）上に絶縁膜として厚さ3 0 0 n mの窒化シリコン膜を形成し、この窒化シリコン膜を水素及び酸素の混合気体で発生されたプラズマに曝した。次に、その上に、第1の条件を用いて厚さ5 n mの種結晶をプラズマC V D法にて形成した後、窒化シリコン膜および種結晶の上に、第2の条件を用いて厚さ1 5 n mの第1の微結晶半導体膜をプラズマC V D法にて形成し、第1の微結晶半導体膜上に厚さ5 0 n mの第2の微結晶半導体膜をプラズマC V D法により形成した。

30

#### 【0210】

次に、微結晶半導体膜の結晶性についてラマン分光分析を行った。それぞれの微結晶半導体膜の3ポイントの結晶／非晶質ピーク強度比（ $I_c / I_a$ ）、及びラマンスペクトルの $520\text{ cm}^{-1}$ におけるピークの半値全幅（FWHM）の平均値を表1に示す。

#### 【0211】

#### 【表1】

|             | 試料1  | 試料2  | 試料3  |
|-------------|------|------|------|
| $I_c / I_a$ | 19.1 | 15.9 | 21.7 |
| FWHM        | 9.6  | 11.0 | 9.2  |

40

#### 【0212】

表1より、第3の条件を用いることで、試料1及び試料3に示すように、微結晶半導体膜の $I_c / I_a$ が上昇すると共に、FWHMの値が小さくなる。また、試料3と比較して、試料1の $I_c / I_a$ が若干低下すると共に、FWHMの値が若干小さくなる。これらのことから、第3の条件を用いることで、微結晶半導体膜の結晶性が高まるものの、第4の条

50

件を用いることで、若干微結晶半導体膜の結晶性が低下することが分かる。

【0213】

次に、試料1乃至試料3に示す微結晶半導体膜の平坦性について、図11を用いて説明する。

【0214】

次に、試料1乃至試料3の平均面粗さと最大高低差をAFM (Atomic Force Microscopy) で測定した。図11は、AFMの測定結果を表すグラフであり、左y軸及び棒グラフで $5\mu\text{m}^2$ における平均面粗さを示し、右y軸及び四角印で $5\mu\text{m}^2$ における最大高低差を示す。図11より試料3と比較して、試料1の方が平均面粗さ及び最大高低差が小さい。

10

【0215】

表1及び図11より、第1の条件乃至第4の条件を用いて形成する微結晶半導体膜は、平坦性を有し、且つ結晶性が高いことが分かる。

【0216】

次に、試料1と同様の条件を用いて形成した微結晶半導体膜を有するデュアルゲート型薄膜トランジスタ (TF T 1) と、試料3と同様の条件を用いて形成した微結晶半導体膜を有するデュアルゲート型薄膜トランジスタ (TF T 2) の電気特性について、図3、図5、図12、及び図13を用いて説明する。

【0217】

はじめに、本実施例の薄膜トランジスタの作製方法について、図3および図5を参照して説明する。本実施例ではデュアルゲート型の薄膜トランジスタを作製する。

20

【0218】

まず、基板101上に下地絶縁膜（ここでは図示しない。）を形成し、下地絶縁膜上にゲート電極103を形成した。

【0219】

ここでは、基板101として、ガラス基板（コーニング製EAGLE XG）を用いた。

【0220】

ゲート電極103は、アルミニウム層をチタン層により挟持した構造とした。具体的には、まず、チタンターゲットをアルゴンイオンでスパッタリングして、厚さ50nmの第1のチタン膜を下地絶縁膜上に形成した。このとき、導入するアルゴンの流量は20sccmとし、処理室内の圧力は0.1Pa、印加電圧は12kW、温度は室温とした。そして、その上にアルミニウムターゲットをアルゴンイオンでスパッタリングして、厚さ100nmのアルミニウム膜を形成した。このとき、導入するアルゴンの流量は50sccmとし、処理室内の圧力は0.4Pa、印加電圧は4kW、温度は室温とした。そして、その上にチタンターゲットをアルゴンイオンでスパッタリングして、厚さ50nmの第2のチタン膜を形成した。第2のチタン膜は第1のチタン膜と同様の方法で形成した。つまり、導入するアルゴンの流量は20sccmとし、処理室内の圧力は0.1Pa、印加電圧は12kW、温度は室温とした。

30

【0221】

次に、第2のチタン膜上にレジストを塗布し、第1のフォトマスクを用いて露光した後、現像してレジストで形成されたマスクを形成した。

40

【0222】

次に、当該レジストで形成されるマスクを用いてエッチング処理を行って、ゲート電極103を形成した。ここでは、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) 装置を用いて2段階のエッチングを行った。すなわち、ICPパワー600W、バイアスパワー250W、エッチングガスとして三塩化ホウ素を流量60sccmで導入し、塩素を流量20sccmで導入して、処理室内の圧力を1.2Paとし、第1のエッチングを行った後、ICPパワー500W、バイアスパワー50W、圧力2.0Pa、エッチングガスとして四フッ化炭素を流量80sccmで導入して処理室内の圧力を2.0Paとし、第2のエッチングを行った。その後、該レジストで形成

50

されたマスクを除去した。

【0223】

次に、ゲート電極103及び下地絶縁膜上に、ゲート絶縁膜105を形成した後、ゲート絶縁膜105にプラズマ処理を行った。

【0224】

本実施例では、ゲート絶縁膜105として、厚さ300nmの窒化シリコン膜をプラズマCVD法によって堆積させて形成した後、プラズマ処理を行った。窒化シリコン膜の堆積は、シランの流量を15sccm、水素の流量を200sccm、窒素の流量を180sccm、アンモニアの流量を500sccmとして原料ガスを導入して安定させ、処理室内の圧力を100Pa、RF電源周波数を13.56MHz、RF電源の電力を200Wとしてプラズマ放電を行った。なお、ゲート絶縁膜105の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔を30mmとした。

10

【0225】

形成した窒化シリコン膜へのプラズマ処理は、水素の流量を800sccm、酸素の流量を200sccmとして処理室内に導入し、処理室内の圧力を1250Paとして安定させ、電力を900Wとして3分間のプラズマ放電を行った。なお、上記プラズマ処理は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔を15mmとした。

【0226】

20

次に、TFT1においては、ゲート絶縁膜105上に、第1の条件により厚さ5nmの種結晶107をプラズマCVD法を用いて形成した後、第2の条件を用いて厚さ15nmの第1の微結晶半導体膜108をプラズマCVD法を用いて形成し、第3の条件を用いて厚さ30nmの第2の微結晶半導体膜109をプラズマCVD法を用いて形成し、更に第4の条件を用いて厚さ20nmの第3の微結晶半導体膜110をプラズマCVD法を用いて形成した。

【0227】

また、TFT2においては、ゲート絶縁膜105上に、第1の条件により厚さ5nmの種結晶107をプラズマCVD法を用いて形成した後、第2の条件を用いて厚さ15nmの第1の微結晶半導体膜108をプラズマCVD法を用いて形成し、第3の条件を用いて厚さ50nmの第2の微結晶半導体膜109をプラズマCVD法を用いて形成した。

30

【0228】

ここまでの工程で得られた構成を図3(A)に示す。

【0229】

次に、第3の微結晶半導体膜110または第2の微結晶半導体膜109上に厚さ80nmの半導体膜111を形成し、半導体膜111上に厚さ50nmの不純物半導体膜113を形成した。半導体膜111及び不純物半導体膜113は、プラズマCVD法を用いて形成した。

【0230】

半導体膜111の堆積は、シランの流量を25sccm、1000ppmアンモニア（水素希釈）の流量を100sccm、水素の流量を650sccm、アルゴンの流量を750sccmとして材料ガスを導入して安定させ、処理室内の圧力を1250Paとし、RF電源周波数を13.56MHz、RF電源の電力を150Wとしてプラズマ放電を行った。なお、半導体膜111の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔を15mmとした。

40

【0231】

不純物半導体膜113としては、リンが添加されたアモルファスシリコン膜を形成した。不純物半導体膜113の堆積は、シランの流量を82sccm、5%ホスフィン（シラン希釈）の流量を18sccm、水素の流量を1400sccmとして材料ガスを導入して

50

安定させ、処理室内の圧力を1050 Pa、RF電源周波数を13.56 MHz、RF電源の電力を60 W（10 kHzでデューティ比30%のパルス放電）としてプラズマ放電を行った。なお、不純物半導体膜の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を200℃、下部電極温度を300℃とし、上部電極と下部電極との間隔を15 mmとした。

【0232】

次に、不純物半導体膜113上にレジストを塗布した後、第2のフォトリソマスクを用いて露光し、現像してレジストで形成されたマスク115を形成した。ここまでの工程で得られた構成を図3（B）に示す。

【0233】

次に、レジストで形成されたマスク115を用いてエッチング処理を行い、微結晶半導体領域117a及び非晶質半導体領域117bを有する半導体積層体117、及び不純物半導体膜121を形成した。

【0234】

エッチングを行うにあたり、本実施例では、ICP装置を用いて、ICPパワー450 W、バイアスパワー100 W、エッチングガスとして三塩化ホウ素を流量36 sccm、四フッ化炭素を36 sccm、酸素を8 sccmで導入し、処理室内の圧力を2 Paとしてエッチングを行った。

【0235】

その後、酸素プラズマ処理を行い、微結晶半導体領域117a及び非晶質半導体領域117bを有する半導体積層体117及び不純物半導体膜121の側壁に酸化膜を形成した後、レジストで形成されたマスク115を除去した（図示せず。）。

【0236】

酸素プラズマ処理は、酸素の流量を100 sccmとして導入して処理室内の圧力を0.67 Paとして安定させ、基板温度を-10℃とし、ICPパワーを2000 W、バイアスパワーを350 Wでプラズマ放電を行った。

【0237】

ここまでの工程で得られた構成を図3（C）に示す。

【0238】

次に、ゲート絶縁膜105、半導体積層体117および不純物半導体膜121を覆って導電膜127を形成した。本工程で得られた構成を図5（A）に示す。

【0239】

本実施例では、導電膜127は、厚さ300 nmのチタン膜を、ゲート電極103で形成したチタン膜と同様の条件を用いて形成した。

【0240】

次に、導電膜127上にレジストを塗布した後、第3のフォトリソマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて導電膜127、不純物半導体膜121、及び半導体積層体117の一部をドライエッチングして、配線129a及び配線129b、一対の不純物半導体膜131a、131bを形成した。

【0241】

本工程では、ICP装置を用いて、ICPパワー450 W、バイアスパワー100 W、エッチングガスとして三塩化ホウ素を流量60 sccmで導入し、塩素を20 sccmで導入し、処理室内の圧力を1.9 Paとしてエッチングを行った。

【0242】

次に、レジストで形成されたマスクを除去した後、一部エッチングされた半導体積層体117をさらにエッチングし、微結晶半導体領域133a及び一対の非晶質半導体領域133bを有する半導体積層体133を形成した。

【0243】

本工程は、ICPパワー500 W、バイアスパワー50 W、エッチングガスとして臭化水

10

20

30

40

50

素を流量 125 sccm、フッ化硫黄の流量 10 sccm、及び酸素の流量 5 sccm を導入し、処理室内の圧力を 1.7 Pa としてエッチングを行った。

【0244】

なお、半導体積層体 117 の表面から 100 nm をエッチングした。なお、本実施例では、ソース電極及びドレイン電極として機能する配線 129a、129b 平面形状は、直線型である。

【0245】

次に、半導体積層体 133 の表面を水プラズマ処理し、半導体積層体 133 表面に残留する不純物を除去した。本工程では、パワー 1800 W として水蒸気を流量 300 sccm で導入し、処理室内の圧力を 66.5 Pa として水プラズマ処理を行った。

10

【0246】

ここまでの工程で得られた構成を図 5 (B) に示す。

【0247】

次に、絶縁膜 137 として、厚さ 300 nm の窒化シリコン膜を形成した。絶縁膜 137 の堆積は、シランの流量を 20 sccm、アンモニアの流量を 220 sccm、窒素の流量を 450 sccm、水素の流量を 450 sccm として材料ガスを導入し、処理室内の圧力を 160 Pa、RF 電源周波数を 27 MHz、RF 電源の電力を 200 W としてプラズマ放電を行った。なお、絶縁膜 137 の堆積は、平行平板型のプラズマ処理装置を用いて行い、上部電極温度を 250 °C、下部電極温度を 290 °C とし、上部電極と下部電極との間隔を 21 mm とした。

20

【0248】

次に、絶縁膜 137 上にレジストを塗布した後、第 4 のフォトマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて絶縁膜の一部をドライエッチングして、ソース電極及びドレイン電極として機能する配線 129a、129b を露出させた。また、絶縁膜 137 及びゲート絶縁膜 105 の一部をドライエッチングして、ゲート電極 103 を露出した。その後、レジストで形成されたマスクを除去した。

【0249】

次に、絶縁膜 137 上に導電膜を形成した後、該導電膜上にレジストを塗布し、第 5 のフォトマスクを用いて露光し、現像してレジストで形成されたマスクを形成した。当該レジストで形成されたマスクを用いて導電膜の一部をウェットエッチングして、配線 129a に接続する導電膜、配線 129b に接続する導電膜、及びゲート電極 103 に接続するバックゲート電極 139 を形成した。なお、上記導電膜は、薄膜トランジスタの電気特性を測定する際のパッドとして機能する。

30

【0250】

ここでは、導電膜として、スパッタリング法により厚さ 50 nm のインジウム錫酸化物を形成した後、ウェットエッチング処理によりバックゲート電極 139 を形成した。なお、ここでは図示しないが、バックゲート電極 139 は、ゲート電極 103 と接続されている。その後、レジストで形成されたマスクを除去した。

【0251】

以上の工程により、デュアルゲート型薄膜トランジスタを作製した (図 5 (C) 参照。)

40

【0252】

図 12 に、本実施例で作製した TFT1 及び TFT2 の電気特性を測定した結果を示す。

【0253】

図 12 (A) は、試料 1 と同様の条件を用いて形成した微結晶半導体膜を有するデュアルゲート型の薄膜トランジスタ (TFT1) の電気特性であり、図 12 (B) は、試料 3 と同様の条件を用いて形成した微結晶半導体膜を有するデュアルゲート型の薄膜トランジスタ (TFT2) の電気特性である。

【0254】

50

薄膜トランジスタ（TFT1及びTFT2）には、ゲート電極103及びバックゲート電極139に同じ電圧を印加した。なお、本実施例の薄膜トランジスタの配線129a、129bの対向間隔（チャンネル長）を $3.2\mu\text{m}$ 、配線129a、129bの対向幅（チャンネル幅）を $19.9\mu\text{m}$ 、チャンネル幅方向における半導体積層体133の幅を $22.2\mu\text{m}$ とした。また、ゲート絶縁膜105の厚さを $300\text{nm}$ 、平均誘電率を $6.85$ とし、ドレイン電圧が $10\text{V}$ のときの電界効果移動度を計算した。

#### 【0255】

また、ドレイン電圧が $10\text{V}$ で、ゲート電極103の電圧が $15\text{V}$ のときのオン電流（ $I_{\text{on}}$ と示す。）、最小オフ電流（ $I_{\text{off}}(\text{min.})$ と示す。）、最小オフ電流のゲート電圧 $-10\text{V}$ のときのオフ電流（ $I_{\text{off}}$ と示す。）、最小オフ電流に対するオン電流の比（ $I_{\text{on}}/I_{\text{off}}(\text{min.})$ と示す。）、しきい値電圧（ $V_{\text{th}}$ と示す。）、S値（S-valueと示す。）、ドレイン電圧が $10\text{V}$ のときの電界効果移動度（ $\mu\text{FE}_{\text{sat.}}$ と示す。）を表2に示す。

#### 【0256】

#### 【表2】

|                                                          | TFT1          | TFT2          |
|----------------------------------------------------------|---------------|---------------|
| $I_{\text{on}}$ [ $\mu\text{A}$ ]                        | 26.87         | 25.81         |
| $I_{\text{off}}(\text{min.})$ [ $\text{pA}$ ]            | 0.46          | 0.58          |
| $I_{\text{off}}$ [ $\text{pA}$ ]                         | 6.68          | 10.26         |
| $I_{\text{on}}/I_{\text{off}}(\text{min.})$ [桁]          | 7.76          | 7.65          |
| $V_{\text{th}}$ [V]                                      | $1.02\pm0.27$ | $1.04\pm0.54$ |
| S-value [ $\text{V}/\text{dec.}$ ]                       | 0.47          | 0.41          |
| $\mu\text{FE}_{\text{sat.}}$ [ $\text{cm}^2/\text{Vs}$ ] | 2.91          | 2.60          |

#### 【0257】

また、16個のTFT1が一つの基板上に形成された2枚の基板と、16個のTFT2が一つの基板上に形成された2枚の基板、それぞれの薄膜トランジスタのドレイン電圧が $10\text{V}$ のときの電界効果移動度（ $\mu\text{FE}_{\text{sat.}}$ ）を図13（A）に示す。また、同様の基板の薄膜トランジスタの最小オフ電流（ $I_{\text{off}}(\text{min.})$ ）、最小オフ電流のゲート電圧 $-10\text{V}$ のときのオフ電流（ $I_{\text{off}}$ ）を図13（B）に示す。図13（B）において、 $I_{\text{off}}$ を三角印で示し、 $I_{\text{off}}(\text{min.})$ を丸印で示す。また、各基板の $\mu\text{FE}$ 、 $I_{\text{off}}$ 、 $I_{\text{off}}_{\text{min}}$ の平均値をそれぞれ、グラフ内に記した。

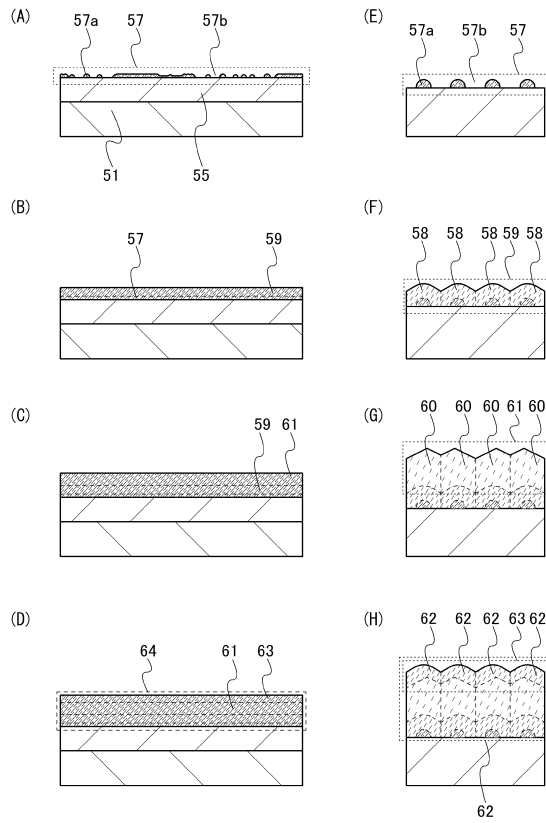
#### 【0258】

図13（A）より、第1の条件乃至第4の条件を用いて形成した微結晶半導体膜を有する薄膜トランジスタ（TFT1）は、第1の条件乃至第3の条件を用いて形成した微結晶半導体膜を有する薄膜トランジスタ（TFT2）より更に、電界効果移動度が高いことが分かる。

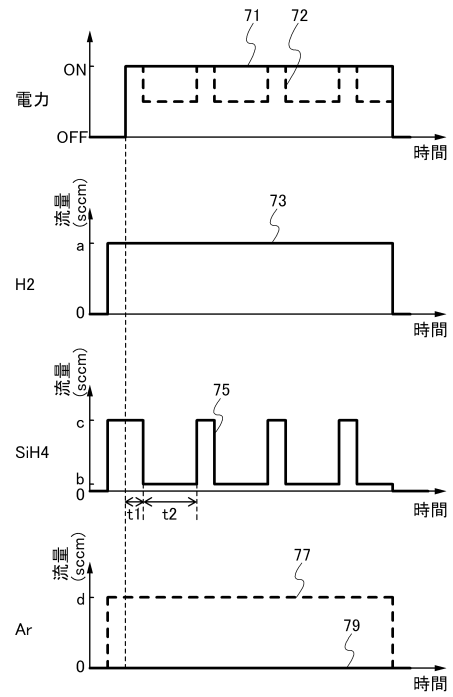
#### 【0259】

また、図13（B）より、第1の条件乃至第4の条件を用いて形成した微結晶半導体膜を有する薄膜トランジスタ（TFT1）は、第1の条件乃至第3の条件を用いて形成した微結晶半導体膜を有する薄膜トランジスタ（TFT2）より更に、最小オフ電流及びオフ電流が低いことが分かる。

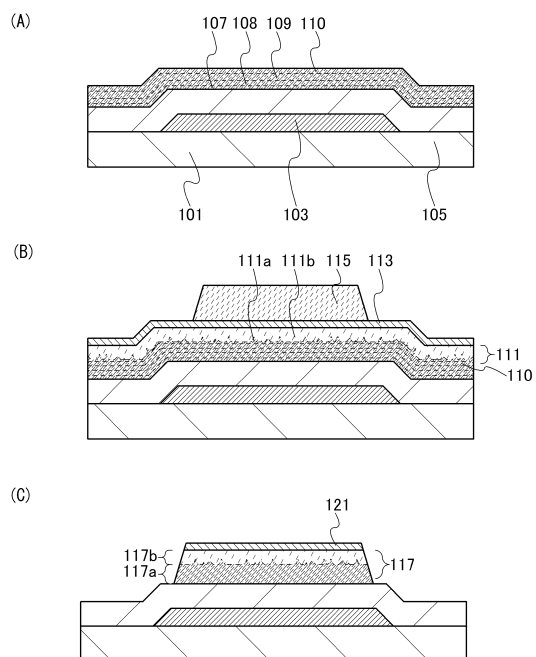
【図 1】



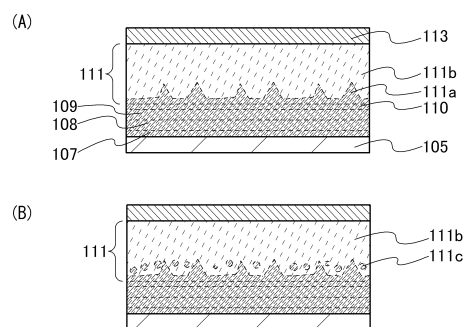
【図 2】



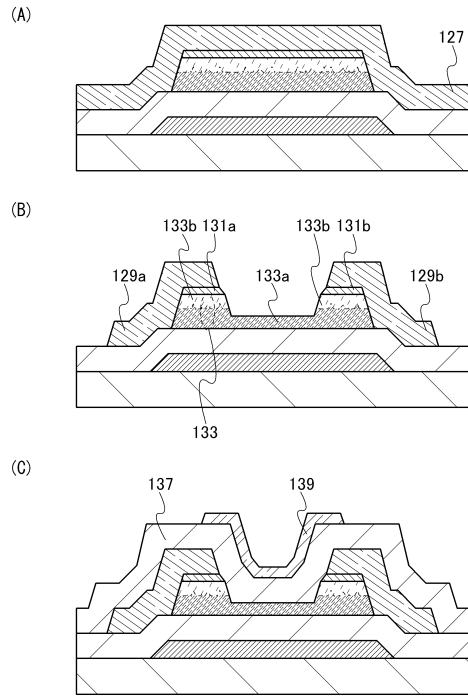
【図 3】



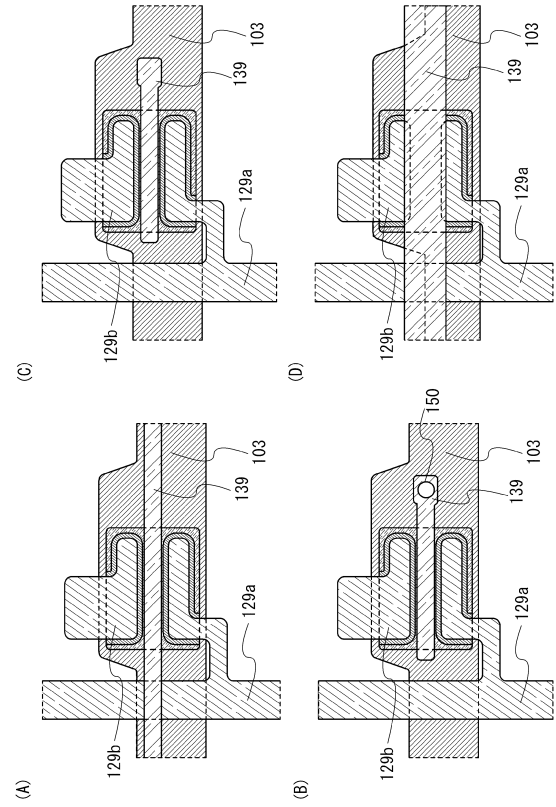
【図 4】



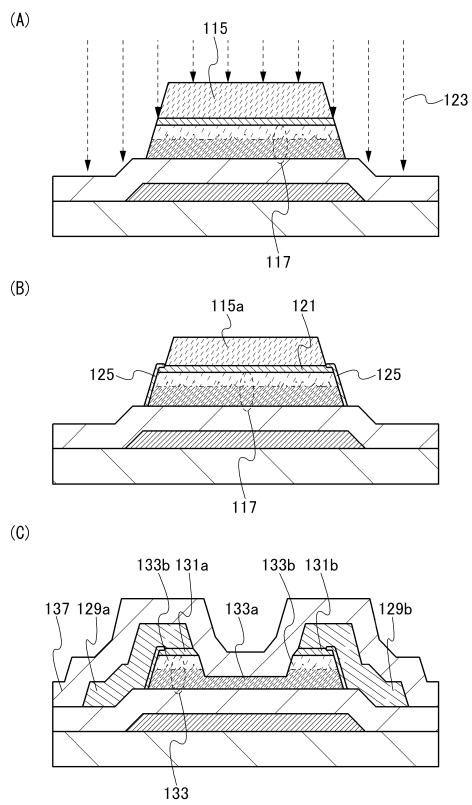
【図 5】



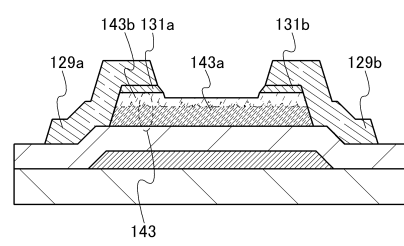
【図 6】



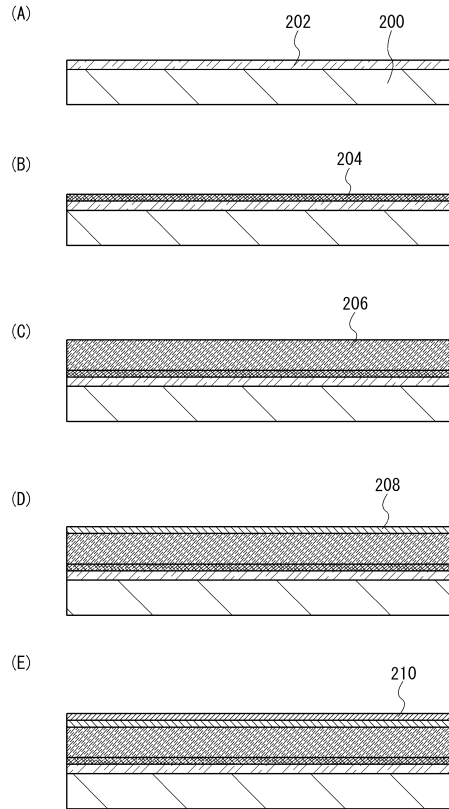
【図 7】



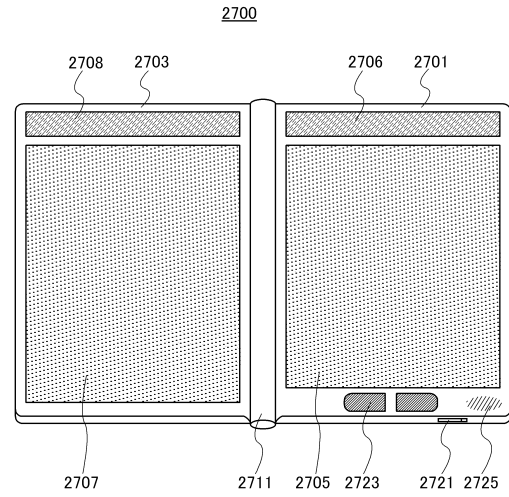
【図 8】



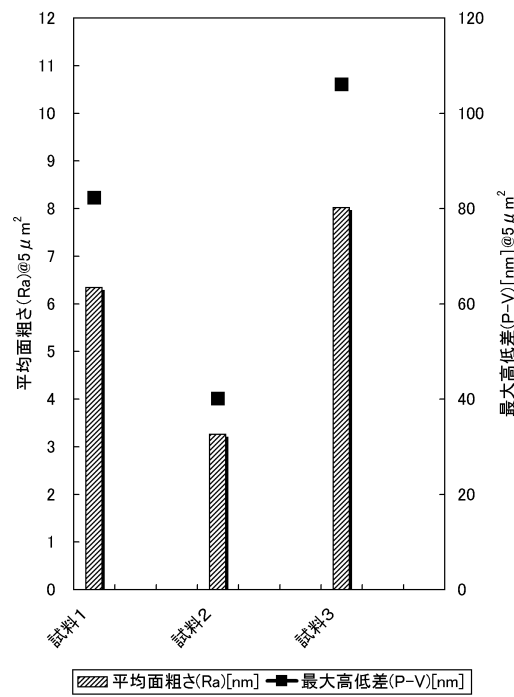
【図 9】



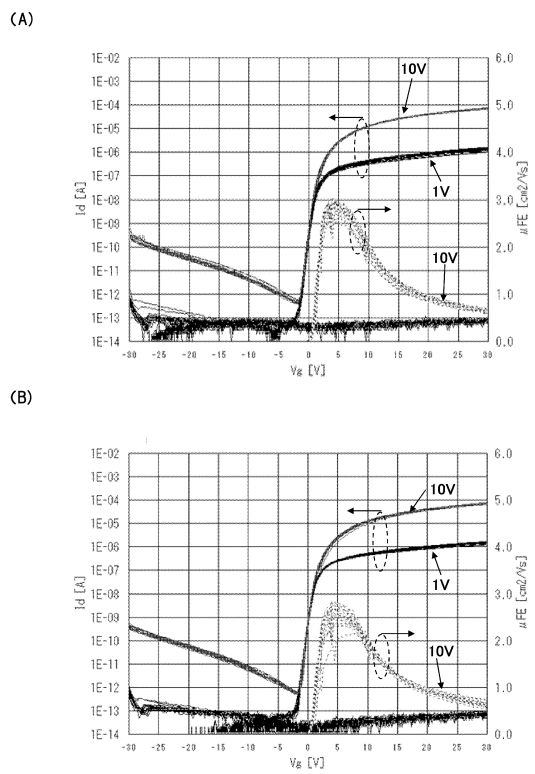
【図 10】



【図 11】

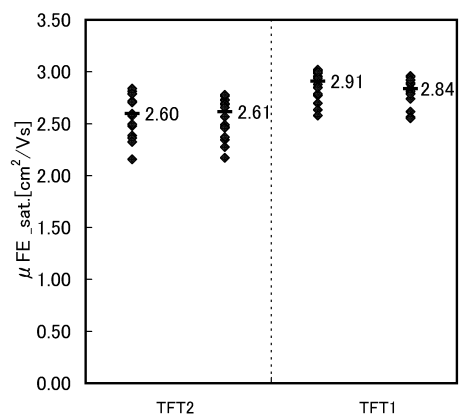


【図 12】

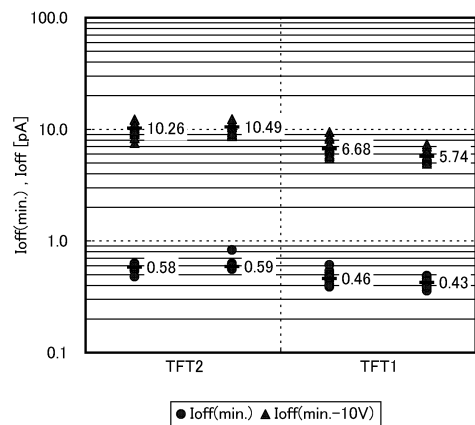


【図 13】

(A)



(B)



---

フロントページの続き

(51)Int.Cl. F I  
G 0 2 F 1/1368 (2006.01) C 0 1 B 33/02 D  
C 2 3 C 16/24  
G 0 2 F 1/1368

(56)参考文献 特開 2 0 1 0 - 1 8 6 9 8 8 (J P, A)  
特開 2 0 1 1 - 0 4 4 7 0 4 (J P, A)  
特表平 0 9 - 5 1 2 6 6 7 (J P, A)  
特開 2 0 1 0 - 1 4 1 3 0 6 (J P, A)  
特表 2 0 1 1 - 5 1 2 0 3 2 (J P, A)  
国際公開第 2 0 0 9 / 1 5 7 5 3 1 (W O, A 1)  
特開平 0 4 - 2 6 6 0 1 9 (J P, A)  
米国特許出願公開第 2 0 1 1 / 0 0 2 0 9 8 9 (U S, A 1)  
米国特許出願公開第 2 0 1 0 / 0 1 2 4 8 0 4 (U S, A 1)  
米国特許出願公開第 2 0 0 9 / 0 2 0 0 5 5 1 (U S, A 1)

(58)調査した分野(Int.Cl., DB名)  
H 0 1 L 2 1 / 2 0 5 - 2 1 / 3 1、2 1 / 3 3 6、2 1 / 3 6 5、  
2 1 / 4 6 9、2 1 / 8 6、2 9 / 7 8 6