

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 9 月 12 日(12.09.2014)



(10) 国際公開番号
WO 2014/136596 A1

- (51) 国際特許分類:
H01P 1/36 (2006.01)
- (21) 国際出願番号: PCT/JP2014/054288
- (22) 国際出願日: 2014 年 2 月 24 日(24.02.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-046077 2013 年 3 月 8 日(08.03.2013) JP
特願 2013-220182 2013 年 10 月 23 日(23.10.2013) JP
- (71) 出願人: 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 Kyoto (JP).
- (72) 発明者: 和田 貴也(WADA Takaya); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP). 山田 良樹(YAMADA Yoshiki); 〒6178555 京都府長岡京市東神足 1 丁目 1 〇 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 特許業務法人プロフィック特許事務所 (PROFIC PC); 〒5410054 大阪府大阪市中央区南本町 4 丁目 2 番 2 1 号 イヨビルディング Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

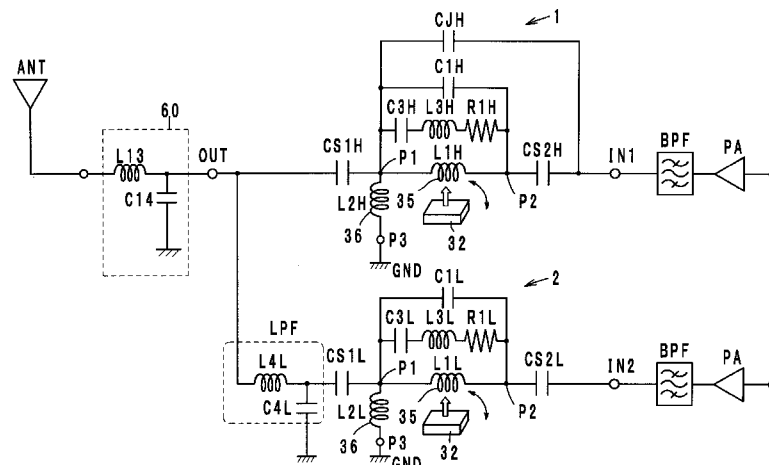
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: IRREVERSIBLE CIRCUIT ELEMENT AND MODULE

(54) 発明の名称: 非可逆回路素子及びモジュール

図 1



(57) Abstract: An irreversible circuit element, wherein operation in a plurality of frequency bands is possible and low-input impedance is achieved. An irreversible circuit element is provided with a first and second high-pass isolator (1, 2) provided with a first and second center electrode (35, 36) disposed intersecting in a mutually insulated state on a ferrite (32) to which a direct-current magnetic field is applied using a permanent magnet. One end of the first center electrode (35) is used as an output port (P1), and the other end is used as an input port (P2), and one end of the second center electrode (36) is used as an output port (P1) and the other end is used as a ground port (P3). The pass frequency band of the first isolator (1) is higher than the pass frequency band of the second isolator (2). The output of both of the isolators (1, 2) is electrically connected and used as a single output terminal (OUT), and a low-pass filter (LPF) is inserted between the output terminal (OUT) and the output port (P1) of the second isolator (2).

(57) 要約:

[続葉有]

WO 2014/136596 A1



非可逆回路素子において、複数の周波数帯域で動作が可能であり、低入力インピーダンスを実現すること。永久磁石により直流磁界が印加されるフェライト（３２）に互いに絶縁状態で交差して配置された第１及び第２中心電極（３５，３６）を設けたハイパスタイプの第１及び第２アイソレータ（１，２）を備えた非可逆回路素子。第１中心電極（３５）の一端を出力ポート（Ｐ１）とし他端を入力ポート（Ｐ２）とし、第２中心電極（３６）の一端を出力ポート（Ｐ１）とし他端をグランドポート（Ｐ３）としている。第１アイソレータ（１）の通過周波数帯域は第２アイソレータ（２）の通過周波数帯域よりも高い。アイソレータ（１，２）の互いの出力部が電氣的に接続されて一つの出力端子ＯＵＴとされ、出力端子ＯＵＴと第２アイソレータ（２）の出力ポート（Ｐ１）との間にローパスフィルタＬＰＦが挿入されている。

明 細 書

発明の名称： 非可逆回路素子及びモジュール

技術分野

[0001] 本発明は、非可逆回路素子、特に、マイクロ波帯で使用されるアイソレータやサーキュレータなどの非可逆回路素子、及び、該非可逆回路素子を備えたモジュールに関する。

背景技術

[0002] 従来、アイソレータやサーキュレータなどの非可逆回路素子は、予め定められた特定方向にのみ信号を伝送し、逆方向には伝送しない特性を有している。この特性を利用して、例えば、アイソレータは、携帯電話などの移動体通信機器の送信回路部に使用されている。

[0003] ところで、近年では、1台の携帯電話で複数の周波数帯域での通信が可能となっている。これに対応するため、特許文献1では、二つの送信系の出力部をダイプレクサを介してアンテナに接続したデュアル・モード・デジタル・システム用電力増幅モジュールを提案している。

[0004] しかしながら、前記モジュールでは、複数の周波数帯域に対応するためダイプレクサの他にダイプレクサとアンテナとの間にインピーダンス整合のためのチューナーが必要となり、部品点数やコストが増加してしまう。また、アンテナ側の負荷変動（インピーダンス変動）が送信回路に直接的に影響するという問題点も有している。

先行技術文献

特許文献

[0005] 特許文献1：特表2002-517930号公報

発明の概要

発明が解決しようとする課題

[0006] 本発明の目的は、複数の周波数帯域で動作が可能であり、送信回路の部品点数やコストの低減を図り、アンテナ側の負荷変動を抑制できる非可逆回路

素子及びモジュールを提供することにある。

課題を解決するための手段

[0007] 本発明の第1の形態である非可逆回路素子は、

永久磁石により直流磁界が印加されるフェライトに互いに絶縁状態で交差して配置された第1及び第2中心電極を設け、前記第1中心電極の一端を出力ポートとし他端を入力ポートとし、前記第2中心電極の一端を出力ポートとし他端をグランドポートとし、入力ポートと出力ポートとの間に、互いに並列に接続された抵抗素子と容量素子とを直列に接続したハイパスタイプの第1及び第2アイソレータを備え、

第1アイソレータの通過周波数帯域は第2アイソレータの通過周波数帯域よりも高く、

第1及び第2アイソレータの互いの出力部が電氣的に接続されて一つの出力端子とされ、

前記出力端子と第2アイソレータの出力ポートとの間にローパスフィルタが挿入されていること、

を特徴とする。

[0008] 本発明の第2の形態であるモジュールは、前記非可逆回路素子の出力端子がアンテナ側に接続されることを特徴とする。

[0009] 前記非可逆回路素子における第1及び第2アイソレータは、フェライトの作用により、入力ポートと出力ポートの間が同電位となり、入力ポートから高周波信号が入力されると、第2中心電極や抵抗素子にはほとんど電流が流れず、第1中心電極に電流が流れ、出力ポートに出力される。一方、出力ポートから高周波信号が入力されると、高周波信号は非可逆作用によって第1中心電極を通過することなく抵抗素子に流れて熱として消費される。即ち、電流が減衰（アイソレーション）される。

[0010] また、前記非可逆回路素子においては、第1及び第2アイソレータの互いの出力部が電氣的に接続されて一つの出力端子とされ、一つの非可逆回路素子として機能する。しかも、前記出力端子と第2アイソレータの出力ポート

との間にローパスフィルタが挿入されているため、通過周波数帯域が低い第2アイソレータの高調波帯域が減衰され、通過周波数帯域が高い第1アイソレータとの混信が防止される。また、ローパスフィルタの挿入箇所は前記出力端子と第2アイソレータの出力ポートとの間の1箇所であり、挿入損失の増大や部品点数の増加が抑制される。

[0011] つまり、前記非可逆回路素子は送信回路において従来のダイプレクサに代わるものであり、かつ、アンテナ側にインピーダンス整合のためのチューナーを設ける必要がなくなる。また、前記非可逆回路素子は、そのアイソレーション作用によってアンテナ側の負荷変動（インピーダンス変動）を抑制できる。

[0012] また、第1アイソレータ及び／又は第2アイソレータにおいて、出力ポート又は入力ポートと抵抗素子との間に少なくとも一つのフィルタの入出力端子が接続され、かつ、該フィルタのグランド端子が入力ポート又は出力ポートに接続されていてもよい。そこで、本発明の第3の形態であるモジュールは、前記フィルタを有する非可逆回路素子を備え、前記フィルタは、送信帯域信号を通過させ、受信帯域信号を減衰させるものであり、前記フィルタを設けた第1及び／又は第2アイソレータの入力ポートに送信信号及び受信信号を分岐させる分岐回路素子を有することを特徴とする。

[0013] 送信帯域信号を通過させ、受信帯域信号を減衰させるフィルタを備えることにより、順方向においては送信周波数帯信号を通過させ、逆方向においては送信周波数帯信号を内部の抵抗で吸収し減衰させるが、受信周波数帯信号は通過する。よって、アンテナで反射した送信波が受信側へ回り込むことが抑制され、送受信モジュールを構成することが可能となる。

発明の効果

[0014] 本発明によれば、複数の周波数帯域で動作が可能であり、送信回路の部品点数やコストの低減を図り、アンテナ側の負荷変動を抑制できる。

図面の簡単な説明

[0015] [図1]第1実施例である非可逆回路素子を示す等価回路図である。

[図2]前記非可逆回路素子の外観を示す斜視図である。

[図3]前記非可逆回路素子のそれぞれのアイソレータを構成するフェライト・磁石素子を示す分解斜視図である。

[図4]前記アイソレータにおけるアイソレーション特性を示すグラフである。

[図5]前記アイソレータにおける通過特性を示すグラフである。

[図6]第1アイソレータから第2アイソレータへのアイソレーション特性を示すグラフである。

[図7]第2アイソレータから第1アイソレータへのアイソレーション特性を示すグラフである。

[図8]第2実施例である非可逆回路素子を示す等価回路図である。

[図9]第3実施例である非可逆回路素子を示す等価回路図である。

[図10]第4実施例である非可逆回路素子を示す等価回路図である。

[図11]第5実施例である非可逆回路素子を示す等価回路図である。

[図12]第6実施例である非可逆回路素子を示す等価回路図である。

[図13]図12に示すアイソレータにおけるアイソレーション特性を示すグラフである。

[図14]図12に示すアイソレータにおける通過特性を示すグラフである。

[図15]図12に示す第1アイソレータから第2アイソレータへのアイソレーション特性を示すグラフである。

[図16]図12に示す第2アイソレータから第1アイソレータへのアイソレーション特性を示すグラフである。

[図17]第7実施例である非可逆回路素子を示す等価回路図である。

[図18]第8実施例である非可逆回路素子を示す等価回路図である。

[図19]第9実施例である非可逆回路素子を示す等価回路図である。

[図20]第9実施例である非可逆回路素子における各アイソレータの挿入損失特性を示すグラフである。

発明を実施するための形態

[0016] 以下、本発明に係る非可逆回路素子及びモジュールの実施例について添付

図面を参照して説明する。なお、各図において、同じ部材、部分については共通する符号を付し、重複する説明は省略する。

[0017] (第1実施例、図1～図7参照)

第1実施例である非可逆回路素子は、図1の等価回路に示すように、2ポート型の第1アイソレータ1及び2ポート型の第2アイソレータ2を一体的なモジュールとして構成(図2参照)したものである。第1及び第2アイソレータ1, 2は、それぞれ、集中定数型アイソレータであり、マイクロ波磁性体(以下、フェライト32と称する)に、インダクタL1H, L1Lを構成する第1中心電極35とインダクタL2H, L2Lを構成する第2中心電極36とが互いに絶縁状態で交差して配置されている。

[0018] アイソレータ1, 2はともにハイパスタイプであり、第1アイソレータ1の通過周波数帯域は、第2アイソレータ2の通過周波数帯域よりも高く設定されている。第1及び第2アイソレータ1, 2の互いの出力部が電氣的に接続されて一つの出力端子OUTとされ、それぞれの入力部は入力端子IN1, IN2とされている。さらに、出力端子OUTと第2アイソレータ2の出力部(出力部とは出力ポートP1を意味する。但し、本実施例では出力ポートP1にコンデンサCS1Lが挿入されている)との間にローパスフィルタLPF(インダクタL4LとコンデンサC4LとからなるL型の共振回路)が挿入されている。

[0019] 以下に、第1及び第2アイソレータ1, 2の回路構成を図1を参照して説明する。なお、各回路部品の符号の末尾に、第1アイソレータ1にあっては“H”を、第2アイソレータ2にあっては“L”を付し、以下の説明は第1アイソレータ1について行うが、第2アイソレータ2に関しても同様の構成である。

[0020] アイソレータ1は、フェライト32の表面に第1及び第2中心電極35, 36(インダクタL1H, L2H)を互いに絶縁状態で交差して配置し、交差部分に永久磁石41(図2、図3参照)から直流磁界(N-S)を印加することにより第1及び第2中心電極35, 36を磁氣的に結合させ、第1中

心電極 3 5 の一端を出力ポート P 1 とし他端を入力ポート P 2 とし、第 2 中心電極 3 6 の一端を出力ポート P 1 とし他端をグランドポート P 3 としている。出力ポート P 1 は整合用コンデンサ C S 1 H を介して出力端子 O U T に接続され、入力ポート P 2 は整合用コンデンサ C S 2 H を介して入力端子 I N 1 に接続されている。

[0021] 出力ポート P 1 と入力ポート P 2 との間には第 1 中心電極 3 5 と並列に整合用コンデンサ C 1 H が接続されるとともに、抵抗 R 1 H と L C 直列共振回路（インダクタ L 3 H とコンデンサ C 3 H ととなる）とが第 1 中心電極 3 5 と並列に接続されている。出力ポート P 1 と入力端子 I N 1 との間には、さらに、コンデンサ C J H が接続されている。コンデンサ C J H は挿入損失とアイソレーションを調整するためのものである。但し、第 2 アイソレータ 2 においてコンデンサ C J H は省略されている。

[0022] 本非可逆回路素子は携帯電話の送信用回路に組み込まれる。即ち、出力端子 O U T がアンテナ A N T に整合回路 6 0 （インダクタ L 1 3 とコンデンサ C 1 4 とからなる）を介して接続される。また、入力端子 I N 1, I N 2 が送信側パワーアンプ P A にバンドパスフィルタ B P F を介して接続される。

[0023] 前記アイソレータ 1, 2 においては、フェライト 3 2 の作用により、ポート P 1 とポート P 2 の間が同電位となり、入力ポート P 2 から高周波信号が入力されると、第 2 中心電極 3 6 や抵抗 R 1 H にはほとんど電流が流れず、第 1 中心電極 3 5 に電流が流れ、出力ポート P 1 に出力される。一方、出力ポート P 1 から高周波信号が入力されると、高周波信号は非可逆作用によって第 1 中心電極 3 5 を通過することなく抵抗 R 1 H に流れて熱として消費される。即ち、電流が減衰（アイソレーション）される。

[0024] 入力ポート P 2 から出力ポート P 1 へ信号が伝達される動作時において、抵抗 R 1 H や L C 直列共振回路（インダクタ L 3 H とコンデンサ C 3 H ）にも高周波電流はほとんど流れないため、該 L C 直列共振回路による損失は無視でき、挿入損失が増大することはない。一方、出力ポート P 1 に高周波電流が入力されると、抵抗 R 1 H と L C 直列共振回路のインピーダンス特性に

よって広帯域に整合され、アイソレーション特性が向上する。

[0025] ここで、前記アイソレータ 1, 2 の特性について図 4～図 7 を参照して説明する。

[0026] 図 4 にアイソレーション特性、即ち、出力端子 OUT から入力端子 IN 1 へのアイソレーション特性を曲線 A で示し、出力端子 OUT から入力端子 IN 2 へのアイソレーション特性を曲線 B で示している。図 5 に通過特性、即ち、入力端子 IN 1 から出力端子 OUT への通過特性を曲線 A で示し、入力端子 IN 2 から出力端子 OUT への通過特性を曲線 B で示している。

[0027] ローパスフィルタ LPF の作用により、図 5 に示すように、824～915 MHz で -0.8 dB 以下、1710～1980 MHz で -1.0 dB 以下の入力合成が実現できている。また、アイソレーション特性は、図 4 に示すように、824～915 MHz 及び 1710～1980 MHz において -10 dB 以上のレベルを実現している。

[0028] 図 6 に第 1 アイソレータ 1 から第 2 アイソレータへのアイソレーション特性を示し、図 7 に第 2 アイソレータから第 1 アイソレータへのアイソレーション特性を示している。図 6 及び図 7 から明らかなように、アイソレータ 1, 2 はそれぞれ斜線を付して示すそれぞれの通過周波数帯域とを切り分けるダイプレクサとしての機能を有し、-20 dB 以上の信号減衰効果を奏する。

[0029] 以上のごとく、第 1 実施例においては、アイソレータ 1, 2 の互いの出力部が電氣的に接続されて一つの出力端子 OUT とされ、一つの非可逆回路素子として機能する。しかも、出力端子 OUT と第 2 アイソレータ 2 の出力ポート P 1 との間にローパスフィルタ LPF が挿入されているため、通過周波数帯域が低い第 2 アイソレータ 2 の高調波帯域が減衰され、通過周波数帯域が高い第 1 アイソレータ 1 との混信が防止される。また、ローパスフィルタ LPF の挿入箇所は出力端子 OUT と第 2 アイソレータ 2 の出力ポート P 1 との間の 1 箇所であり、挿入損失の増大や部品点数の増加が抑制される。

[0030] つまり、一つのモジュールとして構成されたアイソレータ 1, 2 は、送信

回路において、従来のダイプレクサに代わるものであり、かつ、アンテナANT側にインピーダンス整合用のチューナーを設ける必要がなくなる。またアイソレータ1, 2は、そのアイソレーション作用によってアンテナANT側の負荷変動（インピーダンス変動）を抑制できる。

[0031] 次に、前記第1及び第2アイソレータ1, 2の具体的な構成について、図2、図3を参照して説明する。図2に示すように、アイソレータ1, 2は基板20上に搭載されており、それぞれ、フェライト32と一对の永久磁石41とからなるフェライト・磁石素子30と、チップタイプの各種素子で構成されている。

[0032] フェライト32には、互いに電氣的に絶縁された状態で第1中心電極35及び第2中心電極36が巻回されている。永久磁石41はフェライト32に対して直流磁界を厚み方向（図3の矢印N-S参照）に印加するように、例えば、エポキシ系の接着剤42を介して接着されている。

[0033] 図3に示すように、第1中心電極35はフェライト32に1ターン巻回されており、一端電極35aが出力ポートP1とされ、他端電極35bが入力ポートP2とされている。第2中心電極36はフェライト32に第1中心電極35と所定の角度で交差した状態で4ターン（なお、ターン数は任意である）巻回されており、一端電極35a（第1中心電極35と共用）が出力ポートP1とされ、他端電極36aがグランドポートP3とされている。なお、図3では煩雑さを避けるためフェライト32の背面側の電極は図示を省略している。

[0034] 回路基板20は、樹脂基材と導体箔を積層した樹脂基板であり、その上面には、図示しない端子電極が形成されており、これらの端子電極は回路基板20の下面に形成した外部接続用端子IN1, IN2, OUT, GND（図1参照）にビアホール導体（図示せず）を介して接続され、図1に示した等価回路を形成している。

[0035] （第2実施例、図8参照）

第2実施例である非可逆回路素子は、図8に示すように、基本的には前記

第1実施例と同様の回路構成を有しており、出力端子OUTと第2アイソレータ2の出力部との間に2段のローパスフィルタLPF1, LPF2を挿入している。ローパスフィルタLPF1, LPF2はそれぞれインダクタL4LとコンデンサC4LからなるL型の共振回路を構成している。その作用効果は前記ローパスフィルタLPFと基本的には同様である。

[0036] (第3実施例、図9参照)

第3実施例である非可逆回路素子は、図9に示すように、基本的には前記第1実施例と同様の回路構成を有しており、出力端子OUTと第2アイソレータ2の出力部との間に挿入したローパスフィルタLPFを、インダクタL4LとコンデンサC4L, C5Lとからなる π 型の共振回路で構成している。 π 型のローパスフィルタLPFの作用効果もL型の前記ローパスフィルタLPFと同様である。

[0037] (第4実施例、図10参照)

第4実施例である非可逆回路素子は、図10に示すように、基本的には前記第1実施例と同様の回路構成を有しており、出力端子OUTと第2アイソレータ2の出力部との間にストリップラインSLを挿入している。ストリップラインSLはローパスフィルタとして機能し、その作用効果は前記ローパスフィルタLPFと同様である。

[0038] (第5実施例、図11参照)

第5実施例である非可逆回路素子は、図11に示すように、基本的には前記第1実施例と同様の回路構成を有しており、図1に示した等価回路からLC直列共振回路(インダクタL3H, L3L、コンデンサC3H, C3L)を省略したものである。出力端子OUTと第2アイソレータ2の出力部との間にはL型の前記ローパスフィルタLPFが挿入されており、その作用効果は前記第1実施例と同様である。

[0039] (第6実施例、図12～図16参照)

第6実施例である非可逆回路素子は、図12に示すように、第1アイソレータ1において、前記第1実施例などで示したコンデンサC3H及びインダ

クタL 3 Hに代えてフィルタ（バンドパスフィルタ）F 1が設けられている。フィルタF 1は入出力端子5 1, 5 2、グランド端子5 3を有し、入出力端子5 1は抵抗R 1 Hに接続され、入出力端子5 2は出力ポートP 1に接続され、グランド端子5 3は入力ポートP 2に接続されている。さらに、入力端子I N 1は、送受分岐回路素子（デュプレクサD P X、図示しないサークュレータや表面弾性波素子など）を介して受信部及び送信部に接続されている。本第6実施例における他の構成は前記第1実施例と同様である。

[0040] 以上の構成からなる第1アイソレータ1においては、入力端子I N 1からポートP 2に高周波電流が入力される（順方向）と、第2中心電極3 6や抵抗R 1 Hにはほとんど電流が流れず、第1中心電極3 5に電流が流れ、挿入損失が小さく、広帯域で動作する。この順方向動作時において、抵抗R 1 HやフィルタF 1にも高周波電流はほとんど流れないため、これらでの損失は無視でき、挿入損失が増大することはない。

[0041] 一方、出力端子O U TからポートP 1に高周波電流が入力される（逆方向）と、該電流は抵抗R 1 Hで吸収減衰される。フィルタF 1として、非可逆回路素子の通過帯域において、ポートP 1及びポートP 2と整合のとれた広帯域な特性のものを使用することにより、逆方向特性が広帯域化する。フィルタF 1として、送信帯域信号を通過させ、受信帯域信号を減衰させる特性のものを使用することにより、順方向においては送信周波数帯信号を通過させ、逆方向においては送信周波数帯域信号を内部の抵抗R 1 Hで吸収し減衰させるが、受信周波数帯信号は通過する。

[0042] 本第6実施例では、このような第1アイソレータ1をアンテナA N TとデュプレクサD P Xなどの送受分岐回路素子との間に挿入しており、受信部は比較的高い周波数帯とされ、送信部は比較的低い周波数帯とされている。ここでは、アンテナA N Tで反射した送信波が受信部へ回り込むことが抑制される。これにて、従来のダイプレクサと同等以下のサイズでアンテナA N Tの負荷変動を抑制した広帯域な送信回路を構成でき、送信回路の小型化と低コスト化に寄与する。

[0043] ここで、第6実施例におけるアイソレータ1, 2の特性について図13～図16を参照して説明する。

[0044] 図13にアイソレータ1とアイソレータ2のアイソレーション特性、即ち、出力端子OUTから入力端子IN1へのアイソレーション特性を曲線Aで示し、出力端子OUTから入力端子IN2へのアイソレーション特性を曲線Bで示している。図14にアイソレータ1とアイソレータ2の通過特性、即ち、入力端子IN1から出力端子OUTへの通過特性を曲線Aで示し、入力端子IN2から出力端子OUTへの通過特性を曲線Bで示している。

[0045] ローパスフィルタLPFの作用により、図14に示すように、824～915MHzで-0.8dB以下、1710～1980MHzで-1.0dB以下の入力合成が実現できている。また、アイソレーション特性は、図13に示すように、824～915MHzにおいて-10dB以上のレベルを実現している。加えて、フィルタF1を第1アイソレータ1に設けているため、1920～1980MHzにおいて-6dBのアイソレーションを実現し、かつ、受信帯域2110～2170MHzにおいて-1dBの損失に抑えている。

[0046] 図15に第1アイソレータ1から第2アイソレータ2へのアイソレーション特性を示し、図16に第2アイソレータ2から第1アイソレータ1へのアイソレーション特性を示している。図15及び図16から明らかなように、アイソレータ1, 2はそれぞれ斜線を付して示すそれぞれの通過周波数帯域とを切り分けるダイプレクサとしての機能を有し、-15～-20dB以上の信号減衰効果を奏する。

[0047] なお、前記第6実施例において、フィルタF1は入出力端子51が抵抗R1Hに接続され、入出力端子52が入力ポートP2に接続され、グランド端子53が出力ポートP1に接続されていてもよい。

[0048] (第7実施例、図17参照)

第7実施例である非可逆回路素子は、図17に示すように、第1アイソレータ1のみならず、第2アイソレータ2においても、フィルタ(バンドパス

フィルタ) F 1 を設け、入力端子 I N 2 に送受分岐回路素子 (デュプレクサ D P X、図示しないサーキュレータや表面弾性波素子など) を介して受信部及び送信部に接続したものである。

[0049] 本第 7 実施例における第 2 アイソレータ 2 の作用は、前記第 6 実施例での第 1 アイソレータ 1 と同様である。

[0050] (第 8 実施例、図 1 8 参照)

第 8 実施例である非可逆回路素子は、図 1 8 に示すように、第 1 及び第 2 アイソレータ 1, 2 に、それぞれ、フィルタ F 1 と抵抗 R 1 H に加えて、フィルタ F 2 と抵抗 R 1 H を並列に接続したものである。フィルタ F 1, F 2 をそれぞれ所望の特性のものを選択することにより、非可逆回路素子として必要な特性を得ることができる。特に、送信で用いる所定の周波数帯域が複数あり、かつ、周波数軸上で近接し、一つのフィルタで全ての通過帯域に含めることができない場合に有用である。また、送信で用いる所定の周波数帯域が複数あり、周波数軸上で離れ、これらの複数の送信周波数帯のみを選択的に入力端子から出力端子へ通過させる場合に有用である。

[0051] (第 9 実施例、図 1 9 及び図 2 0 参照)

第 9 実施例である非可逆回路素子は、図 1 9 に示すように、フィルタ F 1, F 2 をそれぞれ設けた第 1 アイソレータ 1、第 2 アイソレータ 2 及び第 3 アイソレータ 3 を備えている。第 1 アイソレータ 1 の通過周波数帯域は第 2 アイソレータ 2 の周波数帯域よりも高く、かつ、第 2 アイソレータ 2 の周波数帯域は第 3 アイソレータ 3 の周波数帯域よりも高い。そして、各アイソレータ 1, 2, 3 のそれぞれの出力部が電氣的に接続されて一つの出力端子 O U T とされている。なお、図 1 9 において、各回路部品の符号の末尾に、第 1 アイソレータ 1 にあっては “H” を付し、第 2 アイソレータ 2 にあっては “M” を付し、第 3 アイソレータ 3 にあっては “L” を付している。

[0052] また、出力端子 O U T と第 2 アイソレータ 2 の出力部との間にローパスフィルタ L P F 1 (バンドパスフィルタであってもよい) が挿入されており、出力端子 O U T と第 3 アイソレータ 3 の出力部との間にローパスフィルタ L

P F 2 が接続されている。本第 9 実施例における各アイソレータ 1, 2, 3 の挿入損失特性は図 20 に示すとおりであり、三つの周波数帯域を切り替えて送受信することができるように構成されている。

[0053] (他の実施例)

なお、本発明に係る非可逆回路素子及びモジュールは前記実施例に限定するものではなく、その要旨の範囲内で種々に変更することができる。

[0054] 例えば、フェライト・磁石素子 30 の構成や第 1 及び第 2 中心電極 35, 36 の形状は種々に変更することができる。さらに、容量素子や抵抗素子は回路基板上に外付けしたチップ部品ではなく積層体である回路基板に内蔵されたものであってもよい。

[0055] 本発明に係るモジュールは、少なくとも二つのアイソレータを含み、必要に応じて出力側に接続される整合回路 (60)、入力側に接続されるバンドパスフィルタ (BPF)、デュプレクサ (DPX) やパワーアンプ (PA) が含まれてもよい。

産業上の利用可能性

[0056] 以上のように、本発明は、非可逆回路素子及びモジュールに有用であり、特に、複数の周波数帯域で動作が可能であり、送信回路の部品点数やコストの低減を図り、アンテナ側の負荷変動を抑制できる点で優れている。

符号の説明

[0057] 1, 2, 3 …アイソレータ
30 …フェライト・磁石素子
32 …フェライト
35 …第 1 中心電極
36 …第 2 中心電極
41 …永久磁石
P1 …出力ポート
P2 …入力ポート
P3 …グランドポート

L P F, L P F 1, L P F 2 …ローパスフィルタ

L 4 L …インダクタ

C 4 L, C 5 L …コンデンサ

S L L …ストリップライン

C 1 H, C 1 L …コンデンサ

R 1 H, R 1 L …抵抗

I N 1, I N 2 …入力端子

O U T …出力端子

請求の範囲

- [請求項1] 永久磁石により直流磁界が印加されるフェライトに互いに絶縁状態で交差して配置された第1及び第2中心電極を設け、前記第1中心電極の一端を出力ポートとし他端を入力ポートとし、前記第2中心電極の一端を出力ポートとし他端をグランドポートとし、入力ポートと出力ポートとの間に、互いに並列に接続された抵抗素子と容量素子とを直列に接続したハイパスタイプの第1及び第2アイソレータを備え、
第1アイソレータの通過周波数帯域は第2アイソレータの通過周波数帯域よりも高く、
第1及び第2アイソレータの互いの出力部が電氣的に接続されて一つの出力端子とされ、
前記出力端子と第2アイソレータの出力ポートとの間にローパスフィルタが挿入されていること、
を特徴とする非可逆回路素子。
- [請求項2] 第1アイソレータ及び／又は第2アイソレータにおいて、前記出力ポート又は前記入力ポートと前記抵抗素子との間に少なくとも一つのフィルタの入出力端子が接続され、かつ、該フィルタのグランド端子が前記入力ポート又は前記出力ポートに接続されていること、を特徴とする請求項1に記載の非可逆回路素子。
- [請求項3] 前記ローパスフィルタはインダクタとコンデンサとからなるL型又は π 型であること、を特徴とする請求項1又は請求項2に記載の非可逆回路素子。
- [請求項4] 前記ローパスフィルタが2段に接続されていること、を特徴とする請求項1又は請求項2に記載の非可逆回路素子。
- [請求項5] 前記ローパスフィルタはストリップラインからなること、を特徴とする請求項1又は請求項2に記載の非可逆回路素子。
- [請求項6] 請求項1～5のいずれかに記載の非可逆回路素子を備え、前記非可逆回路素子の出力端子がアンテナ側に接続されることを特徴とするモ

ジュール。

[請求項7]

請求項2に記載の非可逆回路素子を備え、

前記フィルタは、送信帯域信号を通過させ、受信帯域信号を減衰させるものであり、

前記フィルタを設けた第1及び／又は第2アイソレータの前記入力ポートに送信信号及び受信信号を分岐させる分岐回路素子を有すること、

を特徴とするモジュール。

[請求項8]

永久磁石により直流磁界が印加されるフェライトに互いに絶縁状態で交差して配置された第1及び第2中心電極を設け、前記第1中心電極の一端を出力ポートとし他端を入力ポートとし、前記第2中心電極の一端を出力ポートとし他端をグランドポートとし、入力ポートと出力ポートとの間に、互いに並列に接続された抵抗素子と容量素子とを直列に接続したハイパスタイプの第1～第N（Nは2以上の整数）までのアイソレータを備え、

第N－1アイソレータの通過周波数帯域は第Nアイソレータの通過周波数帯域よりも高く、

第1～第Nアイソレータの互いの出力部が電氣的に接続されて一つの出力端子とされ、

前記出力端子と第1アイソレータの出力ポートとの間にハイパスフィルタが挿入されており、前記出力端子と第2～第N－1アイソレータの出力ポートとの間にバンドパスフィルタ又はローパスフィルタが挿入されており、前記出力端子と第Nアイソレータの出力ポートとの間にローパスフィルタが挿入されていること、

を特徴とする非可逆回路素子。

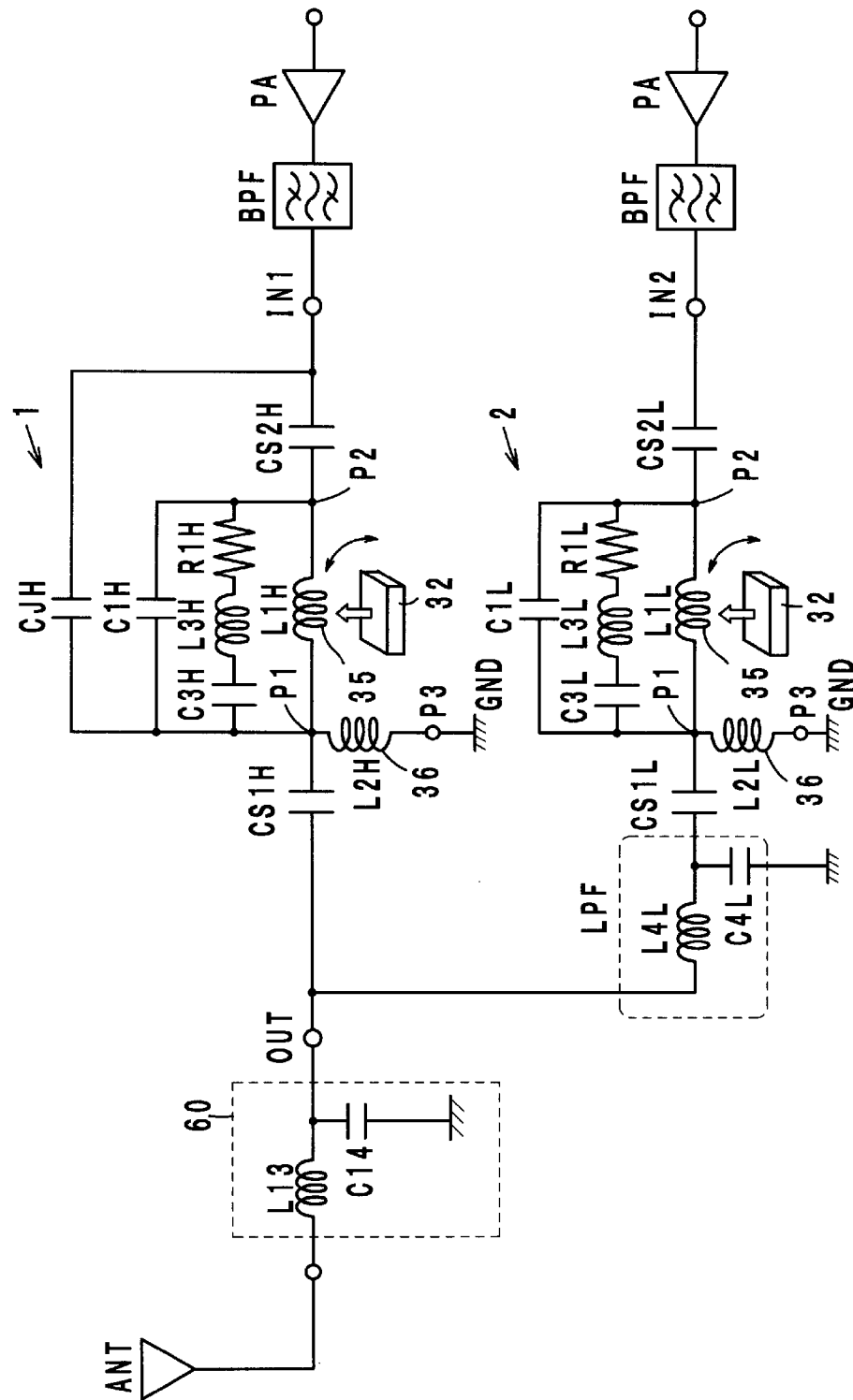
[請求項9]

第1～第Nアイソレータの少なくともいずれかにおいて、前記出力ポート又は前記入力ポートと前記抵抗素子との間に少なくとも一つのフィルタの入出力端子が接続され、かつ、該フィルタのグランド端子

が前記入力ポート又は前記出力ポートに接続されていること、を特徴とする請求項 8 に記載の非可逆回路素子。

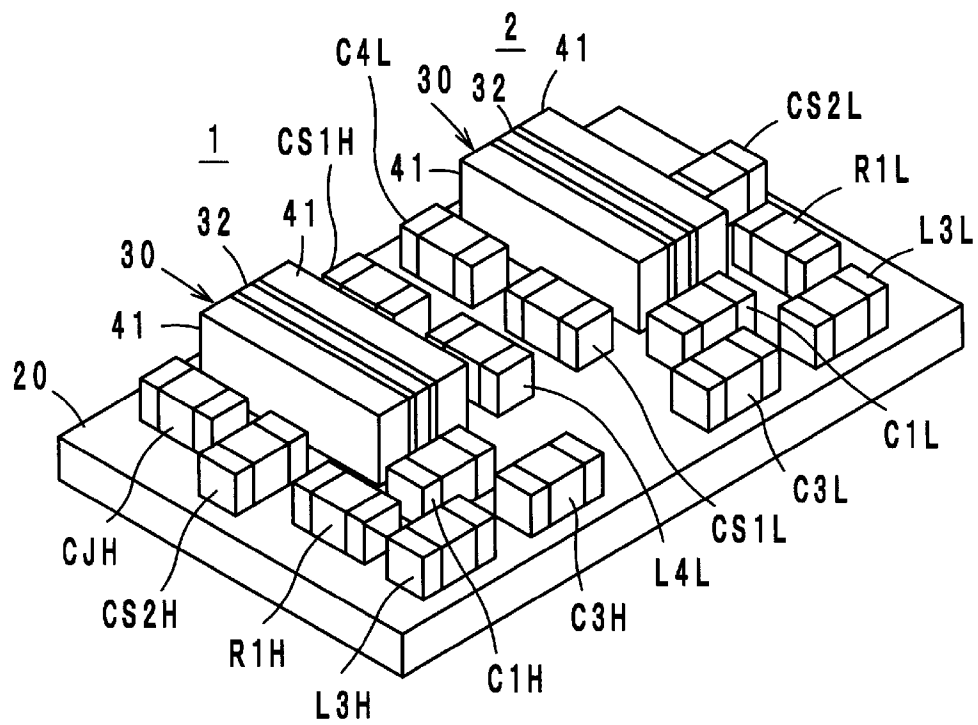
[図1]

図1



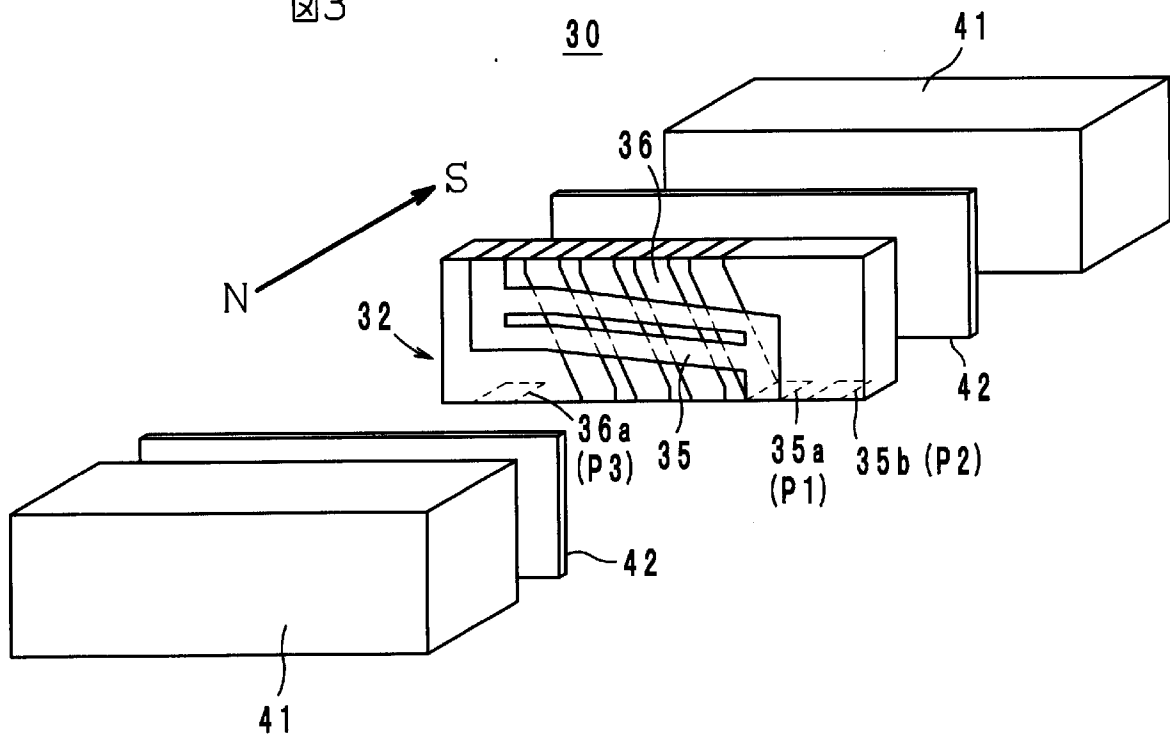
[図2]

図2



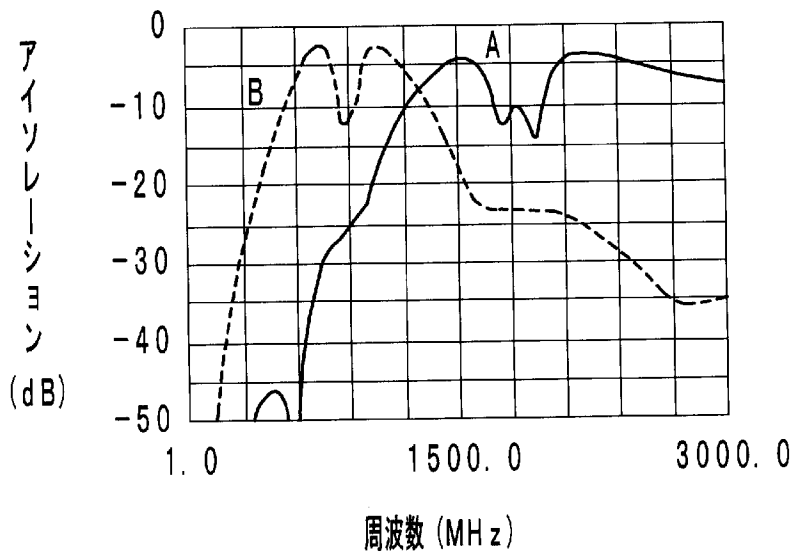
[図3]

図3



[図4]

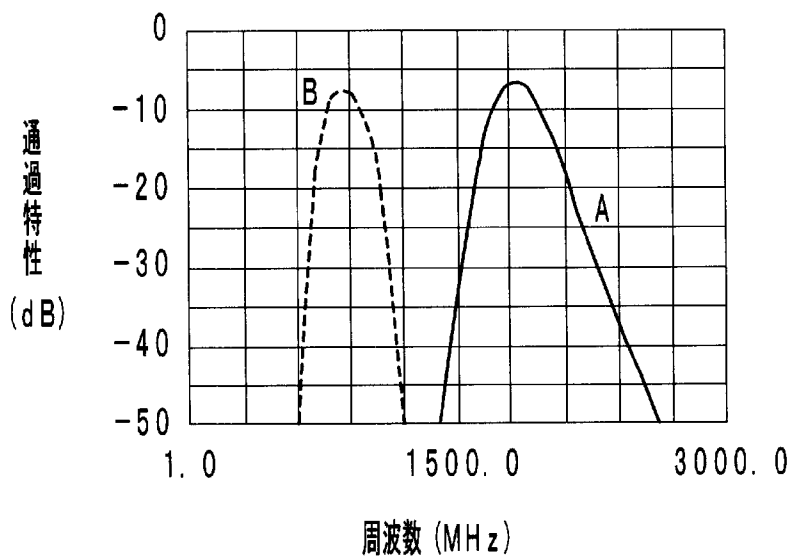
図4



824.00MHz	-10.7dB
	-26.8dB
869.50MHz	-11.1dB
	-25.6dB
915.00MHz	-10.6dB
	-24.4dB
1710.00MHz	-22.9dB
	-10.6dB
1845.00MHz	-23.3dB
	-10.4dB
1980.00MHz	-23.2dB
	-10.7dB

[図5]

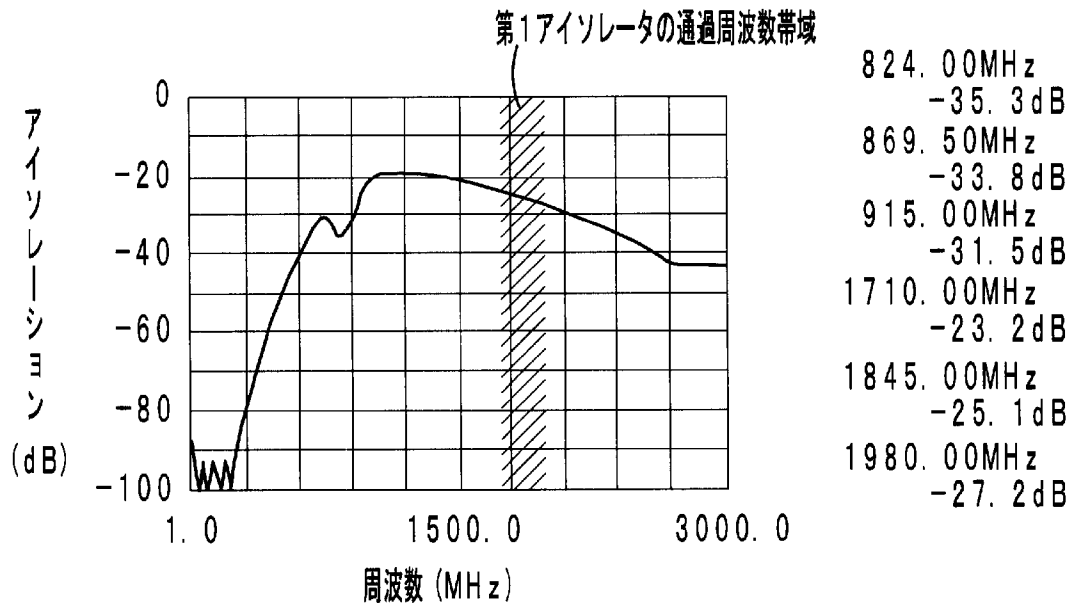
図5



824.00MHz	-0.8db
	-26.8dB
869.50MHz	-0.7dB
	-25.5dB
915.00MHz	-0.8dB
	-24.4dB
1710.00MHz	-22.8dB
	-1.0dB
1845.00MHz	-23.1dB
	-0.6dB
1980.00MHz	-22.9dB
	-1.0dB

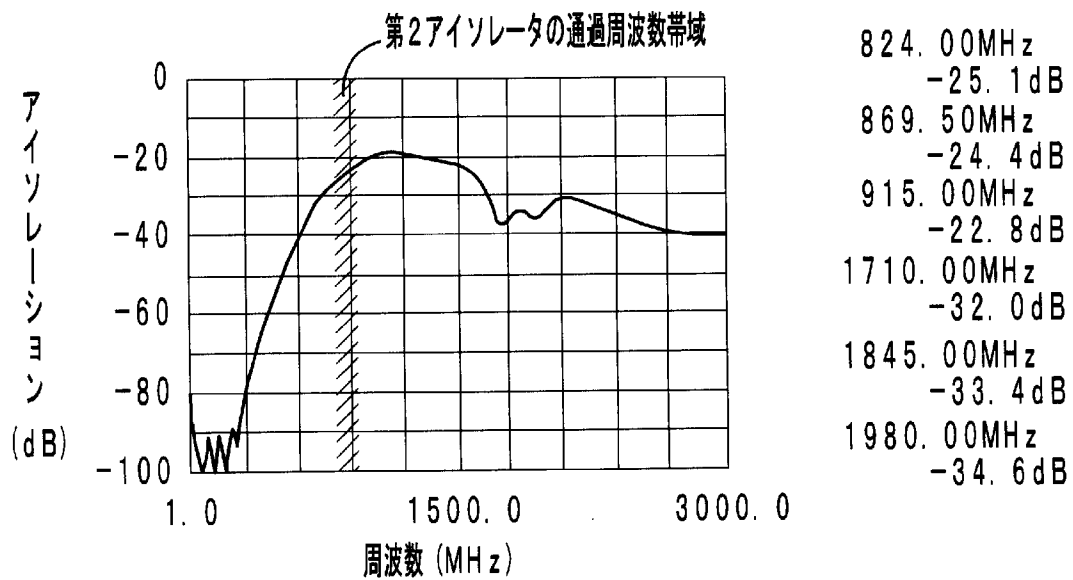
[図6]

図6

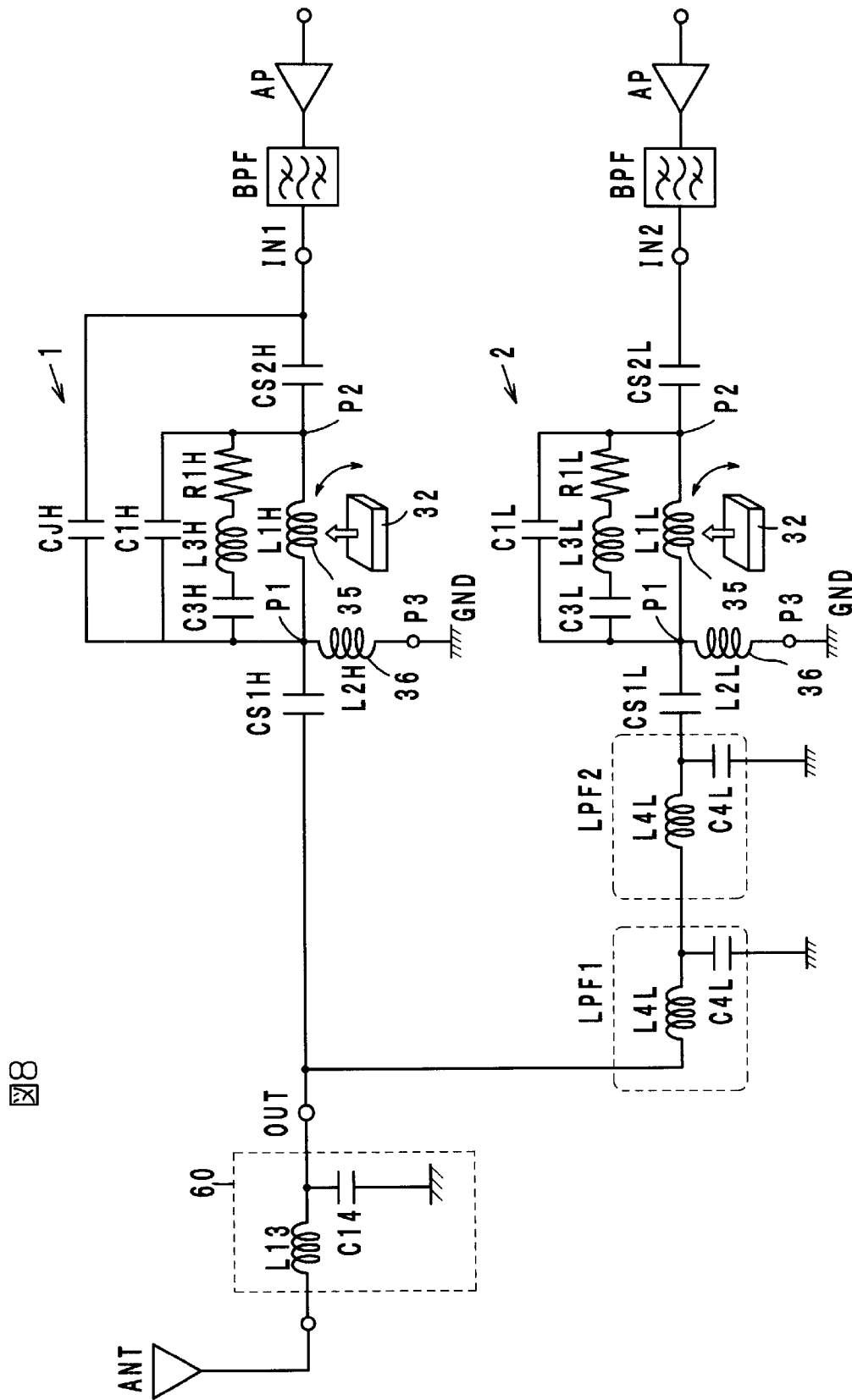


[図7]

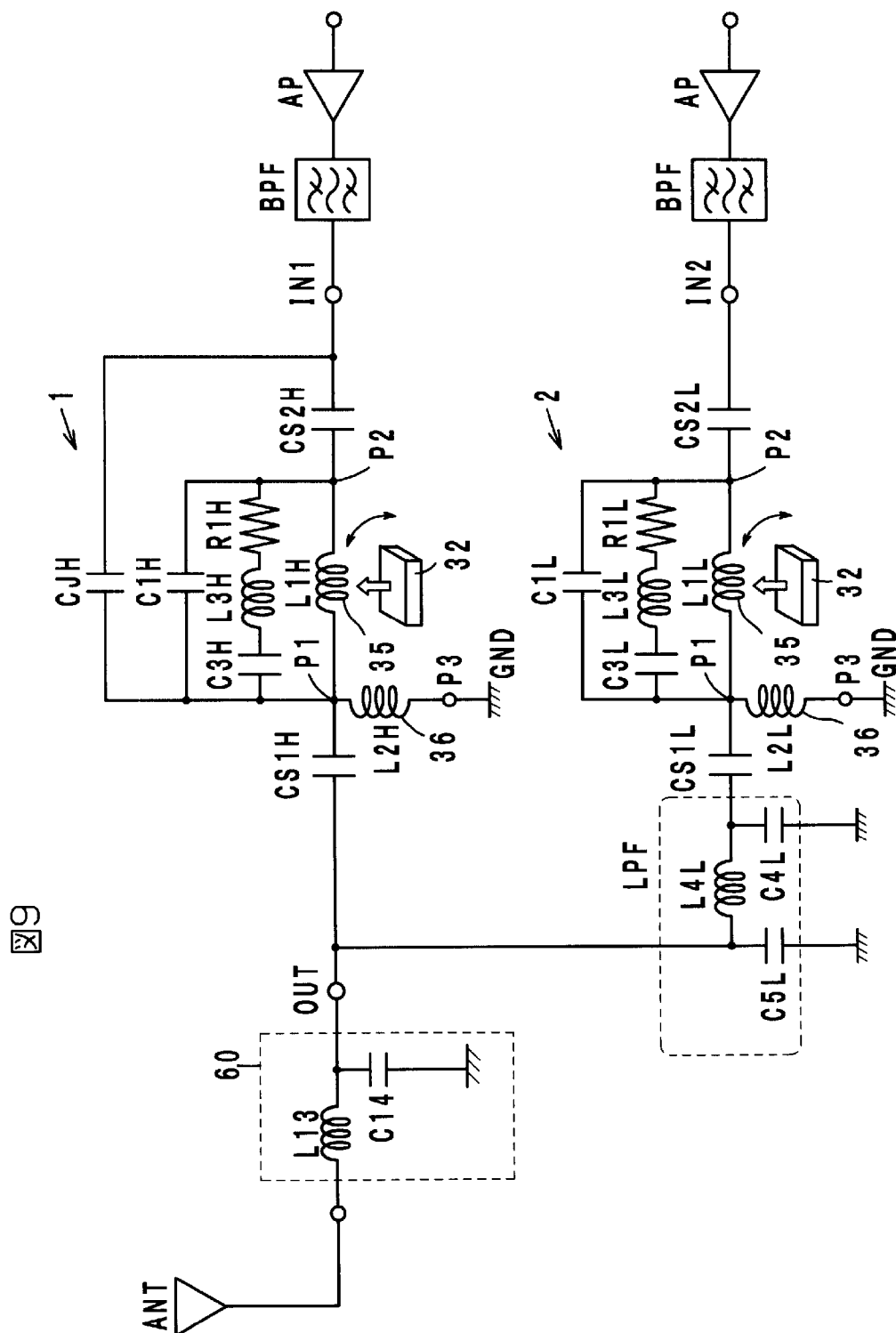
図7



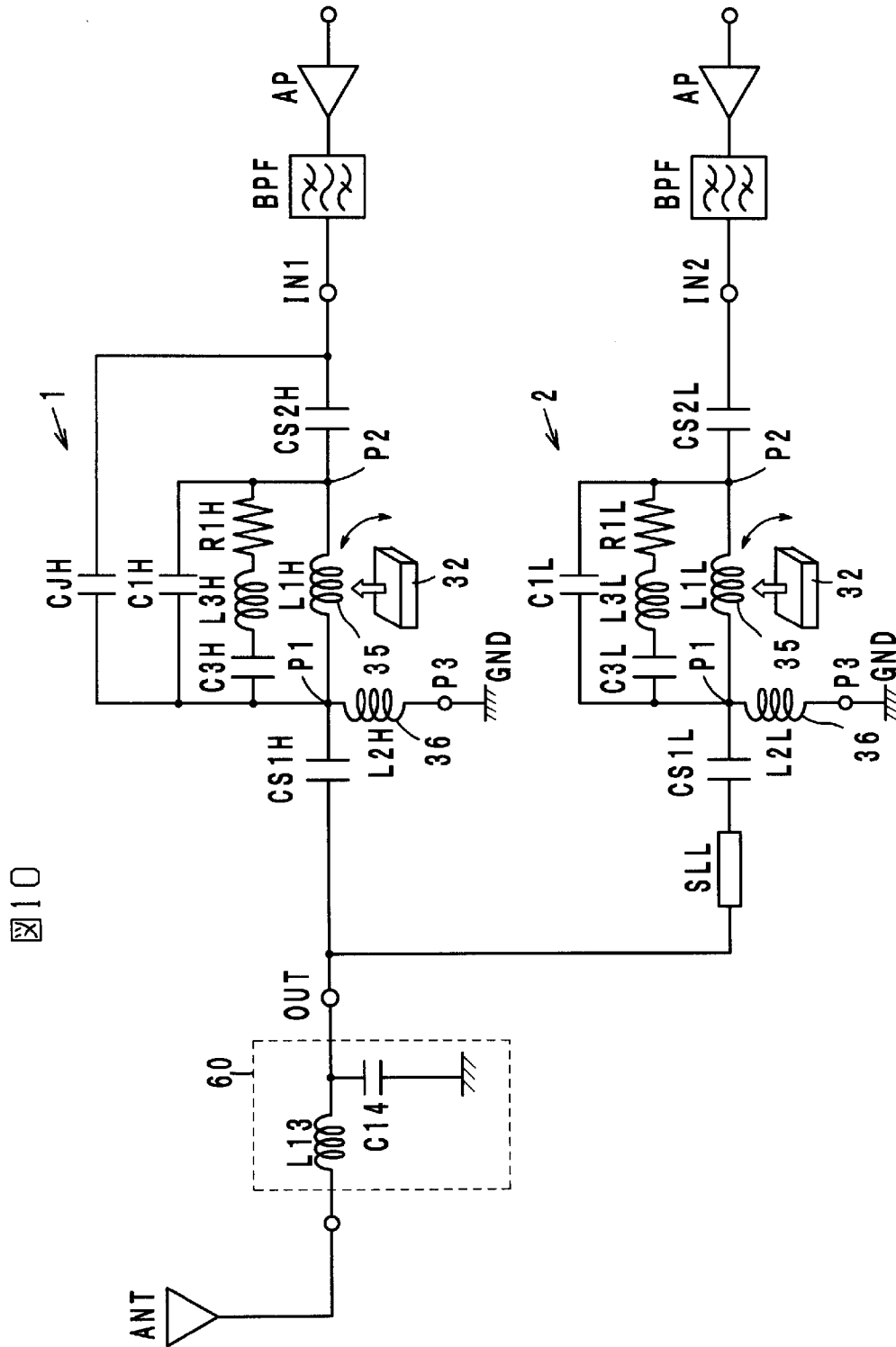
[図8]



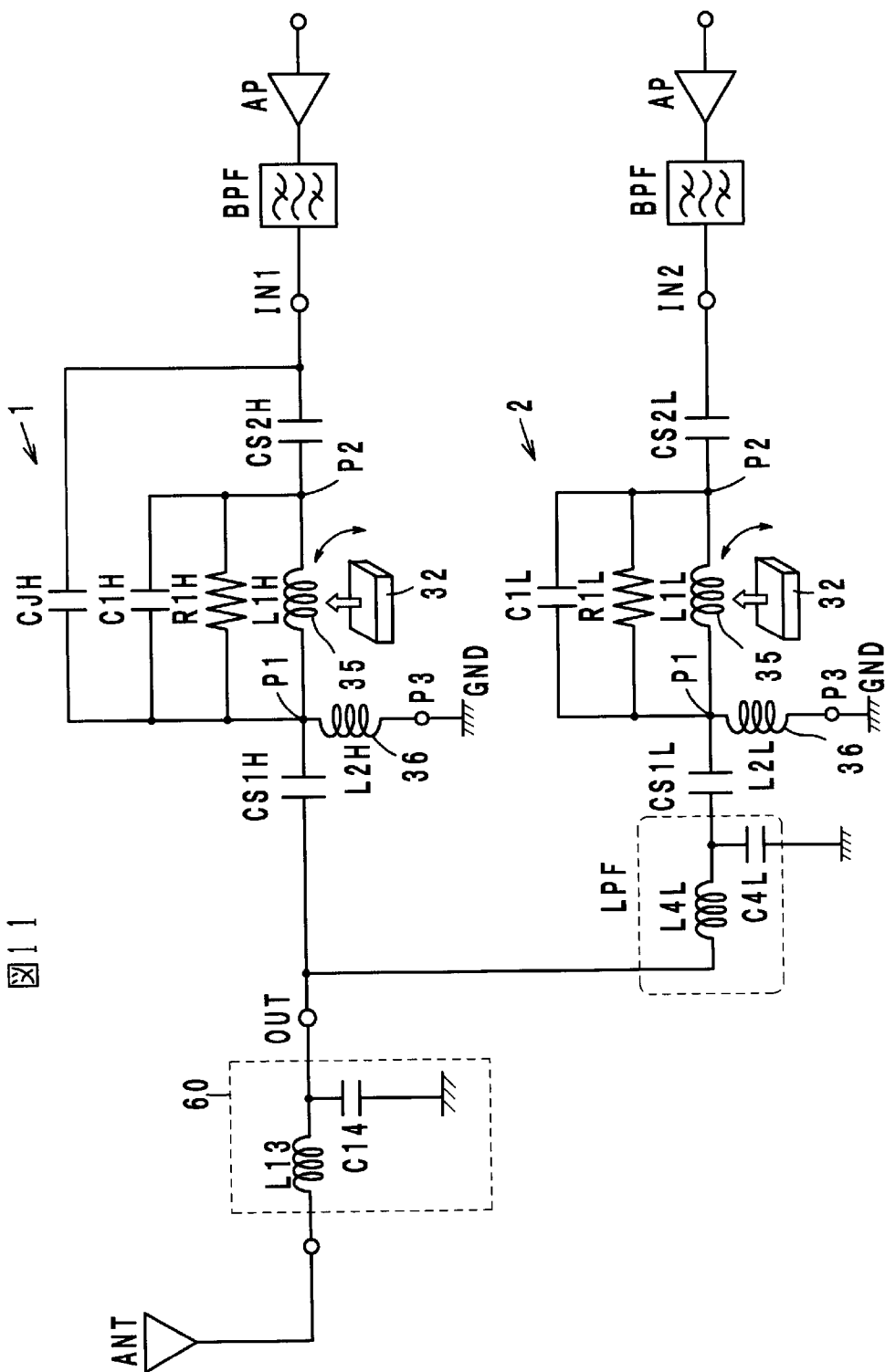
【図9】



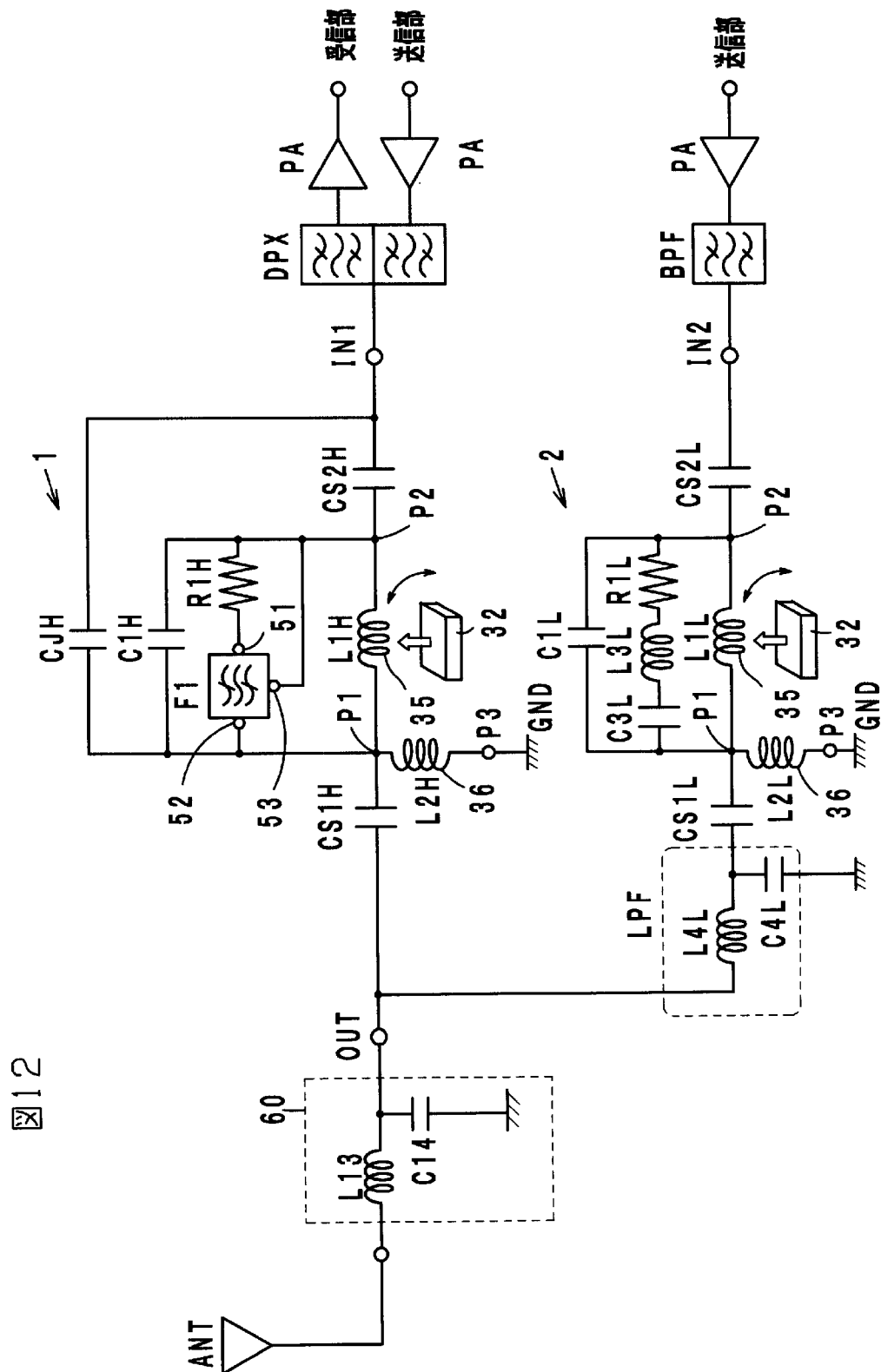
[図10]



一
一
一

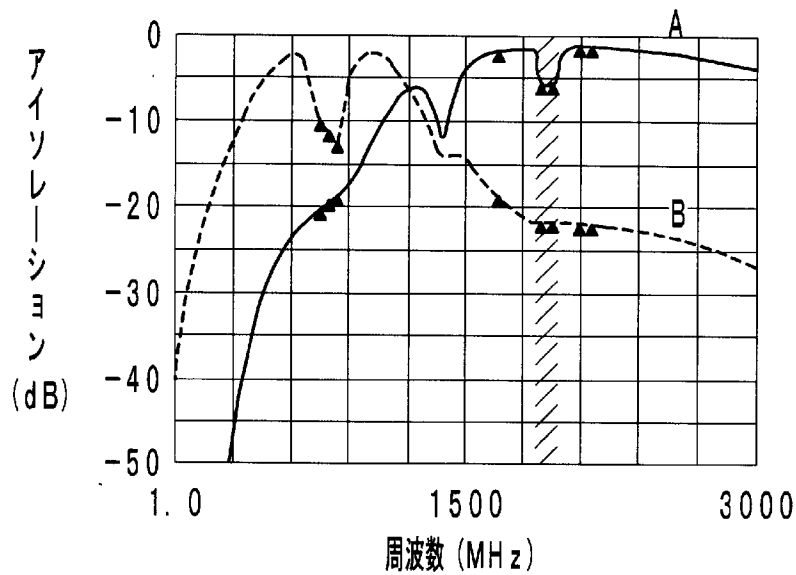


[図12]



[図13]

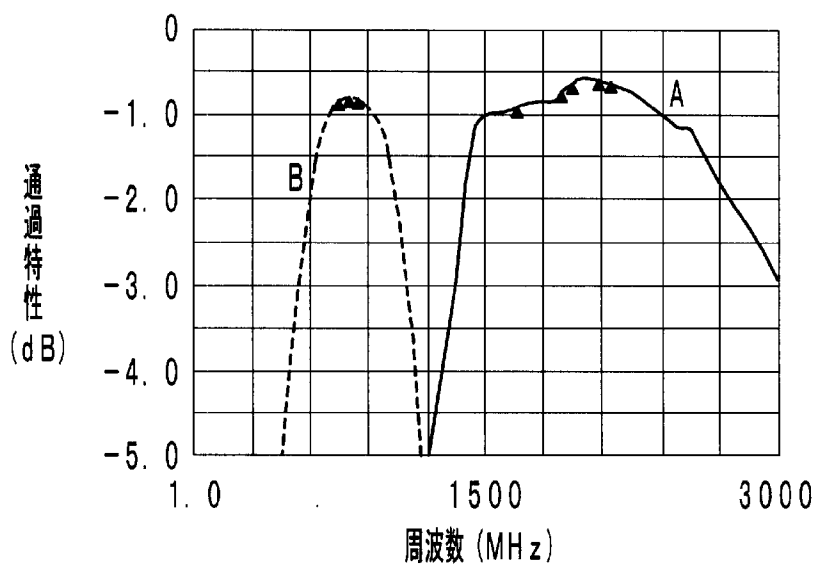
図13



824.00MHz	-20.2dB, -9.9dB
869.50MHz	-19.3dB, -10.9dB
915.00MHz	-18.3dB, -12.4dB
1710.00MHz	-1.8dB, -18.6dB
1920.00MHz	-5.6dB, -21.2dB
1980.00MHz	-5.5dB, -21.3dB
2110.00MHz	-1.1dB, -21.8dB
2170.00MHz	-1.1dB, -21.9dB

[図14]

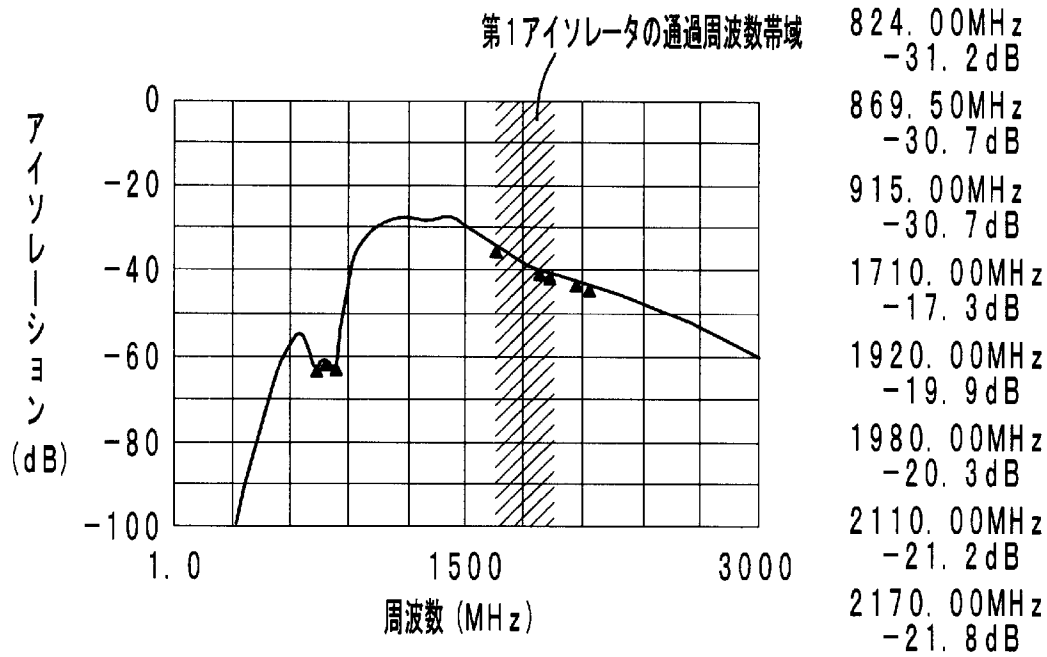
図14



824.00MHz	-20.1dB, -0.8dB
869.50MHz	-19.3dB, -0.8dB
915.00MHz	-18.3dB, -0.8dB
1710.00MHz	-0.9dB, -18.5dB
1920.00MHz	-0.7dB, -20.9dB
1980.00MHz	-0.6dB, -21.0dB
2110.00MHz	-0.6dB, -21.6dB
2170.00MHz	-0.6dB, -21.7dB

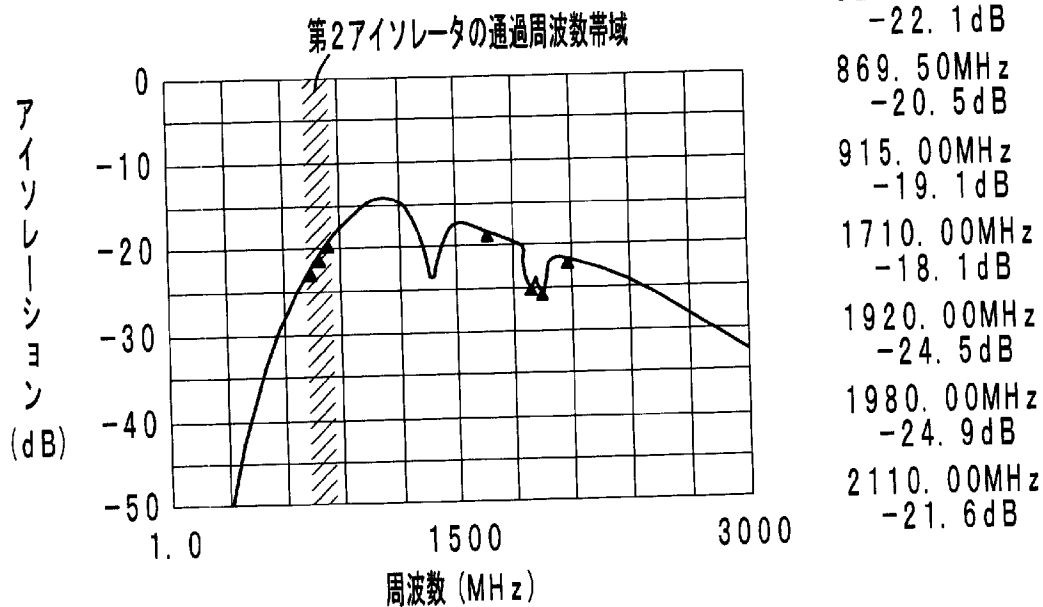
[図15]

図15



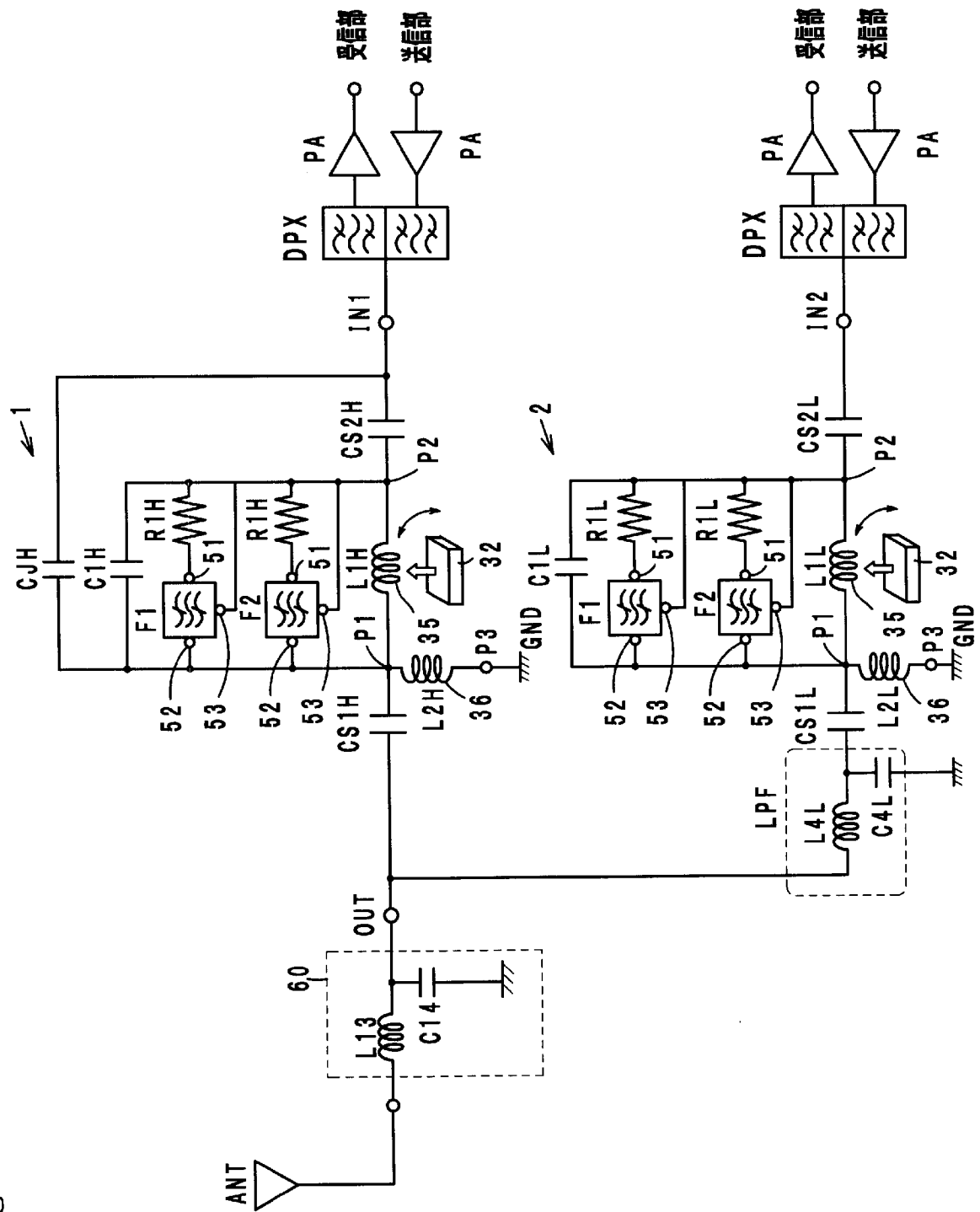
[図16]

図16



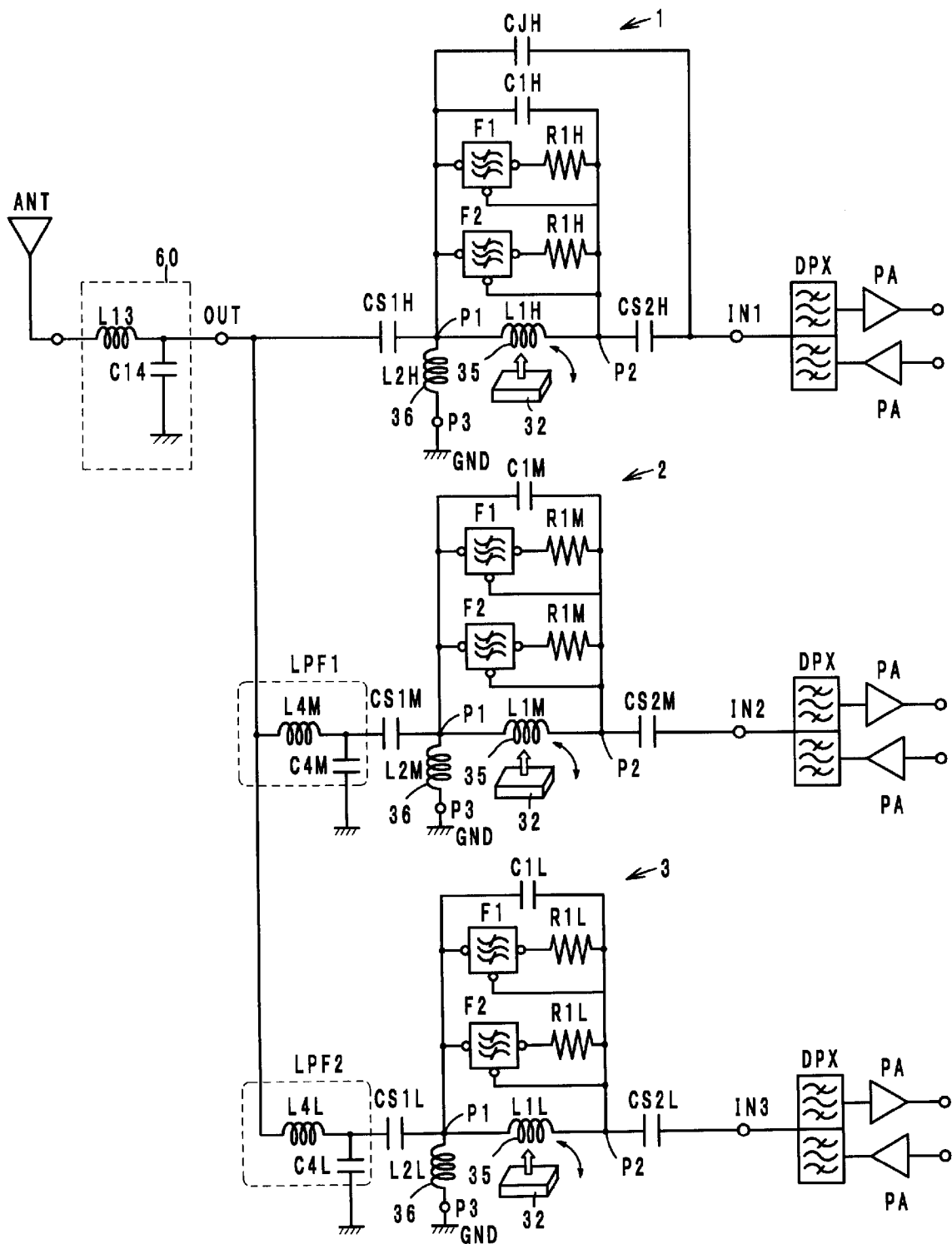
[図18]

図18



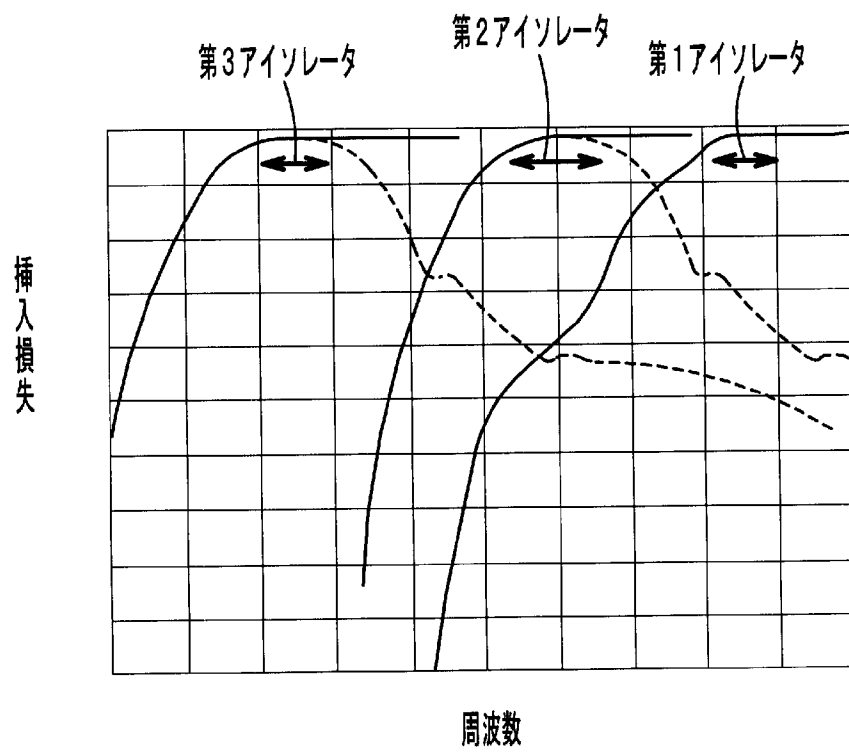
[図19]

図19



[図20]

図20



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054288

A. CLASSIFICATION OF SUBJECT MATTER

H01P1/36(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 9-93004 A (Murata Mfg. Co., Ltd.), 04 April 1997 (04.04.1997), fig. 1; paragraphs [0008] to [0014] (Family: none)	1, 3-6 2, 7-9
Y	JP 2011-176668 A (Murata Mfg. Co., Ltd.), 08 September 2011 (08.09.2011), fig. 1; paragraphs [0015] to [0023]; fig. 11 to 13; paragraphs [0032] to [0034] & US 2011/0204989 A1 & EP 2383835 A2 & CN 102195593 A & KR 10-2011-0097633 A	1, 3-6
Y	JP 7-283615 A (Matsushita Electric Industrial Co., Ltd.), 27 October 1995 (27.10.1995), fig. 2; paragraphs [0015] to [0020] (Family: none)	6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 May, 2014 (12.05.14)

Date of mailing of the international search report
20 May, 2014 (20.05.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/054288

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	WO 2014/034347 A1 (Murata Mfg. Co., Ltd.), 06 March 2014 (06.03.2014), entire text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01P1/36(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01P1/36

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2014年
日本国実用新案登録公報	1996-2014年
日本国登録実用新案公報	1994-2014年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 9-93004 A（株式会社村田製作所）1997.04.04, 図1, 【0008】 - 【0014】（ファミリーなし）	1, 3-6 2, 7-9
Y	JP 2011-176668 A（株式会社村田製作所）2011.09.08, 図1, 【0015】 - 【0023】 および図11-13, 【0032】 - 【0034】 & US 2011/0204989 A1 & EP 2383835 A2 & CN 102195593 A & KR 10-2011-0097633 A	1, 3-6
Y	JP 7-283615 A（松下電器産業株式会社）1995.10.27, 図2, 【0015】 - 【0020】（ファミリーなし）	6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.05.2014

国際調査報告の発送日

20.05.2014

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

岸田 伸太郎

5 K

9183

電話番号 03-3581-1101 内線 3556

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
E, A	WO 2014/034347 A1 (株式会社村田製作所) 2014.03.06, 全文, 全図 (ファミリーなし)	1-9