公告本

申請日期	88 年 3 月 15 日
案號	88103963
類別	H01L 27/10

（以上各欄由本局填註）

A4
C4

421882

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體積體電路裝置
	英文	
二、發明 ~~創作~~ 人	姓名	(1) 藤澤宏樹 (2) 梶谷一彥 (3) 福井健一
	國籍	(1) 日本　(2) 日本　(3) 日本
	住、居所	(1) 日本國東京都青梅市新町五－二三－七－二〇五 (2) 日本國埼玉縣入間市下谷ケ貫九〇五－六 (3) 日本國東京都小平市上水本町五－一九－一
三、申請人	姓名（名稱）	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立裝置工程股份有限公司 日立デバイスエンジニアリング株式会社
	國籍	(1) 日本　(2) 日本
	住、居所（事務所）	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國千葉縣茂原市早野三六八一
	代表人姓名	(1) 金井務 (2) 梨本柳三

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

421882

申請日期	88 年 3 月 15 日
案號	88103963
類別	

A4
C4

（以上各欄由本局填註）

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	
	英文	
二、發明 ~~創作~~ 人	姓名	⑷ 立花利一
	國籍	⑷ 日本
	住、居所	⑷ 日本國東京都立川市一番町二－二六－一
三、申請人	姓名（名稱）	
	國籍	
	住、居所（事務所）	
	代表人姓名	

裝 訂 線

經濟部中央標準局員工消費合作社印製

421882

A6
B6

（由本局填寫）

承辦人代碼：
大　　類：
IPC分類：

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1998	年 4 月 9 日	10-114317	☑有主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（１）

本發明係有關於一種半導體積體電路裝置，例如一種可利用在適合高速化與低消耗電力化之動態型ＲＡＭ的有效的技術。

設成階層字元線構造，而三層阱（well）構造備有深度深的Ｎ型阱而構成的動態型ＲＡＭ的例子則被揭露在特開平８－１８１２９２號公報中。

動態型ＲＡＭ，會從由外部端子所供給的電源電壓形成多種的內部電壓，且將其供給到內部電路方塊。例如爲了要確保微細裝置的信賴性與減低消耗電力，根據由外部電源電壓ＶＤＤ（５Ｖ）降壓而成的降壓電壓（３Ｖ）而讓內部電路動作的方式，以往即被廣泛地使用在１６Ｍ位元的動態型ＲＡＭ。對於６４Ｍ位元世代而言，外部電壓ＶＤＤ則降低到３．３Ｖ，而必須對記憶單元之電容器供給２．５Ｖ左右的降壓電壓，或是使周邊電路能夠符合於使根據已降壓的電壓而動作之內部電路的動作電壓降低的要求。

動態型記憶單元，爲了要防止因爲在ＯＦＦ狀態下的漏電流或是因爲字元線之上浮所產生之漏電流而導致資訊保持時間變短，因此，其閾值電壓必須要變大。另一方面，上述記憶單元以外的內部電路，爲了要降低消耗電力，則最好要降低動作電壓，而爲了要在上述低電壓下確保所希望的動作速度，根據一般的常識最好要減小包含ＭＩＳＦＥＴ在內之ＭＯＳＦＥＴ的閾值電壓。

以往的動態型ＲＡＭ，爲了要滿足上述相反的要求，

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製

五、發明說明（２）

乃形成已考慮到在上述記憶單元中之資訊保持時間與上述周邊電路之動作速度之具有比較大的閾值電壓的ＭＯＳＦＥＴ。根據上述三層阱構造，將形成有記憶單元之ＭＯＳＦＥＴ的Ｐ型阱領域與形成有周邊電路之ＭＯＳＦＥＴ的Ｐ型阱領域或基板在電氣上連接，將負的背偏壓電壓供給到構成記憶單元之位址選擇ＭＯＳＦＥＴ者的通道部分，而加上修正以使其閾值電壓變大，此外，則將電路的接地電位供給到構成周邊電路之ＭＯＳＦＥＴ的通道部分，藉由離子注入技術來調整以使上述通道部分的雜質濃度降低以及使閾值電壓變小。

本發明人等，在檢討具有如２５６Ｍ位元般之大記憶容量的動態型ＲＡＭ時，爲了要更加降低消耗電力，乃檢討將動作電壓設在２Ｖ以下。當動作電壓低到２Ｖ或１．８Ｖ時，則上述閾值電壓的修正技術，不僅無法得到所希望的動作速度，且會有導致製程變動變大的問題。在此，本發明人等乃考慮利用具有與動作電壓呈對應的２種閘絕緣膜的ＭＯＳＦＥＴ來構成１個半導體積體電路裝置。當利用上述２種閘絕緣膜的ＭＯＳＦＥＴ時，則對於在利用２種閘絕緣膜的ＭＯＳＦＥＴ之電路間的動作控制或是時間調整，則必須要設定出已考慮到動作時間會因爲各自閘絕緣膜之膜厚的變動而變動之最壞情況（ worst case ）的時間，而產生會阻礙到動作速度的新的問題。

本發明之目的在於提供一種不會損及信賴性，而且實現裝置之微細化與高速化以及低消耗電力化的半導體積體

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（3）

電路裝置。本發明之其他目的在於提供一種包含試圖達成裝置之微細化與高速化，以及高集成化，低消耗電力化之動態型ＲＡＭ的半導體積體電路裝置。本發明之上述以及其他的目的與新的特徵，則由本說明書之記載以及所附圖面可以明白。

若簡單地說明在本發明所揭露之其中代表者的概要內容時，則如以下所述。亦即，針對從接受從外部端子所供給之電源電壓而動作的內部電壓產生電路，形成降壓電壓以及因應必要形成昇壓電壓，而讓內部電路動作的半導體積體電路裝置，其中接受從上述外部端子所供給之電源電壓或是在上述內部電壓產生電路中所形成的昇壓電壓而動作的第１內部電路，係由具有與上述電源電壓或昇壓電壓呈對應之膜厚厚的閘絕緣膜的第１　ＭＯＳＦＥＴ所構成，而接受上述降壓電壓而動作的第２內部電路，係由具有與上述降壓電壓呈對應之膜厚薄的閘絕緣膜的第２　ＭＯＳＦＥＴ所構成。

若簡單地說明在本發明所揭露之其中代表者的概略內容時，則如下。亦即，當對應於上述第１內部電路的動作，而讓第２內部電路動作時，則藉由利用構成上述第１內部電路之第１　ＭＯＳＦＥＴ的延遲電路，來監視第１內部電路的動作狀態而形成上述第２內部電路的動作時間信號。

第１圖係表本發明之動態型ＲＡＭ之一實施例的整體方塊圖。控制輸入信號被設成列位址選通信號／ＲＡＳ，

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（4）

行位地選通信號／CAS，寫入允許信號／WE以及輸出允許信號／OE。在此，／係對應於表低位準爲主動位準（avtive level）之邏輯記號的over bar。X位址信號與Y位址信號，乃從共同的位址端子Add，同步於列位址選通信號／RAS與行位址選通信號／CAS呈時序列地被輸入。

經由位址緩衝器被輸入的X位址信號與Y位址信號，則分別被輸入到鎖存（latch）電路。被輸入到鎖存電路的X位址信號，則由上述之預解碼器（predecoder）所供給，其輸出信號被供給到X解碼器，而形成字元線WL的選擇信號。根據字元線的選擇動作，在記憶體陣列的互補位元線上會出現上述的讀取信號，而根據感測放大器進行放大動作。被輸入到鎖存電路之Y位址信號，則被供給到上述預解碼器，其輸出信號被供給到Y解碼器，而形成位元線DL的選擇信號。X救濟電路以及Y救濟電路，則進行不良位址的記憶動作，且將所記憶的不良位址與上述所輸入的位址信號加以比較，若是一致，則對X解碼器以及Y解碼器指示選擇預備的字元線或是位元線，此外，也禁止正規字元線或正規位元線的選擇動作。

在感測放大器中被放大的記憶資訊，則由未圖示的行開關電路所選擇，且被傳送到與共同輸出入線連接的主放大器。該主放大器，雖然未特別加以限制，但是可設成一同時兼作爲寫入電路的放大器。因此，當進行讀取動作時，會將經由Y開關電路被讀取的讀取信號加以放大，且經

（請先閱讀背面之注意事項再填寫本頁）
裝 訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（5）

由輸出緩衝器從外部端子Ｉ／Ｏ被輸出。而在進入寫入動作時，會經由輸入緩衝器取入從外部端子Ｉ／Ｏ被輸入的寫入信號，且經由主放大器，被傳送到共同輸出入線以及選擇位元線，而藉由上述感測放大器的放大動作，寫入信號會在選擇位元線上被傳送，且將與其呈對應的電荷積存在記憶單元的電容器內。

時脈產生電路（主控制電路）則產生如對應於上述信號／ＲＡＳ與／ＣＡＳ被輸入之位址信號的取入控制時間信號或是感測放大器之動作時間信號等之對於記憶單元之選擇動作爲必要的各種的時序信號。內部電源產生電路，則接受如從電源端子所供給之ＶＤＤ與ＶＳＳ般的動作電壓，而產生如上述平板（plate）電壓，內部昇壓電壓ＶＰＰ，內部降壓電壓ＶＤＬ，ＶＤＬ／２般之預充電電壓，如基板背偏壓電壓ＶＢＢ般的各種內部電壓。更新計數器（Refresh counter），則係使用在當被設成更新模式時，會產生更新用的位址信號，而選擇Ｘ系的動作上。

在本實施例中，在同一圖中附加斜線的各電路，係由不會因爲作爲其動作電壓的電源電壓ＶＤＤ或是昇壓電壓ＶＰＰ而破壞閘絕緣膜之閘絕緣膜的膜厚較厚的ＭＯＳＦＥＴ（在本說明書中的意義係指ＭＯＳＦＥＴ也包含絕緣閘型場效電晶體在內，亦即所謂的ＭＩＳＦＥＴ）所構成。其他的各電路，除了以下所說明之一部分的例外外，係由與作爲其動作電壓之降壓電壓ＶＤＬ呈對應之閘絕緣膜比較薄的ＭＯＳＦＥＴ所構成。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（6）

上述位址緩衝器，或接受上述控制信號之控制緩衝器，輸入緩衝器以及輸出緩衝器，則爲了要作爲與根據系統之電源電壓ＶＤＤ而動作之其他的裝置之間的介面，乃根據電源電壓ＶＤＤ而動作。內部電壓產生電路，由於是根據電源電壓ＶＤＤ與接地電位ＶＳＳ來形成降壓電壓ＶＤＬ，昇壓電壓ＶＰＰ以及負電壓ＶＢＢ，因此必然會根據上述電源電壓ＶＤＤ而動作。此外，記憶體陣列（記憶單元）以及字元驅動器，爲了上述記憶單元之電容器電荷的 full write 動作，乃根據昇壓電壓ＶＰＰ而動作。根據該比較高的電壓而動作的ＭＯＳＦＥＴ則是由上述閘絕緣膜的膜厚較厚（例如８ｍｍ）的ＭＯＳＦＥＴ所構成。此外，昇壓電壓ＶＰＰ可以根據降壓電壓ＶＤＬ而形成。

相對於此，所謂上述主控制電路，時脈產生電路之除了上述控制緩衝器以外的內部電路，更新計數器，鎖存電路，預解碼器，Ｘ，Ｙ救濟電路，Ｘ解碼器，Ｙ解碼器，感測放大器以及主放大器的各電路，則是根據上述降壓電壓ＶＤＬ而動作，係由與此對應，而上述閘絕緣膜的膜厚較薄（例如４Ｍｍ）的ＭＯＳＦＥＴ所構成，其動作電壓爲上述降壓電壓ＶＤＬ，而對應於字元線的選擇動作，形成讓感測放大器成爲有效（活性化）之時序信號的時序電路，則爲了要監督上述字元驅動器的動作，係由利用閘絕緣膜的膜厚較厚的ＭＯＳＦＥＴ的延遲電路所構成。如此般，成爲根據上述動作電壓，亦即與閘絕緣膜之耐壓的關係來設定ＭＯＳＦＥＴ之閘絕緣膜的膜厚之本發明的原則

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（7）

的例外之一者，即有上述的時序（timing）電路。

第2圖係表上述時序電路之一實施例的概略方塊圖。在本實施例中，乃對應於列系之時脈信號ＲＣＬＫ的上升緣，而設定（set）共用開關電路以及位元線等化電路的控制信號ＳＨＲ／ＢＬＥＱ（將共用開關的其中一者設爲ＯＦＦ，且將等化ＭＯＳＦＥＴ以及預充電ＭＯＳＦＥＴ設成ＯＦＦ），根據延遲電路ＤＬ１的延遲信號來設定（選擇）副字元線ＳＷＬ，根據延遲電路ＤＬ２的延遲時間來設定（動作狀態）感測放大器ＳＡ，根據延遲電路ＤＬ３，將過驅動（over drive）ＭＯＳＦＥＴ設成ＯＦＦ，而改將ＶＤＬ供給用的開關ＭＯＳＦＥＴ設爲ＯＮ狀態。根據上述時脈信號ＲＣＬＫ的下降緣來重置（不選擇）副字元線ＳＷＬ，而根據延遲電路ＤＬ４來重置（不動作）感測放大器ＳＡ。

上述共用開關ＭＯＳＦＥＴ，會將高電壓ＶＰＰ施加在閘極，而將開關設成ＯＮ狀態，而會根據變化到低位準而被設成ＯＦ.Ｆ狀態，爲了要監視該動作，延遲電路ＤＬ１係利用上述厚的閘絕緣膜的ＭＯＳＦＥＴ而構成。同樣地，爲了要監視副字元線的選擇動作，延遲電路ＤＬ２也利用上述厚的閘絕緣膜而構成。亦即，選擇副字元線，使所選擇之記憶單元的位址選擇ＭＯＳＦＥＴ成爲ＯＮ狀態，而爲了必須要等待一對於被預充電（precharge）在位元線電容的電荷與被儲存在記憶單元之電容器內的電荷的充電分配（charge share）所需要的時間，才會讓感

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（8）

測放大器動作，上述延遲電路ＤＬ２則與上述副字元驅動器相同，係由上述厚的閘絕緣膜ＭＯＳＦＥＴ來構成。

相對於此，用來設定感測放大器之過驅動時間的延遲電路ＤＬ３，則爲了要監視電薄的閘絕緣膜所形成之感測放大器的動作，係利用與感測放大器相同，由薄的閘絕緣膜所形成的ＭＯＳＦＥＴ所構成。又，等待副字元線ＳＷＬ之重置，而被設成不動作狀態的感測放大器，以及用來設定共用開關ＭＯＳＦＥＴ或等化ＭＯＳＦＥＴ之動作時間的延遲電路ＤＬ４，則爲了要監視副字元驅動器的動作時間，利用與上述相同，由上述厚的絕緣膜的ＭＯＳＦＥＴ所構成。

當以與其他之內部電路相同，以薄的閘絕緣膜的ＭＯＳＦＥＴ來構成上述時序電路時，則必須要設定一已經考慮到與在上述副字元驅動器等之具有膜厚厚的閘絕緣膜旳ＭＯＳＦＥＴ中之最長時間呈對應的最壞情況（worst case）的時間，以及已經考慮到在成爲利用薄的閘絕緣膜的ＭＯＳＦＥＴ的延遲電路中的最短時間時的最壞情況等兩者的多餘的時間範圍（range），除了產生上述２種最壞情況的稀有情形外，大半的動態型ＲＡＭ，則必須將感測放大器的動作時間加長。動態型ＲＡＭ，在從輸入位址開始到得到與其對應的讀取信號爲止的時間中，上述感測放大器的動作時間所占的時間比較長，而上述字元線之選擇時間與感測放大器之有效時間儘可能的短，則對於達到高速乃非常的重要。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（９）

第３圖係表上述延遲電路ＤＬ２之一實施例的電路圖。如上所述，延遲電路ＤＬ２，雖然爲了要監視在副字元驅動器中的動作時間，利用與其相同，而由上述厚的閘絕緣膜的ＭＯＳＦＥＴ所構成，但此並非意味著所有的元件都是由厚的閘絕緣膜的ＭＯＳＦＥＴ所構成。延遲電路ＤＬ２，如上所述，由於只要是能夠監視在副字元驅動器中的動作時間即可，因此，其延遲時間只需要對應於厚的閘絕緣膜的ＭＯＳＦＥＴ的製程變動而形成即可。根據該想法，厚的閘絕緣膜的ＭＯＳＦＥＴ（以下稱爲厚膜ＭＯＳ），只由接受輸入信號的Ｐ通道型ＭＯＳＦＥＴ Ｑ３０與Ｎ通道型ＭＯＳＦＥＴ Ｑ３１所構成。在該ＣＭＯＳ反相電路的輸出部則設有由電阻Ｒ１０，Ｒ１１以及利用由薄的閘絕緣膜所形成的ＭＯＳＦＥＴ（以下稱爲薄膜ＭＯＳ）Ｑ３２與Ｑ３３之閘極電容的電容器所構成的時間常數電路。因此，通過接受上述時間常數電路之輸出電路的緩衝電路ＢＡ１與ＢＡ２，而形成輸出時序信號ＲＳＡ１Ｔ.。在該緩衝電路中的延遲時間，則被設成爲相對於整體的延遲時間可以忽視的程度。

與上述ＭＯＳＦＥＴ Ｑ３０與Ｑ３１之製程變動呈ＯＮ電阻值，則支配性地作用，而來決定由上述電阻Ｒ１０，Ｒ１１以及電容器所構成的時間常數。亦即，本實施例的延遲電路ＤＬ２，上述電阻Ｒ１０，Ｒ１１以及電容器Ｑ３２，Ｑ３２係用來形成與製程變動無關之一定的延遲時間者，而在設定與字元線之選擇動作的製程變動

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 10）

呈對應的延遲時間時，則上述被設成厚膜厚的閘絕緣膜的ＭＯＳＦＥＴ的ＯＮ電阻值會支配性地作用。

第４圖係表上述副字元線驅動器之一實施例的電路圖。本實施例的記憶體陣列乃被設成由主字元線與副字元線所形成之階層字元線方式。有關該階層字元線方式請容後說明，而副字元驅動器接受主字元線的選擇信號與副字元選擇線ＦＸ，而形成副字元線的選擇信號。亦即，藉由Ｐ通道型ＭＯＳＦＥＴ　Ｑ３４與Ｎ通道型ＭＯＳＦＥＴ　Ｑ３５，將上述主字元線到反相電路的輸入端子，其動作電壓係由上述副字元選擇線ＦＸ所供給。又，上述副字元選擇線ＦＸ也被供給到副字元線之重置用ＭＯＳＦＥＴ Ｑ３６的閘極。

爲了要將副字元線的選擇位準設成與昇壓電壓ＶＰＰ呈對應的高電壓，上述副字元選擇線ＦＸ的選擇位準被設成如ＶＰＰ般的高電壓。又，主字元線的不選擇位準，則被設成如ＶＰＰ般的高電壓。因此，主字元驅動器ＭＷＤ的動作電壓被設爲ＶＰＰ。將選擇信號供給到該主字元驅動器ＭＷＤ的預解碼器，則將降壓電壓ＶＤＬ當作動作電壓而動作。因此，在主字元驅動器的輸入部設置將上述ＶＤＬ信號轉換成ＶＰＰ信號的位準轉換電路。根據上述高電壓ＶＰＰ而動作的預解碼器係由薄膜ＭＯＳ所構成，而根據上述高電壓ＶＰＰ而動作的主字元驅動器ＭＷＤ以及副字元驅動器係由厚膜ＭＯＳ所構成。

副字元驅動器的動作如下所述。當主字元線爲低位準

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（11）

的選擇位準被連接到P通道型ＭＯＳＦＥＴ　Ｑ３４之源極的ＦＸ線爲ＶＰＰ的選擇位準，被連接到N通道型ＭＯＳＦＥＴ　Ｑ３６之閘極的ＦＸ線爲０Ｖ的選擇位準時，則P通道型ＭＯＳＦＥＴ　Ｑ３４成爲ＯＮ狀態，N通道型ＭＯＳＦＥＴ　Ｑ３５與Ｑ３６成爲ＯＦＦ狀態，而將副字元線設成如ＶＰＰ般的選擇位準。

當主字元線爲如ＶＰＰ般之高位準的不選擇位準時，則P通道型ＭＯＳＦＥＴ　Ｑ３４成爲ＯＮ狀態，而N通道型ＭＯＳＦＥＴ　Ｑ３５成爲ＯＮ狀態，因此，即使被連接到源極的ＦＸ線爲ＶＰＰ的選擇位準，而被連接到N通道型ＭＯＳＦＥＴ　Ｑ３６的閘極的ＦＸ線爲０Ｖ的選擇位準時，也會將副字元線設成不選擇位準。又即使主字元線爲低位準的選擇位準，而P通道型ＭＯＳＦＥＴ　Ｑ３４爲ＯＮ狀態，若被連接到其源極的ＦＸ線爲０Ｖ的不選擇位準，而被連接到N通道型ＭＯＳＦＥＴ　Ｑ３６之閘極的ＦＸ線爲ＶＰＰ的不選擇位準時，則根據ＭＯＳＦＥＴ.　Ｑ３６的ＯＮ狀態，可將副字元線設成如０Ｖ般的不選擇位準。

第５圖係表用來說明上述列系之選擇動作之一例的時間圖。從時脈信號ＣＬＫ上升到高位準開始，共用開關控制信號ＳＨＲ與等化信號ＢＬＥＱ會被設爲低位準。藉此，在不選擇側的位元線從感測放大器被切離的同時，等化ＭＯＳＦＥＴ以及預充電ＭＯＳＦＥＴ會被設定爲ＯＦＦ狀態。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 12）

接受上述信號ＲＣＬＫ的上升緣，字元線會從低位準被設成高位準的選擇位準。根據該字元線的選擇動作，所選出的記憶單元的ＭＯＳＦＥＴ成爲ＯＮ狀態，而在互補位元線的其中一者會出現與來自所選出之記憶單元的記憶電荷呈對應的微小讀取信號。等待直到根據上述字元線的選擇動作以及位元線，寄生電容與記憶單元之電容器的充電分配（ charge shared ）得到上述微小讀取信號爲止，而形成感測放大器的有效信號ＲＳＡＮ。實際上爲了感測放大器的高速動作，感測放大器在開始動作時，會暫時地根據電源電壓ＶＤＤ般的高電壓而動作。

根據上述時脈信號ＲＣＬＫ的下降緣，將字元線從選擇位準切換成不選擇位準，等到該字元線被設成不選擇位準，則將感測放大器之有效信號ＲＳＡＮ設成低位準的無效位準，將共用開關控制信號ＳＨＲ以及等化信號ＢＬＥＱ設成高位準，而實施互補位元線的半預充電 half precharge（等化動作）。

用來設定諸如包括已監視到在高電壓下之動作的共用開關控制信號以及等化信號ＢＬＥＱ成爲ＯＦＦ狀態的字元線選擇時間，或是從字元線的選擇時間開始，使感測放大器成爲有效之感測放大器時間，以及讓已監視到字元線之ＯＦＦ狀態的感測放大器成爲無效的感測放大器時間的上述延遲電路ＤＬ１，ＤＬ２以及ＤＬ４，則是利用上述厚膜ＭＯＳ來構成，藉此可以設定出能夠反映出其製程變動的時間，而可以不需要設定多餘的時間範圍（ range ），

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（13）

即能夠縮短從輸入位址開始到得到讀取信號爲止的時間。換言之，可以縮短記憶體存取的時間。

第6圖係用來說明本發明之動態型ＲＡＭ之一實施例的元件構造斷面圖。在本實施例中，乃以上述的記憶單元部，厚膜ＭＯＳ與薄膜ＭＯＳ的元件構造爲代表。記憶單元的記憶電容器，其中第2層的多矽層係當作儲存點（storage node）ＳＮＣＴ來使用，而與構成位址選擇用ＭＯＳＦＥＴ之其中一個的源極，汲極的N^+擴散層連接。由上述第2層多矽層所形成的儲存節點ＳＮＣＴ則設成王冠構造，而經由薄的閘絕緣膜形成由第3層多矽層所構成的平板（plate）電極ＰＬＴ。位址選擇用ＭＯＳＦＥＴ的閘極則與副字元線ＳＷＬ呈一體地構成，而藉由第1層多矽層ＦＧ與形成在其上部的矽化鎢（ＷＳｉ）所形成。

構成位址選擇用ＭＯＳＦＥＴ之另一個的源極，汲極的N^+擴散層，則被連接到由多矽層與設在其上部之上述同樣的矽化鎢（ＭＩ）所構成的位元線ＢＬ。在上述記憶單元的上部則形成有由第2層的金屬層Ｍ2所構成的主字元線ＭＷＬ，未圖示的副字元選擇線ＦＸＢ，而在其上部則形成有由第3層之金屬層Ｍ3所構成的Ｙ選擇線ＹＳ以及副字元選擇線ＦＸ。此外，上述位元選擇ＭＯＳＦＥＴ的閘絕緣膜係以約8ｎｍ左右的比較厚的厚度所形成。藉此，除了對於連接有上述閘極之副字元線ＳＷＬ的昇壓電壓ＶＰＰ般的選擇位準具有足夠的耐壓外，其閾值電壓也比較大，而能夠確保資訊保持特性。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 14）

在本實施例中，形成有上述位址選擇用ＭＯＳＦＥＴ之Ｐ型阱領域ＰＷＥＬＬ，則根據深度深的Ｎ型阱領域ＤＷＥＬＬ。在電氣上被分離，而被供給－１Ｖ左右的負的背偏壓電壓ＶＢＢ。藉由供給該負電壓ＶＢＢ，可以提高上述位址選擇ＭＯＳＦＥＴ的閾值電壓，此外，可以防止在上述ＰＷＥＬＬ所發生的少數載子（ minority carrier ）到達被連接到上述電容器的N^+擴散層，而能夠延長資訊保持時間。

連構成設在記憶單元部之周邊部的副字元驅動器ＳＷＤ以及接受來自外部端子所供給之電源電壓而動作的輸入緩衝器等之具備厚的閘絕緣膜的Ｎ通道型ＭＯＳＦＥＴ，也與上述記憶單元之位址選擇ＭＯＳＦＥＴ同樣地形成。但是當形成此之Ｐ型阱領域未被上述ＤＷＥＬＬ所分離時，則提供電路的接地電位。藉此，雖然是設成與構成記憶單元之ＭＯＳＦＥＴ相同之閘絕緣膜的膜厚，但閾值電壓也會變小。構成與記憶體陣列呈分離形成之輸入緩衝器等之Ｎ通道型ＭＯＳＦＥＴ，也可以被形成在Ｐ型基板上。

爲了要構成該些周邊電路，乃形成第１層金屬層Ｍ１。例如，爲了要構成上述ＣＭＯＳ反相電路，用於連接Ｎ通道型ＭＯＳＦＥＴ與未圖示之同樣厚膜構造的Ｐ通道型ＭＯＳＦＥＴ的閘極的配線，則使用上述第１層的金屬層Ｍ１。而當使用第２層金屬層Ｍ２來連接構成上述ＣＭＯＳ反相電路之ＭＯＳＦＥＴ的汲極等與其他的電路

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（15）

時，則經由通孔（through hole），落入作爲假對象（dummy）的第1層金屬層M1，且經由該第1層的配線層M1與接點（contact）而被連接到上述汲極。

如預解碼器或感測放大器般根據降壓電壓VDL而動作之具備有薄的閘絕緣膜的N通道型MOSFET，其閘絕緣膜只形成薄薄的4nm，而其他的構造則與上述厚膜MOSFET相同。又形成上述2種閘絕緣膜的方法，首先形成上述薄的閘絕緣膜，之後則以形成薄膜MOS的部分作爲掩罩，而除去上述薄的閘絕緣膜，而重新形成厚的閘絕緣膜。或是也可以重疊於上述薄的閘絕緣膜上，而形成膜厚厚的閘絕緣膜。藉由該薄膜MOSFET來構成行選擇開關，當將由第3層的金屬層M3所形成的Y選擇線YS連接到行選擇開關MOSFET的閘極時，則經由通孔落入作爲上述假對象（dummy）的金屬層M2，金屬層M1，而被連接到上述行開關MOSFET的閘極或是同圖所示被連接到源極，汲極。

當採用本實施例的元件構造時，由於根據上述降壓電壓VDL而動作的MOSFET的閘絕緣膜係薄薄地被形成，因此可以減小其閾值電壓。結果，即使是使上述降壓電壓降到如2V或1.8V左右般的CMOS電路的動作下限電壓附近時，由於能夠確保必要的電流，因此可以維持所希望的動作速度。此外，即使是在後述之熱負荷試驗中，上述降壓電壓VDL也會隨著電源電壓VDD的上昇而上昇，但是在熱負荷試驗時的降壓電壓VDL大約爲此

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（16）

時之電源電壓ＶＤＤ的１／２左右，因此，即使是形成爲上述薄的閘絕緣膜，也能夠確保閘絕緣膜的耐壓。

第７圖係表本發明之動態型ＲＡＭ之一實施例的概略佈局圖。在同一圖中，在構成動態型ＲＡＭ之各電路方塊中，則簡化表示而能夠明白與本發明相關連的部分，而此則藉由習知的半導體積體電路的製造技術被形成在如單晶矽般的１個半導體基板上。

在本實施例中，雖然特別加以限制，但記憶體陣列整體被分成８個。乃沿著半導體晶片的長邊方向，上下４個，左右各２個的記憶體陣列，在沿著上述晶片之長邊方向的中央部分設有位址輸入電路，資料輸出入電路以及由接合墊（ bonding pad ）列所形成的輸出入介面電路等的周邊電路（ peripheral ）等，而在上述記憶體陣列的上述中央側配置有主放大器ＭＡ。

如上所述，對於沿著半導體晶片之長邊方向，上下各２個共４個，左右各２個合計８個的各記憶體陣列，乃相對於長邊方向，在左右方向的中間部配置Ｘ系預解碼電路ＲＯＷＰＤＣ以及救濟電路ＲＯＷＲＥＤ，Ｙ系預解碼電路ＣＯＬＰＤＣ以及救濟電路ＣＯＬＲＥＤ。沿著上述記憶體陣列的上述中間部分形成主字元驅動器領域ＭＷＤ，而分別驅動對應於各記憶體陣列，而朝上方側延長般而設之主字元線。

在上述記憶體陣列中，雖然未特別限制，但是在與上述晶片中央部分呈相反側的晶片周邊側設有Ｙ解碼器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（17）

ＹＤＣ。在本實施例中，上述被分割成８個的各記憶體陣列則如被配置在上述中央側的主放大器ＭＡ與配置在周邊側的Ｙ解碼器ＹＤＣ所挾持般被配置。上述記憶體陣列，如後述般被分割成多個副陣列。上述副陣列則被如挾持其而被配置的感測放大器領域，副字元驅動器領域所包圍而形成。上述感測放大器領域與上述副字元驅動器領域的交差部則被設成交差領域。設在上述感測放大器領域的感測放大器，則藉由共同感測（ shared sensor ）方式而構成，除了被配置在記憶單元陣列之兩端的感測放大器外，乃以感測放大器作爲中心，在左右設置互補位元線，而選擇地被連接到左右之其中一個記憶單元陣列的互補位元線。

如上所述，沿著半導體晶片的長邊方向各分成４個的記憶體陣列，而呈每２個一組地被配置。如此呈２個一組地被配置的２個記憶體陣列，則在其中間部分配置Ｘ系預解碼電路以及救濟電路ＲＯＷＲＥＤ，Ｙ系預解碼電路ＣＯＬＰＤＣ以及救濟電路ＣＯＬＲＥＤ。亦即，以上述Ｘ系預解碼電路ＲＯＷＰＤＣ以及救濟電路ＲＯＷＲＥＤ，Ｙ系預解碼電路ＣＯＬＰＤＣ以及救濟電路ＣＯＬＲＥＤ爲中心，而將記憶體配置在上下方向。上述主字元驅動器ＭＷＤ，則形成如貫穿上述１個記憶體陣列，而在晶片長邊方向延伸之主字元線的選擇信號。又在上述主字元驅動器ＭＷＤ也設置副字元選擇用的驅動器，如後述般，乃與上述主字元線呈平行地延長，而形成副字元選擇線的選擇信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 18）

1個副陣列，雖然未圖示，但是是由５１２條的副字元線以及與其垂直相交之５１２對所形成的互補位元線（或資料線）所構成。此外，爲了要救濟不良字元線或不良位元線，乃設有預備的字元線以及預備的互補位元線。上述１個記憶體陣列，由於在上述字元線的配列方向設置１６個上述副陣列，而整個的上述副字元線大約設置８Ｋ，在位元線的配列方向設置８個，而互補位元線整體大約設置４Ｋ。由於如此的記憶體陣列整體共設置８個，因此整體具有８×８Ｋ×４Ｋ＝２５６Ｍ位元般的大記憶容量。藉此，互補位元線的長度，則對應上述１６個副陣列，被分割爲１／１６的長度。副字元線，則對應上述８個副陣列，被分割爲１／８的長度。

針對上述１個記憶體陣列的每個被分割的副陣列設置副字元驅動器（副字元線驅動電路）。副字元驅動器，如上所述，則形成相對於主字元線被分割成１／８的長度，而與其呈平行延長之副字元線的選擇信號。在本實施例中，爲了要減少主字元線的數目，換言之，爲了要使主字元線的配線間距變得和緩，雖然未特別限制，但是針對１個主字元線，在互補位元線方向配置４條副字元線。如此般，可在主字元線方向被分割爲８條，以及爲了要在相對於互補位元線方向各分配４條的副字元線中選擇１條副字元線，乃在主字元驅動器ＭＷＤ配置未圖示的副字元線。該副字元選擇驅動器會形成在上述副字元驅動器之配列方向上延長的４條副字元選擇線中選出１條的選擇信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（19）

在採用第7圖的佈局（layout）時，若輸入Y位址時，則經由位址緩衝器ADDBUP被傳送到設在上述記憶體陣列之中間部的救濟電路，經由預解碼器被配置在晶片之周邊側的Y解碼器YDC，在此形成Y選擇信號。根據上述Y選擇信號選出1個副陣列的互補位元線，而被傳到與其呈相反側的晶片中央部側的主陣列MA而被放大，且經由未圖示的輸出電路被輸出。

初看該構造則可以判斷出信號會繞著晶片，而到輸出讀取信號爲止的時間會變長。但是，由於必須直接將位址信號輸入到救濟電路，因此當將救濟電路配置在晶片中央時，則必須要等待是否爲不良位址的判斷結果，才會決定出預解碼器的輸出時間。亦即，當預解碼器與救濟電路分離時，在此處的信號即會成爲讓實際的Y選擇動作延遲的原因。

在本實施例中，由於主放大器MA與Y解碼器YDC係挾著記憶體陣列被配置在兩側，因此，用來選擇副陣列之互補位元線的信號傳達路徑與從所選出的互補位元線，經由輸出入線到主放大器MA的輸入爲止的信號傳達路徑的和，則成爲想要選擇其中之互補位元線，而橫越記憶體陣列的信號傳達路徑，如上述般，可以縮短成作1次往復者的一半。藉此可以使得記憶體的存取高速化。

第8圖係更詳細地說明本發明之動態型RAM之概略佈局圖。在同一圖中，乃表示整個記憶體晶片的概略佈局以及被分割成8個的1個記憶體陣列的佈局。同一圖係以

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（20）

其他的觀點來表示第1圖的實施例。亦即，與第1圖同樣地記憶體陣列，沿著長邊方向（字元線方向），上下4個，左右各2個，共分割成8個記憶體陣列（Array），而在其長方向的中央部份設有多個接合墊以及輸出入電路等的周邊電路（Bonding Pad & Peripheral Circuit）。

上述8個記憶體陣列，如上所述大約具有32M位元的記憶容量，而如將其中1個放大表示般，係一在字元線方向分割成8個，而在位元線方向分割成16個而成的副陣列。在上述副陣列之位元線方向的兩側，則相對於上述位元線方向配置感測放大器（Sence Amplifier），而在上述副陣列的字元線方向的兩側配置副字元驅動器（Sub-Word Driver）。

上述1個記憶體陣列，整體設有8192條的字元線與4096對的互補位元線。藉此，整體具有大約32M位元的記憶容量。如上所述，由於8192條的字元線乃分配到16個副陣列被配置，因此，在1個副陣列設有512條的字元線（副字元線）。又，如上所述，由於4096對的互補位元線係分配給8個副陣列被配置，因此，1個副陣列設有512對的互補位元線。

對應於記憶體陣列的主字元線設有主字元驅動器MWD。亦即，在同圖所示之記憶體陣列的左側設有陣列控制器（Array control）以及主字元驅動器（Main Word Driver）。在上述陣列控制電路設有用來驅動第1副字元選擇線的驅動器。在上述記憶體陣列則配置有貫穿上述被

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 21）

分割８個的副陣列而延長的主字元線。上述主字元驅動器則用來驅動上述主字元線。與上述主字元線同樣地，第１副字元選擇線，也如貫穿上述被分割成８個的副陣列般地延長。在上述陣列的上部（晶片周邊側）則設有Ｙ解碼器（ＹDecoder）以及Ｙ選擇線驅動器（ＹSdriver）。

第９圖係表本發明之動態型ＲＡＭ中的副陣列與其周邊電路之一實施例的概略佈局圖。在同一圖中，係以在第８圖所示之記憶體陣列中之附加斜線的位置上所配置的４個副陣列ＳＢＡＲＹ爲代表來表示。在同一圖中，藉著在形成有副陣列ＳＢＡＲＹ的領域附加斜線，可以區分出設在其周邊的副字元驅動器領域，感測放大器領域以及交差區域（corss area）。

副陣列ＳＢＡＲＹ（１５），當將字元線的延長方向設爲水平方向時，則配置５１２條的副字元線ＳＷＬ，而互補位元線對係由５１２對所構成。因此，與上述５１２條的副字元線ＳＷＬ呈對應的５１２個副字元驅動器ＳＷＤ（１７.），則在上述副陣列的左右各２５６個地分配配置。而對應於上述５１２對的互補位元線而設的５１２個感測放大器ＳＡ（１６），則被設成上述共用感測放大器方式，而在上述副陣列的上下各分配２５６個地被配置。

上述副陣列ＳＢＡＲＹ（１５），除了５１２條的正規的副字元線ＳＷＬ外，也設有未圖示的預備字元線。因此，上述５１２條的副字元線ＳＷＬ與對應於上述預備字

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（22）

元線的副字元驅動器ＳＷＤ（１７），則分配被配置在上述副陣列（１５）的左右。如上所述，右下方的副陣列（１５）係由５１２對的互補位元線ＢＬ所構成，與上述同樣地，２５６個的感測放大器（１６）被配置在上下方向。在被配置在上述右側之上下的副陣列ＳＢＡＲＹ上所形成的２５６對的互補位元線，則經由共用開關ＭＯＳＦＥＴ被共同連接到感測放大器ＳＡ。與上述同樣地，也設有未圖示的預備的位元線，而對應於此的感測放大器（１６）則也被分配設在上下方向。

主字元線ＭＷＬ，則如其中一個爲代表而延長。又行選擇線ＹＳ，則以其中一個爲代表，在同圖的縱向上延長。此外，則與上述主字元線ＭＷＬ呈平行地配置副字元線ＳＷＬ，而與上述行選擇線ＹＳ呈平行地配置互補位元線ＢＬ（未圖示）。８條的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ，則相對於上述４個副陣列，與主字元線ＭＷＬ同樣地，如貫穿４組（８個）副陣列般地延長。此外，４條副字元選擇線ＦＸ０Ｂ～ＦＸ３Ｂ以及４條ＦＸ４Ｂ～ＦＸ７Ｂ，則分開於上下的副陣列上延長。如此般將１組的副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ分配到２個副陣列，且讓該些在副陣列上延長的理由，即是爲了要使記憶體晶片的尺寸達到小型化。

亦即，當將上述８條副字元選擇線ＦＸ０Ｂ～ＦＸ７Ｂ分配到各副陣列，且在感測放大器區域上將其形成爲配線通道（ channel ）時，則如第４圖的記憶體陣列般

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（23）

，爲了要在上下的記憶體陣列各配置16個共32個副陣列，則必須要有8×32＝256條的配線通道。相對於此，在上述實施例中，將上述8條的副字元選擇線FX0B～FX7B分配到2個副陣列，而讓配線通過副陣列上而配置，則不必要設置特別的配線通道。

原本在副陣列上，係針對8條副字元線設置1條主字元線，而爲了要選出該8條中的其中1條，則必須要有副字元選擇線。由於是以針對8條配合記憶單元的間距所形成之副字元線有1條的比例而形成主字元線，因此，主字元線的配線間距變得和緩。因此，利用與主字元線同樣的配線層，而將上述副字元選擇線形成在主字元線之間可以比較容易。

若將與上述主字元線MWL呈平行延長者設爲第1副字元選擇線FX0B時，則在左上部的交差區域設置一經由接受來自上述第1副字元選擇線FX0B的選擇信號的副字元選擇線驅動電路FXD，而將選擇信號供給到上述上下被配列的副字元驅動器的第2副字元線FX0。相較於上述第1副字元選擇線FX0B係與上述主字元線MWL以及副字元線SWL呈平行地延長，上述第2副字元選擇線，則是與和其呈垂直相交之行選擇線YS以及互補位元線BL呈平行地延長。針對上述8條第1副字元選擇線FX0B～FX7B，上述第2副字元選擇線FX0～FX7被分割成偶數FX0，2，4，6與奇數FX1，3，5，7，而被分配配置在被設於副陣列SBARY

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（24）

之左右的副字元驅動器ＳＷＤ。

上述副字元選擇線驅動電路ＦＸＤ，如同圖所示，乃在１個交差區域的上下各分配２個。亦即，如上所述，在左上部的交差區域，被配置在下側的副字元選擇線驅動電路係對應於上述第１副字元選擇線ＦＸ０Ｂ，而設在左中間部的交差區域的２個副字元選擇線驅動電路ＦＸＤ，則對應於第１副字元選擇線ＦＸ２Ｂ與ＦＸ４Ｂ，而被配置在左下部之交差區域的上側的副字元選擇線驅動電路，則對應於上述第１副字元選擇線ＦＸ６Ｂ。

在中央上部的交差區域（１８），被配置在下側的副字元選擇線驅動電路係對應於上述第１副字元選擇線ＦＸ１Ｂ，而設在中央中間部之交差區域的２個副字元選擇線選擇電路ＦＸＤ，則對應於第１副字元選擇線ＦＸ３Ｂ與ＦＸ５Ｂ，而被配置在中央下部之交差區域的上側的副字元選擇線驅動電路，則對應於上述第１副字元選擇線ＦＸ７Ｂ。此外，在右上部的交差區域，被配置在下側的副字元選擇線驅動電路係對應於上述第１副字元選擇線ＦＸ０Ｂ，而設在右中間部之交差區域的２個副字元選擇線驅動電路ＦＸＤ，則對應於第１副字元選擇線ＦＸ２Ｂ與ＦＸ４Ｂ，而設在右下部之交差區域的上側的副字元選擇線驅動電路，則對應於上述第１副字元選擇線ＦＸ６Ｂ。如此被設在記憶體陣列之端部的副字元驅動器，由於在其右側未存在有副陣列，而只驅動左側的副字元線ＳＷＬ。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（25）

如本實施例所示，對於在副陣列上之主字元線之間距之間配置副字元選擇線的構造而言，由於可以不需要特別的配線通道（channel），因此，即使將8條副字元選擇線配置在1個副陣列，記憶體晶片也不會變大。然而，爲了要形成上述副字元選擇線驅動電路FXD而加大領域，會妨礙到高積體化。亦即，在上述交差區域，由於設置同圖中以虛線所表示之主輸出入線MIO，對應於副輸出入線而設的開關電路IOSW，用來驅動感測放大器之功率MOSFET，用來驅動共用開關MOSFET的驅動電路，以及用來驅動預充電MOSFET之驅動電路等的周邊電路，因此並沒有多餘的面積。

副字元驅動器，則在上述第2副字元選擇線FX0～6等設有與其平行，而供對應於第1副字元選擇線FX0B～6B的選擇信號通過的配線，由於如後述般其負載小，因此不需要像上述第2副字元選擇線FX0～6般要設置特別的驅動器FXD，而藉由直接與上述第1副字元選擇線F.X0B～6B連接的配線所構成。但是，其配線層則使用與上述第2副字元選擇線FX0～6相同者。

在上述交差區域中，位在被配置在偶數之第2副字元選擇線FX0～FX6之延長方向A上者，則設有以Ⓟ所示之針對感測放大器供給降壓電壓VDL的N通道型的功率MOSFET，以Ⓞ所示之針對感測放大器供給後述之過驅動（over drive）用之電源電壓VDD的N通道型的功

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（26）

率ＭＯＳＦＥＴ，以及以Ｎ所示之針對感測放大器供給電路之接地電位ＶＳＳ的Ｎ通道型的功率ＭＯＳＦＥＴ。

而在上述交差區域中，位在被配置在奇數之第２副字元選擇線ＦＸ０～ＦＸ６之延長方向Ｂ上者，則有以Ｂ所示之將位元線的預充電以及等化用ＭＯＳＦＥＴ設成ＯＦＦ狀態的Ｎ通道型驅動ＭＯＳＦＥＴ，以及以Ｎ所示之針對感測放大器供給電路之接地電位ＶＳＳ的Ｎ通道型的功率ＭＯＳＦＥＴ。該Ｎ通道型的功率ＭＯＳＦＥＴ係一從感測放大器列的兩側，將接地電位供給到構成感測放大器之Ｎ通道型ＭＯＳＦＥＴ之放大ＭＯＳＦＥＴ的源極者。亦即，根據設在上述Ａ側之交差區域的Ｎ通道型的功率ＭＯＳＦＥＴ以及設在上述Ｂ側之交差區域的Ｎ通道型的功率ＭＯＳＦＥＴ的兩者，將接地電位供給到設在感測放大器的１２８個或１３０個的感測放大器。

如上所述，副字元線驅動電路ＳＷＤ會選擇以其爲中心而位在兩側之副陣列的副字元線。相對於此，則針對上述所選出的2.個副陣列的副字元線，使２個感測放大器成爲有效（ active ）。亦即，當將副字元線設爲選擇狀態時，則位址選擇ＭＯＳＦＥＴ成爲ＯＮ狀態，而記憶電容器的電荷會與位元線電荷合成，因此必須要使感測放大器成爲有效，而進行回到原來之電荷狀態的再寫入動作。除了與位在上述端部的副陣列呈對應者之外，以上述Ｐ，Ｏ，Ｎ所示的功率ＭＯＳＦＥＴ，也會被使用在使位在兩側之感測放大器變得有效上。相對於此，設在位在記憶體陣列

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（27）

之端部的副陣列的右側的副字元驅動電路ＳＷＤ，由於只能選擇上述副陣列的副字元線，因此，上述以Ｐ，Ｏ以及Ｎ所示的功率ＭＯＳＦＥＴ，係一只讓與上述副陣列呈對應的感測放大器成爲有效者。

上述感測放大器被設爲共用感測方式，在挾著其而位在兩側的副陣列之中，將位在不選擇上述副字元線側之互補位元線呈對應的共用開關ＭＯＳＦＥＴ設成ＯＦＦ狀態而予以切離，藉此，可以將與上述所選出之副字元線呈對應的互補位元線的讀取信號予以放大，而進行使記憶單元的記憶電容器回到原來的電荷狀態的再寫入（rewrite）動作。

第１０圖係表用於形成本發明之動態型ＲＡＭ中之副陣列與其周邊電路之阱領域的一實施例的概略佈局圖。在同一圖中，係以如被第８圖所示之記憶體陣列中的虛線所包圍般地，８個包含了在上述附加斜線之位置所配置的４個副陣列ＳＢＡＲＹ在內者爲代表。

在同一圖中，白底的部分表示Ｐ型基板（ＰＳＵＢ）。對該Ｐ型基板ＰＵＢ給予電路的接地電位ＶＳＳ。在上述Ｐ型基板ＰＳＵＢ，如斜線所示般形成有２種的Ｎ型阱領域ＮＷＥＬＬ（ＶＤＬ）與ＮＷＥＬＬ（ＶＤＤ或ＶＤＤＣＬＰ）。亦即，形成有用於構成感測放大器ＳＡ的Ｐ通道型的放大ＭＯＳＦＥＴ的Ｎ型阱領域以及形成有被配置在上述Ａ列之交差區域之上述功率開關ＭＯＳＦＥＴ的Ｎ型阱領域，乃被供給了利用昇壓電壓

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（28）

ＶＰＰ所形成之箝位（clamp）電壓ＶＤＤＣＬＰ或ＶＤＤ。

在上述Ｂ列的交差區域則形成一用於形成構成對應於副輸入線ＬＩＯ而設的開關電路ＩＯＳＷ的Ｐ通道型ＭＯＳＦＥＴ，設在主輸出入線之預充電用與等化用的Ｐ通道型ＭＯＳＦＥＴ的Ｎ型阱領域，而被供給降壓電壓ＶＤＬ。

在形成有副陣列與副字元線驅動電路ＳＷＤ的整體，則形成深度深的Ｎ型阱領域ＤＷＥＬＬ。而對該深度深的Ｎ型阱領域供給與字元線的選擇位準呈對應的昇壓電壓ＶＰＰ。在該深度深的Ｎ型阱領域ＤＷＥＬＬ，則形成一用於形成構成上述副字元線驅動電路ＳＷＤ之Ｐ通道型ＭＯＳＦＥＴ的Ｎ型阱領域ＮＷＥＬＬ，而與上述深度深的Ｎ型阱領域ＤＷＥＬＬ同樣地被供給昇壓電壓ＶＰＰ。

在上述深度深的Ｎ型阱領域ＤＷＥＬＬ，則形成一用來形成構成記憶單元之Ｎ通道型的位址選擇ＭＯＳＦＥＴ以及副字元線驅動電路ＳＷＤ之Ｎ通道型ＭＯＳＦＥＴ的Ｐ型阱領域ＰＷＥＬＬ。而對該些Ｐ型阱領域ＰＷＥＬＬ供給被設成負的電壓的基板背偏壓電壓ＶＢＢ。

若看第８圖所示之被分割爲８個之其中１個陣列時，雖然未特別限制，上述深度深的Ｎ型阱領域ＤＷＥＬＬ，是以對應於字元線方向而排列的８個副陣列爲１個單位，而整體１６個排列在位元線方向被形成。此外，與在陣列上延長之主字元線的兩端所配置的副字元驅動器（Sub-

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（29）

Word Driver）呈對應的交差區域則被設成上述A列，且與上述同樣地，如B列般交互地被配置。因此，除了端部外，用於形成在上述A列以及其兩側所配置的2個感測放大器（Sence Amplifier）之P通道型MOSFET的N型阱領域NWELL（VDD或VDDCLP）乃被設成共用。

第11圖係表以本發明之動態型RAM之感測放大器部爲中心，從位址輸入到資料輸出爲止之被簡化之一實施例的電路圖。在同一圖中，則表示由上下方向被2個副陣列15所挾持的感測放大器16以及設在上述交差區域18的電路。其他則以方塊圖來表示。又以虛線所表示的電路方塊，分別藉上述符號來表示。

動態型記憶單元係以在設在上述1個副陣列15之副字元線SWL與在互補位元線BL，BLB中之其中一個位元線BL之間所設的一個爲代表。動態型記憶單元係由位址選擇MOSFET Qm與記憶電容器Cs所構成。位址選擇MOSFET Qm的閘極則被連接到副字元線SWL，該MOSFET Qm的汲極則被連接到位元線BL，而其源極則被連接到記憶電容器Cs。記憶電容器Cs的另一個電極被設成共用，且被供給平板（plate）電壓。在上述MOSFET Qm的基板（通道）則被施加負的背偏壓電壓VBB。上述背偏壓電壓VBB則被設定爲如－1V般的背偏壓電壓VBB。上述副字元線SWL的選擇位準，則被設成相對於上述位元線的高位準高約一

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（30）

上述位址選擇ＭＯＳＦＥＴ　Ｑｍ之閾值電壓成分的高電壓ＶＰＰ。

在藉由降壓電壓ＶＤＬ讓感測放大器動作時，藉由感測放大器被放大，而被供給到位元線的高位準，則被設成上述內部電壓ＶＤＬ位準。因此，與上述字元線之選擇位準呈對應的高電壓ＶＰＰ，則被設成ＶＤＬ＋Ｖｔｈ＋α。設在感測放大器之左側的副陣列的一對的互補位元線ＢＬ與ＢＬＢ，如同一圖所示係呈平行地被配置，而爲了要取得位元線的電容平衡，乃因應所需適當地交差。上述互補位元線ＢＬ與ＢＬＢ，則藉由共用開關ＭＯＳＦＥＴ Ｑ１與Ｑ２，而與感測放大器之單位電路的輸出入節點連接。

感測放大器的單位電路係由閘極與汲極被交差連接，而被設成鎖存（latch）狀態的Ｎ通道型的放大ＭＯＳＦＥＴ　Ｑ５，Ｑ６以及Ｐ通道型的放大ＭＯＳＦＥＴ　Ｑ７，Ｑ８所構成。Ｎ通道型ＭＯＳＦＥＴ　Ｑ５與Ｑ６的源極則被連接到共同源極線ＣＳＮ。Ｐ通道型ＭＯＳＦＥＴ　Ｑ７與Ｑ８的源極則被連接到共同源極線ＣＳＰ。在上述共同源極線ＣＳＮ與ＣＳＰ則分別連接有功率開關ＭＯＳＦＥＴ。雖然未特別限制，針對被連接到Ｎ通道型之放大ＭＯＳＦＥＴ　Ｑ５與Ｑ６之源極的共同源極線ＣＳＮ，則藉由設在上述交差區域１８之Ｎ通道型的功率開關ＭＯＳＦＥＴ　Ｑ１４，而提供與接地電位呈對應的動作電壓。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（31）

雖然未特別限制，在被連接到上述P通道型之放大MOSFET Q7與Q8之源極的共同源極線CSP，則設有設在上述交差區域18之過驅動（over drive）用的N通道型的功率MOSFET Q15與用於供給上述內部電壓VDL的N通道型的功率MOSFET Q16。上述過驅動用的電壓，雖然未特別限制，但是可以使用從外部端子所供給的電源電壓VDD。或是爲了要減輕感測放大器動作速度與電源電壓VDD的依存性，乃可以使用在閘極從施加VPP，且在汲極施加電源電壓VDD之N通道型MOSFET的源極所得到之稍微經降壓的箝位（clamp）電壓。

被供給到上述N通道型之功率MOSFET Q15的閘極的感測放大器過驅動用有效化信號SAP1，則被設成相位與被供給到上述N通道型MOSFET Q16之閘極的有效化信號SAP2相同的信號，而呈時序列地將SAP1與SAP2設成高位準。雖然未特別限制，但是將SAP1.與SAP2的高位準設成昇壓電壓VPP位準的信號。亦即，由於昇壓電壓VPP大約爲3.8V，因此足以使上述N通道型MOSFET Q15成爲ON狀態。在MOSFET Q15成爲OFF狀態後，藉由MOSFET Q16的ON狀態，可以從源極側輸出與內部電壓VDL呈對應的電壓。

上述感測放大器的驅動電路，由於必須將上述信號SAP1與SAP2設成與VPP位準呈對應的高電壓，

（請先閱讀背面之注意事項再填寫本頁）
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（32）

因此必須對在上述時序電路中所形成的ＶＤＬ位準的時序信號進行位準轉換而形成。因此，ＭＯＳＦＥＴ　Ｑ１５與Ｑ１６係由厚的閘絕緣膜的ＭＯＳＦＥＴ所構成。相對於此，被供給到接地電位側之ＭＯＳＦＥＴ　Ｑ１４之閘極的時序信號ＳＡＮ，則直接供給上述ＶＤＬ位準的信號。而上述ＭＯＳＦＥＴ　Ｑ１４則設成薄的閘絕緣膜。

在上述感測放大器之單位電路的輸出入節點，則設有由讓互補位元線短路的等化ＭＯＳＦＥＴ　Ｑ１１以及將半預充電（ half precharge ）電壓ＶＢＬＲ供給到互補位元線的開關ＭＯＳＦＥＴ　Ｑ９與Ｑ１０所得到的預充電（等化）電路。該些ＭＯＳＦＥＴ　Ｑ９～Ｑ１１的閘極則共同被供給預充電信號ＰＣＢ。而形成該預充電信號ＰＣＢ的驅動電路，雖然未圖示，但是在上述交差區域設置反相電路，而使其下降變得高速。亦即，在開始記憶體存取時，在字元線選擇時間之前，經由分散設在各交差區域的反相電路，而高速地切換構成上述預充電電路的ＭＯＳＦＥＴ. Ｑ９～Ｑ１１。

在上述交差區域１８，則除了第１１圖所示的電路以外，也可以因應必要，設置感測放大器之共用源極線ＣＳＰ與ＣＳＮ的半預充電電路，區域輸出入線ＬＩＯ的半預充電電路，共用（ shared ）選擇信號ＳＨＲ與ＳＨＬ的分散驅動電路等。

感測放大器的單位電路，則經由共用開關ＭＯＳＦＥＴ　Ｑ３與Ｑ４，而被連接到圖下側之副陣列

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（33）

１５之同樣的互補位元線ＢＬ，ＢＬＢ。開關ＭＯＳＦＥＴ　Ｑ１２與Ｑ１３則構成行開關電路，當上述選擇信號ＹＳ被設成選擇位準（高位準）而成爲ＯＮ狀態，而將上述感測放大器之單位電路的輸出入節點與區域輸出入線ＬＩＯ１與ＬＩＯ１Ｂ，ＬＩＯ２，ＬＩＯ２Ｂ等加以連接。例如當選擇上側的副陣列的副字元線ＳＷＬ時，則將感測放大器之上側共用開關ＭＯＳＦＥＴ　Ｑ１與Ｑ２設成ＯＮ狀態，將下側共用開關ＭＯＳＦＥＴ　Ｑ３與Ｑ４設成ＯＦＦ狀態。

藉此，感測放大器的輸出入節點被連接到上述上側的互補位元線ＢＬ，ＢＬＢ，而將被連接到所選出之副字元線ＳＷＬ的記憶單元的微小信號放大，經由上述行開關電路（Ｑ１２與Ｑ１３），而傳送到區域輸出入線ＬＩＯ１，ＬＩＯ１Ｂ。上述區域輸出入線ＬＩＯ１，ＬＩＯ１Ｂ，則沿著上述感測放大器列，亦即，在同一圖中朝橫方向延長。上述區域輸出入線ＬＩＯ１，ＬＩＯ１Ｂ，則經由由設在交差區域１８之Ｎ通道型ＭＯＳＦＥＴ　Ｑ１９與Ｑ２０所構成的ＩＯ開關電路，而被連接到與主放大器６１之輸入端子連接的主輸出入線ＭＩＯ，ＭＩＯＢ。此外，上述ＩＯ開關電路係被選擇信號ＩＯＳＷ所控制，如後所述，設成一將Ｐ通道型ＭＯＳＦＥＴ並列連接到上述Ｎ通道型ＭＯＳＦＥＴ　Ｑ１９與Ｑ２０而形成的ＣＭＯＳ開關。

雖然未特別限制，但是上述行開關電路，則根據１個

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（34）

選擇信號ＹＳ，將二對的互補位元線ＢＬ，ＢＬＢ與二對的區域輸出入線ＬＩＯ１，ＬＩＯ１Ｂ及ＬＩＯ２，ＬＩＯ２Ｂ連接。因此，對於根據１個主字元線的選擇動作被選出的副陣列，則可以根據對應於設在其兩側的一對的感測放大器而設的上述二對的行開關電路而選出合計四對的互補位元線。在叢發模式（burst mode）下切換上述行選擇信號ＹＳ，而將上述區域輸出入線ＬＩＯ１，ＬＩＯ１Ｂ與副陣列之互補位元線ＢＬ，ＢＬＢ依序地加以切換。

位址信號Ａｉ被供給到位址緩衝器５１。該位址緩衝器則分時地動作，而讀入Ｘ位址信號與Ｙ位址信號。Ｘ位址信號被供給到預解碼器５２，而經由主解碼器１１與主字元驅動器１２，而形成主字元線ＭＷＬ的選擇信號。上述位址緩衝器５１則由於接受從外部端子所供給的位址信號Ａｉ，因此，根據從外部端子所供給的電源電壓ＶＤＤ而動作，上述預解碼器則根據降壓電壓ＶＤＬ而動作，上述主字元驅動器１２，則根據昇壓電壓ＶＰＰ而動作。行解碼器（驅動器）５３，則接受由上述位址緩衝器５１的分時動作所供給的Ｙ位址信號，而形成上述選擇信號ＹＳ。

上述主放大器６１則根據降壓電壓ＶＤＬ而動作，經由根據從外部端子所供給的電源電壓ＶＤＤ而動作的輸出緩衝器６２，從外部端子Ｄｏｕｔ被輸出。從外部端子Ｄｉｎ所輸入的寫入信號，則經由輸入緩衝器６３取入，

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（35）

在同一圖中，經由在主放大器61中之後述的寫入放大器，將寫入信號供給到上述主輸出入線ＭＩＯ與ＭＩＯＢ。在上述輸出緩衝器的輸入部，則設有位準移位電路與使其輸出信號同步於上述時脈信號呈對應的時序信號而輸出的邏輯部。

雖未特別限制，從上述外部端子所供給的電源電壓ＶＤＤ被設成３．３Ｖ，而被供給到內部電路的降壓電壓ＶＤＬ則被設成２．０Ｖ，字元線的選擇信號（昇壓電壓）則被設成３．８Ｖ。位元線的預充電電壓ＶＢＬＲ，則被設成與ＶＤＬ／２對應的１．０Ｖ，平板（plate）電壓ＶＰＬＴ也被設成１．０Ｖ。此外，基板電壓ＶＢＢ則被設成－１．０Ｖ。

第12圖係表本發明之動態型ＲＡＭ之其他實施例的概略佈局圖。在本實施例中，記憶體陣列整體被分爲4個。沿著半導體晶片的長邊方向，分割設置上下2個，左右各2個的記憶體陣列，與上述同樣地，在沿著上述晶片的長邊方向的中央部分設置位址輸入電路，資料輸出入電路以及由接合墊（bonding pad）列所形成的輸出入介面電路等。在上述記憶體陣列的上述中央側則配置主放大器ＭＡ。

如上所述，在沿著半導體晶片的長邊方向分成上下2個，左右各2個，合計由4個所構成的各記憶體陣列，則相對於長邊方向，在左右方向的中間部集中配置有Ｘ系預解碼電路ＲＯＷＰＤＣ以及救濟電路ＲＯＷＲＥＤ，Ｙ系

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（36）

預解碼電路ＣＯＬＰＤＣ以及救濟電路ＣＯＬＲＥＤ。亦即，分別對應於上述４個記憶體陣列，針對上述左右各２個而設的記憶體陣列，各分配２組設有上述Ｘ系預解碼電路ＲＯＷＰＤＣ以及救濟電路ＲＯＷＲＥＤ，Ｙ系預解碼電路ＣＯＬＰＤＣ以及救濟電路ＣＯＬＲＥＤ。

沿著上述記憶體陣列的上述中間部分，則與上述同樣地形成主字元驅動器領域ＭＷＤ，而分別驅動對應於各記憶體陣列，而在上，下方側延長而設的主字元線。在此構成中，當利用上述同樣的副陣列時，則主字元線會如貫穿１６個副陣列般地延長。此外，在上述記憶體陣列中，則在與上述晶片中央部分呈相反側的晶片周邊側設有Ｙ解碼器ＹＤＣ。亦即，在本實施例中，上述分割爲４個的各記憶體陣列則分別被配置在上述中央側的主放大器ＭＡ與配置在周邊側的Ｙ解碼器ＹＤＣ所挾持而配置。

第１３圖係表在本發明中所使用之電容器的一實施例的電路圖。在本實施例中，將ＭＯＳＦＥＴ之閘極設成其中一個電極，將閘絕緣膜設成介電體，將源極與汲極共同連接，而當作另一個電極，而作爲電容元件來使用。此時，在該電容器之兩電極間施加了ＶＰＰ或是ＶＤＤ之大的電壓的平滑電容，或是相位補償電容，則利用厚的閘絕緣膜的ＭＯＳＦＥＴ，而在電容器之兩電極之間只施加了如ＶＳＬ般的降壓電壓的平滑電容，或是相位補償電容，則利用薄的閘絕緣膜的ＭＯＳＦＥＴ。藉此，可以防止當作介電體來使用之閘絕緣膜的耐壓能力被破壞，而只施加低

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（37）

壓ＶＤＬ的電容，則藉由使閘絕緣膜變薄，可以以小的面積獲得大的電容。

第１４Ａ圖，第１４Ｂ圖係表設在基板電壓產生電路之電壓檢測電路的一實施例的構成圖。如第１４Ａ圖之電路圖所示，在薄的閘絕緣膜的ＭＯＳＦＥＴ　Ｑ４０的汲極設有定電流源，將電路的接地電位供給到閘極。在該ＭＯＳＦＥＴ　Ｑ４０之源極與基板電壓ＶＢＢ之間設有被設成串聯形態的ＭＯＳＦＥＴ　Ｑ３７，Ｑ３８以及Ｑ３９，而將各自的閘極連接到上述ＭＯＳＦＥＴ　Ｑ４０的源極。此外，則在各自的汲極，源極之間設置保險絲(fuse)，而設成短路狀態。

在上述ＭＯＳＦＥＴ　Ｑ３７～Ｑ３９之中，ＭＯＳＦＥＴ　Ｑ３７與Ｑ３８具有厚的閘絕緣膜，ＭＯＳＦＥＴ　Ｑ３９具有薄的閘絕緣膜。此外，如第１４Ｂ圖之閘極長度與閾值電壓ＶＴＨ的特性圖所示，使用閘極長度ＬＧ比較長，而閾值電壓ＶＴＨ的變動小的領域，ＭＯＳＦ.ＥＴ　Ｑ３８與Ｑ３９則形成如閘極長度ＬＧ＝ａ般的短，而ＭＯＳＦＥＴ　Ｑ３７則形成如閘極長度ＬＧ＝ｃ般的長，而設定３種的閾值電壓ＶＴＨ。

此外，與上述ＭＯＳＦＥＴ　Ｑ４０之閾值電壓的關係，當基板電壓ＶＢＢ成爲－１Ｖ時，則根據保險絲的選擇性的切斷來選擇使ＭＯＳＦＥＴ　Ｑ４０之汲極電壓成爲反相電路之邏輯閾值（logic threshold）電壓以下的ＭＯＳＦＥＴ　Ｑ３７～Ｑ３９的組合。利用如此的檢測

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（38）

電壓調整部，可以補償ＭＯＳＦＥＴ之製程變動，而能夠設定上述基板電壓ＶＢＢ。亦即，從上述ＭＯＳＦＥＴＱ４０的汲極電壓降低開始，當將通過反相電路的輸出電路設成高位準時，則讓產生基板電壓ＶＢＢ之充電泵（charge pump）電路停止動作。而當基板電壓ＶＢＢ的絕對值因爲漏電流等而變小，而使得背偏壓（back bias）變小時，則上述ＭＯＳＦＥＴ　Ｑ４０的汲極電壓會上昇，根據通過反相電路之輸出信號的低位準，使得產生上述基板電壓ＶＢＢ之充電泵電路再度開始動作。根據該充電泵電路之間歇性的動作，可以將基板電壓ＶＢＢ設成大約爲－１Ｖ般的一定電壓。

在本發明中，上述記憶單元之資訊保持特性，在熱負荷時確保ＭＯＳＦＥＴ的耐壓能力，以及爲了達到低消耗電力化，而使內部電壓低電壓化與動作速度的維持的彼此相反的技術性課題，則利用與各自的動作電壓呈對應的２種的閘絕緣膜來構成電路，且藉著上述２種ＭＯＳＦＥＴ之閘絕緣膜的膜厚與閘極長度Ｌｇ的組合，可以實現３種的閾值電壓，且能夠擴大電壓檢測電路的調整範圍，換言之，擴大基板電壓之製程變動的補償範圍，且可以使得設定電壓的精度變得更好。

第１５圖係表內部電壓產生電路之一實施例的方塊圖。本實施例的電壓產生電路係利用充電泵電路，而形成昇壓電壓ＶＰＰ或是負電壓ＶＢＢ。電壓產生電路係由：對ＶＰＰ或ＶＢＢ與所希望的設定電壓進行比較的檢測電路

（請先閱讀背面之注意事項再填寫本頁）

裝　訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（39）

，接受該檢測信號形成控制信號的控制電路，根據該控制電路進行動作控制的振盪電路，以及接受上述振盪電路之振盪信號，而產生昇壓電壓ＶＰＰ或基板電壓ＶＢＢ的充電泵電路所形成的產生電路而構成。

在上述各電路方塊中，附加斜線的檢測電路以及產生電路係由厚膜ＭＯＳＦＥＴ所構成，而根據降壓電壓ＶＤＬ而動作的控制電路以及振盪電路係由薄膜ＭＯＳＦＥＴ所構成。上述檢測電路，雖然由於將動作電壓設成降壓電壓ＶＤＬ，而本來是利用薄膜ＭＯＳＦＥＴ，但是爲了要擴大上述調整範圍，或是使精度變得更好，乃使用厚膜ＭＯＳＦＥＴ。又，ＶＰＰ用的檢測電路，則必然地使用厚膜ＭＯＳＦＥＴ。

第１６Ａ圖以及第１６Ｂ圖係表在本發明中所使用之位準移位電路之一實施例的電路圖。在第１６Ａ圖中，與降壓電壓ＶＤＬ呈對應之低振幅的輸入信號Ｄｉｎ，則被連接到Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４的閘極與Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２的源極。在該ＭＯＳＦＥＴ　Ｑ４２的閘極則供給有上述降壓電壓ＶＤＬ。又在上述一對ＭＯＳＦＥＴ　Ｑ４２與Ｑ４４之汲極與電源電壓ＶＤＤ（或ＶＰＰ）之間，則設有閘極與汲極彼此交差連接的Ｐ通道型ＭＯＳＦＥＴ　Ｑ４１與Ｑ４３。

該電路的動作則如下所述。若上述輸入信號Ｄｉｎ爲高位準（ＶＤＬ），則將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２設成ＯＦＦ狀態，將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４設成

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（40）

ＯＮ狀態。根據ＭＯＳＦＥＴ　Ｑ４４的ＯＮ狀態，將輸出信號Ｄｏｕｔ設成低位準，將ＭＯＳＦＥＴ　Ｑ４１設成ＯＮ狀態，根據ＭＯＳＦＥＴ　Ｑ４１的ＯＮ狀態，將ＭＯＳＦＥＴ　Ｑ４３的閘極設成ＶＤＤ（或ＶＰＰ），因此將ＭＯＳＦＥＴ　Ｑ４３設成ＯＦＦ狀態。若上述輸入信號Ｄｉｎ爲低位準（０Ｖ），則將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２設成ＯＮ狀態，將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４設成ＯＦＦ狀態。根據ＭＯＳＦＥＴ　Ｑ４２的ＯＮ狀態，輸入信號Ｄｉｎ的低位準會被傳送到Ｐ通道型ＭＯＳＦＥＴ　Ｑ４３的閘極而設成ＯＮ狀態。由於根據ＭＯＳＦＥＴ　Ｑ４３的ＯＮ狀態，將ＭＯＳＦＥＴ　Ｑ４１的閘極設成ＶＤＤ（或ＶＰＰ），因此，將ＭＯＳＦＥＴ　Ｑ４１設成ＯＦＦ狀態，而輸出信號Ｄｏｕｔ則被設成如ＶＤＤ（或ＶＰＰ）般的高位準。

在第１６Ｂ圖中，與降壓電壓ＶＤＬ呈對應的輸入信號Ｄ１，則與上述同樣地，被連接到Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４的閘極與Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２的源極。在該ＭＯＳＦＥＴ　Ｑ４２的閘極則供給有上述降壓電壓ＶＤＬ。在上述一對之ＭＯＳＦＥＴ　Ｑ４２與Ｑ４４之汲極與電源電壓ＶＤＤ（或ＶＰＰ）之間，則設有閘極與汲極彼此交差連接的Ｐ通道型ＭＯＳＦＥＴ　Ｑ４１與Ｑ４３。

例如爲了要實現ＮＯＲ邏輯，則在其汲極被連接到輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（41）

出端子Ｄｏｕｔ的Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４呈並聯形態地設有Ｎ通道型ＭＯＳＦＥＴ　Ｑ４６，而在其汲極被連接到上述輸出端子Ｄｏｕｔ的Ｐ通道型ＭＯＳＦＥＴ　Ｑ４３，則呈串聯形態地設有Ｐ通道型ＭＯＳＦＥＴ　Ｑ４５。在該些Ｎ通道型ＭＯＳＦＥＴ　Ｑ４６與Ｐ通道型ＭＯＳＦＥＴ　Ｑ４５的閘極，則供給有與電源電壓ＶＤＤ（或ＶＰＰ）呈對應的時序信號Ｄ２。此外，ＭＯＳＦＥＴ　Ｑ４５與Ｑ４３之上下連接關係也可以相反。

該電路的動作如下。若上述低振幅信號Ｄ１爲低位準（０Ｖ），則將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２設成ＯＮ狀態，將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４設成ＯＦＦ狀態。因此，當時序信號Ｄ２爲高位準時，則與上述Ｐ通道型ＭＯＳＦＥＴ　Ｑ４１，Ｑ４３的鎖存動作無關地，藉由根據時序信號Ｄ２的高位準被設成ＯＮ狀態的Ｎ通道型ＭＯＳＦＥＴ　Ｑ４６，將輸出端子Ｄｏｕｔ設成如電路之接地電位Ｖ.ＳＳ般的低位準。

當時序信號Ｄ２從高位準變化成低位準時，則將上述Ｐ通道型ＭＯＳＦＥＴ　Ｑ４５設成ＯＮ狀態，將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４６設成ＯＦＦ狀態。因此，若上述信號Ｄ１爲低位準，則Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２成爲ＯＮ狀態，而將信號Ｄ１的低位準供給到上述Ｐ通道型ＭＯＳＦＥＴ　Ｑ４３的閘極而設成ＯＮ狀態。因此，藉由被設成ＯＮ狀態的上述ＭＯＳＦＥＴ　Ｑ４５與Ｑ４３

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（42）

，輸出信號Ｄｏｕｔ會從低位準變化成高位準。又若信號Ｄ１爲高位準，由於將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４２設成ＯＦＦ狀態，將Ｎ通道型ＭＯＳＦＥＴ　Ｑ４４設成ＯＮ狀態，因此，如上述接地電位ＶＳＳ般的低位準會從上述輸出端子Ｄｏｕｔ持續地被輸出。如此般在第１６Ｂ圖的電路中，可以一邊取低振幅信號Ｄ１與大振幅信號Ｄ２的邏輯運算，而一邊進行位準轉換動作。

第１７Ａ，１７Ｂ圖係表上述內部電壓電路之電壓特性圖。降壓電路以及昇壓電路分別包含外部電壓ＶＤＤ之容許變動範圍，而形成幾乎一定的電壓。亦即，在３．３Ｖ版中，ＶＰＰ被安定化成３．６Ｖ，ＶＤＬ被安定化爲２．０Ｖ。而即使在２．５Ｖ版中，雖然未特別加以限制，但是ＶＰＰ被安定化成３．６Ｖ，ＶＤＬ被安定化成２Ｖ。上述ＶＤＬ也可以更加低電壓化成１．８Ｖ。

在３．３Ｖ版中，則設有電源電壓ＶＤＤ的檢測電路，當電源電壓高到４．２Ｖ以上時，則ＶＰＰ會停止昇壓動作，而直接輸出電源電壓ＶＤＤ，且降壓電壓ＶＤＬ會隨著ＶＤＤ而變化到ＶＤＤ－２．３Ｖ，當在電源電壓ＶＤＤ被設定爲５．５Ｖ的熱負荷試驗時，則上述ＶＰＰ會對應於ＶＤＤ而變高到５．５Ｖ爲止。但是由於降壓電壓ＶＤＬ仍停留在如３．２Ｖ般的低電壓，因此即使是設成大約４ｎｍ般的薄的閘絕緣膜，也不會破壞絕緣。

即使在２．５Ｖ版中，也與上述同樣地設置電源電壓ＶＤＤ的檢測電路。當電源電壓高到３．２Ｖ以上時，則

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（43）

降壓電壓ＶＤＬ會隨著ＶＤＤ變化到ＶＤＤ－０．８Ｖ，在電源電壓被設定爲４．０Ｖ的熱負荷測試時，上述ＶＰＰ會對應於ＶＤＤ而變高到４．８Ｖ爲止。但是，由於降壓電壓ＶＤＬ仍然停留在３．２Ｖ左右，因此即使是如大約４ｎｍ般之薄的閘絕緣膜，也不會破壞絕緣。

由上述實施例所得到的作用效果如下，亦即。

（１）對於根據接受從外部端子所供給之電源電壓而動作的內部電壓產生電路形成降壓電壓，以及因應所需形成昇壓電壓，而讓內部電路動作的半導體積體電路裝置而言，接受從上述外部端子所供給之電源電壓或是在上述內部電壓產生電路中所形成的昇壓電壓而動作的第１內部電路，係由具有與上述電源電壓或昇壓電壓呈對應之膜厚厚的閘絕緣膜的第１ＭＯＳＦＥＴ所構成，而接受上述降壓電壓而動作的第２內部電路，係由具有與上述降壓電壓呈對應之膜厚薄的閘絕緣膜的第２ＭＯＳＦＥＴ所構成，藉此可以在不損及信賴性的情況下，得到裝置之微細化與高速化以及低消.耗電力化的效果。

（２），上述昇壓電壓，當電源電壓被設定在一定電壓以上時，會隨著上昇，而包含在被設成上述一定電壓以上的電源電壓或昇壓電壓的熱負荷試驗下的上述電源電壓以及昇壓電壓在內，上述降壓電壓，當電源電壓被設成一定電壓以上時，會隨著上昇，而包含在上述電源電壓被設成上述一定電壓以上之熱負荷試驗下的降壓電壓在內，藉此得到可以實現半導體積體電路裝置之高信賴性的效果。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（44）

（３），接受從外部端子所供給之輸入信號的輸入電路以及將輸出信號送出到外部端子的輸出電路，上述內部電壓產生電路，根據在上述內部電壓產生電路中所形成的昇壓電壓而動作的內部電路，係利用具有膜厚厚的閘絕緣膜的ＭＯＳＦＥＴ而構成，藉此，得到可以實現成爲與外部的介面，且能夠確保包含上述熱負荷試驗在內之裝置的耐壓能力的效果。

（４），即使是根據降壓電壓而動作的內部電路，其中能夠對應於根據上述電源電壓或昇壓電壓而動作的內部電路的動作時間信號，而形成根據降壓電壓而動作之內部電路的動作時間信號者，則是設成爲一上述厚的閘絕緣膜的ＭＯＳＦＥＴ可呈支配性作用的延遲電路，藉此，可以進行與厚的閘絕緣膜的ＭＯＳＦＥＴ的製程變動呈對應的時間設定，由於可將時間範圍設成最小，因此，得到可一邊利用２種閘絕緣膜的ＭＯＳＦＥＴ，而一邊維持高速化的效果。

（５），由構成動態型ＲＡＭ之位址選擇

ＭＯＳＦＥＴ與記憶電容器所構成的動態型記憶單元，以及用來形成連接到上述動態型記憶單元之字元線的選擇信號的字元驅動器，則設成可根據昇壓電壓而動作而輸入包含位址信號與因應必要而設之時脈信號在內的控制輸入信號與寫入信號的輸入電路，以及輸出從上述記憶單元所讀取之讀取信號的輸出電路，則設成可以根據電源電壓而動作，藉此得到可以一邊確保記憶單元的資訊保持時間，一

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（45）

邊實現成爲與外部裝置之輸出入介面的效果。

（6），針對形成有上述記憶單元之位址選擇ＭＯＳＦＥＴ的半導體領域供給被設成負的背偏壓電壓，且藉由上述內部電壓產生電路形成上述背偏壓電壓，可以更加提高位址選擇ＭＯＳＦＥＴ的閾值電壓，得到可以改善資訊保持特性的效果。

（7），根據藉由上述厚的閘絕緣膜的ＭＯＳＦＥＴ可支配性地作用的延遲電路，使上述字元驅動器的動作時間信號延遲而成的動作時間信號而動作，藉此，可以設定與從記憶單元爲位元線所讀取之讀取信號呈對應之感測放大器的動作時間，得到可以實現高速記憶體存取的效果。

（8），根據一藉著由第２ＭＯＳＦＥＴ所構成，而利用與感測放大器呈對應之薄的閘絕緣膜的ＭＯＳＦＥＴ而構成的延遲電路，使上述感測放大器的動作時間信號延遲而成的延遲信號，而

針對一對構成與上述電源電壓或昇壓電壓呈對應之感測放大器的Ｐ通道型ＭＯＳＦＥＴ的源極供給電源電壓的過驅動用Ｎ通道型ＭＯＳＦＥＴ來設定動作時間，在上述動作時間後，則將

對一構成上述感測放大器之Ｐ通道型ＭＯＳＦＥＴ的源極供給上述降壓電壓的驅動用Ｎ通道型ＭＯＳＦＥＴ予以驅動，藉此，得到可以讓過驅動（over drive）時間對應於感測放大器的動作而實施的效果。

（9），上述厚的閘絕緣膜的ＭＯＳＦＥＴ可以支配

（請先閱讀背面之注意事項再填寫本頁）

裝 訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（46）

性地作用的延遲電路，係由上述厚的閘絕緣膜的ＭＯＳＦＥＴ所構成，而由應該延遲之輸入信號被輸入到輸入端子的反相電路，傳達該反相電路之輸出信號的電阻機構，傳送通過上述電阻機構的信號，而利用上述第２ＭＯＳＦＥＴ的閘極電容所構成的電容器，以及上述第２ＭＯＳＦＥＴ所構成，而由上述電阻與電容器所構成之時間常數電路的輸出信號，則被供給到輸入端子，藉由１至２個形成上述延遲信號的反相電路而構成，得到以少的元件數目以及低消耗電力而形成比較大的延遲時間的效果．

（１０），接受上述電源電壓或在上述內部電壓產生電路中所形成的昇壓電壓而動作的內部電路，則包含上述電壓被施加在閘極的平滑用ＭＯＳ電容，相位補償用電容，而接受在內部電壓產生電路中所形成的降壓電壓而動作的第２內部電路，則包含上述電壓被施加在閘極的平滑用ＭＯＳ電容，相位補償用電容，藉著分開使用，得到可以確保耐壓能力以及實現小的尺寸，卻有大的電容值的效果。

（１１），在上述內部電壓產生電路包含有基板電壓產生電路，其備有：在汲極設有定電流源，在閘極連接有電路的接地電位，而在源極與基板電壓之間設有檢測電壓調整部，而由上述薄的閘絕緣膜的ＭＯＳＦＥＴ所構成的第４的Ｎ通道型ＭＯＳＦＥＴ，以及由接受上述第４的ＭＯＳＦＥＴ的汲極輸出而形成檢測信號的反相電路所構成，將基板電壓設定在所希望的電壓的電壓檢測電路，上

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（47）

述檢測電壓調整部，則是由：閘極被連接到上述第4的N通道型ＭＯＳＦＥＴ的源極，而且汲極，源極路徑被設成串聯形態的第５，第６與第７的Ｎ通道型ＭＯＳＦＥＴ，以及讓各自之汲極，源極之間產生短路的保險絲（fuse）機構所構成，上述第５以及第６的Ｎ通道型ＭＯＳＦＥＴ，則將閘絕緣膜的膜厚形成較厚，而上述第７的Ｎ通道型ＭＯＳＦＥＴ，則將閘絕緣膜的膜厚形成較薄，且各自的ＭＯＳＦＥＴ的閘極長度與閾值電壓的關係，則在閾值電壓之變動小的閘極長度的範圍內，設定各自的閘極長度以使各自的閾值電壓不同，根據上述保險絲的選擇性的切斷來調整上述檢測電壓，藉此得到可以擴大ＭＯＳＦＥＴ之製程變動的補償範圍，且能夠高精度地設定ＶＢＢ電壓的效果。

（１２），動態型ＲＡＭ則包含有：多個相對於上述主字元線之延長方向設成分割的長度，且被配置在與上述主字元線呈交差的位元線的方向，而由多個動態型記憶單元之位址選擇端子連接而成的副字元線以及由上述多個副字元線與被配置在與其呈直交，而上述動態型記憶單元的輸出入端子被連接到其中一個的多個互補位元線對所構成的副陣列，接受上述主字元線的選擇信號與經由上述副字元選擇線所傳送的選擇信號，而形成上述副字元線的選擇信號的多個副字元線驅動電路，以及用於形成上述主字元線之選擇信號的主字元線驅動電路，藉此得到能夠實現大記憶容量化與高速化的效果。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（48）

（13），在上述動態型RAM中，將副字元線驅動電路分配配置到對應於上述副陣列之上述多個副字元線配列的兩端側，且將感測放大器分配配置到上述多個互補位元線配列的兩端側，而上述1個副陣列係被上述多個副字元線驅動電路列與上述多個感測放大器列所包圍，藉此，得到可以實現大記憶容量化與高速化的效果。

（14），將上述感測放大器設成共用感測（shared sence）方式，對應於以其爲中心而鄰接的副陣列的位元線而設，而藉著選擇以上述副字元線驅動電路作爲中心而鄰接之副陣列的副字元線，藉此，得到可以實現大記憶容量化與高速化的效果。

（15），將上述降壓電壓設定在大約2V以下，但是較由薄的閘絕緣膜的MOSFET所構成的CMOS電路的下限動作電壓爲高的電壓，藉此，得到可以一邊達成低消耗電力化，而一邊維持動作速度的效果。

（16），備有：接受從外部端子所供給的電源電壓，且產生由其降壓而成之降壓電壓的降壓電路，接受較上述高壓電壓爲高之電壓而動作的第1內部電路，以及根據上述降壓電壓而動作的第2內部電路，基本上，上述第1內部電路係由具有第1膜厚之閘絕緣膜的第1MOSFET所構成，基本上，上述第2內部電路係由具有較上述第1膜厚爲薄之第2膜厚的閘絕緣膜的第2MOSFET所構成，在上述第2內部電路中，形成針對上述第1內部電路之時序信號的延遲電路係由上述第1

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

五、發明說明（49）

ＭＯＳＦＥＴ所構成，得到可將已考慮到製程變動的時間範圍設定成最小的效果。

以上雖然是根據實施例具體地說明本發明人所提出之發明，但是本發明並不限於上述實施例，當然在不脫離其要旨的範圍內，可進行各種的變更。例如在動態型ＲＡＭ中，有關副陣列的構造，或是搭載在半導體晶片上之多個記憶體陣列的配置，可以根據其記憶容量等採取各種的實施形態。又，副字元驅動器的構造可以採用各種的實施形態。輸出入介面的部分，則可以是根據時脈信號來進行讀取／寫入動作的同步器或平衡器規格的動態型ＲＡＭ。動態型ＲＡＭ也可以與ＣＭＯＳ電路等的邏輯電路混合而構成１個半導體積體電路裝置。根據昇壓電壓而動作的電路，則除了上述記憶單元及其選擇電路之外皆是。

本發明可以被廣泛地利用在備有可根據從外部端子所供給的電源電壓或是由其昇壓而成的電壓而動作的內部電路以及根據上述電源電壓之降壓電壓而動作的內部電路的半導體積體電路裝置上。此時，閘絕緣膜的膜厚，則可以對應其動作電壓，根據已考慮到上述在熱負荷試驗時之電壓的耐壓能力以及該電路所要求之特別的理由而決定。

若簡單地說明在本發明所揭露之其中代表者所得到的效果時，則如以下所述。亦即，針對從接受從外部端子所供給之電源電壓而動作的內部電壓產生電路，形成降壓電壓以及因應必要形成昇壓電壓，而讓內部電路動作的半導體積體電路裝置，其中接受從上述外部端子所供給之電源

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 50）

電壓或是在上述內部電壓產生電路中所形成的昇壓電壓而動作的第１內部電路，係由具有與上述電源電壓或昇壓電壓呈對應之膜厚厚的閘絕緣膜的第１ ＭＯＳＦＥＴ所構成，而接受上述降壓電壓而動作的第２內部電路，係由具有與上述降壓電壓呈對應之膜厚薄的閘絕緣膜的第２ ＭＯＳＦＥＴ所構成，藉此，在不損及信賴性的情形下，實現裝置的微細化，高速化以及低消耗電力化。

當對應於上述第１內部電路的動作，而讓第２內部電路動作時，藉由構成上述第１內部電路的第１ ＭＯＳＦＥＴ可支配性作用的延遲電路，監視第１內部電路的動作狀態而形成上述第２內部電路的動作時間信號，藉此，得到可將已考慮到製程變動之時間範圍設定成最小的效果。

圖面之簡單說明：

第１圖係表本發明之動態型ＲＡＭ之一實施例的整體方塊圖。

第２圖係表第１圖之時序電路之一實施例的概略方塊圖。

第３圖係表第２圖之延遲電路ＤＬ２之一實施例的電路圖。

第４圖係表在本發明之動態型ＲＡＭ所使用之副字元驅動器之一實施例的電路圖。

第５圖係用於說明本發明之動態型ＲＡＭ之列系之選

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
經濟部智慧財產局員工消費合作社印製

五、發明說明（ 51）

擇動作的一例的時序圖。

第 6 圖係用於說明本發明之動態型ＲＡＭ之一實施例的元件構造斷面圖。

第 7 圖係表本發明之動態型ＲＡＭ之一實施例的概略佈局（ layout ）圖。

第 8 圖係更詳細地說明本發明之動態型ＲＡＭ的概略佈局圖。

第 9 圖係表在本發明之動態型ＲＡＭ中之副陣列與其周邊電路之一實施例的概略佈局圖。

第１０圖係表形成本發明之動態型ＲＡＭ之副陣列與其周邊電路之阱（ well ）領域的一實施例的概略佈局圖。

第１１圖係表以本發明之動態型ＲＡＭ的感測放大部爲中心，從位址輸入到資料輸出爲止之被簡化之一實施例的電路圖。

第１２圖係表本發明之動態型ＲＡＭ之其他實施例的概略佈局圖。

第１３圖係表在本發明中所使用之電容器的一實施例的電路圖。

第１４Ａ圖以及第１４Ｂ圖係表設於本發明之動態型ＲＡＭ之基板電壓產生電路的電壓檢測電路之一實施例的構成圖以及動作說明圖。

第１５圖係表設於本發明之動態型ＲＡＭ之內部電壓產生電路之一實施例的方塊圖。

第１６Ａ圖以及第１６Ｂ圖係表在本發明中所使用之

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

五、發明說明（ 52）

位準移位（ level shift ）電路之一實施例的電路圖。

第１７Ａ圖以及第１７圖係表本發明之動態型ＲＡＭ之內部電壓電路之一例的電壓特性圖。

符號說明

１５	副陣列	１６	感測放大器
１７	副字元驅動器	１８	交差區域
５１	位址緩衝器	５２	預解碼器
５３	行解碼器	６１	主放大器
６２	輸出緩衝器	６３	輸入緩衝器

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

四、中文發明摘要（發明之名稱：　半導體積體電路裝置　）

針對藉由接受由外部端子所供給之電源電壓而動作的內部電壓產生電路，而形成降壓電壓以及昇壓電壓之其中一者或兩者，而讓內部電路動作的半導體積體電路裝置，接受從上述外部端子所供給的電源電壓或是在上述內部電壓產生電路中所形成的昇壓電壓而動作的第1電路，係由具有與上述電源電壓或昇壓電壓呈對應的膜厚厚的閘絕緣膜的第1　ＭＯＳＦＥＴ所構成，而接受上述降壓電壓而動作的第2內部電路，係由具有與上述降壓電壓呈對應之膜厚薄的閘絕緣膜的第2　ＭＯＳＦＥＴ所構成。

英文發明摘要（發明之名稱：　）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

8年10月5日 修正 補充

六、申請專利範圍

第88103963號專利申請案

中文申請專利範圍修正本

民國89年10月修正

1．一種半導體積體電路裝置，其特徵包含：

備有：接受外部電源電壓的外部端子，以及產生較上述外部電源電壓爲低的降壓電壓與較上述外部電源電壓爲高之昇壓電壓的其中一者或是兩者的內部電壓產生電路；

接受上述外部電源電壓或是上述昇壓電壓而動作的第1內部電路及

接受上述降壓電壓而動作的第2內部電路，其中

上述第1內部電路係由具有與上述外部電源電壓或是昇壓電壓對應之厚的膜厚的閘絕緣膜的第1 MOSFET所構成，

上述第2內部電路係由具有與上述降壓電壓對應之薄的膜厚的閘絕緣膜的第2 MOSFET所構成。

2．如申請專利範圍第1項之半導體積體電路裝置，上述昇壓電壓係一當上述外部電源電壓被設成一定電壓以上時，會隨此而上昇者，而上述降壓電壓係一當上述外部電源電壓被設成一定電壓以上時，會隨此而上昇者。

3．如申請專利範圍第1項之半導體積體電路裝置，上述第1內部電路包含：接受自a外部端子所供給之輸入信號的輸入電路，將輸出信號送出到a外部端子的輸出電路，以及根據上述昇壓電壓而動作的第3內部電路。

4．如申請專利範圍第3項之半導體積體電路裝置，

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述第2內部電路備有可以對應於上述第3內部電路的動作而動作的第4內部電路，

上述第4內部電路，則根據一藉由包含上述第1ＭＯＳＦＥＴ在內之第1延遲電路而較上述第3內部電路的動作時序信號爲延遲的動作時序信號而動作。

5．如申請專利範圍第4項之半導體積體電路裝置，上述第3內部電路包含：由位址選擇ＭＯＳＦＥＴ與記憶電容器所構成的動態型記憶單元，以及用來形成被連接到上述動態型記憶單元之字元線的選擇信號的字元驅動器，

上述輸入電路則接受位址信號，而上述輸出信號則輸出從上述記憶單元所讀取的讀取信號。

6．如申請專利範圍第5項之半導體積體電路裝置，將被設成負電壓的背偏壓（back bias）電壓供給到形成有上述記憶單元之位址選擇ＭＯＳＦＥＴ的半導體領域，

上述背偏壓電壓係由上述內部電壓產生電路所形成。

7．如申請專利範圍第5項之半導體積體電路裝置，上述第4內部電路包含用來驅動感測放大器的驅動電路，

上述驅動電路則根據一使上述字元驅動器的動作時序信號藉由包含上述第1　ＭＯＳＦＥＴ在內的第1延遲電路而延遲的動作時序信號而動作。

8．如申請專利範圍第7項之半導體積體電路裝置，上述驅動電路包含：將電源電壓供給到構成感測放大器之Ｐ通道型ＭＯＳＦＥＴ之源極的過驅動（over drive）用的第1　Ｎ通道型ＭＯＳＦＥＴ，將上述降壓電壓供給到構

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

成上述感測放大器之P通道型MOSFET之源極的驅動用的第2　N通道型MOSFET，以及將電路的接地電位供給到構成上述感測放大器之N通道型MOSFET之源極的驅動用的第3　N通道型MOSFET，上述第1與第2　N通道型MOSFET，係由其閘絕緣膜被設成厚的膜厚的上述第1　MOSFET所構成，

上述第3　N通道型MOSFET，係由其閘絕緣膜被設成薄的膜厚的上述第2　MOSFET所構成。

9．如申請專利範圍第4項或第8項之半導體積體電路裝置，上述第1延遲電路包含：

由上述第1　MOSFET所構成，將應該延遲的輸入信號供給到輸入端子的反相電路；

傳達上述反相電路之輸出信號的電阻機構，

傳達通過上述電阻機構的信號，而利用上述第2　MOSFET之閘極電容而構成的電容器；

由上述第2　MOSFET所構成，將由上述電阻與電容器所構成的時間常數的輸出信號供給到輸入端子，而形成上述延遲信號的反相電路。

10．如申請專利範圍第1項之半導體積體電路裝置，接受上述外部電源電壓或上述昇壓電壓而動作的第1內部電路包含上述電壓被施加在閘極上之平滑用MOS電容以及相位補償用電容之其中一者或是兩者，

而接受降壓電壓而動作的第2內部電路，則包含上述電壓被施加在閘極上之平滑用MOS電容以及相位補償用

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

電容之其中一者或兩者。

１１．如申請專利範圍第６項之半導體積體電路裝置，上述內部電壓產生電路包含基板背偏壓電壓產生電壓電路，上述基板背偏壓電壓產生電路備有將基板電壓設定在所希望之電壓的電壓檢測電路，

上述電壓檢測電路係由：電流源被設在汲極，閘極被連接到電路的接地電位，而在源極與基板電壓之間設有檢測電壓調整部的第２　ＭＯＳＦＥＴ所構成的第４　Ｎ通道型ＭＯＳＦＥＴ，以及接受上述第４　ＭＯＳＦＥＴ之汲極輸出，而形成檢測信號的反相電路所構成，

上述檢測電壓調整部係由：被設在上述第４　Ｎ通道型ＭＯＳＦＥＴ之源極與基板電壓之間，各閘極則被連接到上述第４　Ｎ通道型ＭＯＳＦＥＴ的源極，汲極，源極路徑呈串聯形態之第５，第６以及第７　Ｎ通道型ＭＯＳＦＥＴ以及用於使各汲極，源極之間短路的保險絲（ｆｕｓｅ）機構所構成，

上述第５以及第６　Ｎ通道型ＭＯＳＦＥＴ係由閘絕緣膜的膜厚形成厚的上述第１　ＭＯＳＦＥＴ所構成，上述第７　Ｎ通道型ＭＯＳＦＥＴ係由閘絕緣膜的膜厚形成薄的上述第２　ＭＯＳＦＥＴ所構成，而設定各自的閘極長度使各自的閾值不同，

藉由上述保險絲（ｆｕｓｅ）的選擇性地切斷來調整上述檢測電壓。

１２．如申請專利範圍第５項之半導體積體電路裝置

（請先閱讀背面之注意事項再填寫本頁）

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

，上述第3內部電路備有：

主字元線；

由多個相對於上述主字元線之延長方向設成被分割的長度，且相對於與上述主字元線呈交差的位元線方向配置，由多個之動態型記憶單元之位址選擇端子連接而成的副字元線以及如與上述多個副字元線呈直交來配置，且上述動態型記憶單元的輸出入端子被連接到其中之一的多個互補位元線組所構成的副陣列；

由多個接受上述主字元線的選擇信號與通過上述副字元選擇線所傳送的選擇信號，形成上述副字元線之選擇信號所構成的副字元線驅動電路及

形成上述主字元線之選擇信號的主字元線驅動電路。

13．如申請專利範圍第12項之半導體積體電路裝置，上述副陣列，將副字元線驅動電路分配配置在由上述多個所構成之副字元線配列的兩端側，將感測放大器分配配置到由上述多個所構成之互補位元線配列的兩端側，

上述一個副陣列乃被上述多個副字元線驅動電路列與上述多個感測放大器列所包圍。

14．如申請專利範圍第13項之半導體積體電路裝置，上述感測放大器乃被設成共用感測（shared sense）方式，係對應於以此爲中心而鄰接的副陣列之位元線共同被設置，

上述副字元線驅動電路係一用來選擇以此爲中心而鄰接之副陣列的副字元線者。

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

１５．如申請專利範圍第１項或第５項之半導體積體電路裝置，上述降壓電壓係一大約在２Ｖ以下，而較由第２　ＭＯＳＦＥＴ所構成之ＣＭＯＳ電路的下限動作電壓爲高的電壓。

１６．一種半導體積體電路裝置，其特徵在於：

備有：接受第１電壓，而產生使其降壓的第２電壓的降壓電路；

接受較上述第２電壓爲高之電壓而動作的第１內部電路及；

根據上述第２電壓而動作的第２內部電路，其中

上述第１內部電路備有具有第１膜厚之閘絕緣膜的第１　ＭＯＳＦＥＴ，

上述第２內部電路備有具有較上述第１膜厚爲薄之第２膜厚的閘絕緣膜的第２　ＭＯＳＦＥＴ，

上述第２內部電路備有形成針對上述第１內部電路之時序信號的延遲電路，

上述延遲電路包含有上述第１　ＭＯＳＦＥＴ。

１７．如申請專利範圍第１６項之半導體積體電路裝置，其特徵在於：備有：

字元線；

資料線；

連接到上述資料線的感測放大器；

字元線驅動電路及；

感測放大器驅動電路，

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

上述第1內部電路包含上述字元線驅動電路，上述第2內部電路包含上述感測放大器驅動電路，上述延遲電路係一較上述字元線驅動電路之動作時序信號延遲的信號，而形成上述感測放大器驅動電路之動作時序信號。

18．一種半導體積體電路裝置，其特徵在於：備有：

字元線；

資料線；

連接到上述資料線的感測放大器；

字元線驅動電路及；

形成一較上述字元線驅動電路之動作時序信號延遲的信號，亦即，上述感測放大器驅動電路之動作時序信號的延遲電路，

上述字元線驅動電路接受第1電源電壓而動作，

上述感測放大器驅動電路以及上述延遲電路乃接受較上述第1電源電壓爲低的第2電源電壓而動作，

上述字元線驅動電路以及上述延遲電路備有具有第1膜厚之閘絕緣膜的第1電晶體，

上述感測放大器驅動電路備有具有較上述第1膜厚爲薄之第2膜厚的第2電晶體。

19．如申請專利範圍第18項之半導體積體電路裝置，上述半導體積體電路裝置更備有形成上述第1電源電壓的昇壓電路。

20．如申請專利範圍第18項之半導體積體電路裝

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製

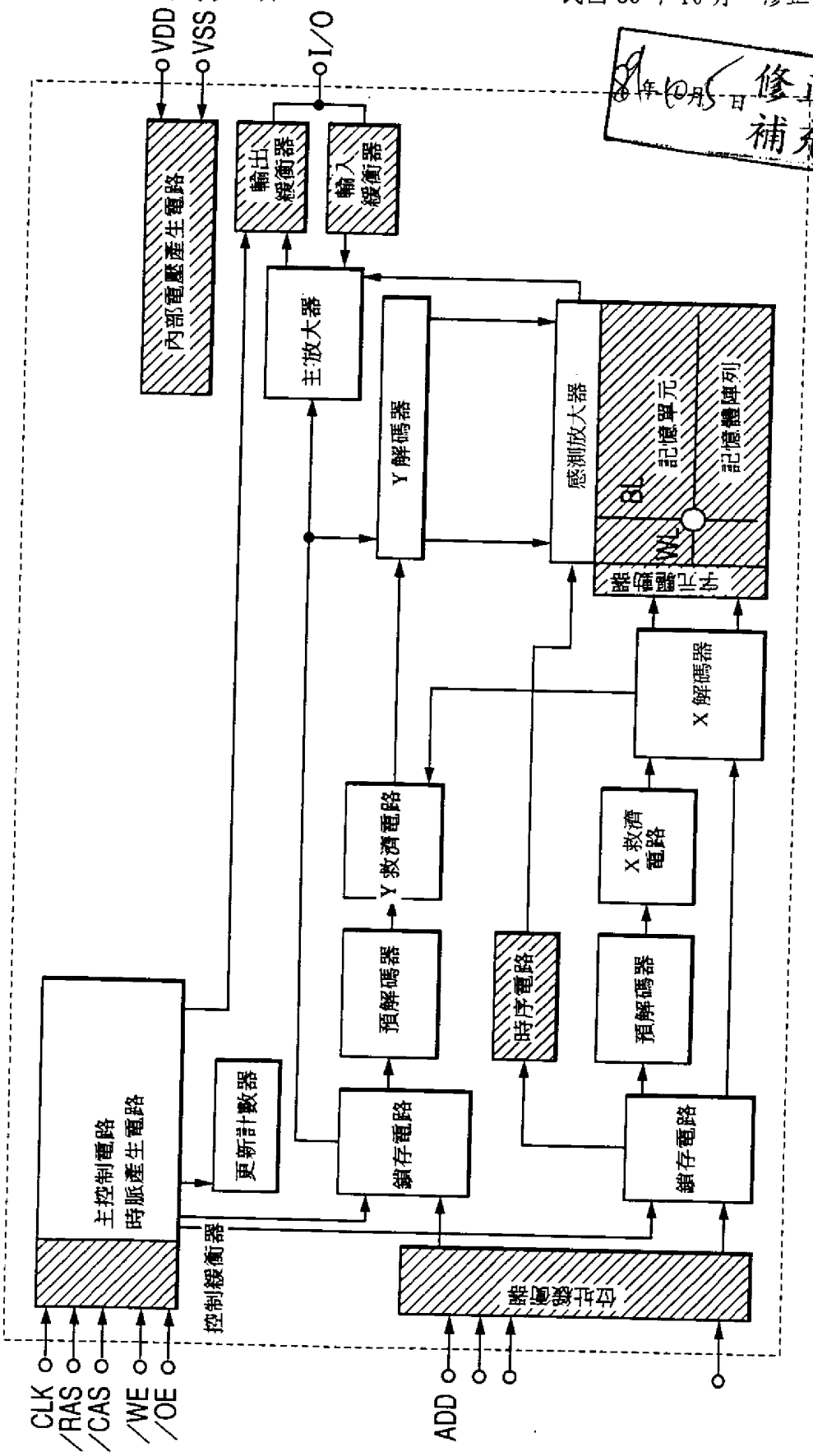
六、申請專利範圍

置，上述半導體積體電路裝置更備有形成上述第2電源電壓的降壓電路。

（請先閱讀背面之注意事項再填寫本頁）

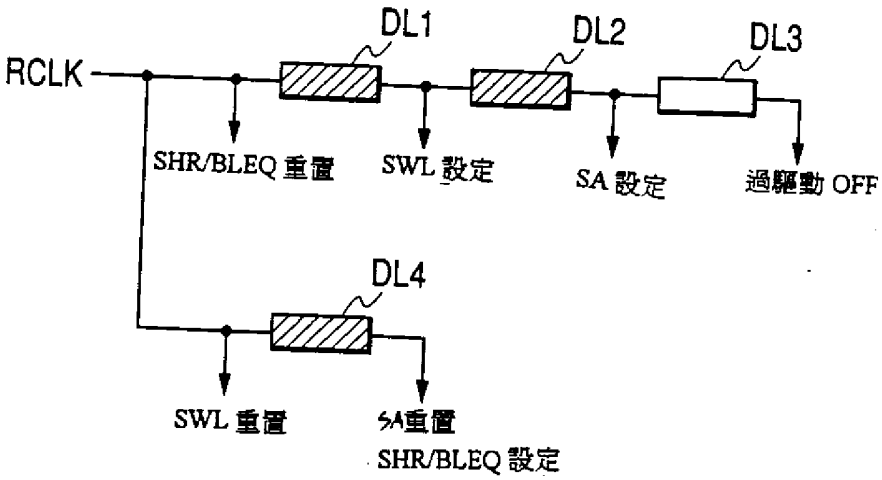
訂

經濟部智慧財產局員工消費合作社印製

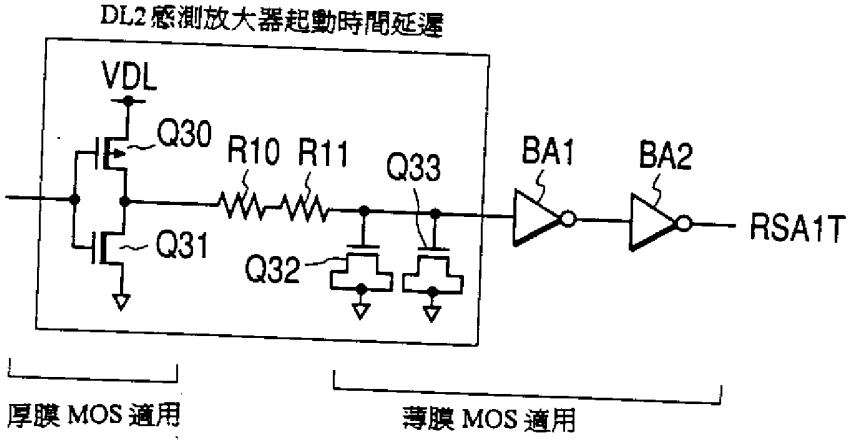

VDD
VSS
I/O
內部電壓產生電路
輸出緩衝器
輸入緩衝器
主放大器
Y 解碼器
感測放大器
記憶單元
記憶體陣列
BL
WL
X 解碼器
Y 救濟電路
X 救濟電路
預解碼器
時序電路
預解碼器
主控制電路
時脈產生電路
更新計數器
鎖存電路
鎖存電路
位址緩衝器
控制緩衝器
CLK
/RAS
/CAS
/WE
/OE
ADD

第 1 圖

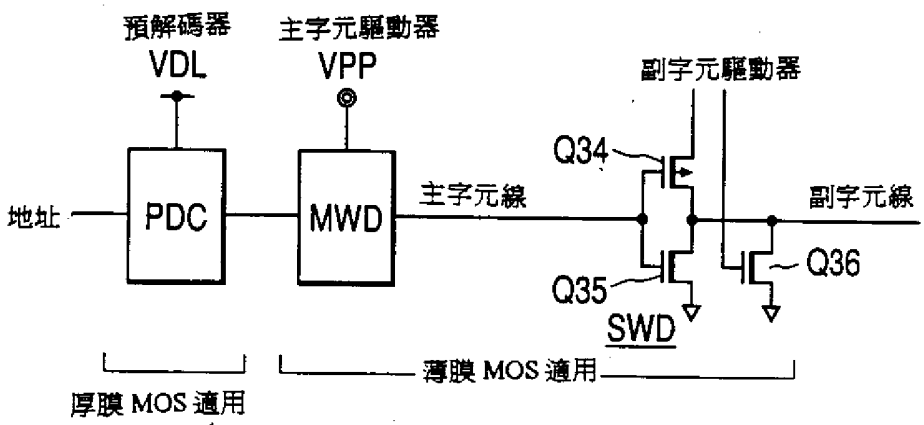
修正
補充


RCLK
DL1
DL2
DL3
SHR/BLEQ 重置
SWL 設定
SA 設定
過驅動 OFF
DL4
SWL 重置
SA重置
SHR/BLEQ 設定

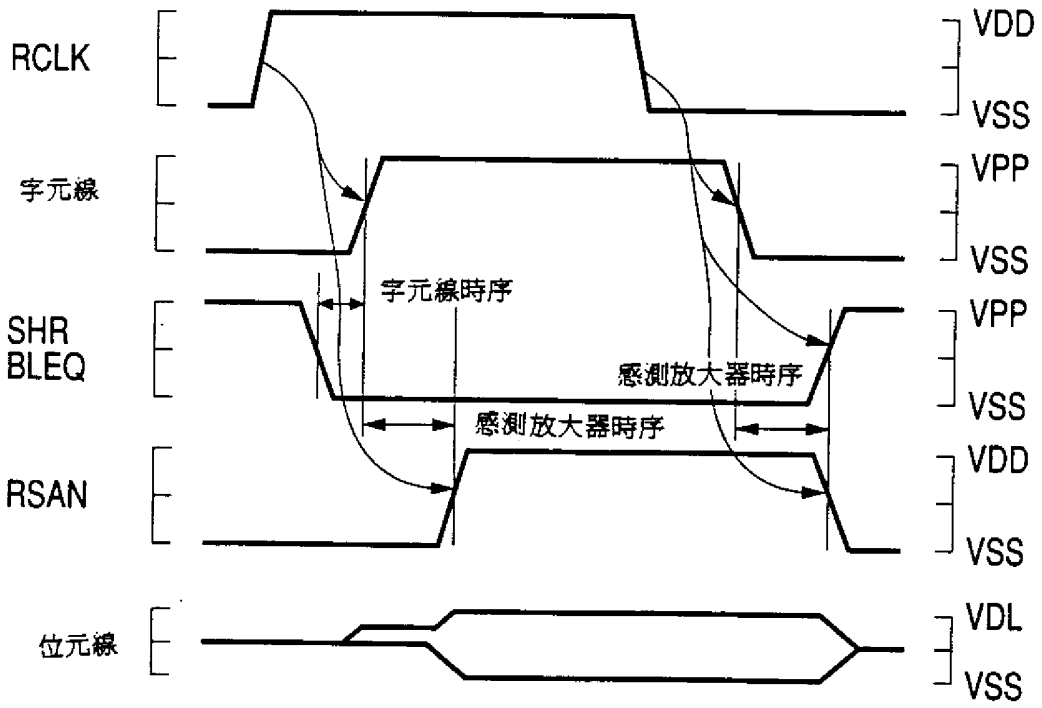
第 2 圖


DL2 感測放大器起動時間延遲
VDL
Q30
R10
R11
Q33
BA1
BA2
RSA1T
Q31
Q32
厚膜 MOS 適用
薄膜 MOS 適用

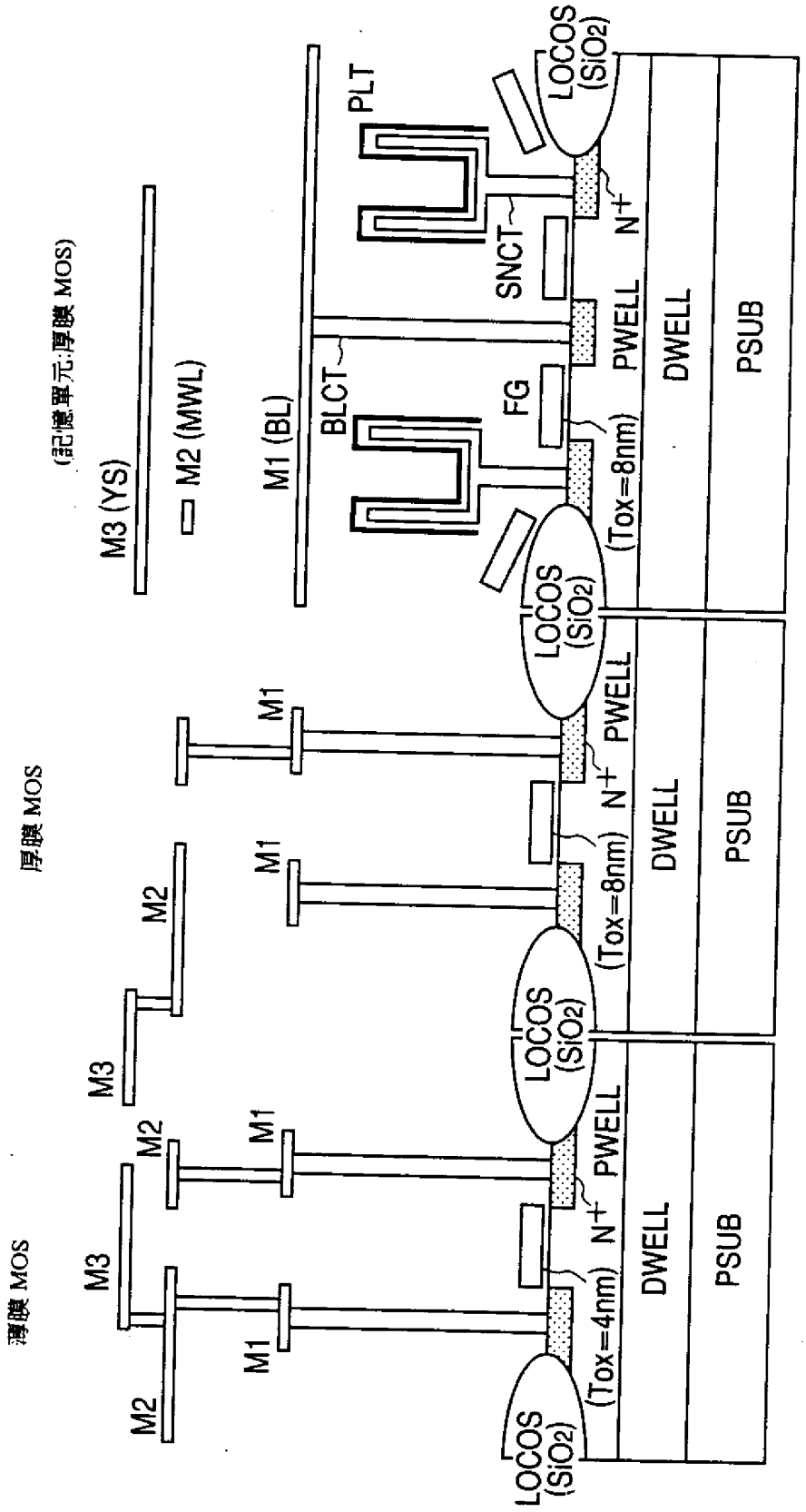
第 3 圖


預解碼器
VDL
主字元驅動器
VPP
副字元驅動器
Q34
地址
PDC
MWD
主字元線
副字元線
Q36
Q35
SWD
薄膜 MOS 適用
厚膜 MOS 適用

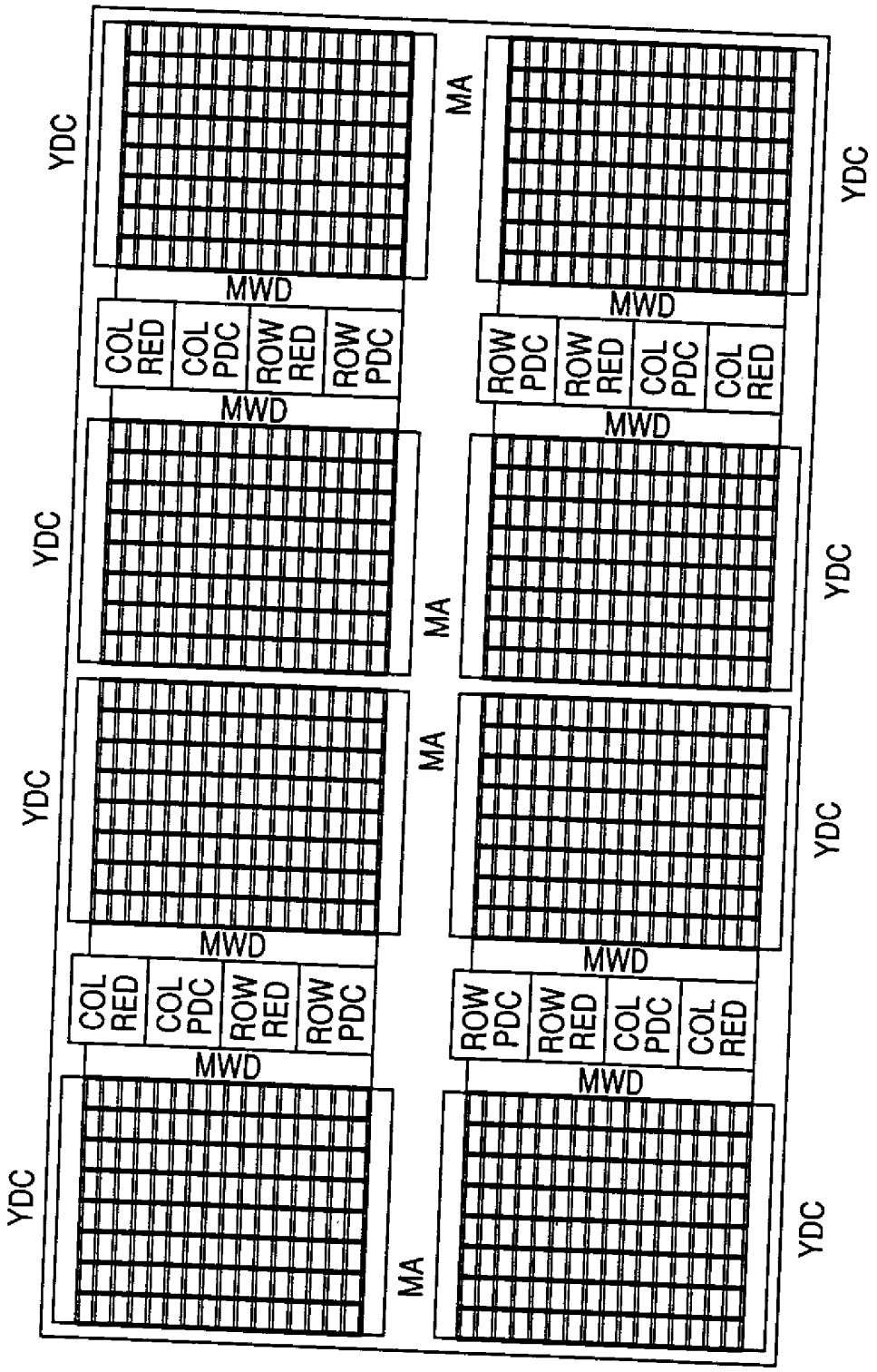
第 4 圖


RCLK
VDD
VSS
字元線
VPP
VSS
字元線時序
SHR
BLEQ
VPP
感測放大器時序
VSS
感測放大器時序
RSAN
VDD
VSS
位元線
VDL
VSS

第 5 圖


(記憶單元:厚膜 MOS)
M3 (YS)
M2 (MWL)
M1 (BL)
BLCT
PLT
SNCT
FG
LOCOS (SiO2)
N+
PWELL
DWELL
PSUB
(Tox=8nm)
(Tox=4nm)
厚膜 MOS
薄膜 MOS
M1
M2
M3

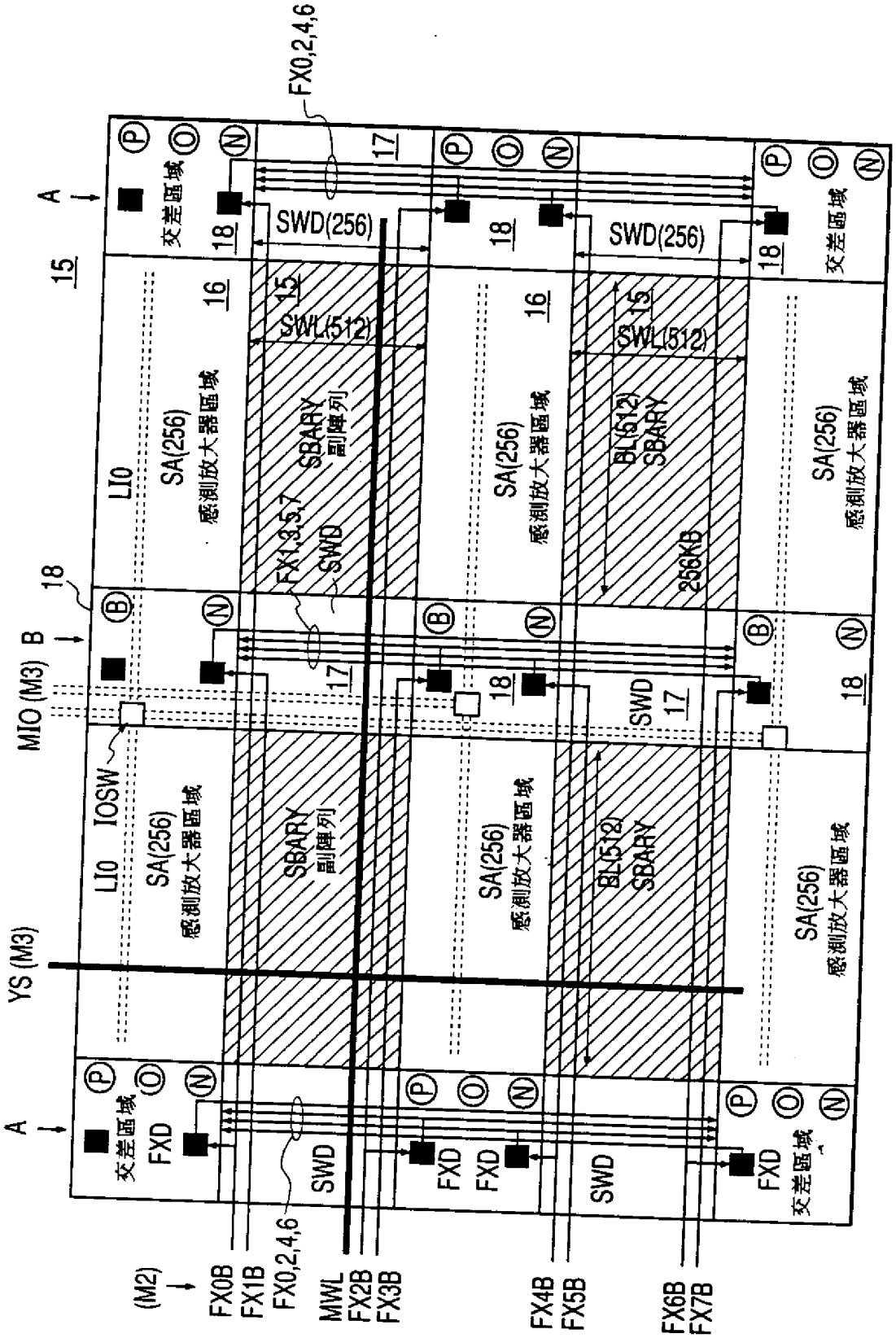
第 6 圖


YDC
MA
MWD
COL RED
COL PDC
ROW RED
ROW PDC
ROW PDC
ROW RED
COL PDC
COL RED

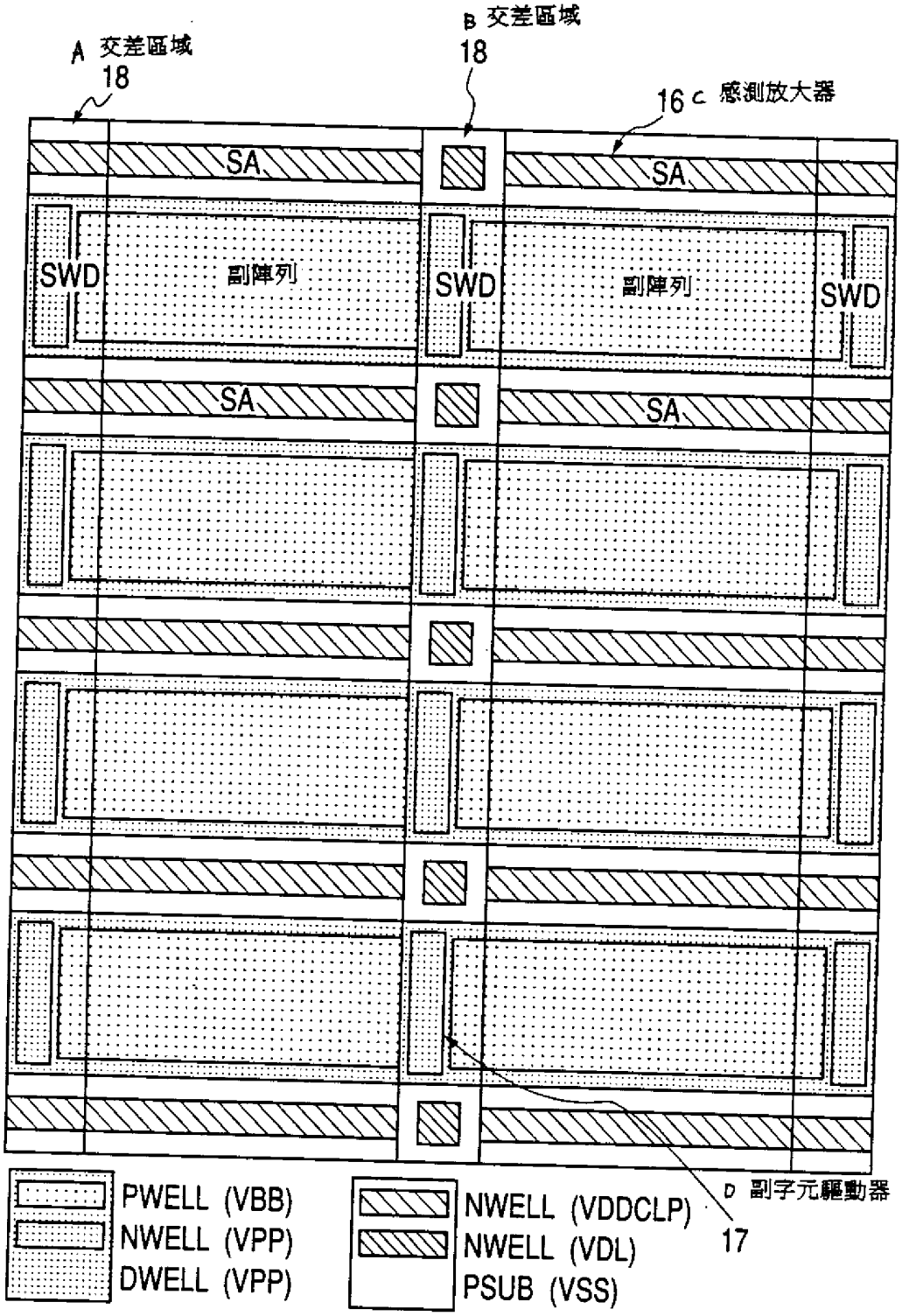
第7圖


字元線方向
32M 陣列
32M 陣列
32M 陣列
32M 陣列
32M 陣列
32M 陣列
32M 陣列
32M 陣列
位元線方向
4096 位元線對
主放大器
8192 字元線
陣列控制&主字元驅動器
感測放大器
Y 解碼器&YS 驅動器
副字元驅動器

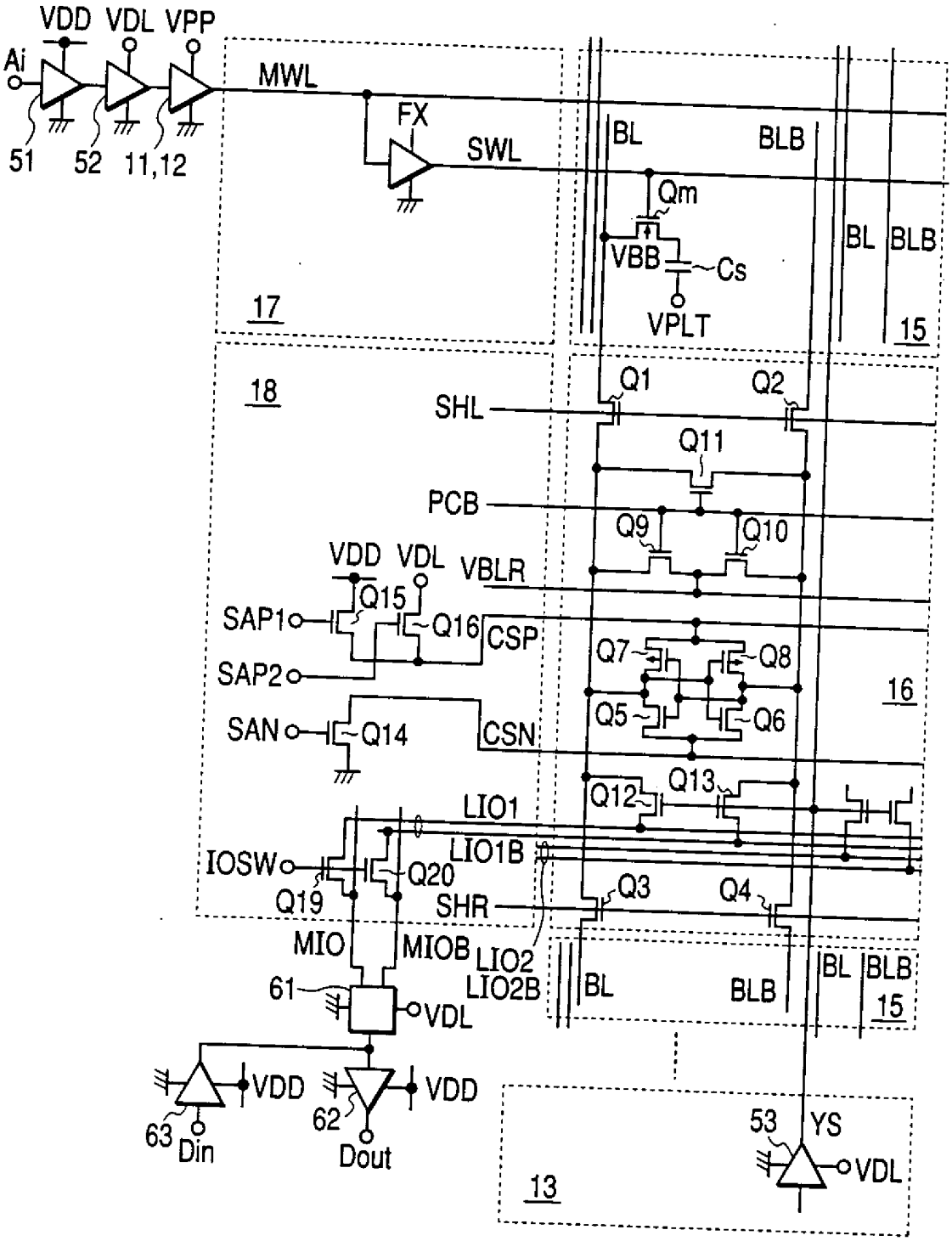
第 8 圖


FX0,2,4,6
SWD(256)
SWL(512)
SA(256)
感測放大器區域
SBARY
副陣列
BL(512)
256KB
LIO
IOSW
MIO (M3)
YS (M3)
交差區域
FXD
SWD
MWL
(M2)
FX0B
FX1B
FX0,2,4,6
FX2B
FX3B
FX4B
FX5B
FX6B
FX7B

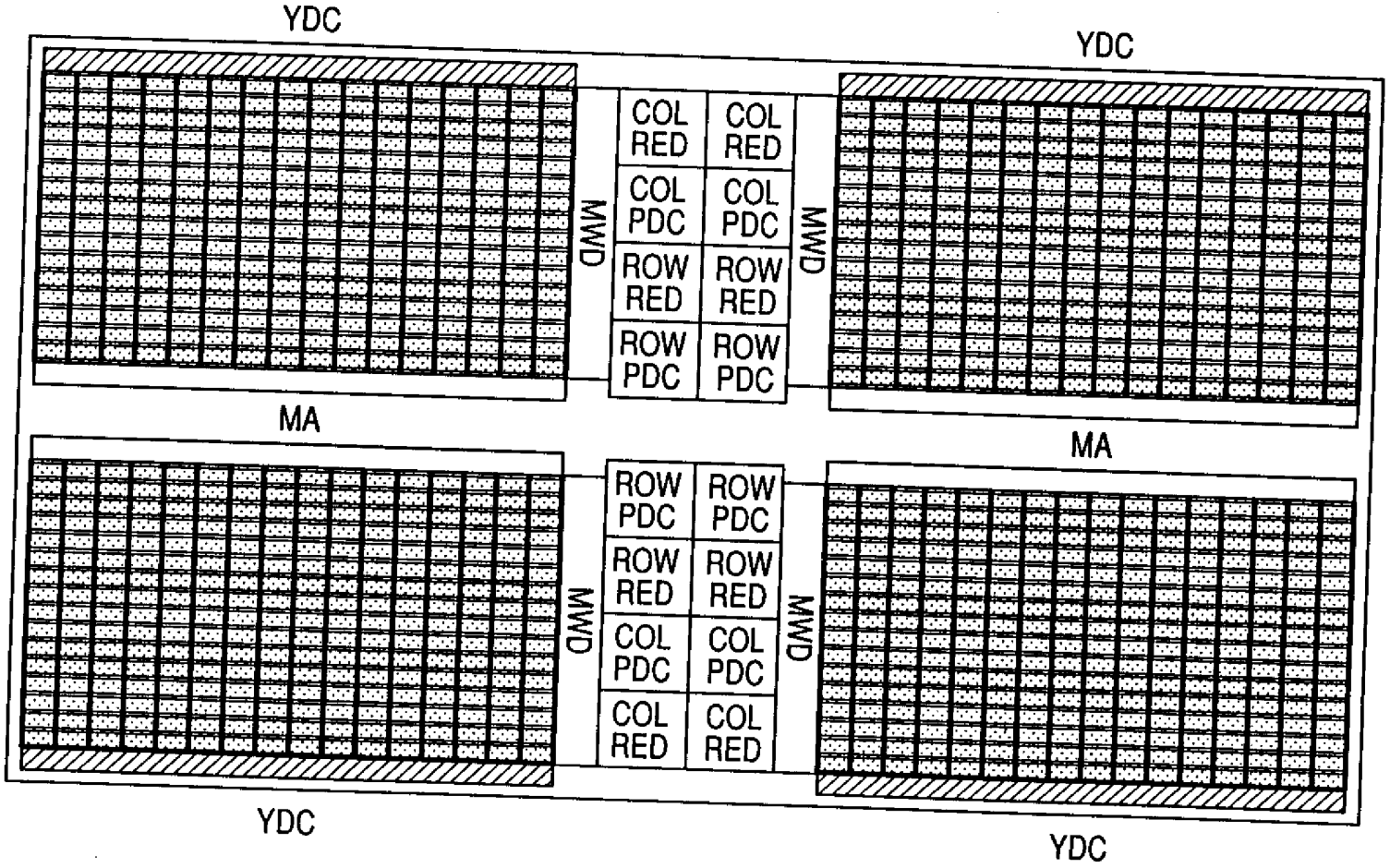
第 9 圖


A 交差區域
18
B 交差區域
18
16 C 感測放大器
SA
SA
SWD
副陣列
SWD
副陣列
SWD
SA
SA
D 副字元驅動器
17
PWELL (VBB)
NWELL (VPP)
DWELL (VPP)
NWELL (VDDCLP)
NWELL (VDL)
PSUB (VSS)

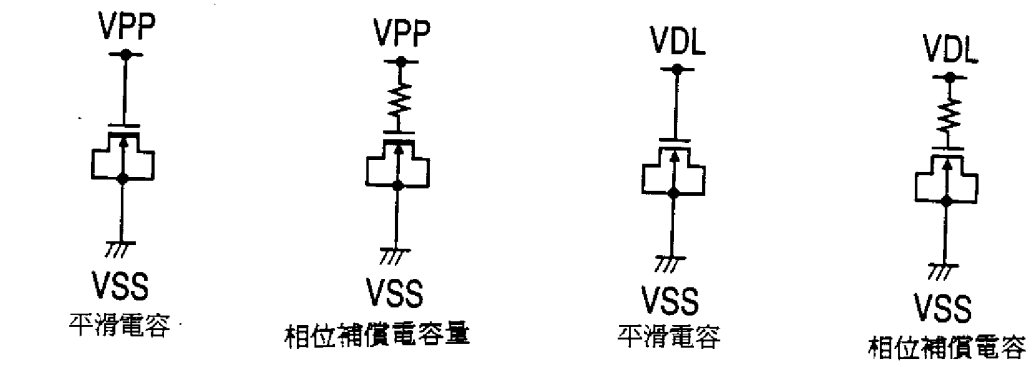
第10圖


VDD VDL VPP
Ai
51 52 11,12
MWL
FX
SWL
BL BLB
Qm
VBB Cs
VPLT
17
15
18
SHL
Q1 Q2
Q11
PCB
Q9 Q10
VDD VDL VBLR
Q15
SAP1
Q16 CSP
SAP2
Q7 Q8
16
Q5 Q6
SAN
Q14
CSN
Q12 Q13
LIO1
LIO1B
IOSW
Q20
Q19
SHR
Q3 Q4
MIO MIOB
LIO2
LIO2B
61
VDL
VDD VDD
63 Din
62 Dout
53 YS
VDL
13

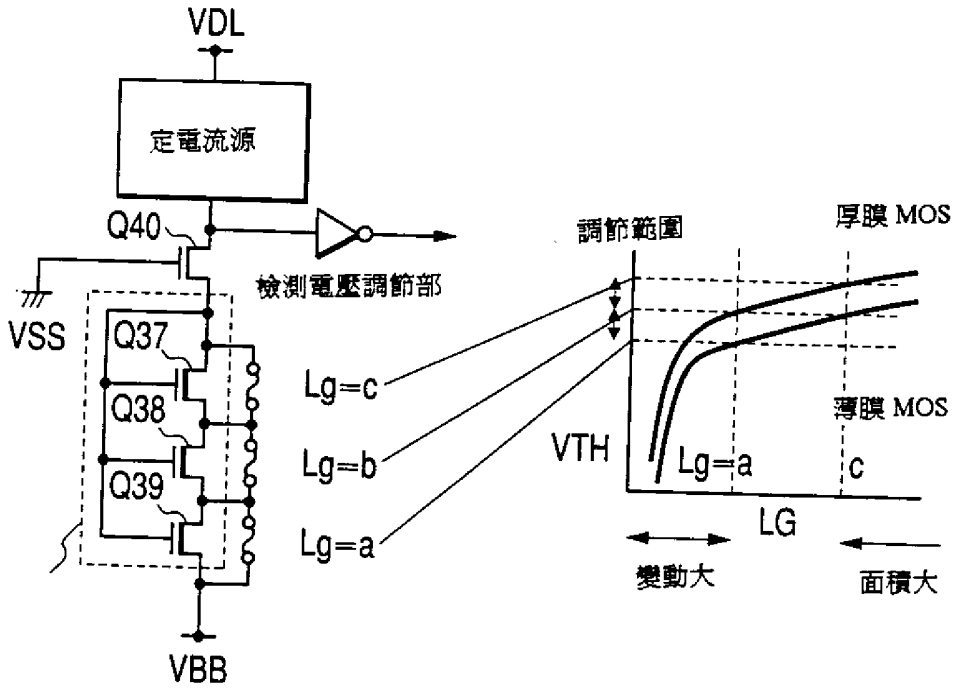
第11圖


YDC
YDC
COL RED
COL RED
COL PDC
COL PDC
ROW RED
ROW RED
ROW PDC
ROW PDC
MWD
MWD
MA
MA
ROW PDC
ROW PDC
ROW RED
ROW RED
COL PDC
COL PDC
COL RED
COL RED
MWD
MWD
YDC
YDC

第12圖

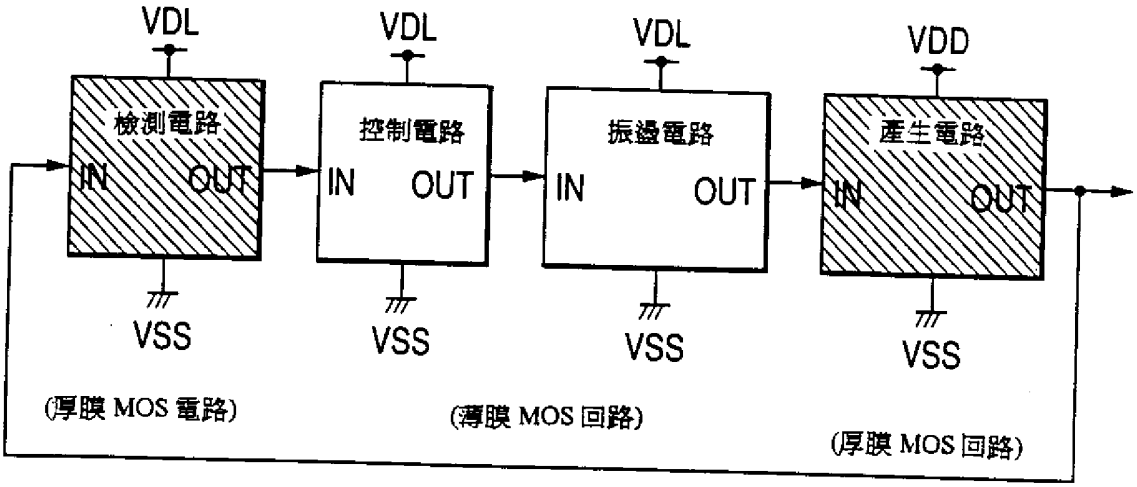


第13圖

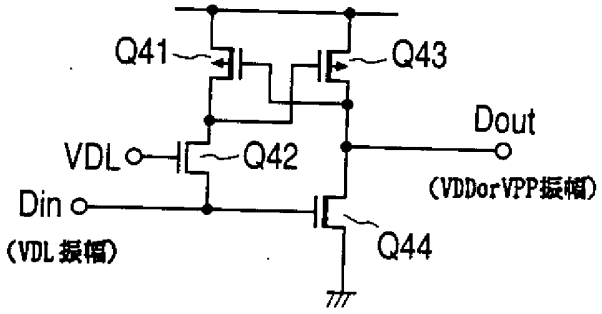


第14圖 A

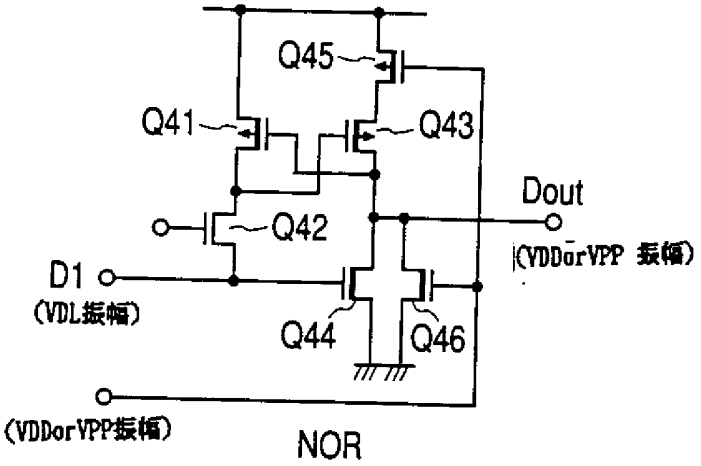
第14圖 B



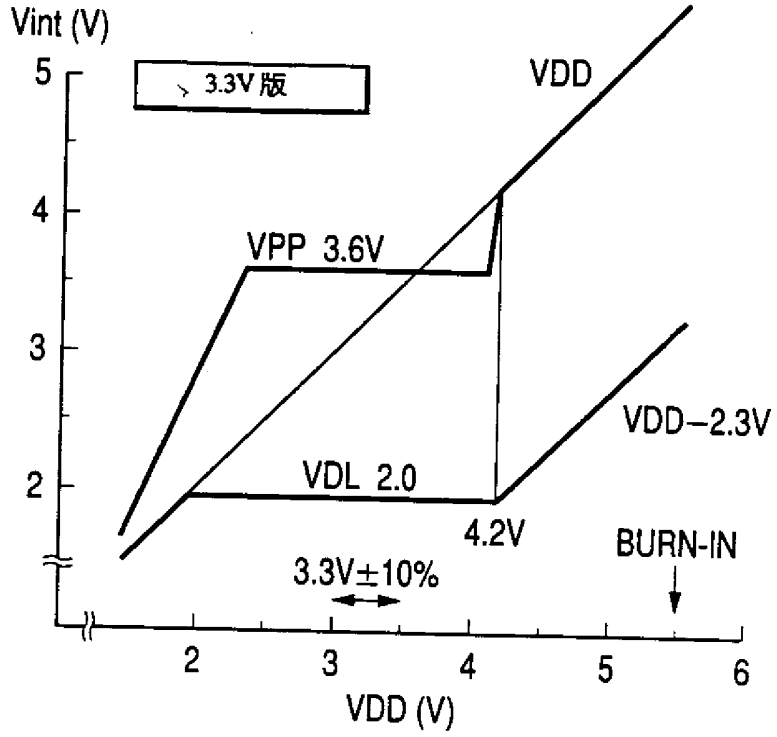
第15圖



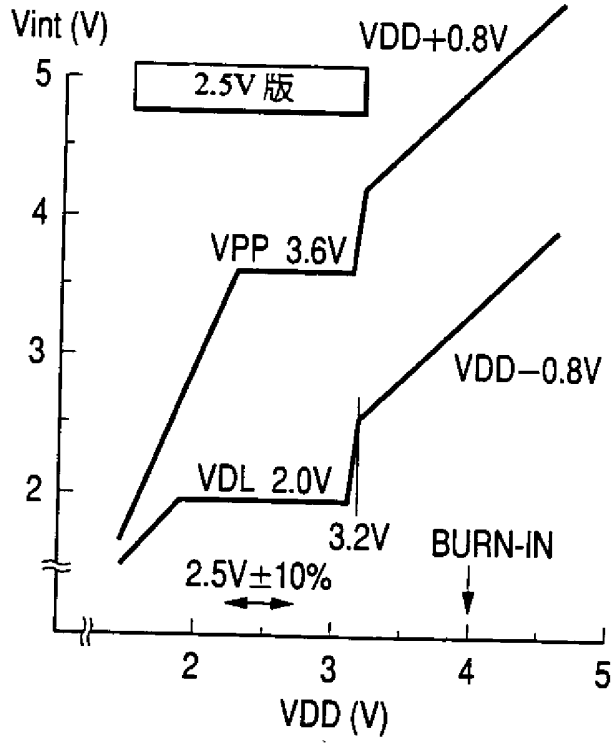
第16圖A



第16圖B


Vint (V)
5
4
3
2
3.3V版
VDD
VPP 3.6V
VDD−2.3V
VDL 2.0
4.2V
BURN-IN
3.3V±10%
2
3
4
5
6
VDD (V)

第17圖A


Vint (V)
5
4
3
2
2.5V版
VDD+0.8V
VPP 3.6V
VDD−0.8V
VDL 2.0V
3.2V
BURN-IN
2.5V±10%
2
3
4
5
VDD (V)

第17圖B

8年10月5日 修正 補充

六、申請專利範圍

第88103963號專利申請案

中文申請專利範圍修正本

民國89年10月修正

1．一種半導體積體電路裝置，其特徵包含：

備有：接受外部電源電壓的外部端子，以及產生較上述外部電源電壓爲低的降壓電壓與較上述外部電源電壓爲高之昇壓電壓的其中一者或是兩者的內部電壓產生電路；

接受上述外部電源電壓或是上述昇壓電壓而動作的第1內部電路及

接受上述降壓電壓而動作的第2內部電路，其中

上述第1內部電路係由具有與上述外部電源電壓或是昇壓電壓對應之厚的膜厚的閘絕緣膜的第1 MOSFET所構成，

上述第2內部電路係由具有與上述降壓電壓對應之薄的膜厚的閘絕緣膜的第2 MOSFET所構成。

2．如申請專利範圍第1項之半導體積體電路裝置，上述昇壓電壓係一當上述外部電源電壓被設成一定電壓以上時，會隨此而上昇者，而上述降壓電壓係一當上述外部電源電壓被設成一定電壓以上時，會隨此而上昇者。

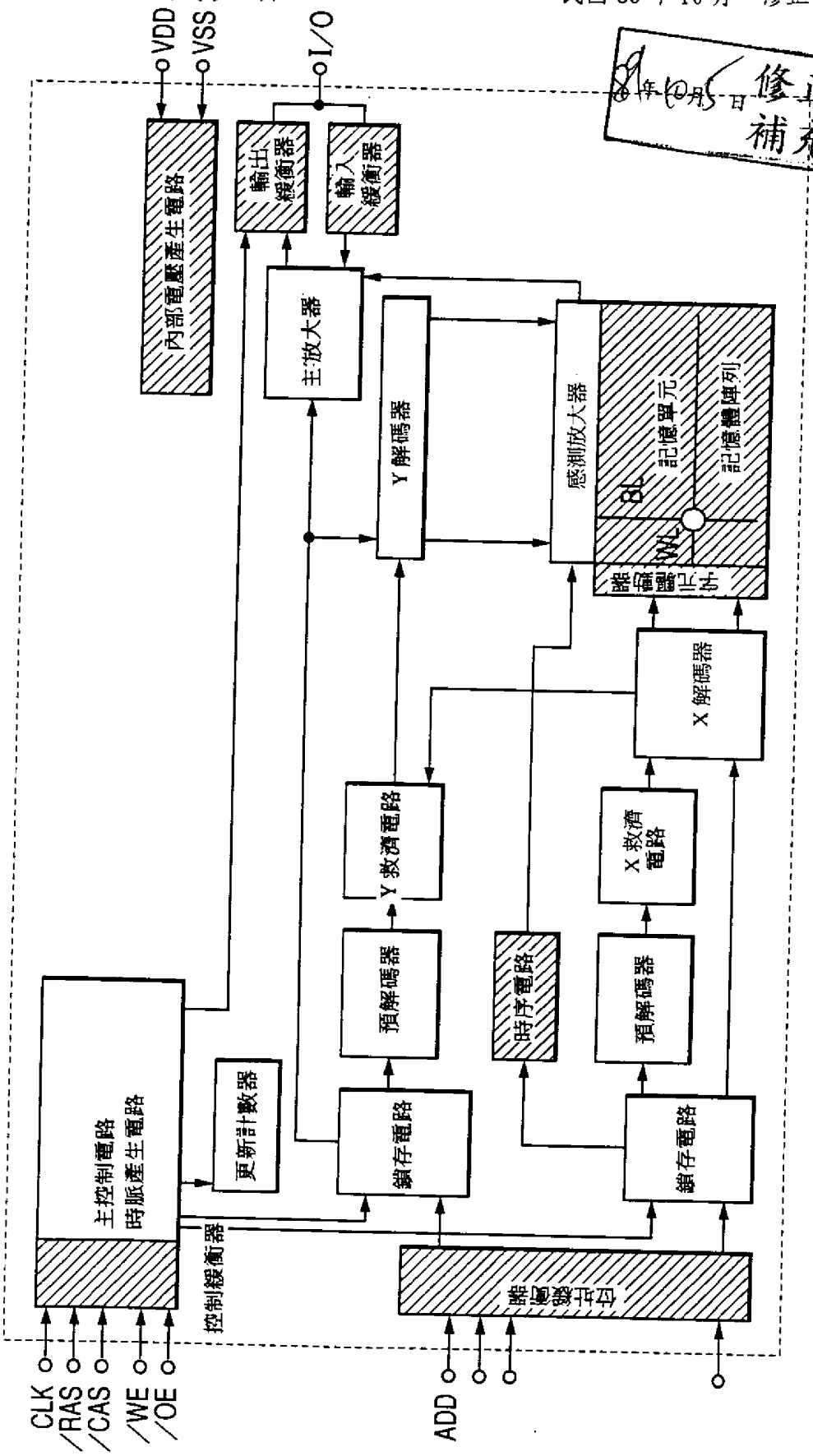
3．如申請專利範圍第1項之半導體積體電路裝置，上述第1內部電路包含：接受自a外部端子所供給之輸入信號的輸入電路，將輸出信號送出到a外部端子的輸出電路，以及根據上述昇壓電壓而動作的第3內部電路。

4．如申請專利範圍第3項之半導體積體電路裝置，

（請先閱讀背面之注意事項再填寫本頁）

訂

經濟部智慧財產局員工消費合作社印製


VDD
VSS
I/O
內部電壓產生電路
輸出緩衝器
輸入緩衝器
主放大器
Y 解碼器
感測放大器
記憶單元
記憶體陣列
BL
WL
X 解碼器
Y 救濟電路
X 救濟電路
預解碼器
時序電路
預解碼器
主控制電路
時脈產生電路
更新計數器
鎖存電路
鎖存電路
位址緩衝器
控制緩衝器
CLK
/RAS
/CAS
/WE
/OE
ADD

第 1 圖

修正
補充