

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 8 月 23 日(23.08.2012)



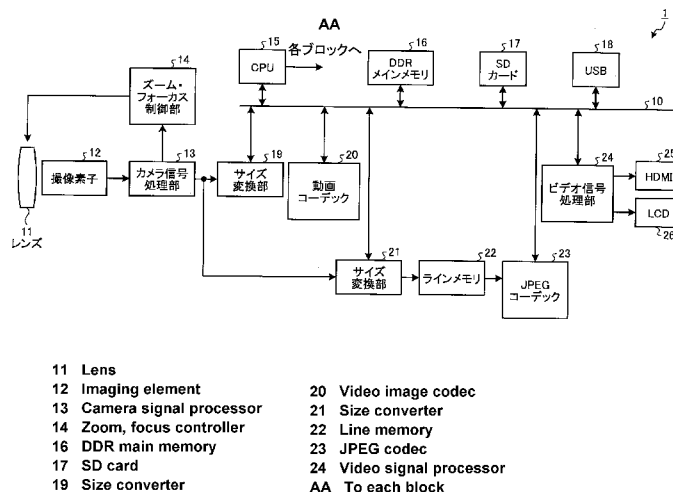
(10) 国際公開番号
WO 2012/111825 A1

- (51) 国際特許分類:
H04N 5/91 (2006.01) *H04N 7/26* (2006.01)
H04N 5/225 (2006.01)
- (21) 国際出願番号: PCT/JP2012/053875
- (22) 国際出願日: 2012 年 2 月 17 日(17.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-033978 2011 年 2 月 18 日(18.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 JVC ケンウッド (JVC KENWOOD Corporation) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 倉重 規夫 (KURASHIGE, Norio) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 Kanagawa (JP). 清藤 隆志 (KIYOFUJI, Takashi) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 Kanagawa (JP). 田中 宏治 (TANAKA, Kouji) [JP/JP]; 〒2210022 神奈川県横浜市神奈川区守屋町 3 丁目 1 2 番地 Kanagawa (JP).
- (74) 代理人: 酒井 宏明 (SAKAI, Hiroaki); 〒1006020 東京都千代田区霞が関三丁目 2 番 5 号 霞が関ビルディング 酒井国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: IMAGE PROCESSOR, IMAGE PROCESSING METHOD, AND PROGRAM

(54) 発明の名称: 画像処理装置、画像処理方法、及びプログラム

[図1]



(57) Abstract: Provided are an image processor, image processing method, and program, with which still image data are encoded and stored in a main memory at high speed and in a manner concurrent with video imaging. An imaging device (1) has: a DDR main memory (16) for storing video image data; a video image codec (20) for encoding the video image data stored in the main memory (16); a still image frame acquisition unit for acquiring a still image frame at any timing from the video image data acquired by an imaging element (12); a line memory (22) for storing still image data which is a part of the still image frame; and a JPEG codec (23) for encoding the still image data in real time in a manner concurrent with the storing of the video image data in the main memory (16). The main memory (16) stores the video image data and also stores encoded data encoded in real time by the JPEG codec (23).

(57) 要約:

[続葉有]

WO 2012/111825 A1



動画撮影と並行して、高速に静止画データをエンコードしてメインメモリに格納する。撮像装置（１）は、動画像データを格納するＤＤＲメインメモリ（１６）と、メインメモリ（１６）に格納された動画像データをエンコードする動画コーデック（２０）と、撮像素子（１２）により取得された動画データから任意のタイミングで静止画フレームを取得する静止画フレーム取得部と、その静止画フレームの一部である静止画データを格納するラインメモリ（２２）と、動画像データのメインメモリ（１６）への格納と並行してリアルタイムで静止画データをエンコードするＪＰＥＧコーデック（２３）とを有し、メインメモリ（１６）は、動画像データを格納すると共に、ＪＰＥＧコーデック（２３）によりリアルタイムでエンコードされたエンコードデータを格納する。

明 細 書

発明の名称：画像処理装置、画像処理方法、及びプログラム

技術分野

[0001] 本発明は、動画撮影中に静止画を撮影する機能を有する画像処理装置、画像処理方法、及びプログラムに関し、特に、高速にリアルタイムにエンコードした静止画データを取得するのに好適な画像処理装置、画像処理方法、及びプログラムに関する。

背景技術

[0002] デジタルカメラ又はデジタルビデオカメラ等で、動画撮影と共に静止画を撮影する機能を有する従来の撮像装置においては、静止画のみの撮影を行う撮像装置と同様、静止画を撮影しファイル化する際、画像データを非圧縮のファイルで保存したり、J P E G (Joint Photographic Experts Group) 形式等の圧縮データにして保存するのが一般的である。それらファイル化の際、通常、撮像素子同等の解像度を有するメインの画像のほかにサムネイルと呼ばれるインデックス用の副画像（水平160画素×垂直120画素）を同時にファイルにパッケージする。これにより、副画像を、静止画再生時に画像サイズの小さいインデックス用の画像としてサムネイルに表示し、ユーザが静止画を確認して効率よく選択することができる。これはデジタルカメラ用の画像ファイル規格であるE X I F (Exchangeable Image File Format) 等に規定されている。

[0003] ところで、動画撮影と共に静止画を撮影する機能を有する従来の撮像装置として例えば特許文献1に記載の電子カメラが公知である。この特許文献1には、静止画の撮影可能枚数に内部メモリによる制限が生じないようにし、撮像される動画に不連続部分があっても再生時にユーザに違和感を与えないように記録することを目的とした電子カメラが開示されている。

[0004] この特許文献1に記載の電子カメラにおいては、動画記録中に静止画記録要求の指示が与えられた場合、静止画記録要求に呼応して静止画撮影画像を

記憶手段に記憶するとともに所定時間の間、記憶手段に撮像素子からの画像の取り込みを禁止し、この間に記憶手段の画像を繰り返し読み出すことにより、静止画撮影画像を動画として動画記録部に記録する。また、静止画撮影画像の動画処理の合間に記憶手段に格納されている静止画撮影画像を静止画として静止画記録部に記録する静止画処理を実行し、静止画撮影画像を静止画として静止画記録部に記録し終えた時又はその後所定時間が満了することにより、禁止が解除されて撮像素子から得られる画像を動画として動画記録部に記録する記録動作を再開させるものである。

先行技術文献

特許文献

[0005] 特許文献1：特開2000-324434号公報

発明の概要

発明が解決しようとする課題

[0006] 上述の特許文献1を含む従来の撮像装置においては、通常、静止画撮影をする際には、撮像素子等を介して取得された画像データを一度メインメモリに格納し、画質補正等を行った後にJ P E G等の形式で圧縮して主画像ストリームを生成する。更に、必要に応じてメインメモリの画像をサムネイル用のサイズにサイズ変換してJ P E G等の形式で圧縮してサムネイル用のストリームを生成する。そして、これらをE X I Fとしてパッケージすることで一般的なJ P E Gファイルが生成される。この一連の処理（以下、静止画エンコード処理という。）においては、

- (1) メインメモリへの画像データの書き込み処理
- (2) メインメモリから画像データを読み出しながら、読み出された画像データをJ P E G形式へエンコード処理
- (3) エンコード処理されたデータのメインメモリへのストリームの書き込み処理等の処理によりメインメモリに対するアクセスが多数発生するため、メモリバス帯域を圧迫する。このため、メモリ処理クロック周波数を高くし

たりバス幅を広げたりする必要が生じ、結果、コストが高くなったり、消費電力が増加する等の問題点があった。

[0007] 高速に静止画エンコード処理を行なおうとすると上記問題点が顕著となる。特に動画撮影と共に静止画撮影をする場合、撮像素子から取得された動画像データをメインメモリに書き込むのと同時に、静止画データをメインメモリに書き込み、エンコードして再度メインメモリへ書き込むという一連の静止画エンコード処理が必要となるが、この場合、動画像データをメインメモリに書き込む処理と静止画データをメインメモリに書き込む処理を同時に行うと、メモリのバス帯域が不足するため、高速に静止画データを取得することが不可能となる。

[0008] すなわち、従来の撮像装置のように、フレームメモリに静止画データを書き込んでから静止画エンコード処理を動画撮影に伴う処理と同時に行なう場合は、フレームメモリのバス帯域が不足するため、同一フレーム期間に書き込みと読み出しを同時に行うことができない。このため、約10枚以上ないし全フレームの静止画エンコード処理が不可能となり、例えば1秒60フレームからなる動画像において、60フレームのうち処理可能な数枚のフレームを選択してJPEGファイル化を行わなければならないという問題点があった。

[0009] また、ユーザが主画像サイズとして、撮像素子から出力されるサイズではなく1/2や1/3などの縮小サイズを望む場合、更に主画像のリサイズ処理のために時間がかかり高速な静止画処理ができなくなる。

[0010] 本発明は、このような問題点を解決するためになされたものであり、動画撮影と並行して、高速に静止画データをリアルタイムにエンコードしてメインメモリに格納することが可能な画像処理装置、画像処理方法、及びプログラムを提供することを目的とする。

課題を解決するための手段

[0011] 本発明にかかる画像処理装置は、撮像素子と、前記撮像素子により取得された動画像データを格納するメインメモリと、前記メインメモリに格納され

た動画像データを圧縮処理する動画圧縮部と、前記撮像素子により取得された動画像データから任意のタイミングで静止画フレームを取得する静止画フレーム取得部と、前記静止画フレーム取得部により取得された静止画フレームの一部である静止画データを格納するラインメモリと、前記ラインメモリに格納された静止画データを圧縮処理する静止画圧縮部とを有し、前記静止画圧縮部は、前記動画像データの前記メインメモリへの格納と並行してリアルタイムで前記静止画データを圧縮処理し、前記メインメモリは、前記動画像データを格納すると共に、前記静止画圧縮部によりリアルタイムで圧縮処理された圧縮データを格納するものである。

[0012] また、前記画像処理装置はタイミング調整用バッファをさらに有し、前記タイミング調整用バッファは、前記動画像データが前記メインメモリへ格納される際のタイミングと、前記静止画圧縮部によりリアルタイムで圧縮処理された圧縮データが前記メインメモリへ格納される際のタイミングとを調整することができる。

[0013] さらに、前記ラインメモリは、3面以上の n （ n は1以上の整数）ラインからなるメモリから構成され、前記メモリの一部は、前記静止画圧縮部による前記静止画データの圧縮処理における処理レートの変動を吸収するバッファとして機能すると共に、圧縮処理後の圧縮データが前記メインメモリへ格納される際のタイミングを調整するバッファとして機能させることができ、ラインメモリを3面以上有することで、圧縮後のデータをメインメモリに格納する際等のタイミングを制御することができる。

[0014] さらにまた、前記画像処理装置はサイズ変換部をさらに有し、前記サイズ変換部は前記静止画フレーム取得部により取得された静止画フレームのサイズをリアルタイムに変換することができる。

[0015] また、前記画像処理装置は主画像サイズ変換部及び副画像サイズ変換部をさらに有し、前記主画像サイズ変換部は前記静止画フレーム取得部により取得された静止画フレームのサイズをリアルタイムに変換して主画像データを生成し、前記副画像サイズ変換部は前記静止画フレーム取得部により取得さ

れた静止画フレームのサイズをリアルタイムに変換して副画像データを生成するものとすることができ、主画像と共に副画像サイズの画像を取得することができる。

[0016] また、前記副画像サイズ変換部は、前記主画像サイズ変換部が生成した前記主画像データのサイズをリアルタイムに変換して副画像データを生成することができ、主画像サイズに縮小されたデータを使用して副画像データを生成するため、副画像サイズ変換処理を軽くすることができる。

[0017] さらに、前記ラインメモリは、前記主画像サイズ変換部により生成された主画像データの一部を格納し、前記静止画圧縮部は、前記動画像データの前記メインメモリへの格納と並行してリアルタイムで前記主画像データを圧縮処理し、前記副画像サイズ変換部が生成した副画像データは圧縮処理することなく前記メインメモリに格納するものとすることができ、副画像データは容量が小さいため、リアルタイムで圧縮しなくてもよい。

[0018] さらにまた、前記サイズ変換部はサイズ変換用ラインメモリを備え、前記サイズ変換用ラインメモリは、前記静止画フレーム、前記主画像データ又は前記副画像データの一部を格納するラインメモリを有することができ、サイズ変換部からの出力タイミングを調整する等することができる。

[0019] また、前記画像処理装置は動画像用サイズ変換部をさらに有し、前記動画像用サイズ変換部は前記撮像素子により取得された動画像データのサイズを変換し、前記メインメモリは、前記動画像用サイズ変換部によりサイズ変換された動画像データを格納することができ、動画像データのサイズを変換することも可能である。

[0020] さらに、前記メインメモリは、外部メモリから読み込まれた圧縮動画像データが伸長された動画像データを格納し、前記ラインメモリは、前記メインメモリに格納された、前記撮像素子により取得された動画像データ、又は前記伸長された動画像データの何れかから任意のタイミングで取得した静止画フレームの一部である静止画データを格納し、前記静止画圧縮部は、前記ラインメモリに格納された前記静止画データの圧縮処理を行うことができ、メ

インメモリに格納されている非圧縮の動画像データから静止画フレームを取得し、その圧縮データを生成することができる。

[0021] 本発明にかかる画像処理方法は、撮像素子により取得された動画像データをメインメモリに格納する動画像格納工程と、前記撮像素子により取得された動画像データから任意のタイミングで取得された静止画フレームの一部である静止画データをラインメモリに格納するラインメモリ格納工程と、前記ラインメモリに格納された前記静止画データに対しリアルタイムで圧縮処理を行う静止画圧縮工程と、前記ラインメモリ格納工程、前記静止画圧縮工程又は前記静止画格納工程と並行して前記撮像素子により取得された動画像データをメインメモリに格納する動画像格納工程とを含むものである。

[0022] 本発明にかかるプログラムは、動画像の記録処理と並行して静止画像の記録処理をコンピュータに実行させるためのプログラムであって、撮像素子により取得された動画像データをメインメモリに格納する動画像格納処理と、前記撮像素子により取得された動画像データから任意のタイミングで取得された静止画フレームの一部である静止画データをラインメモリに格納するラインメモリ格納処理と、前記ラインメモリに格納された前記静止画データに対しリアルタイムで圧縮処理を行う静止画圧縮処理と、前記静止画圧縮処理にてリアルタイムに圧縮処理された圧縮データを前記メインメモリに格納する静止画格納処理と、前記ラインメモリ格納処理、前記静止画圧縮処理又は前記静止画格納処理と並行して、前記撮像素子により取得された動画像データをメインメモリに格納する動画像格納処理とをコンピュータに実行させるためのプログラムである。

発明の効果

[0023] 本発明によれば、動画撮影と並行して、高速に静止画データをリアルタイムにエンコードしてメインメモリに格納することが可能な画像処理装置、画像処理方法、及びプログラムを提供することができる。

図面の簡単な説明

[0024] [図1]図1は、本発明の実施の形態1にかかる画像処理装置を示すブロック図

である。

[図2]図2は、本発明の実施の形態1における静止画フレームのリアルタイム記録処理を実現する基本構成を示す図である。

[図3]図3は、本発明の実施の形態1における静止画フレームのリアルタイム記録処理を実現する第1の変形例を示すブロック図である。

[図4]図4は、本発明の実施の形態1における静止画フレームのリアルタイム記録処理を実現する第2の変形例を示すブロック図である。

[図5]図5は、本発明の実施の形態1における静止画フレームのリアルタイム記録処理を実現する第3の変形例を示すブロック図である。

[図6]図6は、本発明の実施の形態1における静止画フレームのリアルタイム記録処理を実現する第4の変形例を示すブロック図である。

[図7]図7は、本発明の実施の形態1にかかる画像処理装置の詳細を示すブロック図である。

[図8]図8は、本発明の実施の形態1にかかる画像処理装置におけるサイズ変換部の詳細を示すブロック図である。

[図9]図9は、8ラインメモリが2面構成の例を示す図である。

[図10]図10は、8ラインメモリが3面構成の例を示す図である。

[図11]図11は、2面構成のラインメモリへの書き込み期間及び読み出し期間、並びにJPEGエンコード期間を示すタイミングチャートである。

[図12]図12は、3面構成のラインメモリへの書き込み期間、読み出し期間、JPEGエンコード期間を示す図である。

[図13]図13は、同じく、3面構成のラインメモリへの書き込み期間、読み出し期間、JPEGエンコード期間の他の例を示す図である。

[図14]図14は、本発明の実施の形態1にかかる画像処理装置の再生時の動作を説明する図である。

[図15]図15は、本発明の実施の形態2にかかる画像処理装置を示すブロック図である。

[図16]図16は、本発明の実施の形態2にかかる画像処理装置におけるアー

ビタの制御を説明するための図である。

発明を実施するための形態

[0025] 以下、本発明を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。この実施の形態は、本発明を、動画像の取得と並列して高速に静止画像を取得することができる画像処理装置に適用したものである。

[0026] 上述したように、動画撮影と共に静止画撮影をする場合、従来は、メインメモリのバス帯域が不足するため、1秒間60フレームとしても、せいぜい数枚乃至10枚の静止画フレームを取得することしかできない。これに対し、本実施の形態にかかる画像処理装置としての撮像装置は、メインメモリの上記バス帯域に関する問題を解決するため、動画撮影と共に静止画撮影をする場合であっても、毎秒10枚以上の高速撮影が可能である。さらには、通常撮像素子から出力されるフレームレート同等の速度、例えば毎秒60フレームのうち、全フレームを静止画フレームとして取得することができるものである。

[0027] <本発明の実施の形態1.>

図1は、本実施の形態にかかる撮像装置を示すブロック図である。本実施の形態にかかる撮像装置1は、撮像素子を介して動画像データを取得しつつ、ユーザの指示に基づく任意のタイミングで動画像データから静止画フレームを取得し、その静止画フレームをリアルタイムでエンコード（圧縮）処理を行うものである。ここで、リアルタイムでのエンコード処理とは、動画像データ（カメラ画像）の入力フレームレートと同じフレームレートで静止画フレームのエンコード処理、例えばJPEGエンコード処理を行うことをいう。また、以下では、静止画フレームは、ユーザの指示に基づく任意のタイミングで取得されるものとして説明するが、例えば、「静止画フレーム自動取得モード」等を用意し、被写体の笑顔等、特定の対象を自動で検知し、当該検知結果に応じて自動で静止画フレームを取得するようにしてもよい。

[0028] 上記動作を実現するため、撮像装置1は、レンズ11及びレンズ11を通

じて入射した入射光を光電変換し画像データを生成する撮像素子12等からなる撮像部を有する。さらに、撮像装置1は、DDR (Double-Data-Rate) メインメモリ16、動画コーデック20、ラインメモリ22、及びJPEGコーデック23を有している。これらDDRメインメモリ16、動画コーデック20、ラインメモリ22、及びJPEGコーデック23は、それぞれバス10を介して接続される。

[0029] DDRメインメモリ16には、撮像素子12により取得された動画像データが書き込まれる。動画コーデック20は、メインメモリに書き込まれた動画像データを圧縮処理する動画圧縮部として機能する。動画コーデック20は、さらに、圧縮された動画像データを伸張する動画伸張部としても機能する。撮像素子12から取得された動画像データは一旦DDRメインメモリ16に書き込みされその後、動画コーデック20によりエンコード処理される。

[0030] 一方、静止画の方は、静止画フレーム取得部（図示せず）により、撮像素子12で取得された動画像データから任意のタイミングで静止画フレームを取得し、ラインメモリ22にその静止画フレームの一部である静止画データを格納する。なお、例えば1秒間に60フレームからなる動画像データの60フレーム全部を静止画データとして取得する場合は、カメラ信号処理部13からの動画像データを順次ラインメモリ22に格納すればよく、静止画フレーム取得部は不要である。また、ユーザの指示により任意のタイミングで静止画フレームを取得する場合は、例えばユーザが撮像装置1の図示しないシャッターボタンを押下したタイミングに基づき、動画像データから所定枚数の静止画フレームから得られる静止画データをラインメモリ22に入力できるようにスイッチ動作するスイッチ等により構成することができる。

[0031] また、JPEGコーデック23は、ラインメモリ22に格納された静止画データを圧縮処理する静止画圧縮部として機能する。JPEGコーデック23は、圧縮された静止画データを伸張する伸張部としても機能する。このJPEGコーデック23は、撮影中の動画像データのDDRメインメモリ16

への書き込みと並行してリアルタイムで静止画データをエンコード処理する。このとき、DDRメインメモリ16は、動画像データが書き込まれると共に、JPEGコーデック23によりリアルタイムでエンコード処理されたエンコードデータが書き込まれる。

[0032] このように構成された撮像装置1においては、動画像データから取得した静止画フレームをDDRメインメモリ16に書き込みせずに、直接リアルタイムにエンコードしてからDDRメインメモリ16に書き込みする。DDRメインメモリ16に撮像画像から取得された静止画フレーム（以下、非圧縮の画像データを生データともいう。）を書き込みせず、エンコードしてから書き込みするようにすることで、DDRメインメモリ16のバス10のバス帯域に対する負荷を低減する。このことにより、多画素の画像サイズの静止画データを1秒間に60フレーム等の速度で高速撮影処理することが可能となる。

[0033] 以下、本実施の形態にかかる撮像装置1について更に詳細に説明する。撮像装置1は、さらに、カメラ信号処理部13と、カメラ信号処理部13の制御のもと、レンズ11のズーム倍率や焦点距離を制御するズーム・フォーカス制御部14を有する。また、各ブロックを制御するCPU（Central Processing Unit）15、SDカード（SD Memory Card）17、及びUSB（Universal Serial Bus）18を有する。さらに、サイズ変換部19、サイズ変換部21、ビデオ信号処理部24、HDMI（High-Definition Multimedia Interface）25及びLCD（Liquid Crystal Display：液晶ディスプレイ）26等を有する。各処理部は、バス10を介して接続されている。

[0034] カメラ信号処理部13は、図示しない同期信号発生部やY/C処理部等を有している。同期信号発生部は、生成される画像データの水平サイズ及び垂直サイズに対応し、かつ内部クロックに同期した水平同期信号及び垂直同期信号を生成する。撮像部からの画像データは、この水平同期信号及び垂直同期信号に同期した画像データをカメラ信号処理部13に入力する。Y/C処理部では、撮像部により生成された複数の画像データを順次Y/C処理する

。Ｙ／Ｃ処理とは画像データを輝度データ（Ｙ）と色データ（Ｃ）に分離、変換する処理である。すなわち、カメラ信号処理部１３は、撮像データから色分離、白バランス調整、及びＹ／Ｃ処理等の一連のカメラ信号処理した（動）画像データを出力する。

[0035] サイズ変換部１９は、カメラ信号処理部１３から出力される動画像データのサイズを変換する。この動画像データは、一旦ＤＤＲメインメモリ１６に書き込みされる。

[0036] 動画コーデック２０は、記録時には、上述したように、一旦ＤＤＲメインメモリ１６に書き込みされた動画像データを、例えばＨ．２６４／ＡＶＣ規格やＭＰＥＧ２規格に準じた形式でエンコード処理を実施する。エンコード後のエンコードデータはＤＤＲメインメモリ１６に書き込みされ、必要に応じてＳＤカード１７等の外部メモリに転送される。また、再生時には、例えばＳＤカード１７等の外部メモリから読み出され、ＤＤＲメインメモリ１６に書き込みされたエンコード済み動画像データに対してデコード処理を実施する。

[0037] サイズ変換部２１は上述のように静止画フレーム取得部（図示せず）により取得された静止画フレームのサイズを変換する。なお、これらのサイズ変換部１９及びサイズ変換部２１は必要に応じて設ければよい。

[0038] ＳＤカード１７は、大容量の外部記憶媒体であり、このＳＤカード１７に動画像データや静止画データが書き込まれ、ＬＣＤ２６により表示する等することができる。ＳＤカード１７に格納されている画像データは、一旦ＤＤＲメインメモリ１６に書き込みされ、動画コーデック２０によりデコードされ、ビデオ信号処理部２４を介してＬＣＤ２６に出力されたり、ＨＤＭＩ２５を介して出力されることができる。また、撮像装置１は、ＵＳＢ１８を介して様々な周辺機器に接続される。

[0039] ビデオ信号処理部２４は、デコードした画像データをＨＤＭＩ２５やＬＣＤ２６に応じた形式の出力データに変換する一連のビデオ信号処理を実施し、ＬＣＤ２６を介して画像を表示したり、ＨＤＭＩ２５を介してテレビモニ

タ等の外部モニタ装置等に画像データを出力する。

[0040] <通常撮影ルートと高速撮影ルート>

ところで、本実施の形態にかかる撮像装置 1 は、DDRメインメモリ 16 に書き込みされた生データ又はデコード済みの動画像データから静止画フレームを取得し、サイズ変換部 21 によりサイズ変換し、ラインメモリ 22 を介してJPEGコーデック 23 によりエンコードしてDDRメインメモリ 16 に書き込みするというルートも有している。

[0041] つまり、DDRメインメモリ 16 は、撮像素子 12 により取得された動画像データ（第 1 動画像データ）又はSDカード 17 等の外部メモリから読み込まれたエンコード済み動画像データがデコードされた動画像データ（第 2 動画像データ）を書き込みする。この場合、第 1 動画像データ、第 2 動画像データについても、ユーザの指示等による任意のタイミングで静止画フレームが取得され、サイズ変換部 21 に出力される。そして、静止画フレームはサイズ変換部 21 によりその画像サイズが変換され、ラインメモリ 22 にその一部の静止画データが順次書き込みされ、JPEGコーデック 23 にて、ラインメモリ 22 に書き込みされた静止画データのエンコードを行ってDDRメインメモリ 16 にエンコードされたエンコードデータが出力される。なお、DDRメインメモリ 16 に書き込みされた生データ又はデコード済みの動画像データ（第 1 及び第 2 動画像データ）から静止画フレームを取得する場合、ユーザが指定したタイミングのフレーム 1 枚のみならず、その近傍の複数枚のフレームを加重平均するなどして合成し 1 枚の静止画フレームを取得するようにしてもよい。

[0042] ここで、本実施の形態 1 にかかる撮像装置 1 のDDRメインメモリ 16 は、カメラ信号処理部 13 からDDRメインメモリ 16 を経由せずにJPEGエンコードする場合（以下、高速撮影ルートともいう。）にはラインメモリ 22 を 3 面で使用することが好ましく、DDRメインメモリ 16 を経由してJPEGエンコードする場合（以下、「通常ルート」ともいう。）は、ラインメモリ 22 の 3 面のうちの 2 面を使用するようにしてもよい。以下、本実

施の形態 1 における D D R メインメモリ 1 6 を 3 面構成とする理由について説明する。

[0043] 通常ルートの場合、D D R メインメモリ 1 6 から生データを転送することになるが、生データ転送の場合、転送のボトルネックは D D R メインメモリ 1 6 のバス 1 0 のバス帯域に依存する。したがって、通常ルートの場合には、後述するバス帯域を使用する優先度を上げるなどしてバス帯域を確保すれば 2 面構成とすることが可能となる。

[0044] 本実施の形態 1 にかかる撮像装置 1 の高速撮影ルート時のボトルネックの 1 つは J P E G コーデック 2 3 のエンコードの処理能力に依存する。J P E G コーデック 2 3 は、通常、入力データ量 > エンコードデータ量の大小関係が成立するが、画像の複雑度によってはハフマン符号の割り当て等によりエンコードデータ量が多くなり上の式が逆転することがある。その場合、瞬間的に画像データのリード処理が滞りラインメモリ 2 2 の 2 面を使用するだけでは処理が破綻する可能性があり、ラインメモリ 2 2 を 3 面構成とすることが必要がある。言い換えれば J P E G コーデック 2 3 において、
入力の転送レート < 出力のデータ転送レート
の状態が常になりたてば 2 面構成のみでの処理が可能となる。しかし、瞬間的に
入力の転送レート > 出力のデータ転送レート
の状態が発生する場合があります、このとき、D D R メインメモリ 1 6 を 3 面構成としておけば、画像データのリード処理が滞ってもそれを吸収することができる。

[0045] 本実施の形態においては、動画撮影時に静止画を同時に取得する場合は、高速撮影ルートを通り、カメラ信号処理部 1 3 からの静止画データが直接エンコードされ、D D R メインメモリ 1 6 に書き込まれるため、従来のように生データが書き込まれる場合に比して、データ量を削減することができる。これにより、D D R メインメモリ 1 6 のバス 1 0 のバス帯域を確保することができ、毎秒 6 0 枚取得される静止画フレーム等のエンコード済みの静止画

データのDDRメインメモリ16への書き込みが可能となるのである。

[0046] また、ラインメモリ22は、 n (n は1以上の整数) ラインからなるラインメモリを3面以上有していることが好ましい。ラインメモリを3面設けることにより、一部のラインメモリを、リアルタイムなエンコード処理時の処理レートの変動を吸収するバッファとして機能させると共に、エンコード処理後のエンコードデータがDDRメインメモリ16へ書き込みされる際のタイミングを調整するバッファとして機能させることができる。

[0047] <静止画フレームのリアルタイム記録処理>

ここで、本実施の形態にかかる撮像装置1は、上述したように、動画像の記録と並列して高速に静止画フレームをリアルタイムでエンコードして記録する処理（以下、高速撮影ルートで静止画フレームをエンコードする処理をリアルタイム記録処理ともいう。また、静止画フレームのエンコード処理をリアルタイムに実行する各処理部を総称して、静止画リアルタイム処理部という。）が可能な装置である。次に、この静止画フレームのリアルタイム記録処理の詳細について説明する。

[0048] <1. 静止画リアルタイム処理部の基本構成>

図2は、静止画フレームのリアルタイム記録処理を実現する基本構成を示す図である。なお、図2及び後述する図3乃至図16において、図1に示す撮像装置1と同一の構成要素には同一の符号を付し、その詳細な説明を省略する。また、図2乃至図6においては、静止画フレームのリアルタイム記録処理を説明するために撮像装置1の一部を抜き出して示している。

[0049] 図2に示すように、動画像と共に入力される静止画フレームD1についてのリアルタイム記録処理を実施するパス（高速撮影ルートR1）と、DDRメインメモリ16に書き込みされた生データ又はデコード済みの動画像データから取得した静止画フレームD2について、エンコードするパス（通常ルート）とを切り替えるセクタ27を有している。

[0050] 高速撮影ルートR1において、撮像素子12より取得された動画像データから取得された静止画フレームをリアルタイムでエンコードする場合は、セ

レクタ 27 を介してこの静止画フレーム D 1 が選択され、これがラインメモリ 22 に順次入力される。ラインメモリ 22 は、1 フレーム分の静止画データ未満のデータを書き込みする。ラインメモリ 22 の詳細については後述する。ラインメモリ 22 の後段に配置された J P E G エンコーダ 23 a は、ラインメモリ 22 から出力される静止画データを J P E G 形式にエンコードして出力する。このエンコードデータは D D R メインメモリ 16 に書き込みされる。

[0051] 一方、通常ルートの場合は、D D R メインメモリ 16 に書き込みされている生データの動画像データが使用される。この動画像データは、例えばレンズ 11 及び撮像素子 12 を介して取得された動画像データが D D R メインメモリ 16 に書き込みされたものである。または、S D カード 17 等の外部メモリから入力されたエンコード済み動画像データが一旦 D D R メインメモリ 16 に書き込みされ、これが図 1 に示す動画コーデック 20 にてデコードされて再び D D R メインメモリ 16 に書き込みされたものである。いずれの場合も生データ又はデコード済みである非圧縮の動画像データである。

[0052] これらの動画像データに対しても、ユーザの指示に基づく任意のタイミングで静止画フレームが取得されてサイズ変換部 21 へ出力される。この D D R メインメモリ 16 からサイズ変換部 21、ラインメモリ 22 を介して J P E G コーデック 23 によりエンコード処理されるルートが通常ルートである。J P E G コーデック 23 にてエンコードされたエンコード静止画データは D D R メインメモリ 16 に書き込みされる。

[0053] <2. 静止画リアルタイム処理部の第 1 の変形例>

次に、図 2 に示す基本構成の変形例について説明する。図 3 乃至 5 は、それぞれ第 1 乃至 3 の変形例を示すブロック図である。先ず、第 1 の変形例である図 3 に示す例は、カメラ信号処理部 13 の後段であって、セクタ 27 の前段にサイズ変換部 21 を設けた例である。本変形例では高速撮影ルート R 1 における静止画フレームをサイズ変換部 21 にてサイズ変換することで、エンコード後のデータ容量を小さくすることができる。また、ユーザは取

得する静止画データを所望のサイズのデータとすることができる。本変形例においては、通常パスについては、DDRメインメモリ16から静止画フレームD2が取得され、セクタ27を介してラインメモリ22に入力され、JPEGエンコーダ23aによりエンコードされるパスと、DDRメインメモリ16から同じく静止画フレームD3が取得され、サイズ変換部21によりサイズ変換されてからセクタ27を介してラインメモリ22に入力され、JPEGエンコーダ23aによりエンコードされるパスと2つの経路を有している。すなわち、ユーザはサイズ変換するか否かを選択することができる。

[0054] <3. 静止画リアルタイム処理部の第2の変形例>

次に、第2の変形例である図4に示す例は、カメラ信号処理部13を介して入力される動画データから取得された静止画フレームのサイズをリアルタイムに変換して主画像データ及び副画像データを生成するそれぞれ主画像サイズ変換部21a及び副画像サイズ変換部21bとを有する。

[0055] また、主画像サイズ変換部21a及び副画像サイズ変換部21bに対応して、それぞれラインメモリ22a、22bと、JPEGエンコーダ23a、23bとが設けられている。ラインメモリ22a、22bの動作はラインメモリ22と同様であり、JPEGエンコーダ23bの動作はJPEGエンコーダ23aと同様である。

[0056] そしてセクタ27は、カメラ信号処理部13からの動画データから取得された静止画フレームD1が主画像サイズ変換部21aにより主画像サイズにサイズ変換されたもの、同じく静止画フレームD1が副画像サイズ変換部21bにより副画像サイズにサイズ変換されたもの、DDRメインメモリ16に書き込みされている生データ又はデコード済みの動画データから取得された静止画フレームD2、又は同じくDDRメインメモリ16の生データ又はデコード済みの動画データから取得された静止画フレームD3が主画像サイズ変換部21a若しくは副画像サイズ変換部21bによりサイズ変換された静止画データのいずれかを選択し、ラインメモリ22a又はライン

メモリ 22b に出力する。

[0057] 本第2の変形例においては、主画像サイズ変換部21a、ラインメモリ22a及びJPEGエンコーダ23aにより、主画像サイズの静止画データのリアルタイムエンコード処理をすることができる。こうしてリアルタイムエンコード処理され、そのエンコードデータがDDRメインメモリ16に書き込みされるルートの主画像高速撮影ルートR1とする。この主画像高速撮影ルートは、図3に示す高速撮影ルートに対応している。

[0058] 一方、副画像サイズ変換部21b、ラインメモリ22b及びJPEGエンコーダ23bにより、サムネイル等の副画像サイズの静止画データのリアルタイムエンコード処理をすることができる。こうしてリアルタイムエンコード処理され、そのエンコードデータがDDRメインメモリ16に書き込みされるルートを副画像高速撮影ルートR2とする。

[0059] 本第2の変形例においても、主画像高速撮影ルートR1又は副画像高速撮影ルートR2により、リアルタイムに静止画フレームを取得し静止画圧縮データに変換し、DDRメインメモリ16へ書き込む。JPEGエンコード時の量子化係数にもよるが、一般的にJPEGエンコードを行うと元の画像サイズの1/3程度のデータ量となる。よって、上述の実施の形態1及び第1の変形例と同様に、DDRメインメモリ16のバス10のバス帯域への負荷を軽減し、これにより高速な静止画撮影が可能となる。

[0060] また、撮像素子12から出力される画像サイズをリアルタイムで縮小することで、ユーザの希望する様々なサイズのJPEGファイルを、縮小しないとき同様の処理時間でエンコードが可能となる。

[0061] さらに、インデックス用の副画像（サムネイル）をリアルタイムに主画像データと並列処理（縮小及びメインメモリへの転送）をすることでEXIFパッケージ処理をより高速に実現することができる。

[0062] さらにまた、主画像データとサムネイル画像データを並列処理するため、回路構成次第で縮小処理に必要なラインメモリを主画像データとサムネイルデータとで共有することができる。

[0063] <4. 静止画リアルタイム処理部の第3の変形例>

次に、上記のように、主画像サイズ変換部及び副画像サイズ変換部のリソースを共有する例を第3の変形例として説明する。第3の変形例である図5に示すように、本変形例においては、主画像高速撮影ルートR1と副画像高速撮影ルートR2とで、主画像サイズ変換部21cを共有している。この主画像サイズ変換部21cは、主画像のサイズ変換を行う。したがって、主画像サイズ変換部21cの出力はセクタ27に入力される。セクタ27は、モードに応じて主画像高速撮影ルートR1からの静止画データ(D1)と、DDRメインメモリ16に書き込みされた生データ又はデコード済みの動画像データから取得された静止画フレームD3のいずれかを選択出力する。セクタ27に選択され出力された静止画データはラインメモリ22aに入力され、次いでJPEGエンコーダ23aに入力され、エンコードされてDDRメインメモリ16に書き込みされる。

[0064] そして、本第3の変形例においては、主画像サイズ変換部21cに直列に接続された副画像サイズ変換部21dを有している。通常、主画像サイズの方が副画像サイズより大きい。よって先ず主画像サイズ変換部21cによりサイズ変換した静止画フレームを副画像サイズ変換部21dによりサイズ変換する方が、動画像データから取得した静止画フレームD1のサイズ変換をするより、サイズ変換の度合いが小さくてすむ。したがって、本変形例においては、主画像サイズ変換部21cの結果を利用して副画像サイズ変換部21dで静止画フレームの変換を行う。これにより、副画像サイズ変換部21dにおける演算処理量を低減することができる。

[0065] すなわち、様々な縮小率を実現するには、サムネイル生成の方が水平画素数は少ないものの、間引きの縮小率が高いため、垂直フィルタ回路で利用するラインメモリ(スケーラ用バッファ212a/b)の必要ライン数が多くなる。そこで、システム構成を工夫することにより、主画像用画像データに対しプリフィルタ処理してラインメモリに書き込んだデータに対し、サムネイル用画像データには追加で周波数特性を落とすフィルタ処理を実施すれば

、残りのサムネイル画像データのラインメモリのリソースを他に振り分けることができる。

[0066] また、本第3の変形例においては、副画像高速撮影ルートR2に、JPEGコーデックを有していない。これは、副画像データは、主画像データと比較すると大きさが小さいため、データ容量もそれほど大きくないためである。したがって、リアルタイムにエンコード処理をせずに、非圧縮のデータとしてDDRメインメモリ16に書き込みするようにすることも可能である。

[0067] <5. 静止画リアルタイム処理部の第4の変形例>

次に図6は、図2に示す基本構成の第4の変形例にかかり、動画像データの撮影ルートR3を合わせて示している。図1における撮像装置1と比較すると、サイズ変換部19を有していない点が異なる。その他の構成は図1に示す撮像装置1と同様である。動画撮影ルートR3では、カメラ信号処理部13からの動画像データは一旦DDRメインメモリ16に書き込みされる。その後、動画エンコーダ20aにより、動画像データが、例えばH.264/AVC規格又はMPEG2規格準拠のエンコードデータとされ、DDRメインメモリ16に書き戻される。

[0068] <本発明の実施の形態1の詳細>

次に、本実施の形態1について、更に詳細に説明する。図7は、カメラ信号処理部13とDDRメインメモリ16との間の高速撮影ルート及び動画像撮影ルートに関するブロックを示す図である。本例においては、撮像装置1は、カメラ信号処理部13から出力される動画像データから取得された静止画フレームをエンコードする2つのパスを有している。1つは主画像となる静止画データに関するパス（以下、パス1という。）であり、もう1つは副画像（サムネイル）となる静止画データに関するパス（以下、パス2という。）である。

[0069] パス1の方は、第1の入力画像選択部28、主画像サイズ変換部21a、及びラインメモリ22aからなり、ラインメモリ22aからの静止画データがJPEGコア23cに入力され、リアルタイムエンコードされる。

- [0070] パス2の方は、第2の入力画像選択部29、副画像サイズ変換部21b、及びラインメモリ22bからなり、ラインメモリ22bからの静止画データがJPEGコア23cに入力され、リアルタイムエンコードされる。なお、上述したように、パス2の方の静止画データは、リアルタイムにエンコードする必要はなく、一旦DDRメインメモリ16aに書き込みされるようにしてもよい。
- [0071] ここで、主画像サイズ変換部21aは、サイズ変換部211a、スケーラ用バッファ212aを有し、副画像サイズ変換部21bは、サイズ変換部211b、スケーラ用バッファ212bを有する。スケーラ用バッファ212a、212bは、ラインメモリである。主画像サイズ変換部21a、副画像サイズ変換部21bは、基本的にはカメラ信号処理部13から入力される静止画データをそれぞれ主画像用、サムネイル用のサイズに変換する。この主画像サイズ変換部21a、副画像サイズ変換部21bについての詳細は後述する。
- [0072] ラインメモリ22aは、メモリコントローラ221a、SRAM等からなるバッファ222aを有し、ラインメモリ22bは、メモリコントローラ221b、バッファ222bを有する。バッファ222a、222bは、それぞれ3面及び2面のバッファである。また、JPEGコア23cにも、例えば2面構成のバッファ231が接続されている。
- [0073] バッファ222a、222bは、例えばSRAMからなり、その機能については後述する。メモリコントローラ221a、221bは、例えばSRAMをラインメモリとして機能させるために、バッファ222a、222bへのデータアクセスを制御する。また、主画像サイズ変換部21a、副画像サイズ変換部21bと、JPEGコア23cとでクロック周波数が異なる場合は、当該クロック周波数を変換する処理等も行うことができる。
- [0074] JPEGコア23cは、JPEGコーデック及びインターフェースを有し、エンコードなしの場合は、主画像については主画像YUVデータを、サムネイルについては、サムネイルYUVデータをDDRメインメモリ16aに

転送する。エンコード有りの場合は、主画像データをエンコードすると共にストリームをDDRメインメモリ16aに転送する。また、サムネイル画像については、サムネイル画像データをエンコードすると共にストリームをDDRメインメモリ16aに転送する。ここで、本例におけるDDRメインメモリ16aは、DDRインターフェースも含むものとなっている。

[0075] 第1の入力画像選択部28及び第2の入力画像選択部29は、複数ルートからの入力画像データを選択する図2乃至図6に示したセクタ27の機能を有する。基本的には、通常動画撮影時にはDDRメインメモリ16aからの生動画像データ又はデコード済みの動画像データから取得された静止画フレームを選択する。また、動画撮影時の静止画撮影時には、高速撮影ルートからの静止画フレームを選択する。動画再生時には動画再生ルート、すなわちDDRメインメモリ16aに書き込みされている生動画像データ又はデコード済みの動画像データから取得された入力静止画フレームを選択する。

[0076] 主画像サイズ変換部21a、副画像サイズ変換部21bでは、カメラ信号処理部13からの動画像データ又はDDRメインメモリ16aからの動画像データから取得された静止画フレームがそれぞれ主画像用、サムネイル用のサイズに変換される。

[0077] 水平方向、及び垂直方向のサイズ変換を施された静止画フレームは、メモリコントローラ221a、221bに制御されるそれぞれバッファ222a、222bに格納される。このラインメモリ22a、22bを構成するバッファ222a、222bは、 8×8 DCTに必要な画素を記憶するための8ライン分のバッファであり、

Y 8ライン $\times$ 3面+C 8ライン $\times$ 3面（フォーマット4：2：2の場合）

Y 16ライン $\times$ 3面+C 8ライン $\times$ 3面（画像フォーマット4：2：0の場合）

の構成となっている。面数はシングルポート時とする。3面としたのは、後述するように、後段に控えるJPEGエンコード処理のリアルタイム処理で一時的に処理負担が増して処理レートが下がった場合の処理低下を吸収する

と共に、その後段のDDRメインメモリ16aへの書き込み処理が停滞した場合の遅延を吸収するためである。なお、システム構成によっては2面構成とすることも可能である。

[0078] JPEGコア23cにより、

- ・主画像エンコードなし時のYUV転送
- ・主画像エンコード有り時のエンコード処理＋ストリーム転送
- ・サムネイルエンコードなし時のYUV転送
- ・サムネイルエンコード有り時のエンコード処理＋ストリーム転送

等が実施される。また、主画像エンコード時にはDDRメインメモリ16aの転送前にストリーム用バッファ231を使用する。

[0079] バッファ231は、SRAM2面構成等とすることができる。なお、容量はシステム構成により様々であり、DDRメインメモリ16aに転送データを書き込みするための書き込み処理が停滞した場合の遅延を吸収することができる。

[0080] <サイズ変換部の処理>

次に、サイズ変換部21について詳細に説明する。図8は、サイズ変換部21の詳細を示すブロック図である。取得される静止画データに応じて、2チャンネル構成となっている。これにより、2ライン（プログレッシブならODD（奇数番目）、EVEN（偶数番目））同時に入力された場合にもデータを処理することができる。2チャンネル同時とすることにより、カメラ処理の処理クロックレートを下げることができる。

[0081] 入力画像は、水平フィルタ回路（ch1）41、水平フィルタ回路（ch2）42で、必要な周波数特性に制限される。例えば、サンプリング周波数を f_s の水平1024画素×垂直768ラインを512画素×384ラインに間引くとした場合、フィルタのカットオフ周波数を $f_s/4$ になるように設定してフィルタリングする。そして、水平間引き回路43で512画素に間引きし、スケーラ用バッファ212aに書き込みする。水平フィルタ回路41、42による周波数特性の制限を行わないで間引きを実行すると、いわ

ゆるモワレ（折り返し歪）が発生する。

[0082] スケーラ処理ラインメモリコントローラ 4 4 では、水平間引き回路 4 3 により間引きした画像データのスケール調整をする。具体的には、間引き後のデータについて、サンプル点がサンプリング点の間にある場合フィルタリング処理された画像信号 2 サンプル分から補間後サンプルの距離に応じて演算して値を求めて、画素間の直線補間等を実施する。

[0083] 水平補間後の静止画フレームは、垂直フィルタ回路 4 5、4 6 に出力される。水平方向と同様に折り返し歪の発生を抑制するため、垂直フィルタ回路 4 5、4 6 により、ラインメモリ（スケーラ用バッファ 2 1 2 a）から読み出された静止画データに対して垂直方向にフィルタリング処理する。フィルタリング後に、垂直間引き回路 4 7 により垂直間引きを行い、必要な画像データのみ、その後段のメモリコントローラ 2 2 1 a、2 2 1 b を介してバッファ 2 2 2 a、2 2 2 b に書き込みする。

[0084] ここで、サイズ変換は、主画像とサムネイル画像とで、独立して並列処理することができる。また、スケーラ用バッファ 2 1 2 a を共有してバッファサイズを削減することも可能である。例えば、主画像用静止画データを、水平フィルタ回路 4 1、4 2 における周波数特性削減処理で $f_s / 4$ にする場合について考える。その後段に直列で接続されたサムネイル用水平フィルタ回路 4 8、4 9 でのフィルタ処理では水平 1 6 0 画素×垂直 1 2 0 ラインとする。したがって、

サイズ変換部 2 1 1 a のみ（それぞれ独立使用）： $f_s / 12.8$ 処理必要

サイズ変換部 2 1 1 a + 2 1 1 b

スケーラ 1 + スケーラ 2（後段に直列で接続する）： $f_s / 6.4$ 処理（前段で $f_s / 2 \rightarrow f_s / 4$ のため）

で構成され、後段に直列で接続する方が、周波数特性の制限幅が少なくてすむ。制限幅が少ない場合、同じ次数ならば帯域の制限効率がよく画質メリットを生じる。一方、同程度の画質でよいのであれば、次数を減らすことが可

能となる。その結果、スケーラ用バッファ 2 1 2 b の必要ラインメモリが少なくなり、余ったラインメモリを他のリソースに振り分けることができる。

[0085] サムネイル用のサイズ変換部は、垂直フィルタ回路 4 5、4 6 と垂直間引き回路 4 7 との間の信号が使用される。すなわち、主画像用のサイズ変換部でサイズ変換された後の静止画データのサイズ変換を行う。サムネイル用のサイズ変換部も、水平フィルタ回路 4 8、4 9、水平間引き回路、スケーラ処理ラインメモリコントローラ、垂直フィルタ回路、垂直間引き回路を同様に有し、同様の処理によりサイズ変換した静止画画像を出力する。

[0086] バッファ 2 2 2 a、2 2 2 b に書き込みされた静止画データは、例えば 8 ラインデータとして書き込みされる毎に D D R メインメモリ 1 6 a へ転送される。D D R メインメモリ 1 6 a 側の処理は、システムに応じて様々であるが、静止画ルートや動画ルート、その他カメラ制御信号のための演算結果などを D D R メインメモリ 1 6 a に書き込みするのが通常である。したがって、静止画フレームのリアルタイム記録処理のデータレート以上のレートを処理できる帯域を確保するよう構成されている。ただし、静止画フレームのリアルタイム記録処理以外のデータでバス 1 0 のバス帯域を占有する瞬間もあり得る。よって、撮像装置は、D D R メインメモリ 1 6 a の処理遅延を吸収するために、スケーラ用バッファ 2 1 2 a、2 1 2 b、バッファ 2 2 2 a、2 2 2 b、及びストリーム用バッファ 2 3 1 などを有している。

[0087] <3 面構成のラインメモリについて>

次に、ラインメモリ 2 2 を 3 面構成とすることが好ましい理由について説明する。図 9 は、8 ラインメモリが 2 面構成の例を示す図、図 1 0 は、8 ラインメモリが 3 面構成の例を示す図である。図 9 に示すように、2 面構成のラインメモリ 5 0 は、8 ラインメモリ 5 1、5 2 がスイッチ 6 1 により切り替えられる。また、図 1 0 に示すように、3 面構成のラインメモリ 7 0 は、8 ラインメモリ 7 1 乃至 7 3 がスイッチ 8 2 により切り替えられる。

[0088] 図 1 1 は、ラインメモリ 5 0 への書き込み期間及び読み出し期間、並びに J P E G エンコード期間を示すタイミングチャートである。ラインメモリ 5

0の書き込みは、8水平同期期間（T1乃至T8）継続して行い、読み出しは、JPEGEンコーダが8ライン分のデータをエンコードするタイミングとほぼ等しくなる。

[0089] JPEGEンコーダのエンコード期間は、入力画像データによって処理にかかる演算量が変化する。ほとんどの場合は、圧縮率が1以下であり、エンコード処理は8ライン以下の処理期間であるが、複雑な絵柄の場合には、圧縮率が1以上となり、8ライン以上の処理期間となる場合がある。

[0090] 図11において期間T11で複雑な絵柄になるとする。この場合、ラインメモリ51が画像データを読み出す期間が8ライン分の長さ（T6）より長くなり、ラインメモリ51の書き込み期間T7とタイミングが重なる期間T12が発生する。この期間は、読み出そうとするラインメモリ上に、新しいデータの書き込みが発生するため、正しいJPEGEンコードが行なえなくなる。

[0091] 図12は、3面構成のラインメモリ70への書き込み期間、読み出し期間、JPEGEンコード期間を示す図である。図12に示すように、JPEGEンコーダのエンコード期間が、入力画像が複雑な絵柄の場合で、8ライン以上の処理期間となる期間T11の場合でも、ラインメモリ72を読み出す期間R5が8ラインより長くなり、書き込みを行なうラインメモリがラインメモリ71（T7）であるので、同一ラインメモリにおいてタイミングが重なる期間が発生せず、正しくJPEGEンコードを行なうことができる。

[0092] すなわち、ラインメモリ22を、8ラインメモリの3面構成とすることによって、圧縮率を1近傍とした場合にも、タイミングを気にする必要がなくなる。

[0093] このように、一部のラインメモリを、静止画フレームのリアルタイム処理時の処理レートの変動を吸収するバッファとして機能させることができる。一方で、このラインメモリは、圧縮処理後の圧縮データがDDRメインメモリ16へ書き込みされる際のタイミングを調整するバッファとして機能させることも可能である。

[0094] ＜バス１０の調停処理＞

ＤＤＲメインメモリ１６ａのバス１０にデータを出力する際には、バス１０の調停が行なわれ、バス１０へのデータ出力が許可されるブロックが優先度に応じて決定される。出力が許可されたブロックはデータをＤＤＲメインメモリ１６ａに出力し、それ以外の許可されなかったブロックは出力許可が出されるまで出力を停止する。

[0095] すなわち、ＪＰＥＧコーデック２３がＪＰＥＧエンコードストリームをＤＤＲメインメモリ１６ａのバス１０に出力する際、バス１０への出力が許可されなければ、ＪＰＥＧストリームの出力を停止する動作を行なう。図１３は、同じく、３面構成のラインメモリ７０への書き込み期間、読み出し期間、ＪＰＥＧエンコード期間の他の例を示す図である。図１３において、期間Ｔ１３で示す期間は、他のブロックがバス１０への出力を許可され、ＪＰＥＧコーデック２３はＪＰＥＧストリームをバス１０に出力できなくなる期間を示す。

[0096] ＪＰＥＧコーデック２３は、出力が許可されるまで出力段に設けられたバッファにＪＰＥＧエンコードストリームを蓄積する。出力許可後にバッファからＤＤＲメインメモリ１６ａのバス１０へＪＰＥＧエンコードストリームを出力すれば、ＪＰＥＧストリームを途切れさせることなく動作が可能である。

[0097] 出力段のバッファ容量以上の期間、出力許可が得られない場合には、ＪＰＥＧストリームが途切れてしまうため、バッファ容量は大きく余裕をもたせる必要がある。ここで、ラインメモリ２２の８ラインメモリを使用することで、ＤＤＲメインメモリ１６の出力バッファ容量が足りなくなることを防ぐことができる。

[0098] すなわち、ラインメモリ２２の８ラインメモリからの読み出しタイミングをＤＤＲメインメモリ１６ａのバス１０への出力が可能となるまで遅らせて（Ｒ４）、ＪＰＥＧエンコードの開始を遅らせることにより、ＪＰＥＧストリームをＤＤＲメインメモリ１６ａに転送するタイミングを遅らせることが

できる。

[0099] なお、図 1 3 においては、説明のため J P E G ストリームの占める割合を大きくとっているが、実際には、動画用のサイズ変換出力、動画コーデック、及びビデオ処理等を合わせた状態で、このようなタイミングが発生する。後述の実施の形態 2 にて説明するように、各ブロックの D D R メインメモリ 1 6 a のバス 1 0 への出力段は、バス出力できないことに対応するためにバッファを有している。そして、本例のように、J P E G コーデック 2 3 の前段にあるラインメモリ 2 2 の 8 ラインメモリも、バス出力を調整するバッファと同様の役割を持たせることが可能である。

[0100] <撮像装置 1 による動画再生時の静止画キャプチャ動作>

次に、動画再生時の静止画キャプチャ動作について説明しておく。なお、本動作は従来の撮像装置の動作と同様である。図 1 4 は、撮像装置の再生時の動作を説明する図である。図 1 4 に示すように、動画再生時には、D D R メインメモリ 1 6 に書き込みされているエンコード済みのエンコード動画データが動画デコーダ 2 0 b に入力され、デコードされて D D R メインメモリ 1 6 に書き込みされる。デコードされた動画像データは、上述したように、ビデオ信号処理部 2 4 にてビデオ信号処理され、L C D 2 6 や H D M I 2 5 に出力される。

[0101] また、D D R メインメモリ 1 6 に書き込みされている生データ又はデコード済みの動画像データを L C D 2 6 に出力し表示することで任意のタイミングでユーザがシャッタを押すことができる。この場合、シャッタのタイミングに応じた静止画フレームが取得され、セクタ 2 7 を介して J P E G エンコーダ 2 3 a に入力され、エンコードされて D D R メインメモリ 1 6 に書き込みされる。なお、動画像データから静止画フレームを取得する場合に、2 枚以上のフレームから平均又は加重平均して 1 枚の静止画フレームを生成するようにしてもよい。

[0102] 本実施の形態においては、撮影中の動画像データから取得した静止画フレームをメインメモリに書き込みせずに直接リアルタイムにエンコードするこ

とで、最小の回路規模、最小の動作クロック、及びそれに伴う最小の消費電力を実現しつつ、多画素の画像サイズであってもより枚数の多い、例えば１秒間に６０フレーム等の高速撮影処理を実現することができる。さらに、通常、動画取得処理を行ないながらの静止画取得処理は、システムの負担がかかる。したがって実現するためにはコストが増大し、バスクロック周波数を高める等、ＬＳＩ生成難易度が上がると共に消費電力の増加に繋がったり、動画処理レートが低減する等のデメリットや制限が発生するが、本実施の形態においては、静止画処理を高効率化することができ動画取得処理に影響を及ぼすことなく高速な静止画取得処理を実行することができる。すなわち、必要最小限の構成で動画再生時においても高速、高効率に静止画キャプチャを実現することができる。

[0103] <本発明の実施の形態２．>

次に、本発明の実施の形態２について説明する。図１５は、本実施の形態にかかる撮像装置を示すブロック図である。図１５に示すように、本実施の形態にかかる撮像装置１ａにおいては、静止画フレーム取得部９４が設けられている。上述したように、１秒間６０フレームからなる動画像データの全フレームを高速撮影ルートＲ１にて処理する場合は、全データを順次サイズ変換部２１、ラインメモリ２２、ＪＰＥＧコーデック２３に送ればよく、特に静止画フレーム取得部９４を設ける必要はない。

[0104] ユーザが動画を撮像しながら又は動画を再生しながら任意のタイミングでシャッターを押して静止画撮影をする場合は、静止画フレーム取得部９４にはそのシャッタータイミングが入力され、そのスイッチング動作等により、カメラ信号処理部１３から出力される動画像データ又はＤＤＲメインメモリ１６に書き込みされているデコード済みの動画データから所定のフレームの画像データがサイズ変換部２１側へ流れるようにする。

[0105] そして、本実施の形態にかかる撮像装置１０５ａにおいては、動画像データがＤＤＲメインメモリ１６へ書き込みされる際及びＪＰＥＧコーデック２３からのエンコードデータがＤＤＲメインメモリ１６へ書き込みされる際等

にDDRメインメモリ16のバス10の使用を調停するための複数のタイミング調整用バッファ91乃至93が設けられている。

[0106] また、複数のタイミング調整用バッファ91乃至93を制御する調停部として機能するアービタ95を有する。高速撮影ルートR1を通る静止画データはエンコードされてDDRメインメモリ16に書き込みされるが、あるタイミングにおいては、DDRメインメモリ16のバス10のバス帯域が不足する場合があります、このバス帯域をこの複数のタイミング調整用バッファ91乃至93を使用して調停する必要がある場合がある。

[0107] なお、ここでは、タイミング調整用バッファ91乃至93のみ図示しているが、SDカード17やビデオ信号処理部24等にも必要に応じてタイミング調整用バッファを設けてもよいことは勿論である。

[0108] <アービタ95の制御>

図16は、アービタ95の制御を説明するための図である。本例においては、アービタ95は、動画像データのサイズ変換部19のサイズ変換後のDDRメインメモリ16へのデータの書き込み(A)、動画コーデック20のDDRメインメモリ16からの読み出し(B)、動画コーデック20のDDRメインメモリ16への書き込み(C)、及びJPEGコーデック23のエンコードデータのDDRメインメモリ16への書き込み(D)動作について調停する場合について説明する。

[0109] 図16には、サイズ変換部19、動画コーデック20のリード時、動画コーデック20のライト時、JPEGコーデック23のDDRメインメモリ16へのアクセスリクエストをアービタ95に伝えるリクエスト信号と、アクセスが許可されない場合にアービタ95から受けとるウェイト信号とを示している。アービタ95は、リクエスト信号を受け取ると、他にリクエスト信号を受け取っておらず、DDRメインメモリ16のバス10のバス帯域が空いていれば、アクセスを許可する。

[0110] 一方、アービタ95が複数のリクエスト信号を受け取った場合、例えばタイミングT21においては、優先度3の動画コーデックリードのリクエスト

信号と、優先度 4 の動画コーデックライトのリクエスト信号とが出力されている。この場合、アービタ 9 5 は、動画コーデックライトのウェイト信号を出力し、動画コーデックライトを停止させ、より優先度が高い優先度 3 の動画コーデックリードの処理を実行させる。

[0111] また、タイミング T 2 2 でリクエスト信号を出力した動画コーデックライトがライトしている間に、優先度 2 のサイズ変換部 1 9 がリクエスト信号を出力している。ただし、この後、より優先度が高い優先度 1 の J P E G コーデック 2 3 からリクエスト信号が出力されている。したがって、サイズ変換部 1 9 は優先度が J P E G コーデック 2 3 より低いため、再びウェイト状態となり、J P E G コーデック 2 3 のライト動作が終了したタイミング T 2 4 で、サイズ変換部 1 9 のライト動作が許可されることとなる。

[0112] このように頻繁に発生するウェイト時に、タイミング調整用バッファ 9 1 乃至 9 3 にデータを蓄えることで、サイズ変換部 1 9、動画コーデック 2 0、J P E G コーデック 2 3 の動作を途切れなくすることができる。上述したように、本実施の形態にかかる撮像装置 1 a は、動画撮影時に高速静止画撮影を可能とするため、静止画フレームを D D R メインメモリ 1 6 に書き込みすることなく、直接リアルタイムにエンコードする。このことにより、静止画フレームの生データを D D R メインメモリ 1 6 に一旦書き込みした後、エンコードするという従来のルートに比して、D D R メインメモリ 1 6 のバス 1 0 のバス帯域にかかる負荷を低減することができ、結果、高速静止画撮影を可能としている。すなわち、従来は、動画撮像と同時では、1 秒間に複数枚、高々 1 0 枚程度しか静止画撮影を行うことができなかった。これに対し、本実施の形態においては、静止画フレームを D D R メインメモリ 1 6 に書き込みすることなくリアルタイムにエンコードしてから D D R メインメモリ 1 6 に書き込みすることで、例えば 1 秒間に 6 0 フレームからなる動画像データの全フレームについて静止画フレームの取得が可能となる。

[0113] そして、動画撮影時に高速静止画撮影をすると、D D R メインメモリ 1 6 のメモリ帯域幅が不足する場合が生じる。このような場合であっても、本実

施の形態のように、タイミング調整用バッファ 9 1 乃至 9 3 等を設け、アービタ 9 5 でバス 1 0 の調停を実施することで、DDRメインメモリ 1 6 への処理を滞りなく実施することができる。

[0114] また、タイミング調整用バッファ 9 1 は、JPEGコーデック 2 3 のDDRメインメモリ 1 6 のバス帯域使用時のタイミングを調整するために設けられているが、上述したように、本実施の形態にかかるJPEGコーデック 2 3 は、8ラインメモリの3面構成となっている。よって、このラインメモリの一部をタイミング調整用バッファ 9 1 の代わりに使用してもよい。

[0115] 本実施の形態においても実施の形態 1 と同様に、静止画撮影において、高効率処理、高速処理、及び低コスト化が可能な撮像装置を提供することができる。特に動画撮影時においても効率的な静止画処理により、より低コストで高速な静止画処理を可能とする。

[0116] なお、本発明は上述した実施の形態のみに限定されるものではなく、本発明の要旨を逸脱しない範囲において種々の変更が可能であることは勿論である。

[0117] 例えば、上述の実施の形態では、ハードウェアの構成として説明したが、これに限定されるものではなく、任意の処理を、CPU (Central Processing Unit) にコンピュータプログラムを実行させることにより実現することも可能である。この場合、コンピュータプログラムは、様々なタイプの非一時的なコンピュータ可読媒体 (non-transitory computer readable medium) を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体 (tangible storage medium) を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体 (例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ)、光磁気記録媒体 (例えば光磁気ディスク)、CD-ROM (Read Only Memory)、CD-R、CD-R/W、半導体メモリ (例えば、マスクROM、PROM (Programmable ROM)、EPROM (Erasable PROM)、フラッシュROM、RAM (random access memory)) を含む。また、プログ

ラムは、様々なタイプの一時的なコンピュータ可読媒体 (transitory computer readable medium) によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

符号の説明

- [0118] 1 撮像装置
 - 1 1 レンズ
 - 1 2 撮像素子
 - 1 3 カメラ信号処理部
 - 1 4 ズーム・フォーカス制御部
 - 1 5 CPU
 - 1 6 DDRメインメモリ
 - 1 6 a DDRメインメモリ
 - 1 7 SDカード
 - 1 8 USB
 - 1 9 サイズ変換部
 - 2 0 動画コーデック
 - 2 0 a 動画エンコーダ
 - 2 0 b 動画デコーダ
 - 2 1 サイズ変換部
 - 2 1 a 主画像サイズ変換部
 - 2 1 b 副画像サイズ変換部
 - 2 1 c 主画像サイズ変換部
 - 2 1 d 副画像サイズ変換部
 - 2 2 ラインメモリ
 - 2 2 a ラインメモリ
 - 2 2 b ラインメモリ

- 2 3 J P E Gコーデック
- 2 3 a J P E Gエンコーダ
- 2 3 b J P E Gエンコーダ
- 2 3 c J P E Gコア
- 2 4 ビデオ信号処理部
- 2 5 H D M I
- 2 6 L C D
- 2 7 セレクタ
- 2 8 第 1 の入力画像選択部
- 2 9 第 2 の入力画像選択部
- 3 1 動画コーデック
- 4 1 水平フィルタ回路
- 4 2 水平フィルタ回路
- 4 3 水平間引き回路
- 4 4 スケーラ処理ラインメモリコントローラ
- 4 5 垂直フィルタ回路
- 4 6 垂直フィルタ回路
- 4 7 垂直間引き回路
- 4 8 水平フィルタ回路
- 4 9 水平フィルタ回路
- 9 1 タイミング調整用バッファ
- 9 2 タイミング調整用バッファ
- 9 3 タイミング調整用バッファ
- 9 4 静止画フレーム取得部
- 9 5 アービタ
- 2 1 1 a サイズ変換部
- 2 1 1 b サイズ変換部
- 2 1 2 a スケーラ用バッファ

2 1 2 b スケーラ用バッファ

2 2 1 a メモリコントローラ

2 2 1 b メモリコントローラ

2 2 2 a バッファ

2 2 2 b バッファ

請求の範囲

[請求項1]

撮像素子と、
前記撮像素子により取得された動画像データを格納するメインメモリと、
前記メインメモリに格納された動画像データを圧縮処理する動画圧縮部と、
前記撮像素子により取得された動画像データから任意のタイミングで静止画フレームを取得する静止画フレーム取得部と、
前記静止画フレーム取得部により取得された静止画フレームの一部である静止画データを格納するラインメモリと、
前記ラインメモリに格納された静止画データを圧縮処理する静止画圧縮部とを有し、
前記静止画圧縮部は、前記動画像データの前記メインメモリへの格納と並行してリアルタイムで前記静止画データを圧縮処理し、
前記メインメモリは、前記動画像データを格納すると共に、前記静止画圧縮部によりリアルタイムで圧縮処理された圧縮データを格納することを特徴とする画像処理装置。

[請求項2]

前記画像処理装置はタイミング調整用バッファをさらに有し、
前記タイミング調整用バッファは、前記動画像データが前記メインメモリへ格納される際のタイミングと、前記静止画圧縮部によりリアルタイムで圧縮処理された圧縮データが前記メインメモリへ格納される際のタイミングとを調整することを特徴とする請求項1に記載の画像処理装置。

[請求項3]

前記ラインメモリは、3面以上の n （ n は1以上の整数）ラインからなるメモリから構成され、前記メモリの一部は、前記静止画圧縮部による前記静止画データの圧縮処理における処理レートの変動を吸収するバッファとして機能すると共に、圧縮処理後の圧縮データが前記メインメモリへ格納される際のタイミングを調整するバッファとして

機能することを特徴とする請求項 1 に記載の画像処理装置。

[請求項4]

前記画像処理装置はサイズ変換部をさらに有し、

前記サイズ変換部は前記静止画フレーム取得部により取得された静止画フレームのサイズをリアルタイムに変換することを特徴とする請求項 1 に記載の画像処理装置。

[請求項5]

前記画像処理装置は主画像サイズ変換部及び副画像サイズ変換部をさらに有し、

前記主画像サイズ変換部は前記静止画フレーム取得部により取得された静止画フレームのサイズをリアルタイムに変換して主画像データを生成し、

前記副画像サイズ変換部は前記静止画フレーム取得部により取得された静止画フレームのサイズをリアルタイムに変換して副画像データを生成するところを特徴とする請求項 1 に記載の画像処理装置。

[請求項6]

前記副画像サイズ変換部は、前記主画像サイズ変換部が生成した前記主画像データのサイズをリアルタイムに変換して副画像データを生成することを特徴とする請求項 5 に記載の画像処理装置。

[請求項7]

前記ラインメモリは、前記主画像サイズ変換部により生成された主画像データの一部を格納し、

前記静止画圧縮部は、前記動画像データの前記メインメモリへの格納と並行してリアルタイムで前記主画像データを圧縮処理し、前記副画像サイズ変換部が生成した副画像データは圧縮処理することなく前記メインメモリに格納することを特徴とする請求項 5 に記載の画像処理装置。

[請求項8]

前記サイズ変換部はサイズ変換用ラインメモリを備え、

前記サイズ変換用ラインメモリは、前記静止画フレーム、前記主画像データ又は前記副画像データの一部を格納するラインメモリを有する、ことを特徴とする請求項 1 に記載の画像処理装置。

[請求項9]

前記画像処理装置は動画像用サイズ変換部をさらに有し、

前記動画像用サイズ変換部は前記撮像素子により取得された動画像データのサイズを変換し、

前記メインメモリは、前記動画像用サイズ変換部によりサイズ変換された動画像データを格納することを特徴とする請求項 1 に記載の画像処理装置。

[請求項10]

前記メインメモリはさらに、外部メモリから読み込まれた圧縮動画像データが伸長された動画像データを格納し、

前記ラインメモリは、前記メインメモリに格納された、前記撮像素子により取得された動画像データ、又は前記伸長された動画像データの何れかから任意のタイミングで取得した静止画フレームの一部である静止画データを格納し、

前記静止画圧縮部は、前記ラインメモリに格納された前記静止画データの圧縮処理を行うことを特徴とする請求項 1 に記載の画像処理装置。

[請求項11]

撮像素子により取得された動画像データをメインメモリに格納する動画像格納工程と、

前記撮像素子により取得された動画像データから任意のタイミングで取得された静止画フレームの一部である静止画データをラインメモリに格納するラインメモリ格納工程と、

前記ラインメモリに格納された前記静止画データに対しリアルタイムで圧縮処理を行う静止画圧縮工程と、

前記静止画圧縮工程にてリアルタイムに圧縮処理された圧縮データを前記メインメモリに格納する静止画格納工程と、

前記ラインメモリ格納工程、前記静止画圧縮工程又は前記静止画格納工程と並行して前記撮像素子により取得された動画像データをメインメモリに格納する動画像格納工程とを含むことを特徴とする画像処理方法。

[請求項12]

動画像の記録処理と並行して静止画像の記録処理をコンピュータに

実行させるためのプログラムであって、

撮像素子により取得された動画像データをメインメモリに格納する動画像格納処理と、

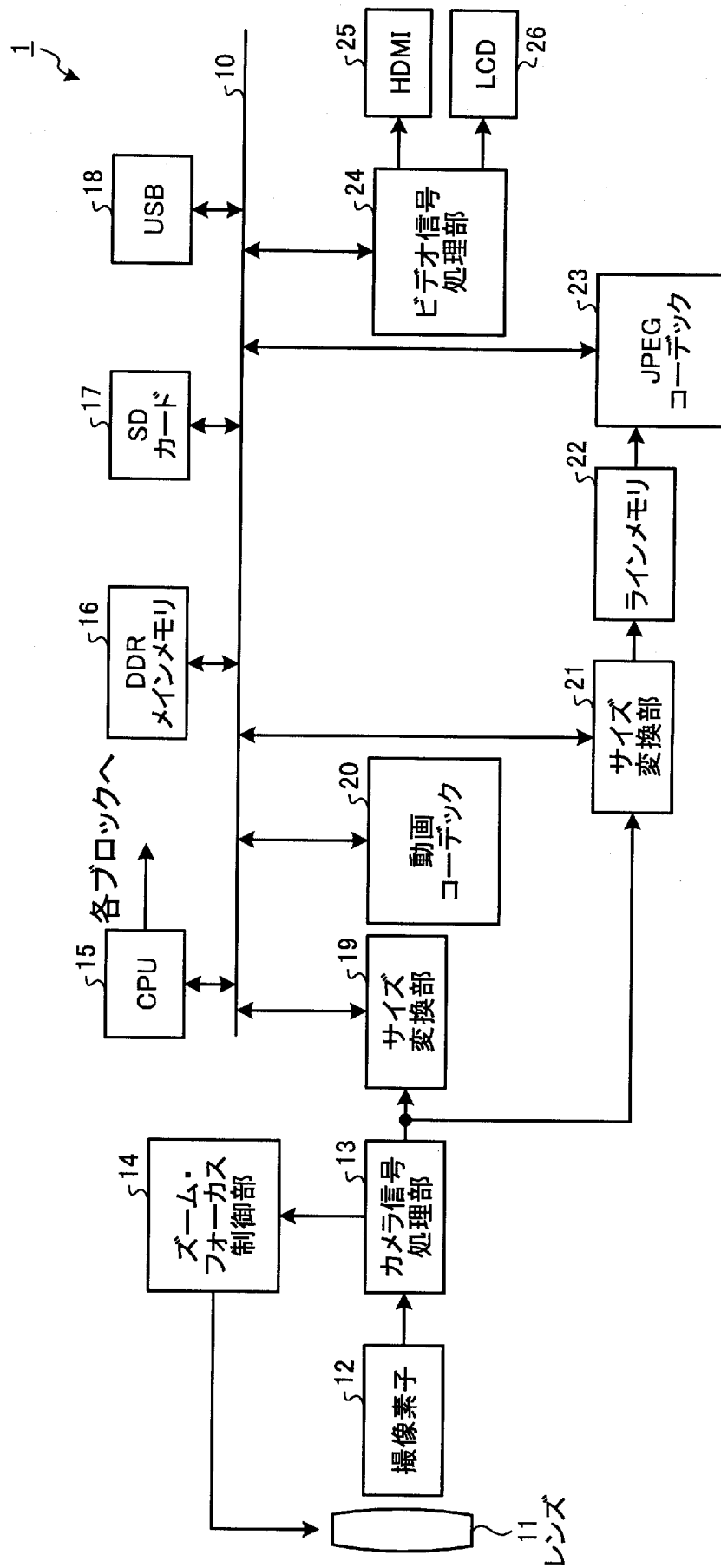
前記撮像素子により取得された動画像データから任意のタイミングで取得された静止画フレームの一部である静止画データをラインメモリに格納するラインメモリ格納処理と、

前記ラインメモリに格納された前記静止画データに対しリアルタイムで圧縮処理を行う静止画圧縮処理と、

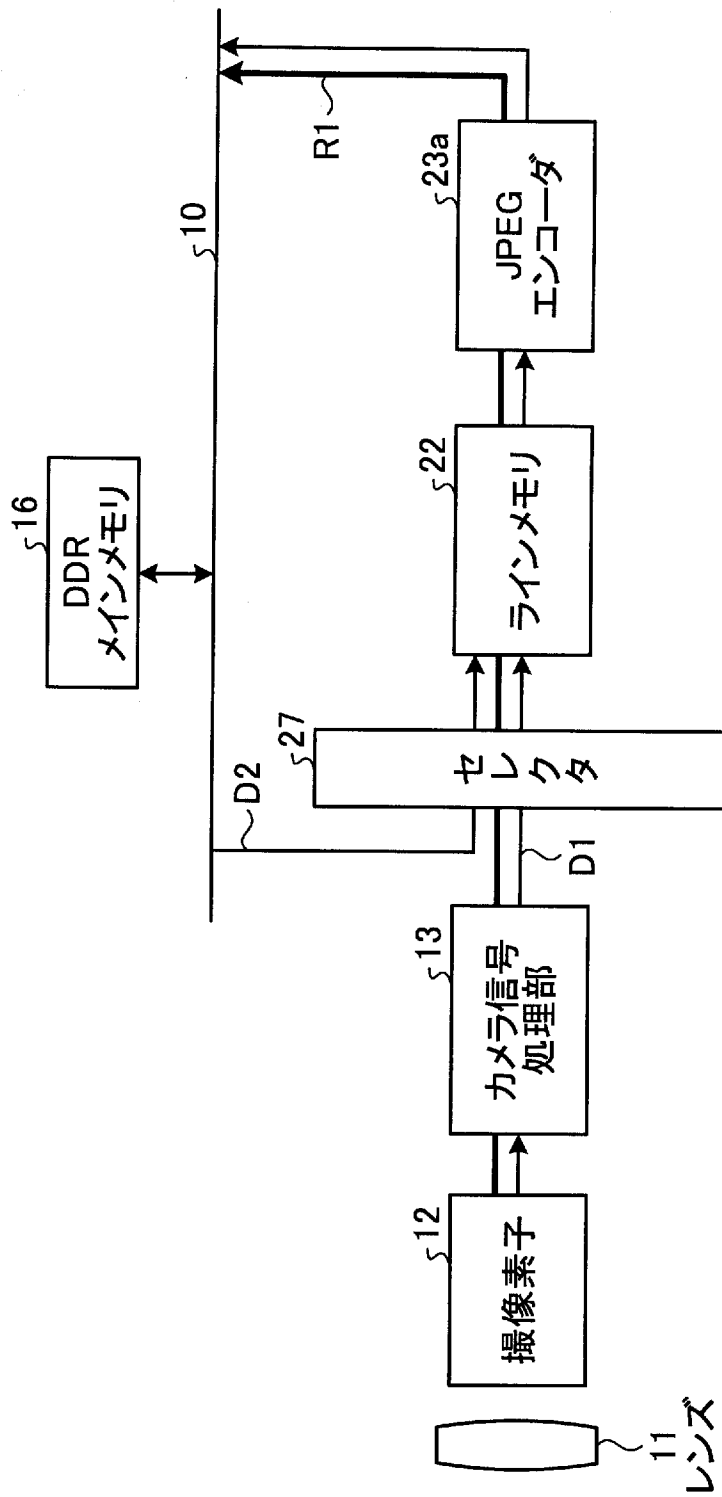
前記静止画圧縮処理にてリアルタイムに圧縮処理された圧縮データを前記メインメモリに格納する静止画格納処理と、

前記ラインメモリ格納処理、前記静止画圧縮処理又は前記静止画格納処理と並行して、前記撮像素子により取得された動画像データをメインメモリに格納する動画像格納処理とをコンピュータに実行させるためのプログラム。

[図1]

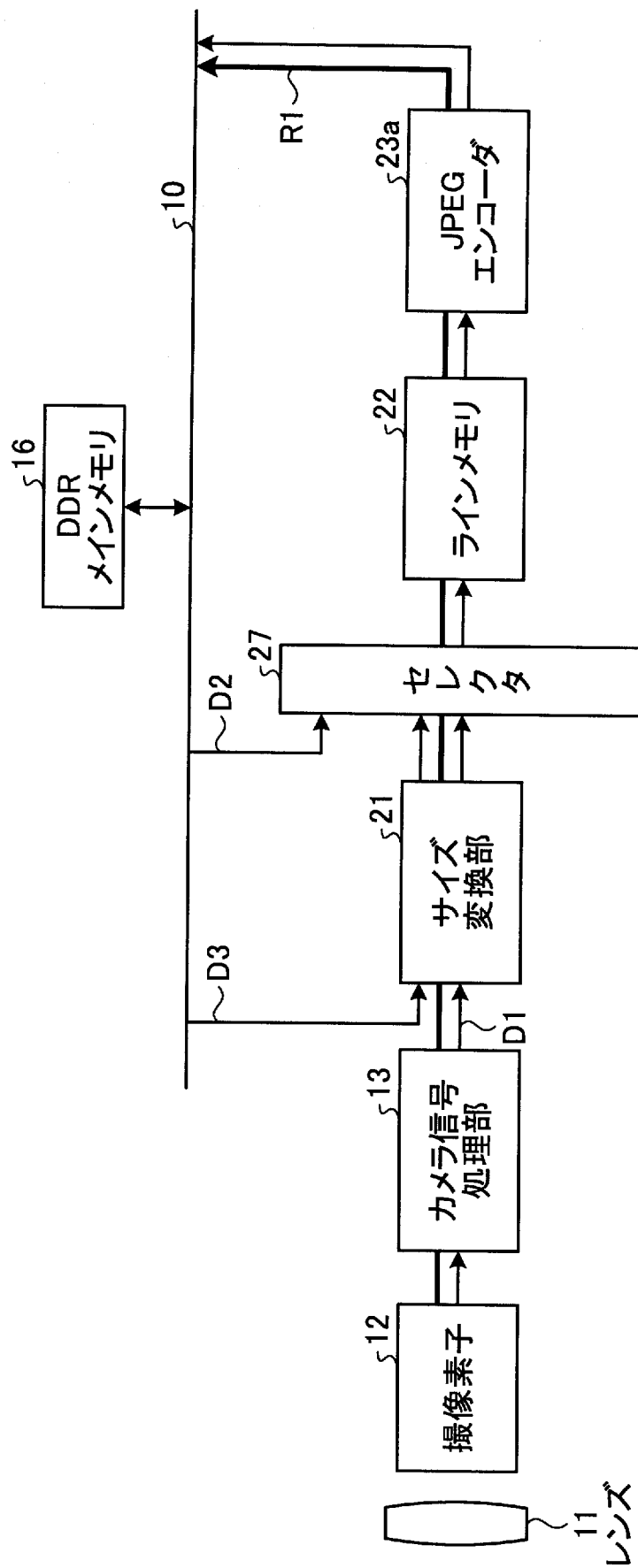


[図2]



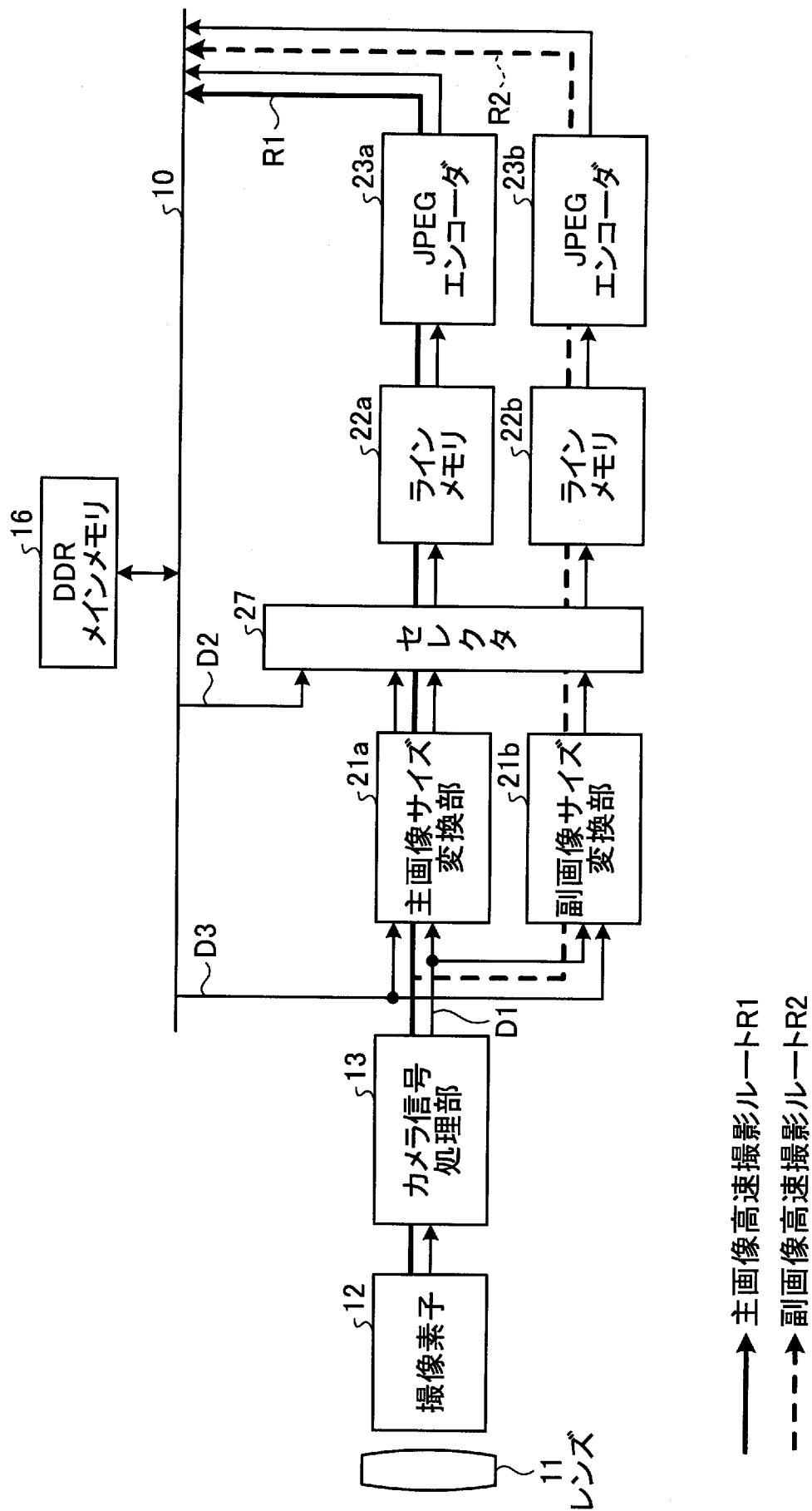
→ 高速撮影ポートR1

[図3]

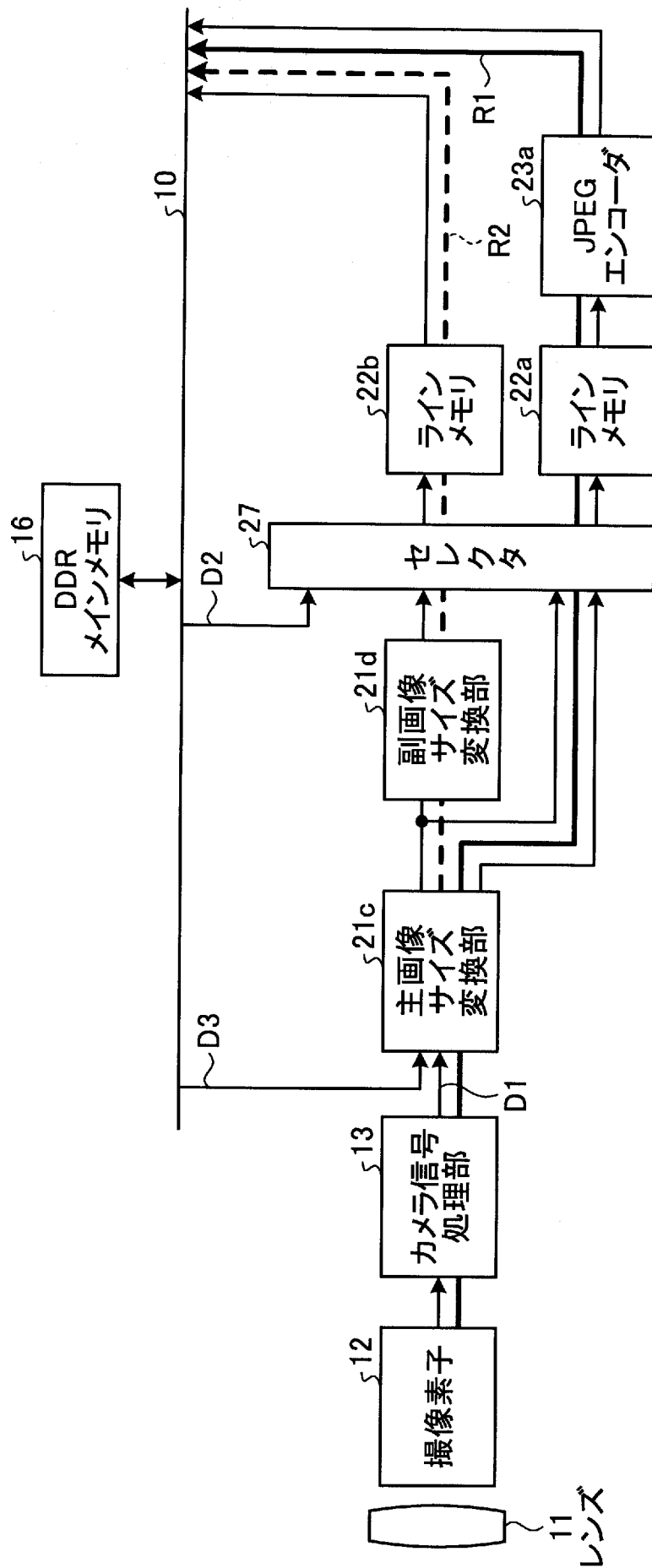


→ 高速撮影ルートR1

[図4]

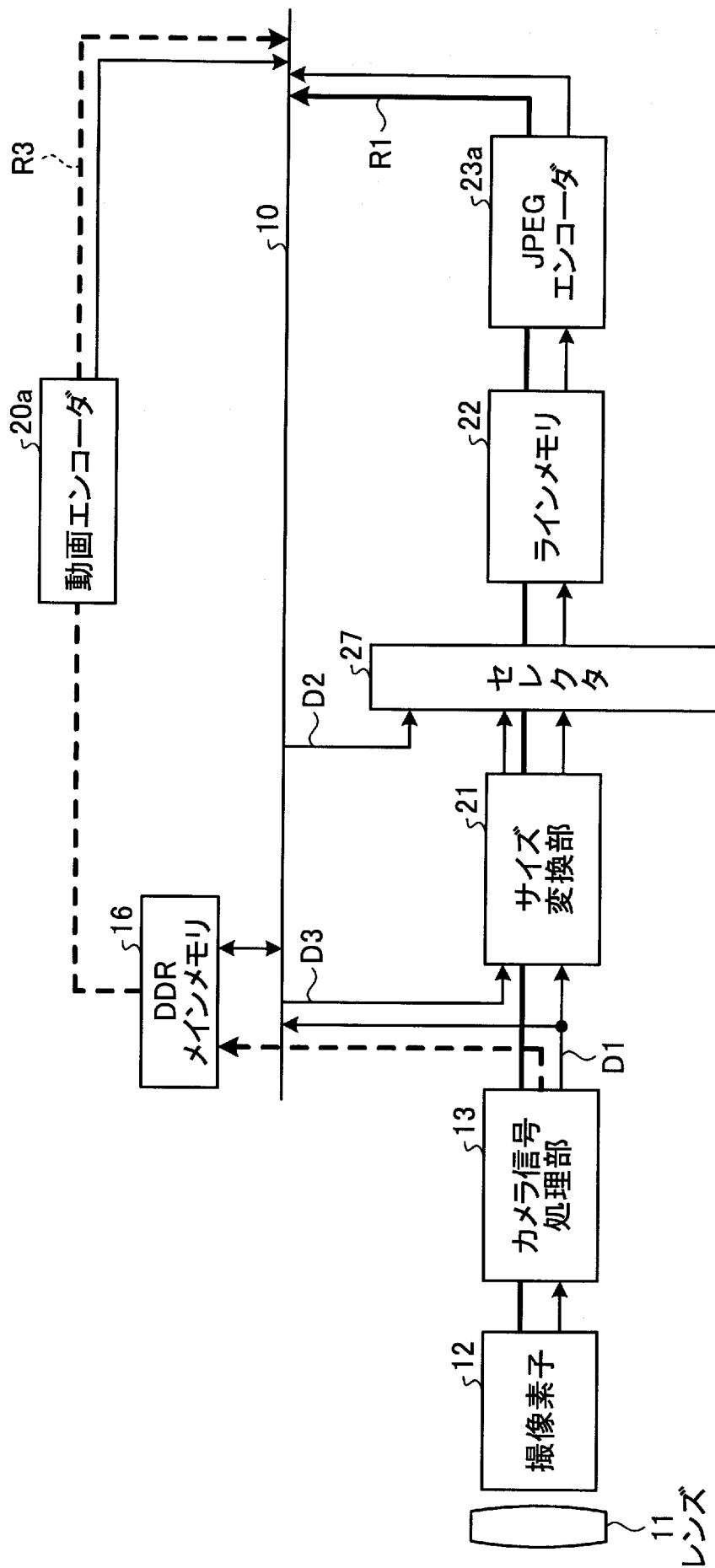


[図5]

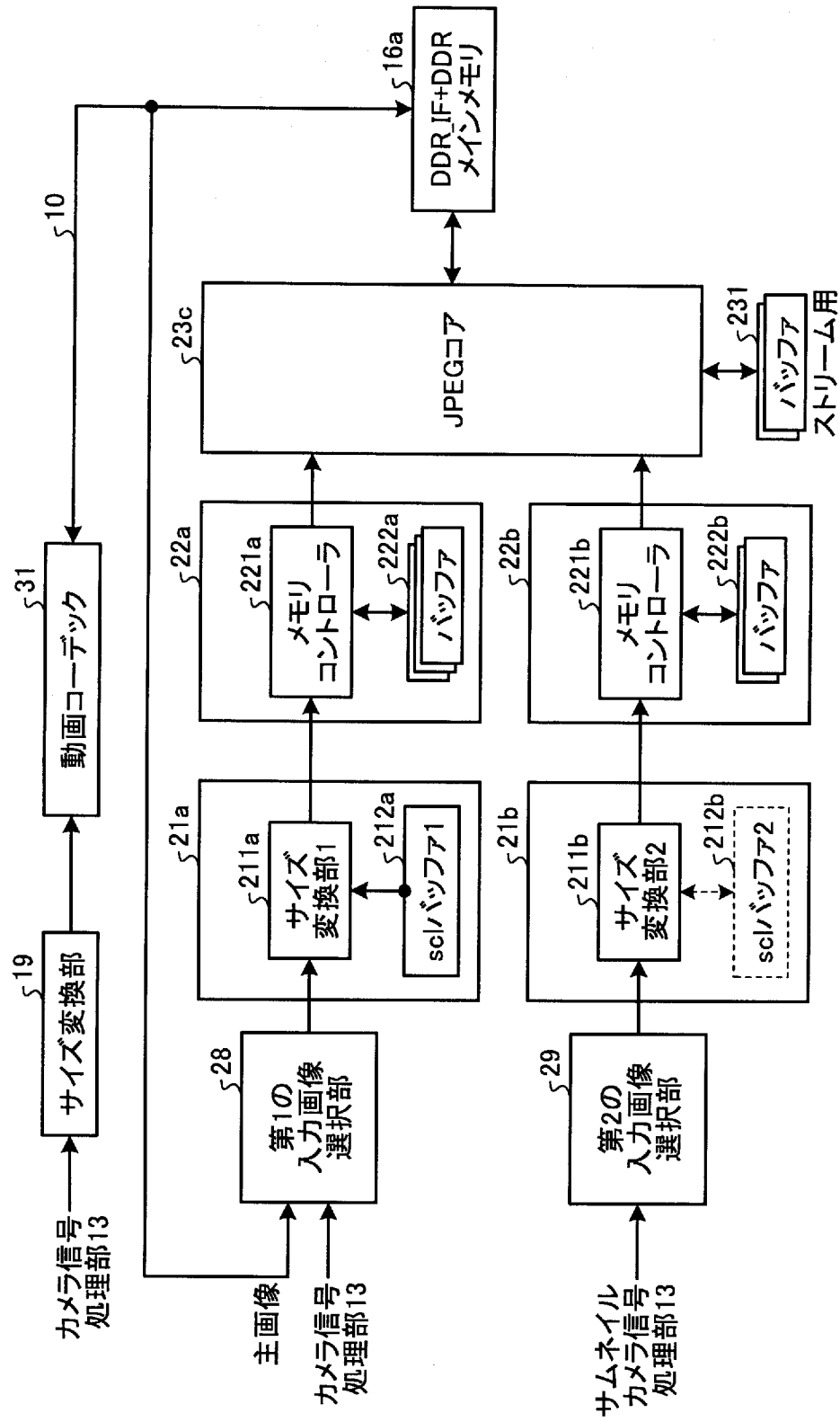


—————▶ 主画像高速撮影ルートR1
 - - - - -▶ 副画像高速撮影ルートR2

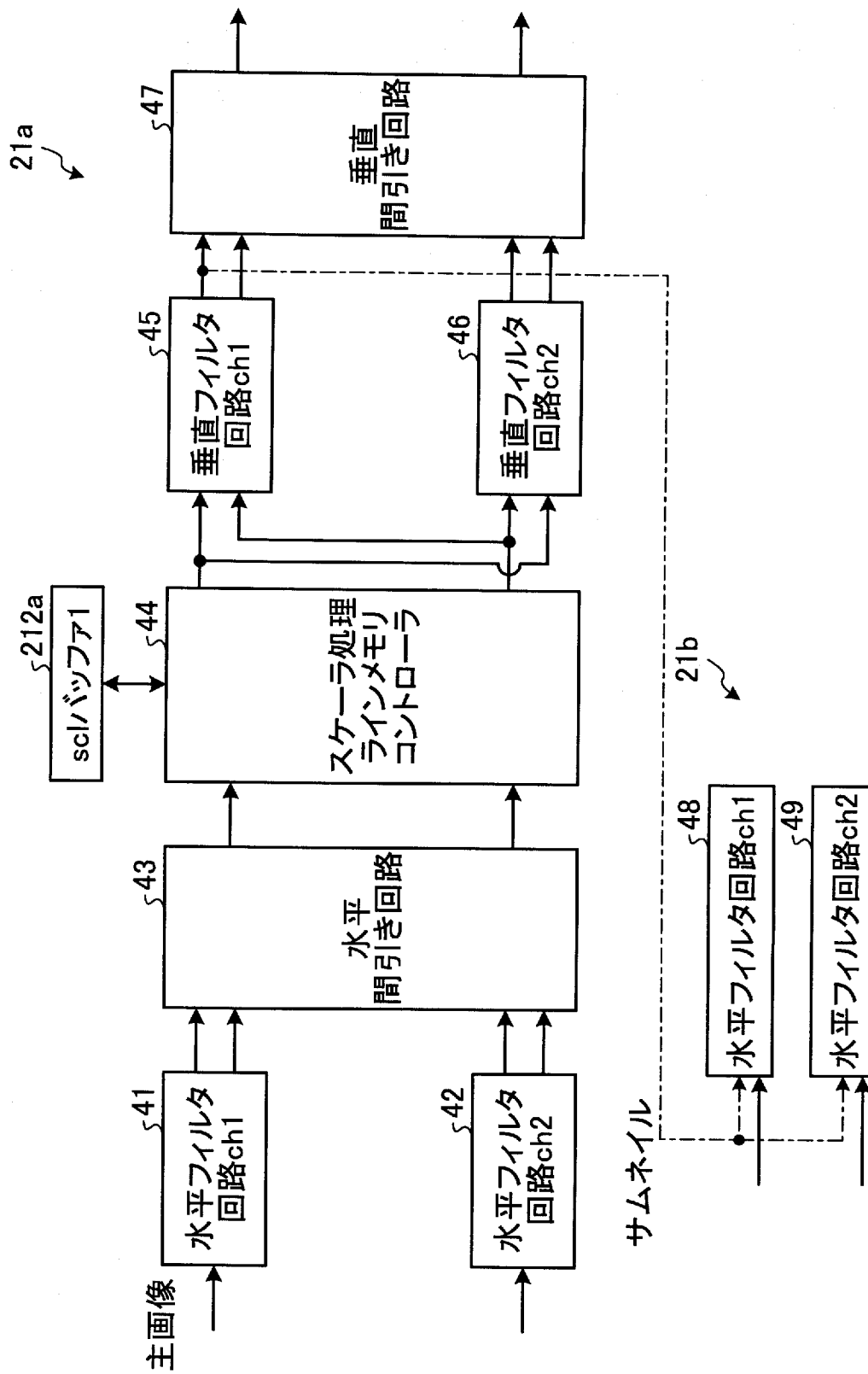
[図6]



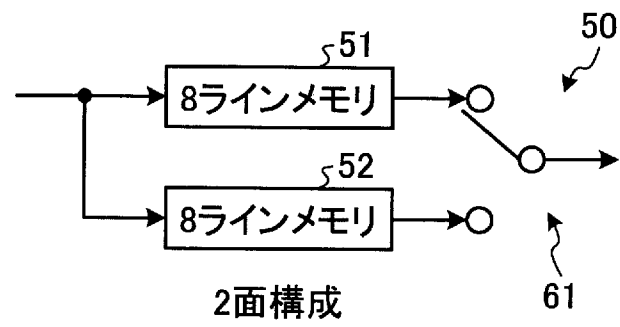
[図7]



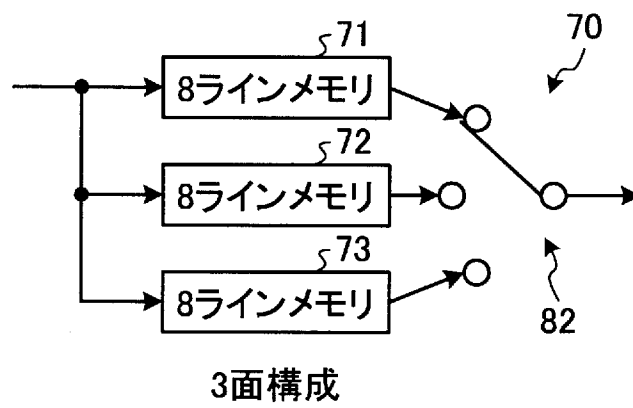
[図8]



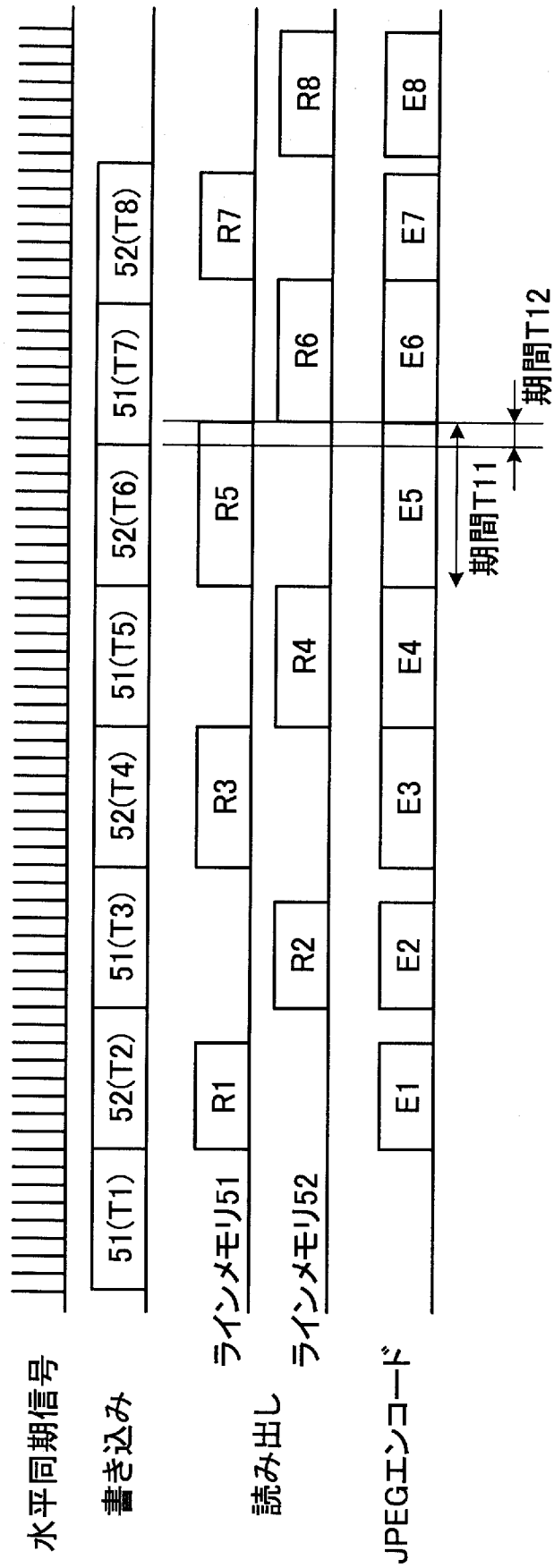
[図9]



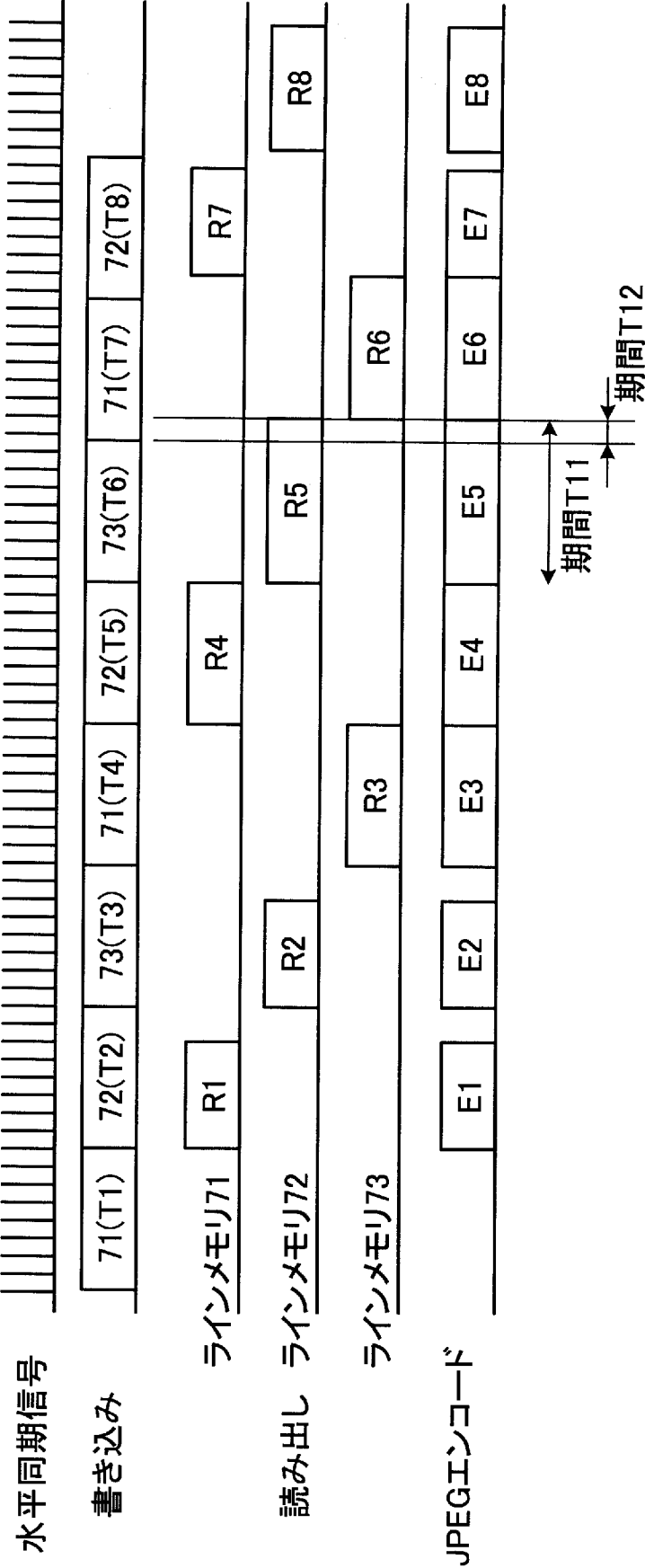
[図10]



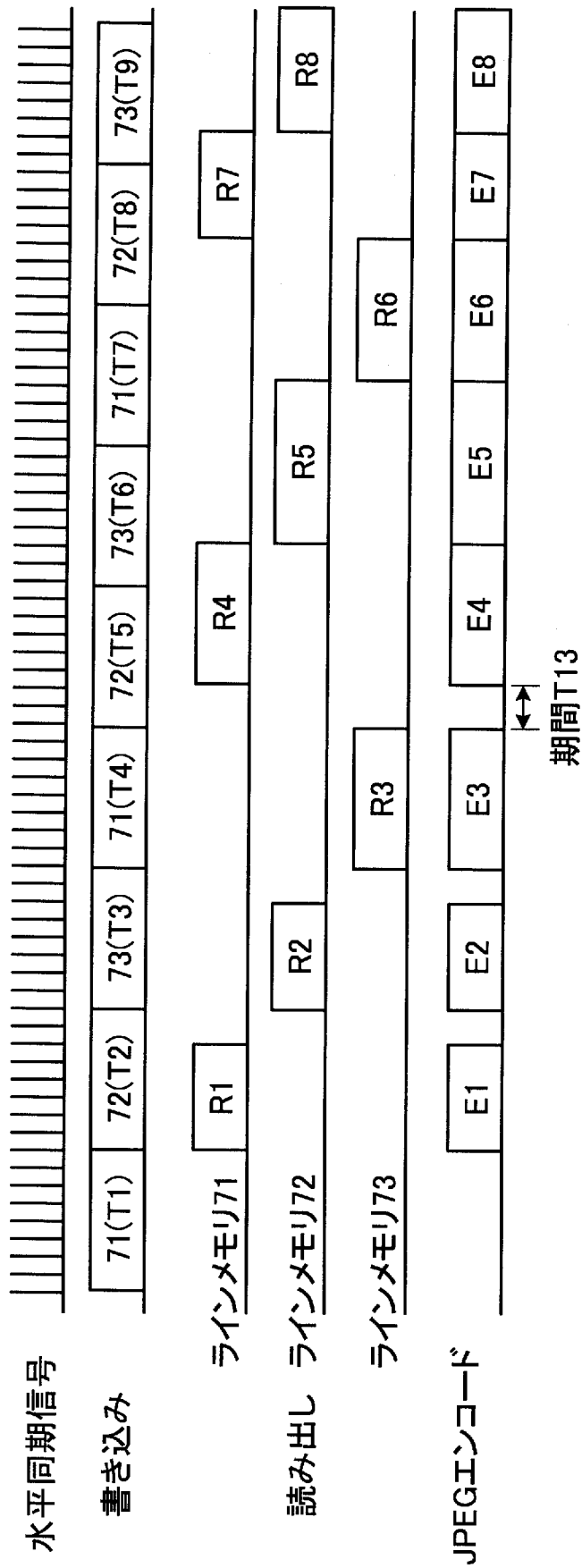
[図11]



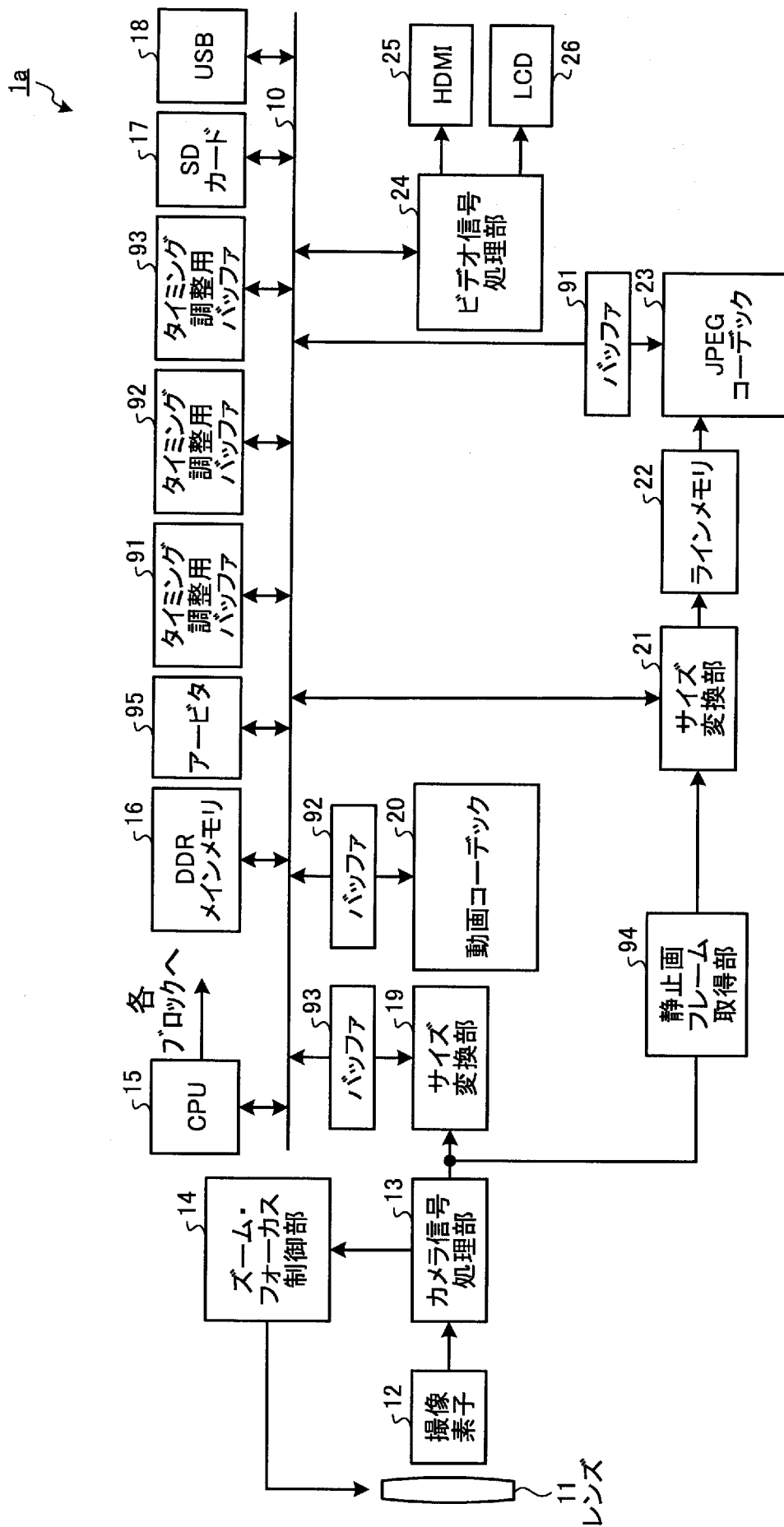
[図12]



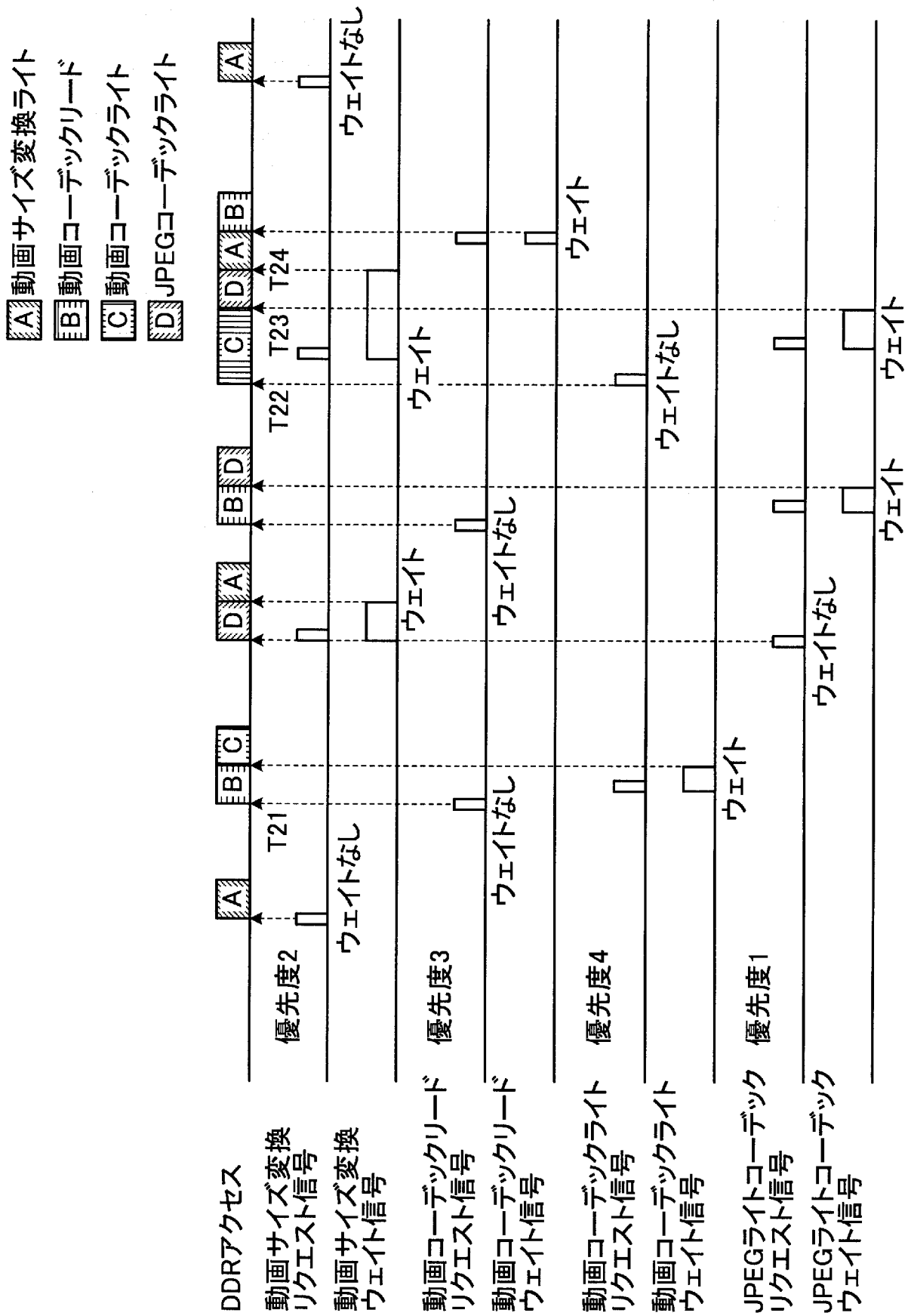
[図13]



[図15]



[図16]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053875

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/91(2006.01) i, H04N5/225(2006.01) i, H04N7/26(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/76-5/956, H04N5/222-5/257, H04N7/24-7/68

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2009-130562 A (Sony Corp.), 11 June 2009 (11.06.2009), paragraphs [0039], [0114] to [0116]; fig. 9 & US 2009/0135265 A1	1-12
Y	JP 2007-135102 A (Canon Inc.), 31 May 2007 (31.05.2007), paragraphs [0066], [0067]; fig. 6 (Family: none)	1-12
A	JP 2010-141687 A (Sony Corp.), 24 June 2010 (24.06.2010), paragraph [0049]; fig. 4 & US 2010/0149376 A1	2, 3

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
11 May, 2012 (11.05.12)

Date of mailing of the international search report
22 May, 2012 (22.05.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/053875

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-129242 A (Olympus Corp.), 22 April 2004 (22.04.2004), paragraphs [0044], [0046], [0155]; fig. 1, 9 & US 2005/0174444 A1	5-7
A	JP 2000-513542 A (Flashpoint Technology, Inc.), 10 October 2000 (10.10.2000), page 19, lines 3 to 6; fig. 5 & US 6137534 A & WO 1999/003263 A1	7
A	JP 2007-228119 A (Sony Corp.), 06 September 2007 (06.09.2007), paragraphs [0184] to [0301]; fig. 15 to 27 (Family: none)	1-12
A	JP 2009-200627 A (Canon Inc.), 03 September 2009 (03.09.2009), entire text; fig. 1 to 8 (Family: none)	1-12
A	WO 2005/020566 A1 (Sanyo Electric Co., Ltd.), 03 March 2005 (03.03.2005), entire text; fig. 1 to 6 & US 2006/0050154 A1 & EP 1653729 A1	1-12

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/91 (2006.01) i, H04N5/225 (2006.01) i, H04N7/26 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/76-5/956, H04N5/222-5/257, H04N7/24-7/68

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2009-130562 A (ソニー株式会社) 2009.06.11, 段落番号【0039】, 【0114】 - 【0116】, 図 9 & US 2009/0135265 A1	1-12
Y	JP 2007-135102 A (キヤノン株式会社) 2007.05.31, 段落番号【0066】, 【0067】, 図 6 (ファミリーなし)	1-12
A	JP 2010-141687 A (ソニー株式会社) 2010.06.24, 段落番号【0049】, 図 4 & US 2010/0149376 A1	2, 3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 5 . 2 0 1 2

国際調査報告の発送日

2 2 . 0 5 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

梅本 章子

5 C

2 9 4 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2004-129242 A (オリンパス株式会社) 2004. 04. 22, 段落番号【0044】 , 【0046】 , 【0155】 , 図 1, 9 & US 2005/0174444 A1	5-7
A	JP 2000-513542 A (フラッシュポイント テクノロジー インコーポレイテッド) 2000. 10. 10, 第 19 頁第 3-6 行, 図 5 & US 6137534 A & WO 1999/003263 A1	7
A	JP 2007-228119 A (ソニー株式会社) 2007. 09. 06, 段落番号【0184】 - 【0301】 , 図 15-27 (ファミリーなし)	1-12
A	JP 2009-200627 A (キヤノン株式会社) 2009. 09. 03, 全文, 図 1-8 (ファミリーなし)	1-12
A	WO 2005/020566 A1 (三洋電機株式会社) 2005. 03. 03, 全文, 図 1-6 & US 2006/0050154 A1 & EP 1653729 A1	1-12