

(43) 国际公布日
2015 年 3 月 26 日 (26.03.2015)



(10) 国际公布号
WO 2015/039463 A1

- (51) **国际专利分类号:**
G09G 3/36 (2006.01) *G02F 1/133* (2006.01)
G09G 3/20 (2006.01)

(21) **国际申请号:** PCT/CN2014/079508

(22) **国际申请日:** 2014 年 6 月 9 日 (09.06.2014)

(25) **申请语言:** 中文

(26) **公布语言:** 中文

(30) **优先权:**
 201310424637.9 2013 年 9 月 17 日 (17.09.2013) CN

(71) **申请人:** 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。

(72) **发明人:** 戴其兵 (DAI, Qibing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) **代理人:** 北京天昊联合知识产权代理有限公司 (TEE&HOWE INTELLECTUAL PROPERTY ATTORNEYS); 中国北京市东城区建国门内大街 28 号民生金融中心 D 座 10 层陈源, Beijing 100005 (CN)。

(81) **指定国** (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

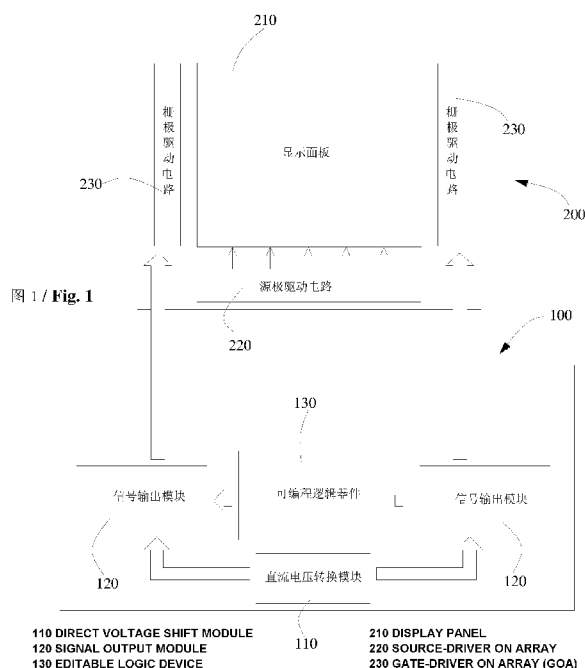
本国际公布:
 — 包括国际检索报告(条约第 21 条(3))。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: CONTROL SIGNAL GENERATING CIRCUIT AND CIRCUIT SYSTEM

(54) 发明名称: 控制信号发生电路和电路系统



(57) Abstract: A control signal generating circuit, comprising a signal output module, the signal output module comprising an output terminal, a first control signal input terminal and a second control signal input terminal, the signal output module being able to selectively output from the output terminal to a control signal receiving circuit the first control signal inputted from the first control signal input terminal or the second control signal inputted from the second control signal input terminal; a circuit system, comprising the control signal generating circuit. When VGH and VGL are provided for the control signal receiving circuit, the control signal generating circuit simply shifts between a first control signal mode and a second control signal mode without complicated shifting. In addition, the control signal generating circuit can test a signal receiving circuit requiring quick action.

(57) 摘要: 一种控制信号发生电路, 其中, 所述控制信号发生电路包括信号输出模块, 所述信号输出模块包括输出端、第一控制信号输入端和第二控制信号输入端, 所述信号输出模块能够选择性地将从所述第一控制信号输入端输入的第一控制信号或所述第二控制信号输入端输入的第二控制信号从输出端输出至控制信号接收电路。一种包括所述控制信号发生电路的电路系统。在为控制信号接收电路提供

高电平信号和低电平信号时,控制信号发生电路只需在第一控制信号模式和第二控制信号模式之间进行切换即可,无需复杂的变换。此外,控制信号发生电路还可以对各种需要快速动作的信号接收电路进行测试。

说明书

控制信号发生电路和电路系统

5 技术领域

本发明涉及电路的控制及测试技术领域，具体地，涉及一种控制信号发生电路和一种包括该控制信号发生电路的电路系统。

背景技术

10 在显示装置的阵列基板中大量使用了栅极驱动电路（GOA，Gate-driver On Array，集成在阵列基板上的栅极驱动电路），在测试显示面板时，对栅极驱动电路的测试是整个测试过程中的重要环节。栅极驱动电路的控制信号包括高电平信号 VGH（栅极开启电压）和低电平信号 VGL（栅极关断电压）。在现有技术中，栅极驱动电路
15 的控制信号发生电路大多利用运算放大器来实现高电平信号 VGH 和低电平信号 VGL 之间的转换，但是当栅极驱动电路需要快速变化的控制信号时，这种利用运算放大器提供控制信号的方法并不能满足其需求。

因此，提供一种能够实现高电平信号和低电平信号之间的快速
20 转换的栅极驱动电路的控制信号发生电路成为必需。

发明内容

本发明的目的在于提供一种能够实现在高电平信号和低电平信号之间快速转换的控制信号发生电路和一种包括该控制信号发生电
25 路的电路系统。

为了实现上述目的，作为本发明的一个方面，提供一种控制信号发生电路，其包括信号输出模块，所述信号输出模块包括输出端、第一控制信号输入端和第二控制信号输入端，所述第一控制信号输入端用于接收第一控制信号，所述第二控制信号输入端用于接收第二控
30 制信号，所述信号输出模块能够选择性地将所述第一控制信号输入

端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至控制信号接收电路。

5 优选地，所述信号输出模块还包括时序信号输入端，所述时序信号输入端用于接收时序信号，所述信号输出模块根据从所述时序信号输入端输入的时序信号选择性地将所述第一控制信号输入端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至控制信号接收电路。

10 优选地，所述信号输出模块包括至少一个模拟开关，每个所述模拟开关都包括所述输出端、所述第一控制信号输入端、所述第二控制信号输入端和所述时序信号输入端，所述输出端根据从所述时序信号输入端输入的时序信号选择性地与所述第一控制信号输入端或所述第二控制信号输入端相连。

15 优选地，所述控制信号发生电路还包括用于产生所述时序信号的可编程逻辑器件，所述可编程逻辑器件的时序信号输出端与所述信号输出模块的时序信号输入端连接。

20 优选地，所述信号输出模块包括多个所述时序信号输入端和与多个所述时序信号输入端一一对应的多个所述输出端，所述可编程逻辑器件包括多个时序信号输出端，该多个时序信号输出端分别与所述信号输出模块的多个所述时序信号输入端相连，所述可编程逻辑器件的多个所述时序信号输出端能够输出多种时序信号。

25 优选地，所述控制信号接收电路为显示装置的栅极驱动电路，所述信号输出模块包括三个所述时序信号输入端，所述可编程逻辑器件的多个所述时序信号输出端包括能够输出第一时序信号的第一时序信号输出端、能够输出第二时序信号的第二时序信号输出端和能够输出第三时序信号的第三时序信号输出端，所述第一时序信号用于控制所述信号输出模块输出初始信号，所述第二时序信号用于控制所述信号输出模块输出第一时钟信号，所述第三时序信号用于控制所述信号输出模块输出第二时钟信号。

30 优选地，所述可编程逻辑器件包括可编程门阵列器件，所述可编程门阵列器件的输出管脚形成所述时序信号输出端。

优选地，所述控制信号发生电路还包括直流电压转换模块，该直流电压转换模块包括产生所述第一控制信号的第一控制信号输出模块和产生所述第二控制信号的第二控制信号输出模块，所述第一控制信号输出模块与所述信号输出模块的第一控制信号输入端连接，所述第二控制信号输出模块与所述信号输出模块的第二控制信号输入端连接。

优选地，所述第一控制信号输出模块包括第一直流电压输入端、第一直流电压转换芯片和第一控制信号输出端，第一直流电压输入端与直流电源连接，通过第一直流电压输入端输入的直流电压经过第一直流电压转换芯片以及与该第一直流电压转换芯片相连的电子元件转换后，形成第一控制信号，并从第一控制信号输出端输出所述第一控制信号；

所述第二控制信号输出模块包括第二直流电压输入端、第二直流电压转换芯片和第二控制信号输出端，第二直流电压输入端与直流电源连接，通过第二直流电压输入端输入的直流电压经过第二直流电压转换芯片以及与该第二直流电压转换芯片相连的电子元件转换后，形成第二控制信号，并从第二控制信号输出端输出所述第二控制信号。

优选地，所述控制信号发生电路包括多个所述直流电压转换模块，所述信号输出模块包括多组第一控制信号输入端和第二控制信号输入端，多个所述直流电压转换模块分别与所述信号输出模块的多组第一控制信号输入端和第二控制信号输入端一一对应。

优选地，所述第一控制信号输出模块输出的第一控制信号能够在第一预定范围内调节；和/或所述第二控制信号输出模块输出的第二控制信号能够在第二预定范围内调节。

优选地，所述第一预定范围为 5V 至 20V，所述第二预定范围为 -20V 至 -5V。

作为本发明的另一个方面，提供一种电路系统，包括控制信号发生电路和控制信号接收电路，其中，所述控制信号发生电路为本发明所提供的上述控制信号发生电路，所述控制信号发生电路的所述信

号输出模块的输出端与所述控制信号接收电路电连接。

优选地，所述控制信号接收电路为显示装置的栅极驱动电路，该栅极驱动电路包括初始信号输入端、第一时钟信号输入端和第二时钟信号输入端，所述控制信号发生电路的信号输出模块能够为所述栅极驱动电路的初始信号输入端提供初始信号、为所述栅极驱动电路的第一时钟信号输入端提供第一时钟信号，以及为所述栅极驱动电路的第二时钟信号输入端提供第二时钟信号。

在利用本发明所提供的控制信号发生电路为所述控制信号接收电路提供控制所需的第一控制信号和第二控制信号时，控制信号发生电路只需在第一控制信号模式和第二控制信号模式之间进行切换即可，无需经过复杂的变换（例如，无需利用运算放大器实现第一控制信号和第二控制信号之间的切换）。由此可知，本发明所提供的控制信号发生电路可以在第一控制信号模式和第二控制信号模式这两种模式之间快速地切换，从而可以满足控制信号接收电路所接收的控制信号需要在第一控制信号和第二控制信号之间快速切换的运行要求。

附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并不构成对本发明的限制。在附图中：

图 1 是本发明的具体实施方式所提供的控制信号发生电路和显示装置的示意图；

图 2 是本发明的具体实施方式所提供的直流电压转换模块中的第一控制信号输出模块的电路图；

图 3 是本发明的具体实施方式所提供的直流电压转换模块中的第二控制信号输出模块的电路图；

图 4 是本发明的具体实施方式所提供的信号输出模块的电路图；

图 5 是本发明的具体实施方式所提供的可编程逻辑器件产生的时序信号的时序图。

附图标记说明

100: 控制信号发生电路	110: 直流电压转换模块
111: 第一控制信号输出模块	112: 第二控制信号输出模块
120: 信号输出模块	121: 模拟开关
130: 可编程逻辑器件	200: 显示装置
210: 显示面板	220: 源极驱动电路
230: 栅极驱动电路	121a: 输出端
121b: 第一控制信号输入端	121c: 第二控制信号输入端
121d: 时序信号输入端	111a: 第一直流电压输入端
111b: 第一控制信号输出端	111c: 第一直流电压转换芯片
112a: 第二直流电压输入端	112b: 第二控制信号输出端
112c: 第二直流电压转换芯片	

具体实施方式

5 以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

10 如图 1 所示，作为本发明的一个方面，提供一种控制信号发生电路 100，其包括信号输出模块 120，该信号输出模块 120 包括输出端、第一控制信号输入端和第二控制信号输入端，所述第一控制信号输入端用于接收第一控制信号，所述第二控制信号输入端用于接收第二控制信号，信号输出模块 120 能够选择性地将从所述第一控制信号输入端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至控制信号接收电路。

15 控制信号接收电路在正常工作时接收的控制信号需要在第一控制信号和第二控制信号之间进行切换。本发明所提供的控制信号发生电路 100 具有第一控制信号模式和第二控制信号模式两种模式，并能在这两种模式之间进行切换。具体地，在第一控制信号模式中，信号输出模块 120 将从第一控制信号输入端输入的第一控制信号输出至所述控制信号接收电路；在第二控制信号模式中，信号输出模块 120

将从第二控制信号输入端输入的第二控制信号输出至所述控制信号接收电路。

第一控制信号和第二控制信号可以为互不相同的电平信号。例如，第一控制信号可以为低电平信号 VGL，而第二控制信号可以为高电平信号 VGH，反之亦可；所述控制信号接收电路可以为显示装置中的栅极驱动电路。所述第一控制信号和第二控制信号可通过现有的元器件产生并分别输出至信号输出模块 120 的第一控制信号输入端和第二控制信号输入端。

在利用本发明所提供的控制信号发生电路 100 为所述控制信号接收电路提供控制所需的第一控制信号和第二控制信号时，只需在控制信号发生电路 100 的第一控制信号模式和第二控制信号模式之间进行切换即可，无需经过复杂的变换（例如，无需利用运算放大器实现第一控制信号和第二控制信号之间的切换）。由此可知，本发明所提供的控制信号发生电路 100 可以在第一控制信号模式和第二控制信号模式这两种模式之间快速地切换，从而可以满足控制信号接收电路所接收的控制信号需要在第一控制信号和第二控制信号之间快速切换的运行要求。

除此之外，本发明所提供的控制信号发生电路 100 还可以用于对需要在第一控制信号和第二控制信号之间进行快速切换的所述控制信号接收电路进行测试。即，本发明所提供的控制信号发生电路 100 可以更加真实地模拟控制信号接收电路（例如，显示装置中的栅极驱动电路）的工作环境，以对控制信号接收电路进行测试，从而判断该控制信号接收电路是否为良品。

在本发明中，可以通过多种方式使控制信号发生电路 100 在所述第一控制信号模式和所述第二控制信号模式之间进行切换。例如，可以通过机械手段使控制信号发生电路 100 在第一控制信号模式和第二控制信号模式之间切换。具体地，可以在控制信号发生电路 100 中设置计时单元，该计时单元可以周期性地动作，使控制信号发生电路 100 周期性地第一控制信号模式和第二控制信号模式之间切换。

为了提高控制信号发生电路 100 在第一控制信号模式和第二控

制信号模式之间的切换速度，优选地，可以利用电子手段使控制信号发生电路 100 在第一控制信号模式和第二控制信号模式之间切换。具体地，信号输出模块 120 还可以包括时序信号输入端，所述时序信号输入端用于接收时序信号，信号输出模块 120 根据从所述时序信号输入端输入的时序信号选择性地将所述第一控制信号输入端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至所述控制信号接收电路。应当理解的是，从信号输出模块 120 的时序信号输入端输入的时序信号与所述控制信号接收电路正常运行时所需的控制信号（即，第一控制信号和第二控制信号）的时序是同步的。所述时序信号可通过现有的元器件产生并输出至信号输出模块 120 的时序信号输入端。

为了快速地响应所述时序信号，优选地，信号输出模块 120 还可以包括至少一个模拟开关 121，如图 4 所示，每个模拟开关 121 都包括输出端 121a、第一控制信号输入端 121b、第二控制信号输入端 121c 和时序信号输入端 121d。输出端 121a 根据从所述时序信号输入端 121d 输入的时序信号选择性地与第一控制信号输入端 121b 或第二控制信号输入端 121c 相连，从而对应地向所述控制信号接收电路输出第一控制信号或第二控制信号。

具体地，当从时序信号输入端 121d 输入的时序信号为高电平时，模拟开关 121 的输出端 121a 与第一控制信号输入端 121b 相连，从而将从第一控制信号输入端 121b 输入的第一控制信号经输出端 121a 输出至所述控制信号接收电路；当从时序信号输入端 121d 输入的时序信号为低电平时，模拟开关 121 的输出端 121a 与第二控制信号输入端 121c 相连，从而将从第二控制信号输入端 121c 输入的第二控制信号经输出端 121a 输出至所述控制信号接收电路。

或者，当从时序信号输入端 121d 输入的时序信号为低电平时，模拟开关 121 的输出端 121a 与第一控制信号输入端 121b 相连，从而将从第一控制信号输入端 121b 输入的第一控制信号经输出端 121a 输出至所述控制信号接收电路；当从时序信号输入端 121d 输入的时序信号为高电平时，模拟开关 121 的输出端 121a 与第二控制信号输

入端 121c 相连,从而将从第二控制信号输入端 121c 输入的第二控制信号经输出端 121a 输出至所述控制信号接收电路。

当信号输出模块 120 具有一个输出端时,该信号输出模块 120 可以具有一个模拟开关。在图 4 中所示的具体实施方式中,信号输出模块 120 具有四个模拟开关,故该信号输出模块 120 具有四个输出端。下文中将详细介绍具有多个模拟开关 121 的信号输出模块 120,这里先不赘述。

在本发明中,可以利用外置的时序信号发生装置为控制信号发生电路 100 的信号输出模块 120 提供时序信号,为了提高控制信号发生电路 100 的集成化程度,减小包括控制信号发生电路 100 的电路系统的总体尺寸,优选地,可以在控制信号发生电路 100 内集成用于产生所述时序信号的可编程逻辑器件 130,该可编程逻辑器件 130 的时序信号输出端与所述信号输出模块 120 的时序信号输入端连接。

当所述控制信号接收电路正常运行需要多组控制信号(每组控制信号都包括所述第一控制信号和所述第二控制信号)时,控制信号发生电路 100 可以包括多个信号输出模块 120,每个信号输出模块 120 具有一个输出端。为了提高控制信号发生电路 100 的集成化程度,优选地,控制信号发生电路 100 可以只包括一个信号输出模块 120,而该信号输出模块 120 可以包括多个所述输出端,例如信号输出模块 120 可以包括多个模拟开关 121,每个模拟开关 121 具有一个输出端 121a,从而使得信号输出模块 120 具有多个输出端。

由于所述控制信号接收电路正常运行时所需的每组控制信号都包括第一控制信号和第二控制信号,因此,在所述信号输出模块 120 具有多个输出端时,信号输出模块 120 还可以包括多个所述时序信号输入端,且该多个所述时序信号输入端与多个所述输出端一一对应。相应地,可编程逻辑器件 130 包括多个所述时序信号输出端,可编程逻辑器件 130 的多个所述时序信号输出端分别与信号输出模块 120 的多个所述时序信号输入端相连,能够从可编程逻辑器件 130 的多个所述时序信号输出端输出多种时序信号。

本领域技术人员应当理解的是,各组控制信号(每组控制信号

都包括所述第一控制信号和所述第二控制信号)的时序可以相同也可以不同,因此,从可编程逻辑器件 130 的多个所述时序信号输出端输出的多种时序信号可以相同也可以各不相同,只要确保分别与所述控制信号接收电路运行所需的各组控制信号的时序同步即可。

不同类型的控制信号接收电路需要不同的控制信号。例如,当所述控制信号接收电路为显示面板中的栅极驱动电路时,作为栅极驱动电路的控制信号接收电路运行所需的控制信号有初始信号 STV(包括低电平信号和高电平信号)、第一时钟信号 CLK1(包括低电平信号和高电平信号)和第二时钟信号 CLK2(包括低电平信号和高电平信号)共三组控制信号。

相应地,信号输出模块 120 包括三个所述时序信号输入端,可编程逻辑器件 130 的多个所述时序信号输出端包括能够输出第一时序信号的第一时序信号输出端、能够输出第二时序信号的第二时序信号输出端和能够输出第三时序信号的第三时序信号输出端,所述第一时序信号、第二时序信号和第三时序信号的时序图如图 5 所示,所述第一时序信号用于控制信号输出模块 120 输出初始信号 STV,所述第二时序信号用于控制信号输出模块 120 输出第一时钟信号 CLK1,所述第三时序信号用于控制信号输出模块 120 输出第二时钟信号 CLK2。

在信号输出模块 120 包括三个所述时序信号输入端的实施方式中,信号输出模块 120 可以包括三个模拟开关 121。

在本发明所提供的控制信号发生电路 100 中,对可编程逻辑器件 130 的具体形式也没有特殊的限定,例如,可编程逻辑器件 130 可以是单片机。优选地,可编程逻辑器件 130 可以包括可编程门阵列器件(FPGA, Field-Programmable Gate Array),该可编程门阵列器件的输出管脚形成为所述时序信号输出端。由于可编程门阵列器件包括多个输出管脚,因此,在这种情况下,可编程逻辑器件 130 可容易地实现多个时序信号的输出。

为了便于提供第一控制信号和第二控制信号,优选地,如图 1 所示,控制信号发生电路 100 还可以包括直流电压转换模块 110,该

直流电压转换模块 110 可以包括产生所述第一控制信号的第一控制信号输出模块 111（如图 2 所示）和产生所述第二控制信号的第二控制信号输出模块 112（如图 3 所示），第一控制信号输出模块 111 与
5 所述信号输出模块 120 的第一控制信号输入端连接，第二控制信号输出模块 112 与所述信号输出模块 120 的第二控制信号输入端连接。

如图 2 所示，第一控制信号输出模块 111 可以包括第一直流电压输入端 111a、第一直流电压转换芯片 111c 和第一控制信号输出端 111b。第一直流电压输入端 111a 与直流电源连接，通过第一直流电压输入端 111a 输入的直流电压经过第一直流电压转换芯片 111c 以及
10 与该第一直流电压转换芯片 111c 相连的各种电子元件转换后，形成第一控制信号，并从第一控制信号输出端 111b 输出该第一控制信号。

如图 3 所示，第二控制信号输出模块 112 可以包括第二直流电压输入端 112a、第二直流电压转换芯片 112c 和第二控制信号输出端 112b。第二直流电压输入端 112a 与直流电源连接，通过第二直流电压输入端 112a 输入的直流电压经过第二直流电压转换芯片 112c 以及
15 与该第二直流电压转换芯片 112c 相连的各种电子元件转换后，形成第二控制信号，并从第二控制信号输出端 112b 输出该第二控制信号。

在本发明中，由于所述直流电压转换模块 110 可以包括将直流电压转换为第一控制信号（例如为低电平信号 VGL）的第一控制信号输出模块 111 和将直流电压转换成第二控制信号（例如为高电平信号 VGH）的第二控制信号输出模块 112，因此，在利用第一控制信号和第二控制信号对控制信号接收电路进行测试时，只需要在第一控制信号输出模块 111 和第二控制信号输出模块 112 之间切换即可，无需复杂的变换（例如，无需运算放大器产生第一控制信号或第二控制信号），
20 可以对需要快速动作的控制信号接收电路（例如，显示装置中的栅极驱动电路）提供工作所需的时序信号，或对其进行测试。

在包括模拟开关 121 的实施方式中，如图 2-图 4 所示，第一控制信号输出模块 111 的第一控制信号输出端 111b 可以与模拟开关 121 的第一控制信号输入端 121b 连接，第二控制信号输出模块 112 的第二控制信号输出端 112b 可以与模拟开关 121 的第二控制信号输
25 30

入端 121c 连接。

此外，第一控制信号输出模块 111 可以输出稳定的第一控制信号，即，当设定完毕后，第一控制信号输出模块 111 输出的第一控制信号是固定不变的，该第一控制信号可以是控制信号接收电路工作所需的控制信号。并且第二控制信号输出模块 112 可以输出稳定的第二控制信号，即，当设定完毕后，第二控制信号输出模块 112 输出的第二控制信号是固定不变的，该第二控制信号可以是控制信号接收电路工作所需的控制信号。由此可知，所述控制信号发生电路 100 所提供的测试环境几乎与所述控制信号接收电路的工作环境相同，因此可以获得更准确的测试效果。

在图 2 和图 3 中所示的具体实施方式中，第一控制信号输出模块 111 输出的第一控制信号为低电平 VGL，第二控制信号输出模块 112 输出的第二控制信号为高电平 VGH。

如上文中所述，所述控制信号接收电路正常运行时可能需要多组控制信号（每组控制信号都包括第一控制信号和第二控制信号）。当各组控制信号中的第一控制信号彼此相同，第二控制信号也彼此相同时，可以将信号输出模块 120 的多组第一控制信号输入端和第二控制信号输入端（每组只包括一个第一控制信号输入端和一个第二控制信号输入端）均与同一个直流电压转换模块 110 相连（信号输出模块 120 的各第一控制信号输入端均与该直流电压转换模块 110 的第一控制信号输出端 111b 连接，信号输出模块 120 的各第二控制信号输入端均与该直流电压转换模块 110 的第二控制信号输出端 112b）。为了便于连接，控制信号发生电路 100 可以包括多个直流电压转换模块 110，信号输出模块 120 的多组第一控制信号输入端和第二控制信号输入端分别与多个直流电压转换模块 110 一一对应。即，每个直流电压转换模块 110 均与输入相对应的一组控制信号（包括第一控制信号和第二控制信号）的一组第一控制信号输入端和第二控制信号输入端对应连接。

本发明所提供的控制信号发生电路 100 可以用于对多种控制信号接收电路进行控制或测试，因此，优选地，第一控制信号输出模块

111 输出的第一控制信号可以在第一预定范围内调节；和/或第二控制信号输出模块 112 输出的第二控制信号可以在第二预定范围内调节。如图 2 和图 3 中所示，为了实现这一目的，可以在第一控制信号输出模块 111 和第二控制信号输出模块 112 中分别设置可调电阻。

5 当利用本发明所提供的控制信号发生电路对显示装置中的栅极驱动电路进行测试时，第一控制信号为高电平信号 VGH，所述第一预定范围可以为 5V 至 20V，第二控制信号为低电平信号 VGL，所述第二预定范围可以为 -20V 至 -5V。

10 本发明所提供的控制信号发生电路 100 可以包括一个信号输出模块 120，也可以包括多个信号输出模块 120。例如，当控制信号接收电路为 LCD 显示面板的栅极驱动电路时，由于仅在 LCD 显示面板的一侧设置有栅极驱动电路，因此，所述控制信号发生电路 100 可以仅包括一个信号输出模块 120，为 LCD 显示面板的栅极驱动电路提供工作所需的控制信号或对其进行测试。当控制信号接收电路为
15 AMOLED 显示面板的栅极驱动电路时（如图 1 所示），则需要两个信号输出模块 120，这是由于 AMOLED 显示面板的两侧都设置有栅极驱动电路，一侧的栅极驱动电路的作用是提供扫描信号，另一侧的栅极驱动电路的作用是控制 OLED 发光，因此需要两个信号输出模块 120 分别为两侧的栅极驱动电路提供工作所需的控制信号，或分别
20 对两侧的栅极驱动电路进行测试。

 作为本发明的另一个方面，如图 1 所示，提供一种电路系统，该电路系统包括控制信号发生电路 100 和控制信号接收电路（在图 1 中为显示装置 200 的栅极驱动电路 230），其中，所述控制信号发生电路 100 为本发明所提供的上述控制信号发生电路，所述控制信号接收电路与
25 所述控制信号发生电路 100 的信号输出模块 120 的输出端电连接。

 具体地，所述控制信号接收电路可以为显示装置 200 的栅极驱动电路 230，该栅极驱动电路 230 包括初始信号输入端、第一时钟信号输入端和第二时钟信号输入端。在这种情况下，控制信号发生电路的信号输出模块 120 可以为所述初始信号输入端提供初始信号 STV、
30

为所述第一时钟信号输入端提供第一时钟信号 CLK1，以及为所述第二时钟信号输入端提供第二时钟信号 CLK2。

如图 1 所示，显示装置 200 还包括显示面板 210 和显示面板源极驱动电路 220。

5 本领域技术人员应当理解的是，虽然在本发明中以栅极驱动电路作为所述控制信号接收电路描述了本发明所提供的控制信号发生电路和电路系统，但是，本发明并不限于此，本发明所提供的控制信号发生电路还可以用于为栅极驱动电路之外的其他控制信号接收电路提供工作所需的控制信号或对其进行测试。

10 以上结合附图详细描述了本发明的优选实施方式，但是，本发明并不限于上述实施方式中的具体细节，在本发明的技术构思范围内，可以对本发明的技术方案进行多种简单变型，这些简单变型均属于本发明的保护范围。

15 另外需要说明的是，在上述具体实施方式中所描述的各个具体技术特征，在不矛盾的情况下，可以通过任何合适的方式进行组合。为了避免不必要的重复，本发明对各种可能的组合方式不再另行说明。

此外，本发明的各种不同的实施方式之间也可以进行任意组合，只要其不违背本发明的思想，其同样应当视为本发明所公开的内容。

20

权 利 要 求 书

1、一种控制信号发生电路，其特征在于，所述控制信号发生电路包括信号输出模块，所述信号输出模块包括输出端、第一控制信号输入端和第二控制信号输入端，所述第一控制信号输入端用于接收第一控制信号，所述第二控制信号输入端用于接收第二控制信号，所述信号输出模块能够选择性地将从所述第一控制信号输入端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至控制信号接收电路。

2、根据权利要求 1 所述的控制信号发生电路，其特征在于，所述信号输出模块还包括时序信号输入端，所述时序信号输入端用于接收时序信号，所述信号输出模块根据从所述时序信号输入端输入的时序信号选择性地将从所述第一控制信号输入端输入的第一控制信号或从所述第二控制信号输入端输入的第二控制信号经所述输出端输出至控制信号接收电路。

3、根据权利要求 2 所述的控制信号发生电路，其特征在于，所述信号输出模块包括至少一个模拟开关，每个所述模拟开关都包括所述输出端、所述第一控制信号输入端、所述第二控制信号输入端和所述时序信号输入端，所述输出端根据从所述时序信号输入端输入的时序信号选择性地与所述第一控制信号输入端或所述第二控制信号输入端相连。

4、根据权利要求 2 或 3 所述的控制信号发生电路，其特征在于，所述控制信号发生电路还包括用于产生所述时序信号的可编程逻辑器件，所述可编程逻辑器件的时序信号输出端与所述信号输出模块的时序信号输入端连接。

5、根据权利要求 4 所述的控制信号发生电路，其特征在于，所

述信号输出模块包括多个所述时序信号输入端和与多个所述时序信号输入端一一对应的多个所述输出端,所述可编程逻辑器件包括多个时序信号输出端,该多个时序信号输出端分别与所述信号输出模块的多个所述时序信号输入端相连,所述可编程逻辑器件的多个所述时序信号输出端能够输出多种时序信号。

6、根据权利要求 5 所述的控制信号发生电路,其特征在于,所述控制信号接收电路为显示装置的栅极驱动电路,所述信号输出模块包括三个所述时序信号输入端,所述可编程逻辑器件的多个所述时序信号输出端包括能够输出第一时序信号的第一时序信号输出端、能够输出第二时序信号的第二时序信号输出端和能够输出第三时序信号的第三时序信号输出端,所述第一时序信号用于控制所述信号输出模块输出初始信号,所述第二时序信号用于控制所述信号输出模块输出第一时钟信号,所述第三时序信号用于控制所述信号输出模块输出第二时钟信号。

7、根据权利要求 4 所述的控制信号发生电路,其特征在于,所述可编程逻辑器件包括可编程门阵列器件,所述可编程门阵列器件的输出管脚形成为所述时序信号输出端。

8、根据权利要求 1 至 3 中任意一项所述的控制信号发生电路,其特征在于,所述控制信号发生电路还包括直流电压转换模块,该直流电压转换模块包括产生所述第一控制信号的第一控制信号输出模块和产生所述第二控制信号的第二控制信号输出模块,所述第一控制信号输出模块与所述信号输出模块的第一控制信号输入端连接,所述第二控制信号输出模块与所述信号输出模块的第二控制信号输入端连接。

9、根据权利要求 8 所述的控制信号发生电路,其特征在于,所述第一控制信号输出模块包括第一直流电压输入端、第一直

流电压转换芯片和第一控制信号输出端,所述第一直流电压输入端与直流电源连接,通过所述第一直流电压输入端输入的直流电压经过所述第一直流电压转换芯片以及与所述第一直流电压转换芯片相连的电子元件转换后,形成第一控制信号,并从所述第一控制信号输出端输出所述第一控制信号;

所述第二控制信号输出模块包括第二直流电压输入端、第二直流电压转换芯片和第二控制信号输出端,所述第二直流电压输入端与直流电源连接,通过所述第二直流电压输入端输入的直流电压经过所述第二直流电压转换芯片以及与所述第二直流电压转换芯片相连的电子元件转换后,形成第二控制信号,并从所述第二控制信号输出端输出所述第二控制信号。

10、根据权利要求 8 所述的控制信号发生电路,其特征在于,所述控制信号发生电路包括多个所述直流电压转换模块,所述信号输出模块包括多组第一控制信号输入端和第二控制信号输入端,多个所述直流电压转换模块分别与所述信号输出模块的多组第一控制信号输入端和第二控制信号输入端一一对应。

11、根据权利要求 8 所述的控制信号发生电路,其特征在于,所述第一控制信号输出模块输出的第一控制信号能够在第一预定范围内调节;和/或所述第二控制信号输出模块输出的第二控制信号能够在第二预定范围内调节。

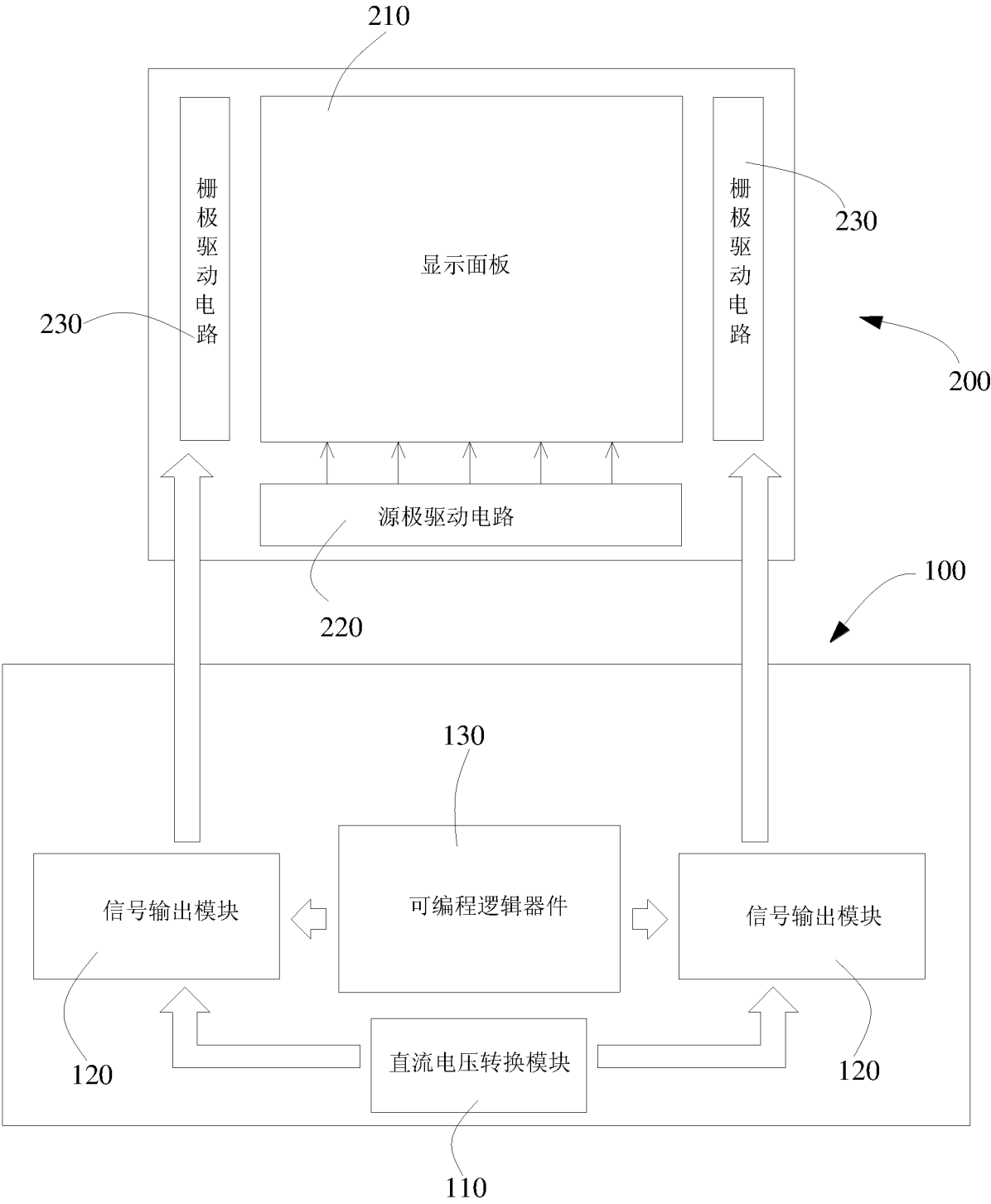
12、根据权利要求 11 所述的控制信号发生电路,其特征在于,所述第一预定范围为 5V 至 20V,所述第二预定范围为-20V 至-5V。

13、一种电路系统,包括控制信号发生电路和控制信号接收电路,其特征在于,所述控制信号发生电路为权利要求 1 至 12 中任意一项所述的控制信号发生电路,所述控制信号发生电路的所述信号输出模块的输出端与所述控制信号接收电路电连接。

5

14、根据权利要求 13 所述的电路系统，其特征在于，所述控制信号接收电路为显示装置的栅极驱动电路，该栅极驱动电路包括初始信号输入端、第一时钟信号输入端和第二时钟信号输入端，所述控制信号发生电路的信号输出模块能够为所述栅极驱动电路的初始信号输入端提供初始信号、为所述栅极驱动电路的第一时钟信号输入端提供第一时钟信号，以及为所述栅极驱动电路的第二时钟信号输入端提供第二时钟信号。

说明书附图



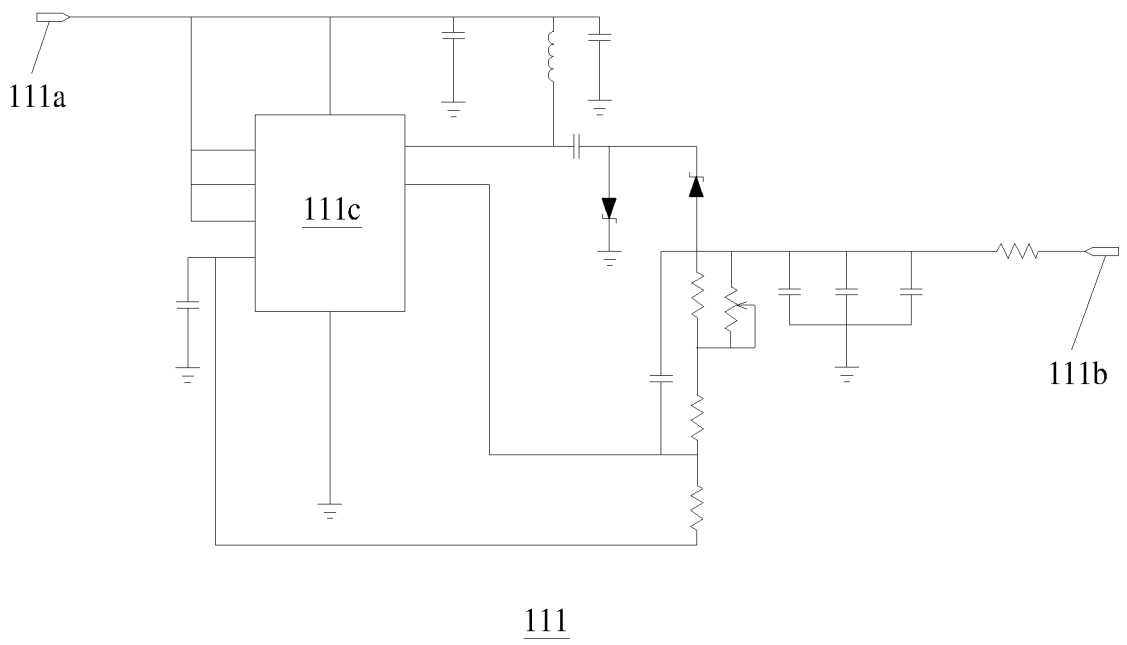


图 2

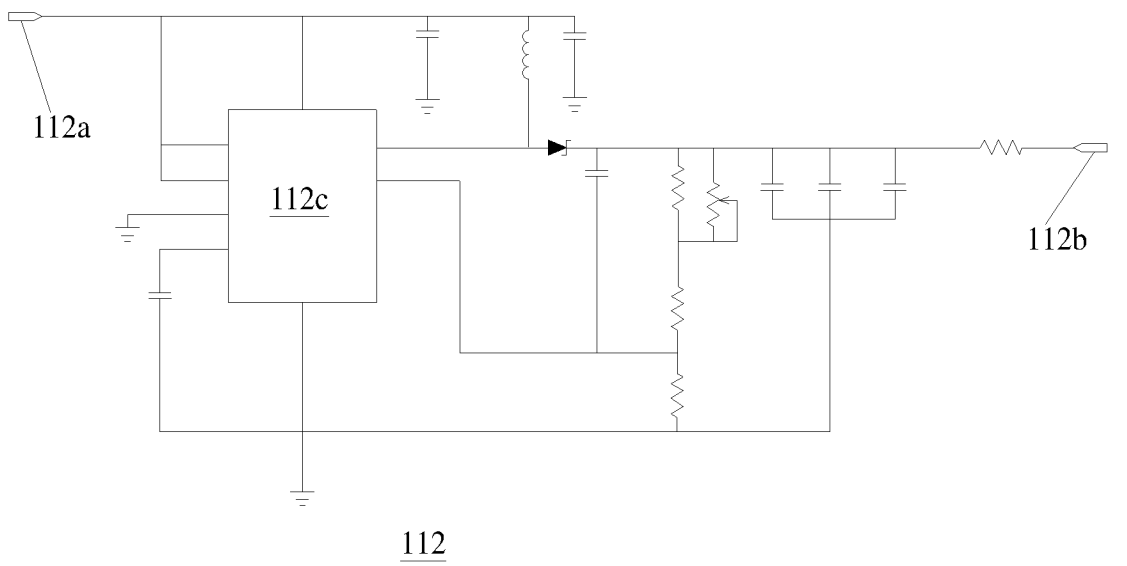


图 3

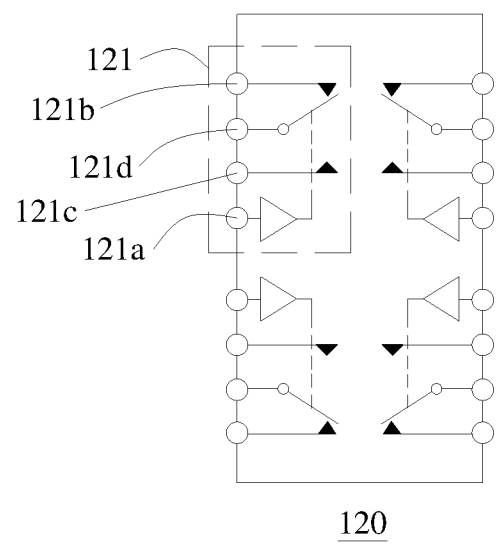


图 4

5

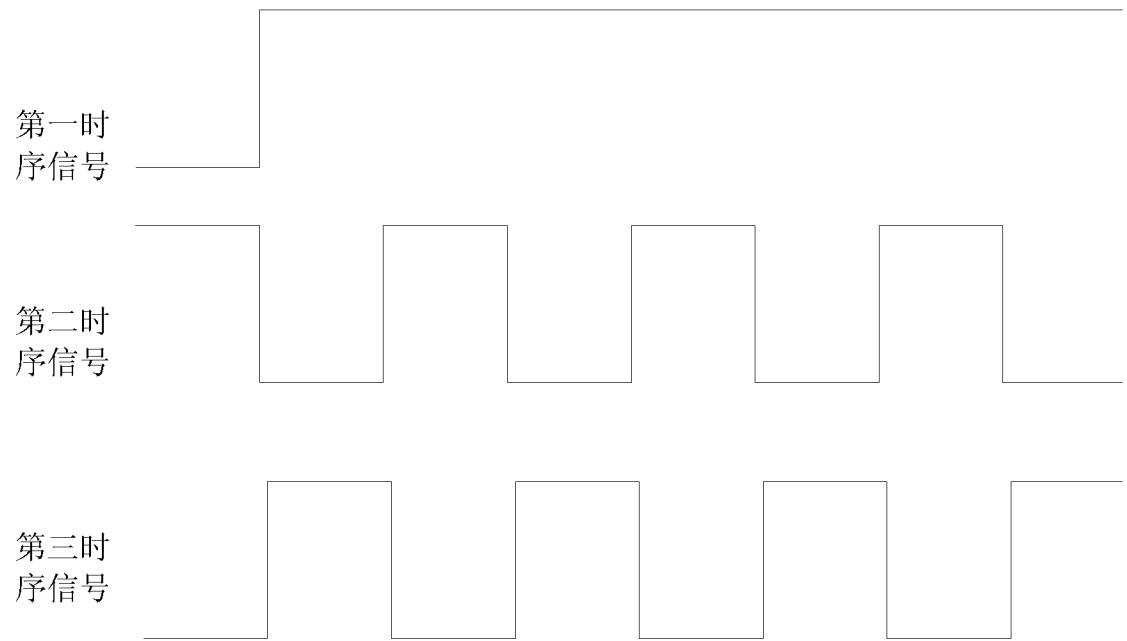


图 5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/079508

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G09G 3/20 (2006.01) i; G02F 1/133 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G; G02 ; H03K; G05B; H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: grid drive control display liquid crystal test level potential high level high potential low level low potential switch clock time sequence simulation

EPODOC, WPI: VOLTAGE?, LEVEL, HIGH, LOW, SWITCH+, CLOCK+, TIM+, CLK, DRIV+, TEST+, CONTROL+, DISPLAY, LCD

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2007114559 A (SEIKO EPSON CORP.), 10 May 2007 (10.05.2007), description, paragraphs 65-87, and figures 1, 9, and 11	1-14
X	JP 2007114682 A (SEIKO EPSON CORP.), 10 May 2007 (10.05.2007), description, paragraphs 62-89, and figures 1, 9, and 12	1-14
PX	CN 203422916 U (BOE TECHNOLOGY GROUP CO., LTD.), 05 February 2014 (05.02.2014), claims 1-10, description, paragraphs 38-72, and figures 1-5	1-14
X	CN 103297027 A (MEGACHIPS CORPORATION), 11 September 2013 (11.09.2013), description, paragraphs 72-92, and figures 1 and 2	1-14
X	CN 1664739 A (SEIKO EPSON CORP.), 07 September 2005 (07.09.2005), description, page 17, line 4 to page 21, line 11, and figures 7-9	1-14
PX	CN 103472753 A (BOE TECHNOLOGY GROUP CO., LTD.), 25 December 2013 (25.12.2013), claims 1-13, description, paragraphs 38-72, and figures 1-5	1-14

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 August 2014 (18.08.2014)	Date of mailing of the international search report 27 August 2014 (27.08.2014)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer KONG, Wei Telephone No.: (86-10) 01061648128

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/079508

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2007114559 A	10 May 2007	None	
JP 2007114682 A	10 May 2007	None	
CN 203422916 U	05 February 2014	None	
CN 103297027 A	11 September 2013	US 2013222166 A1	29 August 2013
		JP 2013211843 A	10 October 2013
CN 1664739 A	07 September 2005	US 2005195149 A1	08 September 2005
		US 2008309655 A1	18 December 2008
		JP 2005284271 A	13 October 2005
		JP 2007171996 A	05 July 2007
CN 103472753 A	25 December 2013	None	

A. 主题的分类		
G09G 3/36(2006.01)i; G09G 3/20(2006.01)i; G02F 1/133(2006.01)i		
按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域		
检索的最低限度文献(标明分类系统和分类号)		
G09G; G02F; H03K; G05B; H03M		
包含在检索领域中的除最低限度文献以外的检索文献		
在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))		
CNPAT, CNKI: 栅极 驱动 控制 显示 液晶 测试 电平 电位 高电平 高电位 低电平 低电位 切换 转换 开关 时钟 时序 模拟开关 EPODOC, WPI: VOLTAGE?, LEVEL, HIGH, LOW, SWITCH+, CLOCK+, TIM+, CLK, DRIV+, TEST+, CONTROL+, DISPLAY, LCD		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	JP 2007114559 A (SEIKO EPSON CORP.) 2007年 5月 10日 (2007 - 05 - 10) 说明书65-87段、图1, 9, 11	1-14
X	JP 2007114682 A (SEIKO EPSON CORP.) 2007年 5月 10日 (2007 - 05 - 10) 说明书62-89段、图1, 9, 12	1-14
PX	CN 203422916 U (京东方科技集团股份有限公司) 2014年 2月 05日 (2014 - 02 - 05) 权利要求1-10、说明书38-72段、图1-5	1-14
X	CN 103297027 A (株式会社巨晶片) 2013年 9月 11日 (2013 - 09 - 11) 说明书72-92段、图1, 2	1-14
X	CN 1664739 A (精工爱普生株式会社) 2005年 9月 07日 (2005 - 09 - 07) 说明书第17页第4行-第21页第11行、图7-9	1-14
PX	CN 103472753 A (京东方科技集团股份有限公司) 2013年 12月 25日 (2013 - 12 - 25) 权利要求1-13、说明书38-72段、图1-5	1-14
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期		国际检索报告邮寄日期
2014年 8月 18日		2014年 8月 27日
ISA/CN的名称和邮寄地址		授权官员
中华人民共和国国家知识产权局(ISA/CN) 北京市海淀区蓟门桥西土城路6号 100088 中国		孔伟
传真号 (86-10)62019451		电话号码 (86-10)01061648128

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2014/079508

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
JP	2007114559	A	2007年 5月 10日	无			
JP	2007114682	A	2007年 5月 10日	无			
CN	203422916	U	2014年 2月 05日	无			
CN	103297027	A	2013年 9月 11日	US	2013222166	A1	2013年 8月 29日
				JP	2013211843	A	2013年 10月 10日
CN	1664739	A	2005年 9月 07日	US	2005195149	A1	2005年 9月 08日
				US	2008309655	A1	2008年 12月 18日
				JP	2005284271	A	2005年 10月 13日
				JP	2007171996	A	2007年 7月 05日
CN	103472753	A	2013年 12月 25日	无			