

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6572423号
(P6572423)

(45) 発行日 令和1年9月11日(2019.9.11)

(24) 登録日 令和1年8月23日(2019.8.23)

(51) Int.Cl.	F I				
HO 1 L 29/78 (2006.01)	HO 1 L	29/78	6 5 2 J		
HO 1 L 29/12 (2006.01)	HO 1 L	29/78	6 5 2 C		
HO 1 L 21/28 (2006.01)	HO 1 L	29/78	6 5 3 A		
	HO 1 L	29/78	6 5 2 T		
	HO 1 L	21/28	3 0 1 B		
請求項の数 11 (全 15 頁) 最終頁に続く					

(21) 出願番号 特願2017-545119 (P2017-545119)
 (86) (22) 出願日 平成28年9月8日(2016.9.8)
 (86) 国際出願番号 PCT/JP2016/076418
 (87) 国際公開番号 W02017/064948
 (87) 国際公開日 平成29年4月20日(2017.4.20)
 審査請求日 平成30年3月1日(2018.3.1)
 (31) 優先権主張番号 特願2015-204669 (P2015-204669)
 (32) 優先日 平成27年10月16日(2015.10.16)
 (33) 優先権主張国・地域又は機関 日本国(JP)

(出願人による申告)平成23年度、独立行政法人新エネルギー・産業技術総合開発機構「低炭素社会を実現する新材料パワー半導体プロジェクト」委託研究、産業技術力強化法第19条の適用を受ける特許出願

(73) 特許権者 000005234
 富士電機株式会社
 神奈川県川崎市川崎区田辺新田1番1号
 (73) 特許権者 301021533
 国立研究開発法人産業技術総合研究所
 東京都千代田区霞が関1-3-1
 (74) 代理人 100104190
 弁理士 酒井 昭徳
 (72) 発明者 岩谷 将伸
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内
 (72) 発明者 木下 明将
 神奈川県川崎市川崎区田辺新田1番1号
 富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板と、

前記ワイドバンドギャップ半導体基板のおもて面に形成された、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型の第1ワイドバンドギャップ半導体層と、

前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に接するように選択的に形成された第2導電型の第1ベース領域と、

前記第1導電型の第1ワイドバンドギャップ半導体層の内部に選択的に形成された第2導電型の第2ベース領域と、

前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に接するように設けられた、前記第1導電型の第1ワイドバンドギャップ半導体層より高不純物濃度の第1導電型の領域と、

前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成された、シリコンよりもバンドギャップが広い半導体からなる第2導電型のワイドバンドギャップ半導体層と、

前記第2導電型のワイドバンドギャップ半導体層の表面層に選択的に形成された第1導電型のソース領域と、

前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型の領域に達するトレンチと、

前記トレンチ内部にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極上に形成された層間絶縁膜と、

前記第2導電型のワイドバンドギャップ半導体層および前記第1導電型のソース領域に接触するソース電極と、

前記ワイドバンドギャップ半導体基板の裏面に設けられたドレイン電極と、

を備え、

前記第1導電型の領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも深く、

前記第2ベース領域の幅は前記トレンチの幅と同じかそれよりも広く、

前記第1ベース領域は、前記トレンチと離して、かつ前記トレンチの底部よりも前記ドレイン電極側に深い位置にまで達し、

前記第2ベース領域は、前記トレンチの底部と深さ方向に対向する位置に形成されており、

前記第1導電型の領域は、前記第1ベース領域および前記第2ベース領域の前記ドレイン電極側において全面に設けられていることを特徴とする半導体装置。

【請求項2】

前記第1導電型の領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも、 $0.2\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下深いことを特徴とする請求項1に記載の半導体装置。

【請求項3】

シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする請求項1または2に記載の半導体装置。

【請求項4】

シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型の第1ワイドバンドギャップ半導体層を形成する工程と、

前記第1導電型の第1ワイドバンドギャップ半導体層の表面層に、第2導電型の第1ベース領域および第2導電型の第2ベース領域を選択的に形成する工程と、

前記第1導電型の第1ワイドバンドギャップ半導体層の表面層に、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域よりも深く第1導電型の第1領域を形成する工程と、

前記第1導電型の第1ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型の第2ワイドバンドギャップ半導体層を形成する工程と、

前記第1導電型の第2ワイドバンドギャップ半導体層の表面層に、前記第2導電型の第1ベース領域に接する第2導電型の第3ベース領域を選択的に形成する工程と、

前記第1導電型の第2ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型のワイドバンドギャップ半導体層を形成する工程と、

前記第2導電型のワイドバンドギャップ半導体層の表面層に第1導電型のソース領域を選択的に形成する工程と、

前記第1導電型のソース領域および前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型の第1領域に達するトレンチを形成する工程と、

前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極上に層間絶縁膜を形成する工程と、

前記第2導電型のワイドバンドギャップ半導体層および前記第1導電型のソース領域に接するソース電極を形成する工程と、

前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程と

10

20

30

40

50

を含み、

前記第1ベース領域を選択的に形成する工程では、前記第1ベース領域を、前記トレンチと離して、かつ前記トレンチの底部よりも前記ドレイン電極側に深い位置にまで達するように形成し、

前記第2ベース領域を選択的に形成する工程では、前記第2ベース領域を、前記トレンチの底部と深さ方向に対向する位置に形成することを特徴とする半導体装置の製造方法。

【請求項5】

前記第2導電型の第3ベース領域の形成後、前記第2導電型のワイドバンドギャップ半導体層の形成前に、前記第1導電型の第2ワイドバンドギャップ半導体層の表面層に、前記第1導電型の第1領域に接する第1導電型の第2領域を選択的に形成する工程、

をさらに含むことを特徴とする請求項4に記載の半導体装置の製造方法。

10

【請求項6】

前記第1導電型の第2領域は、イオン注入によって形成することを特徴とする請求項5に記載の半導体装置の製造方法。

【請求項7】

前記第1導電型の第2ワイドバンドギャップ半導体層は、前記第1導電型の第1ワイドバンドギャップ半導体層よりも高不純物濃度に形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項8】

前記第1導電型の第1ワイドバンドギャップ半導体層、前記第1導電型の第2ワイドバンドギャップ半導体層および前記第2導電型のワイドバンドギャップ半導体層は、エピタキシャル成長によって形成することを特徴とする請求項4に記載の半導体装置の製造方法。

20

【請求項9】

前記第1導電型の第1領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも、 $0.2\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下深く形成することを特徴とする請求項4に記載の半導体装置の製造方法。

【請求項10】

シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする請求項4～9のいずれか一つに記載の半導体装置の製造方法。

30

【請求項11】

前記第2導電型の第1ベース領域の一部は前記第2導電型の第2ベース領域に接続していることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置および半導体装置の製造方法に関する。

【背景技術】

【0002】

従来、パワー半導体素子においては、素子のオン抵抗の低減を図るため、トレンチ構造を有する縦型MOSFET(Metal Oxide Semiconductor Field Effect Transistor:絶縁ゲート型電解効果トランジスタ)が作製されている。縦型MOSFETでは、チャンネルが基板表面に対して平行に形成されるプレーナー構造よりも、チャンネルが基板表面に対して垂直に形成されるトレンチ構造の方が単位面積当たりのセル密度を増やすことができる。したがって、プレーナー構造よりもトレンチ構造の方が単位面積当たりの電流密度を増やすことができ、コスト面から有利である。

40

【0003】

しかしながら、トレンチ構造を有する縦型MOSFETは、チャンネルを垂直方向に形成

50

するためにトレンチ内壁全域をゲート絶縁膜で覆う構造となり、ゲート絶縁膜のトレンチ底部の部分がドレイン電極に近づくため、ゲート絶縁膜のトレンチ底部の部分に高電界が印加されやすい。特に、ワイドバンドギャップ半導体（シリコンよりもバンドギャップが広い半導体、例えば、炭化珪素（SiC））では超高耐圧素子を作製するため、トレンチ底部のゲート絶縁膜への悪影響は、信頼性を大きく低下させる。

【0004】

このような問題を解消する方法として、トレンチ底部の電界強度を緩和させるために、p型ベース領域に接し、かつトレンチ底部より深い位置に達するp型領域を形成し、トレンチ底部よりも深く、かつトレンチに近い位置にpn接合を形成する構造が提案されている（例えば、下記特許文献1参照。）。また、トレンチ底部にp型領域を形成する構造が提案されている（例えば、下記特許文献2参照。）。また、これらの両方を形成する構造が提案されている（例えば、下記特許文献3（第7図）参照。）。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特許第5539931号公報

【特許文献2】米国特許第6180958号公報

【特許文献3】特開2009-260253号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0006】

しかしながら、特許文献1の技術を用いてpn接合を形成した場合、pn接合をトレンチ底部より深い位置、もしくは、トレンチに近い位置に形成しなければ耐電圧が確保できないため、製造が非常に困難である。また、特許文献2の技術を用いてp型領域を形成した場合、トレンチ側壁のゲート絶縁膜に高電界が印加されやすくなり、オン状態では電流経路が狭くなるため、オン抵抗が高くなる。また、特許文献3の技術を用いてトレンチから離れた位置に深いp型領域とトレンチ底部のp型領域の両方を形成した場合、オン抵抗を下げるためにトレンチ下部のp型領域の幅をトレンチ幅より狭くしているため、トレンチ底部のコーナー部へ高電界が緩和されない。

【0007】

30

この発明は、上述した従来技術による問題点を解消するため、簡易に形成することができ、かつ、活性部の耐電圧を確保しつつオン抵抗を下げられる半導体装置および半導体装置の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、後述する、第1導電型のワイドバンドギャップ半導体基板と、第1導電型の第1ワイドバンドギャップ半導体層と、第2導電型の第1ベース領域と、第2導電型の第2ベース領域と、第1導電型の領域と、第2導電型のワイドバンドギャップ半導体層と、第1導電型のソース領域と、トレンチと、ゲート電極と、層間絶縁膜と、ソース電極と、ドレイン電極と、を備え、次の特徴を有する。第1導電型のワイドバンドギャップ半導体基板は、シリコンよりもバンドギャップが広い半導体からなる。第1導電型の第1ワイドバンドギャップ半導体層は、前記ワイドバンドギャップ半導体基板のおもて面に形成され、シリコンよりもバンドギャップが広い半導体からなり、前記ワイドバンドギャップ半導体基板より低不純物濃度である。第2導電型の第1ベース領域は、前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面層に表面に接するように選択的に形成されている。第2導電型の第2ベース領域は、前記第1導電型の第1ワイドバンドギャップ半導体層の内部に選択的に形成されている。第1導電型の領域は、前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板側に対して反対側の表面に接するように形成され、前記第1導電型の第

40

50

1 ワイドバンドギャップ半導体層より高不純物濃度である。第2導電型のワイドバンドギャップ半導体層は、前記第1導電型の第1ワイドバンドギャップ半導体層の前記ワイドバンドギャップ半導体基板に対して反対側の表面に形成され、シリコンよりもバンドギャップが広い半導体からなる。第1導電型のソース領域は、前記第2導電型のワイドバンドギャップ半導体層の表面層に選択的に形成されている。トレンチは、前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型の領域に達する。ゲート電極は、前記トレンチ内部にゲート絶縁膜を介して形成されている。層間絶縁膜は、前記ゲート電極上に形成されている。ソース電極は、前記第2導電型のワイドバンドギャップ半導体層および前記第1導電型のソース領域に接触する。ドレイン電極は、前記第1導電型の高濃度ワイドバンドギャップ半導体基板の裏面に設けられている。そして、前記第1導電型の領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも深い。前記第2ベース領域の幅は前記トレンチの幅と同じかそれよりも広い。前記第1ベース領域は、前記トレンチと離して、かつ前記トレンチの底部よりも前記ドレイン電極側に深い位置にまで達する。前記第2ベース領域は、前記トレンチの底部と深さ方向に対向する位置に形成されている。前記第1導電型の領域は、前記第1ベース領域および前記第2ベース領域の前記ドレイン電極側において全面に設けられている。

10

【0009】

また、この発明にかかる半導体装置は、上述した発明において、前記第1導電型の領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも、 $0.2\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下深いことを特徴とする。

20

【0010】

また、この発明にかかる半導体装置は、上述した発明において、シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする。

【0011】

上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置の製造方法は、次の特徴を有する。シリコンよりもバンドギャップが広い半導体からなる第1導電型のワイドバンドギャップ半導体基板のおもて面に、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型の第1ワイドバンドギャップ半導体層を形成する工程と、前記第1導電型の第1ワイドバンドギャップ半導体層の表面層に、第2導電型の第1ベース領域および第2導電型の第2ベース領域を選択的に形成する工程を含む。前記第1導電型の第1ワイドバンドギャップ半導体層の表面層に、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域よりも深く第1導電型の第1領域を形成する工程を含む。前記第1導電型の第1ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる、前記ワイドバンドギャップ半導体基板より低不純物濃度の第1導電型の第2ワイドバンドギャップ半導体層を形成する工程を含む。前記第1導電型の第2ワイドバンドギャップ半導体層の表面層に、前記第2導電型の第1ベース領域に接する第2導電型の第3ベース領域を選択的に形成する工程を含む。前記第1導電型の第2ワイドバンドギャップ半導体層の表面に、シリコンよりもバンドギャップが広い半導体からなる第2導電型のワイドバンドギャップ半導体層を形成する工程を含む。前記第2導電型のワイドバンドギャップ半導体層の内部に第1導電型のソース領域を選択的に形成する工程を含む。前記第1導電型のソース領域および前記第2導電型のワイドバンドギャップ半導体層を貫通して前記第1導電型の第1領域に達するトレンチを形成する工程を含む。前記トレンチの内部にゲート絶縁膜を介してゲート電極を形成する工程を含む。前記ゲート電極上に層間絶縁膜を形成する工程を含む。前記第2導電型のワイドバンドギャップ半導体層および前記第1導電型のソース領域に接するソース電極を形成する工程を含む。前記ワイドバンドギャップ半導体基板の裏面にドレイン電極を形成する工程を含む。前記第1ベース領域を選択的に形成する工程では、前記第1ベース領域を、前記トレンチと離して、かつ前記トレンチの底部よりも前記ドレイン電極側に深い位置にまで達するように形成する。前記第2ベース領域を選択的に形成する工程では、前記第2ベース領域を、前記トレンチの底部と深さ方向に対向する位置に形成する。

30

40

50

【0012】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第2導電型の第3ベース領域の形成後、前記第2導電型のワイドバンドギャップ半導体層の形成前に、前記第1導電型の第2ワイドバンドギャップ半導体層の表面層に、前記第1導電型の第1領域に接する第1導電型の第2領域を選択的に形成する工程をさらに含むことを特徴とする。

【0013】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型の第2領域は、イオン注入によって形成することを特徴とする。

【0014】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型の第2ワイドバンドギャップ半導体層は、前記第1導電型の第1ワイドバンドギャップ半導体層よりも高不純物濃度に形成することを特徴とする。

【0015】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型の第1ワイドバンドギャップ半導体層、前記第1導電型の第2ワイドバンドギャップ半導体層および前記第2導電型のワイドバンドギャップ半導体層は、エピタキシャル成長によって形成することを特徴とする。

【0016】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、前記第1導電型の第1領域の深さは、前記第2導電型の第1ベース領域および前記第2導電型の第2ベース領域の深さよりも、 $0.2\ \mu\text{m}$ 以上 $0.5\ \mu\text{m}$ 以下深く形成することを特徴とする。

【0017】

また、この発明にかかる半導体装置の製造方法は、上述した発明において、シリコンよりもバンドギャップが広い半導体は、炭化珪素であることを特徴とする。また、この発明にかかる半導体装置は、上述した発明において、前記第2導電型の第1ベース領域の一部は前記第2導電型の第2ベース領域に接続していることを特徴とする。

【0018】

上述した発明によれば、第1導電型の領域の深さが、第2導電型の第1ベース領域および第2導電型の第2ベース領域の深さよりも深くなっているため、耐電圧が高い状態で、オン抵抗を下げることができる。

【発明の効果】

【0019】

本発明にかかる半導体装置および半導体装置の製造方法によれば、簡易な方法で、トレンチ底部のゲート絶縁膜の電界強度を緩和させ、活性部の耐電圧を確保しつつオン抵抗を下げるということができるとい効果を奏する。

【図面の簡単な説明】

【0020】

【図1】図1は、実施の形態にかかる炭化珪素半導体装置の構成を示す断面図である。

【図2】図2は、実施の形態にかかる炭化珪素半導体装置の深さの差Dに対する耐電圧とオン抵抗との関係を示す図である。

【図3】図3は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その1）。

【図4】図4は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その2）。

【図5】図5は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その3）。

【図6】図6は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である（その4）。

10

20

30

40

50

【図7】図7は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その5)。

【図8】図8は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である(その6)。

【発明を実施するための形態】

【0021】

以下に添付図面を参照して、この発明にかかる半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。+および-を含めたnやpの表記が同じ場合は近い濃度であることを示し濃度が同等とは限らない。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。また、本明細書では、ミラー指数の表記において、“-”はその直後の指数につくバーを意味しており、指数の前に“-”を付けることで負の指数をあらわしている。

【0022】

(実施の形態)

本発明にかかる半導体装置は、ワイドバンドギャップ半導体を用いて構成される。実施の形態においては、ワイドバンドギャップ半導体として例えば炭化珪素(SiC)を用いて作製された炭化珪素半導体装置について、MOSFETを例に説明する。図1は、実施の形態にかかる炭化珪素半導体装置の構成を示す断面図である。

【0023】

図1に示すように、実施の形態にかかる炭化珪素半導体装置は、n⁺型炭化珪素基板(第1導電型のワイドバンドギャップ半導体基板)1の第1主面(おもて面)、例えば(0001)面(Si面)、にn型炭化珪素エピタキシャル層(第1導電型の第1ワイドバンドギャップ半導体層)2が堆積されている。

【0024】

n⁺型炭化珪素基板1は、例えば窒素(N)がドーピングされた炭化珪素単結晶基板である。n型炭化珪素エピタキシャル層2は、n⁺型炭化珪素基板1よりも低い不純物濃度で、例えば窒素がドーピングされている低濃度n型ドリフト層である。n型炭化珪素エピタキシャル層2の、n⁺型炭化珪素基板1側に対して反対側の表面側は、n型高濃度領域(高不純物濃度の第1導電型の領域)5が形成されている。n型高濃度領域5は、n⁺型炭化珪素基板1よりも低くn型炭化珪素エピタキシャル層2よりも高い不純物濃度で、例えば窒素がドーピングされている高濃度n型ドリフト層である。以下、n⁺型炭化珪素基板1とn型炭化珪素エピタキシャル層2と後述するp型ベース層(第2導電型のワイドバンドギャップ半導体層)6とを併せて炭化珪素半導体基体とする。

【0025】

図1に示すように、n⁺型炭化珪素基板1の第2主面(裏面、すなわち炭化珪素半導体基体の裏面)には、裏面電極(ドレイン電極)13が設けられている。裏面電極13は、ドレイン電極を構成する。裏面電極13の表面には、ドレイン電極パッド15が設けられている。

【0026】

炭化珪素半導体基体の第1主面側(p型ベース層6側)には、トレンチ構造が形成されている。具体的には、トレンチ16は、p型ベース層6のn⁺型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面からp型ベース層6を貫通してn型高濃度領域5に達する。トレンチ16の内壁に沿って、トレンチ16の底部および側壁にゲート絶縁膜9が形成されており、トレンチ16内のゲート絶縁膜9の内側にゲート電極10が形成されている。ゲート絶縁膜9によりゲート電極10が、n型炭化珪素エピタキシャル層2およびp型ベース層6と絶縁されている。ゲート電極10の一部は、トレンチ16の上方(ソース電極パッド14側)からソース電極パッド14側に突出していてもよ

10

20

30

40

50

い。

【0027】

n型炭化珪素エピタキシャル層2のn⁺型炭化珪素基板1側に対して反対側(炭化珪素半導体基体の第1主面側)の表面層には、第1p⁺型ベース領域(第2導電型の第1ベース領域)3と第2p⁺型ベース領域(第2導電型の第2ベース領域)4が選択的に設けられている。第1p⁺型ベース領域3は、トレンチ16と離して、かつトレンチ16の底部よりもドレイン側に深い位置にまで達している。第1p⁺型ベース領域3からトレンチ16の側壁までの距離は、例えば、第1p⁺型ベース領域3、第2p⁺型ベース領域4およびn型高濃度領域5の各不純物濃度に対する最適なJFET(Junction FET)幅によって決定されることが好ましい。JFET幅とは、第1p⁺型ベース領域3と第2p⁺型ベース領域4との間に形成されるJFET領域の幅(第1p⁺型ベース領域3と第2p⁺型ベース領域4との間の距離)である。

10

【0028】

第2p⁺型ベース領域4は、トレンチ16の底部と深さ方向に対向する位置に形成される。第2p⁺型ベース領域4の幅は、トレンチ16の幅と同じかそれよりも広い。トレンチ16の底部は、第2p⁺型ベース領域4に達してもよいし、p型ベース層6と第2p⁺型ベース領域4に挟まれたn型高濃度領域5内に位置していてもよい。第1p⁺型ベース領域3と第2p⁺型ベース領域4は、例えばアルミニウム(Al)がドーピングされている。第1p⁺型ベース領域3の一部をトレンチ側に延在させることで第2p⁺型ベース領域4に接続した構造となってもよい。その理由は、第2p⁺型ベース領域4とn型炭化珪素エピタキシャル層2の接合部分でアバランシェ降伏が起こったときに発生するホールを効率よくソース電極12に退避させることでゲート絶縁膜9への負担を軽減し信頼性をあげるためである。図1には、第1p⁺型ベース領域3と第2p⁺型ベース領域4とを離して配置した場合を図示する(図4~8においても同様)。

20

【0029】

n型炭化珪素エピタキシャル層2の基体第1主面側には、p型ベース層(第2導電型のワイドバンドギャップ半導体層)6が設けられている。p型ベース層6は、第1p⁺型ベース領域3に接する。p型ベース層6の不純物濃度は、例えば第1p⁺型ベース領域3の不純物濃度よりも低くてもよい。これにより、第1p⁺型ベース領域3およびp型ベース層6からなるベース領域の、オン時にn型の反転層(チャネル)が形成される部分(p型ベース層6)のp型不純物濃度を低くすることができるため、ゲートしきい値電圧V_{th}やオン抵抗が高くなることを防止することができる。また、ベース領域のドレイン側の部分(第1p⁺型ベース領域3)のp型不純物濃度を高くすることができるため、所定の耐圧を確保することができる。p型ベース層6の内部には、基体第1主面側にn⁺ソース領域(第1導電型のソース領域)7およびp⁺⁺コンタクト領域(第2導電型のコンタクト領域)8が選択的に設けられている。また、n⁺ソース領域7およびp⁺⁺コンタクト領域8は互いに接する。

30

【0030】

n型炭化珪素エピタキシャル層2の基体第1主面側の表面層の第1p⁺型ベース領域3と第2p⁺型ベース領域4に挟まれた領域と、p型ベース層6と第2p⁺型ベース領域4に挟まれた領域にn型高濃度領域5が設けられており、このn型高濃度領域5は、第1p⁺型ベース領域3と第2p⁺型ベース領域4よりも深い位置まで形成されている。このため、n型高濃度領域5の深さ(厚さ)は、第1p⁺型ベース領域3の深さ(厚さ)と第2p⁺型ベース領域4の深さ(厚さ)より大きい。また、第1p⁺型ベース領域3と第2p⁺型ベース領域4は、同じ深さの位置まで形成されていてもよい。Dは、n型高濃度領域5の深さから第1p⁺型ベース領域3、第2p⁺型ベース領域4の深さを引いた差である。また、n型高濃度領域5は、第1p⁺型ベース領域3および第2p⁺型ベース領域4のドレイン側に、第1p⁺型ベース領域3および第2p⁺型ベース領域4を囲むように設けられていてもよい。

40

【0031】

50

図1では、2つのトレンチMOS構造のみを図示しているが、さらに多くのトレンチ構造のMOSゲート(金属-酸化膜-半導体からなる絶縁ゲート)構造が並列に配置されているもよい。

【0032】

層間絶縁膜11は、炭化珪素半導体基体の第1主面側の全面に、トレンチに埋め込まれたゲート電極10を覆うように設けられている。ソース電極12は、層間絶縁膜11に開口されたコンタクトホールを介して、 n^+ ソース領域7および p^{++} コンタクト領域8に接する。ソース電極12は、層間絶縁膜11によって、ゲート電極10と電氣的に絶縁されている。ソース電極12上には、ソース電極パッド14が設けられている。

【0033】

図2は、実施の形態にかかる炭化珪素半導体装置の深さの差Dに対する耐電圧とオン抵抗との関係を示す図である。図2では、本実施の形態において、一例として耐電圧が3300Vクラスの素子を想定した場合のn型高濃度領域5の深さについて検証を行った結果である。図2は、n型高濃度領域5の深さから第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4の深さを引いた差Dに対して、耐電圧をプロットしたグラフ(黒丸を結ぶグラフ)とオン抵抗をプロットしたグラフ(三角を結ぶグラフ)である。図2において、左縦軸は耐電圧(単位:V)であり、右縦軸はオン抵抗(単位: $m^{-1}cm^2$)であり、横軸はn型高濃度領域5の深さから第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4の深さを引いた差D(単位: μm)である。

【0034】

n型高濃度領域5が、第1 p^+ 型ベース領域3および第2 p^+ 型ベース領域4より浅い場合(Dがマイナスの場合)、耐電圧は高くなる傾向であるが、オン抵抗が急激に高くなる。一方、n型高濃度領域5が第1 p^+ 型ベース領域3および第2 p^+ 型ベース領域4より深い場合(Dがプラスの場合)、耐電圧が下がる傾向であるが急激に下がることはなく、耐電圧が高い状態であり、オン抵抗は低い傾向である。このため、n型高濃度領域5の深さは、第1 p^+ 型ベース領域3の深さおよび第2 p^+ 型ベース領域4の深さよりも深いかまたは等しいことがよい(D=0.0)。また、n型高濃度領域5の深さから第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4の深さを引いた差Dを0.2 μm 以上とすることで最も低いオン抵抗をほぼ維持することができる。さらに、n型高濃度領域5の深さから第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4の深さを引いた差Dが0.5 μm を超える場合、所望の耐電圧(3300V)を実現しにくくなる。これらより、好ましくは、n型高濃度領域5の深さから第1 p^+ 型ベース領域3、第2 p^+ 型ベース領域4の深さを引いた差Dの値は0.2 μm 以上0.5 μm 以下の範囲が適正であることがわかる(0.2 < D < 0.5)。

【0035】

(実施の形態にかかる炭化珪素半導体装置の製造方法)

次に、実施の形態にかかる炭化珪素半導体装置の製造方法について説明する。図3~図8は、実施の形態にかかる炭化珪素半導体装置の製造途中の状態を模式的に示す断面図である。

【0036】

まず、図3に示すように、n型の炭化珪素でできた n^+ 型炭化珪素基板1を用意する。そして、この n^+ 型炭化珪素基板1の第1主面上に、n型の不純物、例えば窒素原子をドーピングしながら炭化珪素でできた第1n型炭化珪素エピタキシャル層(第1導電型の第1ワイドバンドギャップ半導体層)2aを、例えば30 μm 程度の厚さまでエピタキシャル成長させる。この第1n型炭化珪素エピタキシャル層2aは、n型炭化珪素エピタキシャル層2となる。ここまでの状態が図3に示されている。

【0037】

次に、図4に示すように、第1n型炭化珪素エピタキシャル層2aの表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってp型の不純物、例えば

10

20

30

40

50

アルミニウム原子をイオン注入する。それによって、図4に示すように、第1 n型炭化珪素エピタキシャル層2 aの表面領域の一部に、例えば深さ0.5 μm程度の第1 p型領域(第2 導電型の第1 ベース領域)3 aと第2 p⁺型ベース領域(第2 導電型の第2 ベース領域)4 が、例えば隣り合う第1 p型領域3 aと第2 p⁺型ベース領域4 との間の距離が1.5 μm程度となるように、形成される。第1 p型領域3 aと第2 p⁺型ベース領域4 を形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。

【0038】

次に、第1 p型領域3 aと第2 p⁺型ベース領域4 を形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入する。それによって、図4に示すように、第1 n型炭化珪素エピタキシャル層2 aの表面層の、第1 p型領域3 aと第2 p⁺型ベース領域4 との間に、第1 p型領域3 aと第2 p⁺型ベース領域4 よりも0.2 ~ 0.5 μm深い位置まで第1 n型領域(第1 導電型の第1 領域)5 aが形成される。ここでは、マスクを用いずに第1 n型領域5 aを形成するためのイオン注入を行うため、第1 n型炭化珪素エピタキシャル層2 aの表面層の全体にわたって、第1 p型領域3 aと第2 p⁺型ベース領域4 の下側(n⁺型炭化珪素基板1側)を囲むように第1 n型領域5 aが形成される。第1 n型領域5 aを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{16} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの状態が図4に示されている。

【0039】

次に、図5に示すように、第1 n型炭化珪素エピタキシャル層2 aの表面上に、n型の不純物、例えば窒素原子をドーピングしながら第2 n型炭化珪素エピタキシャル層(第1 導電型の第2 ワイドバンドギャップ半導体層)2 bを、例えば0.5 μm程度の厚さまでエピタキシャル成長させる。この第2 n型炭化珪素エピタキシャル層2 bと第1 n型炭化珪素エピタキシャル層2 aを合わせてn型炭化珪素エピタキシャル層2となる。第2 n型炭化珪素エピタキシャル層2 bを形成するためのエピタキシャル成長の条件を、例えば第2 n型炭化珪素エピタキシャル層2 bの不純物濃度が $3 \times 10^{15} / \text{cm}^3$ 程度となるように設定してもよい。

【0040】

次に、n型炭化珪素エピタキシャル層2の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを、例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によってp型の不純物、例えばアルミニウム原子をイオン注入する。それによって、図5に示すように、n型炭化珪素エピタキシャル層2の表面領域の一部に、例えば深さ0.5 μm程度の第2 p型領域(第2 導電型の第3 ベース領域)3 bが、例えば第1 p型領域3 aの上部に重なるように形成される。この第2 p型領域3 bと第1 p型領域3 aを合わせて第1 p⁺型ベース領域3となる。第2 p型領域3 bを形成するためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{18} / \text{cm}^3$ 程度となるように設定してもよい。

【0041】

次に、第2 p型領域3 bを形成するためのイオン注入時に用いたマスクを除去する。そして、イオン注入法によってn型の不純物、例えば窒素原子をイオン注入する。それによって、図5に示すように、第2 n型炭化珪素エピタキシャル層2 bの表面層の一部に、第1 p型領域3 a、第2 p⁺型ベース領域4、第1 n型領域5 aに接するように、例えば深さ0.5 μm程度の第2 n型領域(第1 導電型の第2 領域)5 bが形成される。第2 n型領域5 bを設けるためのイオン注入時のドーズ量を、例えば不純物濃度が $5 \times 10^{16} / \text{cm}^3$ 程度となるように設定してもよい。この第2 n型領域5 bと第1 n型領域5 aを合わせてn型高濃度領域5となる。ここまでの状態が図5に示されている。

【0042】

次に、図6に示すように、n型炭化珪素エピタキシャル層2の表面(すなわち第1 p⁺型ベース領域3および第2 n型領域5 bの表面)上に、p型の不純物、例えばアルミニウ

10

20

30

40

50

ム原子をドーピングしながら p 型ベース層（第 2 導電型のワイドバンドギャップ半導体層）6 を、例えば 1 . 3 μm 程度の厚さまでエピタキシャル成長させる。p 型ベース層 6 を形成するためのエピタキシャル成長の条件を、例えば不純物濃度が第 1 p⁺型ベース領域 3 の不純物濃度よりも低い $4 \times 10^{17} / \text{cm}^3$ 程度となるように設定してもよい。ここまでの工程により、n⁺型炭化珪素基板 1 上に n 型炭化珪素エピタキシャル層 2 および p 型ベース層 6 を積層してなる炭化珪素半導体基体が形成される。

【0043】

次に、p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてイオン注入法によって n 型の不純物、例えばリン (P) をイオン注入する。それによって、10 図 6 に示すように、p 型ベース層 6 の表面層の一部に n⁺ソース領域（第 1 導電型のソース領域）7 が形成される。n⁺ソース領域 7 を形成するためのイオン注入時のドーズ量を、例えば第 1 p⁺型ベース領域 3 よりも不純物濃度が高くなるように設定してもよい。

【0044】

次に、n⁺ソース領域 7 を形成するためのイオン注入時に用いたマスクを除去する。そして、露出した p 型ベース層 6 の表面上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成し、この酸化膜をマスクとして p 型ベース層 6 の表面上に p 型の不純物、例えばアルミニウムをイオン注入する。それによって、20 図 6 に示すように、p 型ベース層 6 の表面領域の一部に p⁺⁺コンタクト領域（第 2 導電型のコンタクト領域）8 が形成される。p⁺⁺コンタクト領域 8 を形成するためのイオン注入時のドーズ量を、例えば第 2 p⁺型ベース領域 4 よりも不純物濃度が高くなるように設定してもよい。続いて、p⁺⁺コンタクト領域 8 を形成するためのイオン注入時に用いたマスクを除去する。n⁺ソース領域 7 を形成するためのイオン注入と、p⁺⁺コンタクト領域 8 を形成するためのイオン注入と、の順序を入れ替えてもよい。ここまでの状態が図 6 に示されている。

【0045】

次に、熱処理（アニール）を行って、例えば第 1 p 型領域 3 a、第 2 p 型領域 3、n⁺ソース領域 7、p⁺⁺コンタクト領域 8 を活性化させる。熱処理の温度は、例えば 1700 程度であってもよい。熱処理の時間は、例えば 2 分程度であってもよい。なお、上述したように 1 回の熱処理によって各イオン注入領域をまとめて活性化させてもよいし、30 イオン注入を行うたびに熱処理を行って活性化させてもよい。

【0046】

次に、図 7 に示すように、p 型ベース層 6 の表面（すなわち n⁺ソース領域 7 および p⁺⁺コンタクト領域 8 の表面）上に、フォトリソグラフィ技術によって所望の開口部を有する図示しないマスクを例えば酸化膜で形成する。そして、この酸化膜をマスクとしてドライエッチング用によって n⁺ソース領域 7 および p 型ベース層 6 を貫通して n 型高濃度領域 5 に達するトレンチ 16 を形成する。トレンチ 16 の底部は、第 2 p⁺型ベース領域 4 に達してもよいし、p 型ベース層 6 と第 2 p⁺型ベース領域 4 に挟まれた n 型高濃度領域 5 内に位置していてもよい。続いて、トレンチ 16 を形成するために用いたマスクを除去する。40 ここまでの状態が図 7 に示されている。

【0047】

次に、図 8 に示すように、n⁺ソース領域 7 および p⁺⁺コンタクト領域 8 の表面と、トレンチ 16 の底部および側壁と、に沿ってゲート絶縁膜 9 を形成する。このゲート絶縁膜 9 は、酸素雰囲気中において 1000 程度の温度の熱処理によって熱酸化によって形成してもよい。また、このゲート絶縁膜 9 は高温酸化 (High Temperature Oxide: HTO) 等のような化学反応によって堆積する方法で形成してもよい。

【0048】

次に、ゲート絶縁膜 9 上に、例えばリン原子がドーピングされた多結晶シリコン層を形成する。この多結晶シリコン層はトレンチ 16 内を埋めるように形成する。この多結晶シリコン層をパターニングして、トレンチ 16 内部に残すことによって、ゲート電極 10 が 50

形成される。ゲート電極 10 の一部は、トレンチ 16 の上方（ソース電極パッド 14 側）からソース電極パッド 14 側に突出していてもよい。

【0049】

次に、ゲート絶縁膜 9 およびゲート電極 10 を覆うように、例えばリンガラスを $1\ \mu\text{m}$ 程度の厚さで成膜し、層間絶縁膜 11 を形成する。層間絶縁膜 11 およびゲート絶縁膜 9 をパターニングして選択的に除去することによって、コンタクトホールを形成し、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 を露出させる。その後、熱処理（リフロー）を行って層間絶縁膜 11 を平坦化する。ここまでの状態が図 8 に示されている。

【0050】

次に、図 1 に示すように、例えばスパッタ法によって、 n^+ ソース領域 7 および p^{++} コンタクト領域 8 に接するソース電極 12 を形成する。次に、例えばスパッタ法によって、ソース電極 12 および層間絶縁膜 11 を覆うように、例えばアルミニウム膜を、厚さが例えば $5\ \mu\text{m}$ 程度になるように、設ける。その後、アルミニウム膜を選択的に除去して、素子全体の活性部を覆うように残すことによって、ソース電極パッド 14 を形成する。

【0051】

次に、例えばスパッタ法によって、 n^+ 型炭化珪素基板 1 の第 2 主面にドレイン電極 13 を形成する。次に、ドレイン電極 13 の表面に、例えばチタン (Ti)、ニッケル (Ni) および金 (Au) を順に積層することによって、ドレイン電極パッド 15 を形成する。以上のようにして、図 1 に示す半導体装置が完成する。

【0052】

なお、本実施の形態においては、第 2 n 型領域 5 b の形成をイオン注入で行う形態を示したが、第 2 n 型領域 5 b として第 2 n 型炭化珪素エピタキシャル層 2 b を形成してもよい。すなわち、第 2 n 型炭化珪素エピタキシャル層 2 b のエピタキシャル成長時に窒素の不純物濃度が第 2 n 型領域 5 b の不純物濃度である $5 \times 10^{16} / \text{cm}^3$ 程度となるように設定し、イオン注入を省略する製造方法としてもよい。また、 n^+ 型炭化珪素基板 1 および n 型炭化珪素エピタキシャル層 2 を合わせて炭化珪素半導体基体とし、 n 型炭化珪素エピタキシャル層 2 の基体第 1 主面側の表面層に p 型ベース層 6 をイオン注入により形成してもよい。また、 n^+ 型炭化珪素基板 1 単体を炭化珪素半導体基体とし、 n^+ 型炭化珪素基板 1 の第 1 主面側の表面層に MOS ゲート構造を構成するすべての領域（ n 型高濃度領域 5 および第 1 p^+ 型ベース領域 3、第 2 p^+ 型ベース領域 4 を含む）をイオン注入により形成してもよい。

【0053】

以上において本発明では、炭化珪素でできた炭化珪素基板の第 1 主面を (0001) 面とし当該 (0001) 面上に MOS ゲート構造を構成した場合を例に説明したが、これに限らず、ワイドバンドギャップ半導体の種類（例えば窒化ガリウム (GaN) など）、基板主面の面方位などを種々変更可能である。

【0054】

また、本発明では、実施の形態では第 1 導電型を n 型とし、第 2 導電型を p 型としたが、本発明は第 1 導電型を p 型とし、第 2 導電型を n 型としても同様に成り立つ。

【0055】

以上、説明したように、実施の形態によれば、トレンチと離して、かつ p 型ベース層に接する第 1 p^+ 型ベース領域を設けることで、隣り合うトレンチ間に、トレンチの底部よりもドレイン側に深い位置に、第 1 p^+ 型ベース領域と n 型ドリフト層との pn 接合を形成することができる。また、 n 型ドリフト層の内部に、トレンチ底部を囲むように、またはトレンチ底部よりも深くかつトレンチと深さ方向に対向するように、第 2 p^+ 型ベース領域を設けることで、トレンチの底部に近い位置に、第 2 p^+ 型ベース領域と n 型ドリフト層との pn 接合を形成することができる。このように、第 1 p 、第 2 p^+ 型ベース領域と n 型ドリフト層との pn 接合を形成することで、トレンチ底部のゲート絶縁膜に高電界が印加されることを防止することができる。このため、ワイドバンドギャップ半導体を半導体材料として用いた場合においても高耐電圧化が可能となる。また、トレンチ幅よりも幅

10

20

30

40

50

の広い第2 p⁺型ベース領域を設けることで、トレンチの底部のコーナー部の電界を緩和させることができるため、さらに耐電圧を高くすることができる。また、第2 p⁺型ベース領域を深さ方向にトレンチの底部と離して配置した場合においても、第1 p⁺型ベース領域と第2 p⁺型ベース領域との間に形成されるJ F E T領域において電界を負担する割合が高まるため、トレンチの底部および底部のコーナー部の電界を緩和させることができる。

【0056】

また、実施の形態によれば、第1 p⁺、2 p⁺型ベース領域の間に、第1 p⁺、2 p⁺型ベース領域よりもドレイン側に深い位置にまで達する高濃度n型ドリフト層を設けることで、トレンチの底部付近に第2 p⁺型ベース領域を設けたとしても、トレンチ側壁のゲート絶縁膜に高電界が印加されにくくなる。このため、オン状態で電流経路が狭くなることを抑制することができ、オン抵抗が高くなることを防止することができる。したがって、耐電圧が高い状態で、オン抵抗を下げることができる。また、実施の形態によれば、従来（例えば上記特許文献1）よりも第1 p⁺型ベース領域をトレンチの底部から横方向（基体主面に平行な方向）に離れた位置に形成することができるため、トレンチおよび第1 p⁺型ベース領域を位置精度よく所定の位置に形成することができる。したがって、エピタキシャル成長およびイオン注入、またはイオン注入のみで、耐電圧が高くかつオン抵抗の低い半導体装置を従来よりも簡易な製造方法で製造することができる。第1 p⁺型ベース領域をトレンチの底部から横方向に離れた位置に形成したとしても、当該第1 p⁺型ベース領域と、トレンチに近い位置に形成した第2 p⁺型ベース領域とで、高耐電圧化が可能である。

10

20

【産業上の利用可能性】

【0057】

以上のように、本発明にかかる半導体装置は、電力変換装置や種々の産業用機械などの電源装置などに使用される高耐圧半導体装置に有用である。

【符号の説明】

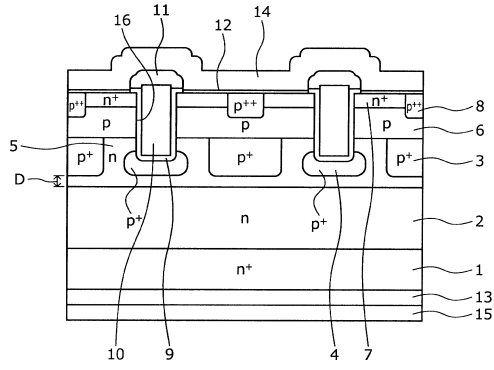
【0058】

- 1 n⁺型炭化珪素基板
- 2 n型炭化珪素エピタキシャル層
- 2 a 第1 n型炭化珪素エピタキシャル層
- 2 b 第2 n型炭化珪素エピタキシャル層
- 3 第1 p⁺型ベース領域
- 3 a 第1 p型領域
- 3 b 第2 p型領域
- 4 第2 p⁺型ベース領域
- 5 n型高濃度領域
- 5 a 第1 n型領域
- 5 b 第2 n型領域
- 6 p型ベース層
- 7 n⁺ソース領域
- 8 p⁺⁺コンタクト領域
- 9 ゲート絶縁膜
- 10 ゲート電極
- 11 層間絶縁膜
- 12 ソース電極
- 13 裏面電極
- 14 ソース電極パッド
- 15 ドレイン電極パッド
- 16 トレンチ

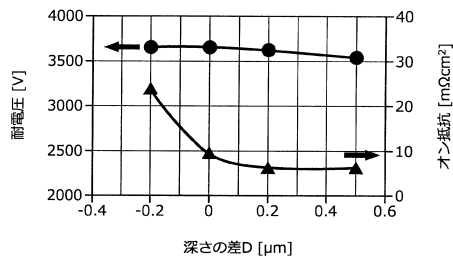
30

40

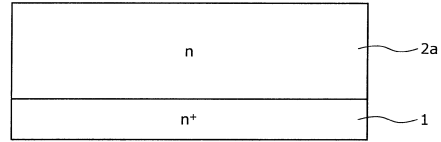
【図1】



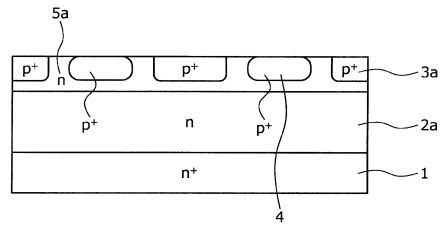
【図2】



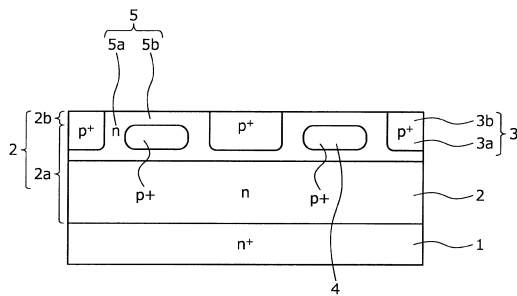
【図3】



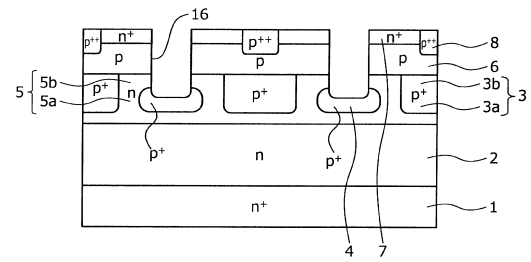
【図4】



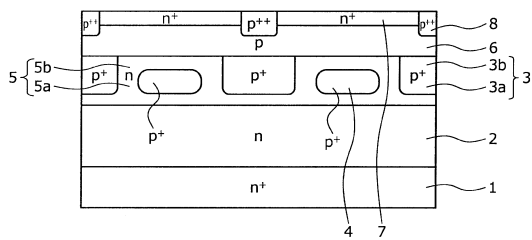
【図5】



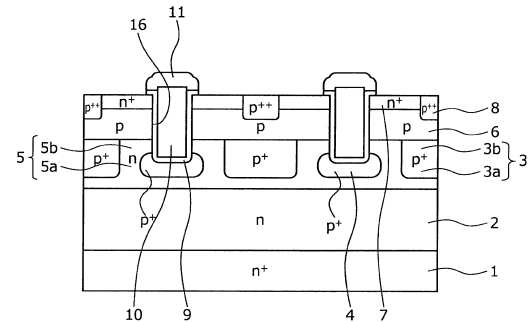
【図7】



【図6】



【図8】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 21/28 3 0 1 R

(72)発明者 原田 信介
茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

(72)発明者 田中 保宣
茨城県つくば市東1-1-1 国立研究開発法人産業技術総合研究所つくばセンター内

審査官 綿引 隆

(56)参考文献 米国特許出願公開第2014/0264564(US,A1)
特開2015-072999(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 2 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 7 8