

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成22年9月16日(2010.9.16)

【公表番号】特表2009-545838(P2009-545838A)

【公表日】平成21年12月24日(2009.12.24)

【年通号数】公開・登録公報2009-051

【出願番号】特願2009-523031(P2009-523031)

【国際特許分類】

G 11 C 11/41 (2006.01)

G 11 C 17/14 (2006.01)

G 11 C 13/00 (2006.01)

H 01 L 27/10 (2006.01)

【F I】

G 11 C 11/34 301 E

G 11 C 17/06 C

G 11 C 13/00 A

H 01 L 27/10 451

H 01 L 27/10 471

H 01 L 27/10 481

【手続補正書】

【提出日】平成22年7月30日(2010.7.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

集積回路であつて、

第1の複数のアレイブロックを含むメモリアレイを備え、各アレイブロックは複数のワード線およびビット線を有し、さらに、

第1の複数のアレイブロックに概ね及ぶ第1のデータバスを備え、第1の複数のアレイブロックの第1のグループの各々は、第1のデータバスに関連付けられ、さらに、

第1の複数のアレイブロックに概ね及ぶ第2のデータバスを備え、第1の複数のアレイブロックの第2のグループの各々は、第2のデータバスに関連付けられ、さらに、

第1の動作モードにおいて、第1のグループ内の第1のアレイブロックにおけるワード線および第2のグループ内の第2のアレイブロックにおけるワード線を同時に選択するように構成された行選択回路と、

第1の動作モードにおいて、第1のアレイブロックにおける1本以上の選択ビット線を第1のデータバスの対応線に、第2のアレイブロックにおける1本以上の選択ビット線を第2のデータバスの対応線に同時に結合させるように構成された列選択回路とを備える、集積回路。

【請求項2】

列選択回路は、各アレイブロックへのそれぞれの第1のデータバスセグメントを含み、それを介して選択ビット線が第1のデータバスの対応バス線に結合される、請求項1に記載の集積回路。

【請求項3】

アレイブロックの第1のグループは奇数番目のアレイブロックを含み、

アレイブロックの第 2 のグループは偶数番目のアレイブロックを含む、請求項 1 および 2 のうちいずれか 1 項に記載の集積回路。

【請求項 4】

同時に選択される第 1 のアレイブロックおよび第 2 のアレイブロックは、隣接するブロックであり、

1 つのアレイブロックのワード線は隣接するアレイブロックのワード線と共有され、各このようにワード線は、隣接するアレイブロック同士の間の間隙においてそれぞれのワード線ドライバに結合される、請求項 1 ~ 3 のうちいずれか 1 項に記載の集積回路。

【請求項 5】

奇数番目のアレイブロックの各々は、第 2 のデータバスにも関連付けられ、

偶数番目のアレイブロックの各々は、第 1 のデータバスにも関連付けられ、

第 1 の動作モードにおいて、列選択回路は、第 1 のアレイブロックにおける 1 本以上の選択ビット線を第 1 のデータバスの対応線に、第 2 のアレイブロックにおける 1 本以上の選択ビット線を第 2 のデータバスの対応線に同時に複数回結合させ、第 1 のアレイブロックにおける 1 本以上の選択ビット線を第 2 のデータバスの対応線に、第 2 のアレイブロックにおける 1 本以上の選択ビット線を第 1 のデータバスの対応線に同時に別の複数回結合させるように構成される、請求項 1 ~ 4 のうちいずれか 1 項に記載の集積回路。

【請求項 6】

第 1 のデータバスおよび第 2 のデータバスは、各アレイブロックの対向する側に配置される、請求項 1 ~ 5 のうちいずれか 1 項に記載の集積回路。

【請求項 7】

メモリアレイは、2 つ以上のビット線層上にビット線を有する 3 次元メモリアレイを含み、

第 1 のデータバスまたは第 2 のデータバスそれぞれの対応線に同時に結合される第 1 のアレイブロックまたは第 2 のアレイブロックそれぞれにおける 1 本以上の選択ビット線は、第 1 のビット線層上の 1 本以上のビット線と第 2 のビット線層上の 1 本以上のビット線とを含む、請求項 1 ~ 6 のうちいずれか 1 項に記載の集積回路。

【請求項 8】

各アレイブロックのワード線は、2 つ以上のワード線層の各々上においてワード線セグメントを各々含む、請求項 1 ~ 7 のうちいずれか 1 項に記載の集積回路。

【請求項 9】

1 つのアレイブロックのワード線は、隣接するアレイブロックのワード線と共有され、各このようにワード線は、隣接するアレイブロック同士の間の間隙において、それぞれのワード線ドライバに結合され、

各アレイブロックにおけるワード線は、2 つ以上のワード線層の各々上においてワード線セグメントを各々含み、

第 1 のデータバスおよび第 2 のデータバスは、各アレイブロックの対向する側に配置され、

メモリアレイは 2 つ以上のビット線層上にビット線を含み、

第 1 のデータバスまたは第 2 のデータバスそれぞれの対応線に同時に結合される第 1 のアレイブロックまたは第 2 のアレイブロックそれぞれにおける 1 本以上の選択ビット線は、第 1 のビット線層上の 1 本以上のビット線と第 2 のビット線層上の 1 本以上のビット線とを含み、

第 1 のアレイブロックおよび第 2 のアレイブロックにおけるそれぞれの選択ワード線は、それぞれのワード線ドライバに結合された 1 本の論理的ワード線を含む、請求項 5 に記載の集積回路。

【請求項 10】

第 1 の複数のアレイブロックを含む受動素子メモリセルアレイに有用な方法であって、各アレイブロックは、複数のワード線およびビット線を含み、前記方法は、

第 1 の動作モードにおいて、前記第 1 の複数のアレイブロックの第 1 のグループ内の第

1のアレイブロックにおけるワード線、および前記第1の複数のアレイブロックの第2のグループ内の第2のアレイブロックにおけるワード線を同時に選択するステップと、

第1の動作モードにおいて、第1のアレイブロックにおける1本以上の選択ビット線を、第1の複数のアレイブロックに概ね及ぶ第1のデータバスの対応線に、第2のアレイブロックにおける1本以上の選択ビット線を、第1の複数のアレイブロックに概ね及ぶ第2のデータバスの対応線に同時に結合させるステップとを含む、方法。

【請求項11】

第1のアレイブロックおよび第2のアレイブロックそれぞれにおける前記1本以上の選択ビット線を、各アレイブロックに関連付けられたそれぞれのデータバスセグメントによって、第1のデータバスおよび第2のデータバスそれぞれに結合させるステップをさらに含む、請求項10に記載の方法。

【請求項12】

同時に選択される第1のアレイブロックおよび第2のアレイブロックは、隣接するブロックである、請求項10および11のうちいずれか1項に記載の方法。

【請求項13】

第1の動作モードにおいて、第1のアレイブロックにおける1本以上の選択ビット線を第2のデータバスの対応線に、第2のアレイブロックにおける1本以上の選択ビット線を第1のデータバスの対応線に同時に別の複数回結合させるステップをさらに含む、請求項10～12のうちいずれか1項に記載の方法。

【請求項14】

第1のデータバスおよび第2のデータバスは、各アレイブロックの対向する側に配置される、請求項10～13のうちいずれか1項に記載の方法。

【請求項15】

メモリアレイは、2つ以上のビット線層上にビット線を有する3次元メモリアレイを含み、

第1のデータバスまたは第2のデータバスそれぞれの対応線に同時に結合される第1のアレイブロックまたは第2のアレイブロックそれぞれにおける1本以上の選択ビット線は、第1のビット線層上の1本以上のビット線と第2のビット線層上の1本以上のビット線とを含む、請求項10～14のうちいずれか1項に記載の方法。

【請求項16】

1つのアレイブロックのワード線は、隣接するアレイブロックのワード線と共有され、各このようなワード線は、隣接するアレイブロック同士の間の間隙においてそれぞれのワード線ドライバに結合され、

各アレイブロックにおけるワード線は、2つ以上のワード線層の各々上においてワード線セグメントを各々含み、

第1のデータバスおよび第2のデータバスは、各アレイブロックの対向する側に配置され、

メモリアレイは、2つ以上のビット線層上にビット線を含み、

第1のデータバスまたは第2のデータバスそれぞれの対応線に同時に結合される第1のアレイブロックまたは第2のアレイブロックそれぞれにおける1本以上の選択ビット線は、第1のビット線層上の1本以上のビット線と第2のビット線層上の1本以上のビット線とを含み、

第1のアレイブロックおよび第2のアレイブロックにおけるそれぞれの選択ワード線は、それぞれのワード線ドライバに結合された1本の論理的ワード線を含む、請求項13に記載の方法。

【請求項17】

第2の動作モードにおいて、アレイブロックの第1のグループ内の第1のアレイブロックにおけるワード線を選択するステップと、

第2の動作モードにおいて、第1のアレイブロックにおける1本以上の選択ビット線を第1のデータバスの対応線に、第1のアレイブロックにおける1本以上の選択ビット線を

第2のデータバスの対応線に同時に結合させるステップとをさらに含む、請求項10～15のうちいずれか1項に記載の方法。