



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

241 256

(11)

(B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 05 11 80
(21) PV 7473-80

(51) Int. Cl.⁴
H 03 K 19/00

(40) Zveřejněno 22 08 85
(45) Vydáno 01 09 87

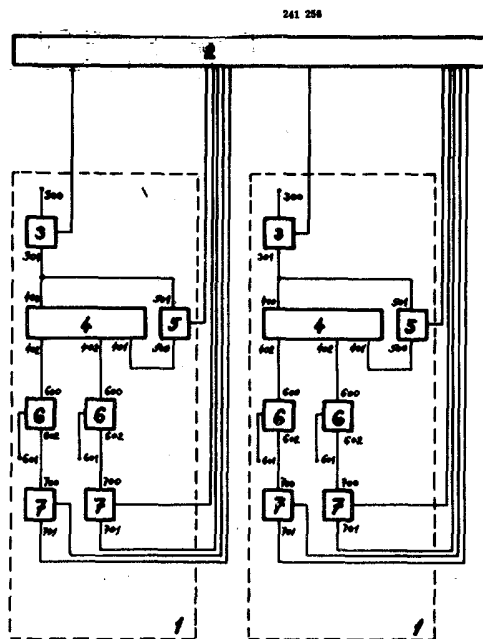
(75)
Autor vynálezu

KUNOVSKÝ JIŘÍ ing. CSc., BRNO

(54)

Přírůstkový maticový mikroprocesor

Řešení se týká přírůstkového maticového mikroprocesoru, u kterého se řeší nový mikroprocesor a jeho zapojení. Podstatou přírůstkového maticového mikroprocesoru, tvořeného alespoň jedním elementárním procesorem, centrálním řadičem a vstup - výstup jednotkou je, že každý elementární procesor je propojen s centrálním řadičem, centrální řadič je propojen se vstup - výstupní jednotkou, vstup - výstupní jednotka je propojena s každým elementárním procesorem, přičemž pro vzájemné propojení elementárních procesorů má každý elementární procesor seriový výstup a alespoň jeden výběrový vstup. Technický pokrok řešení je charakterizován tím, že takto vytvořený přírůstkový maticový mikroprocesor zásadním způsobem řeší paralelní spolupráci u úloh, které lze popsat diferenciální rovnicí.



Obr. 1

Vynález se týká přírůstkového maticového mikroprocesoru, u kterého se řeší nový mikroprocesor a jeho zapojení.

Problémy současné vědy a techniky vyžadují realizaci rozsáhlých výpočtů, jako např. řešení složitých systémů lineárních a nelineárních parciálních diferenciálních rovnic, operace s velkými maticemi, apod. Uvedené typy úloh vyžadují, pro přijatelné doby řešení, počítače, jejichž rychlosti jsou v porovnání s běžnými velkými počítači asi 100x vyšší. Počítače, určené pro řízení procesů v reálném čase, musí kromě požadované rychlosti také vyhovovat požadavkům vysoké spolehlivosti. Požadavky nelze splnit u běžných počítačů, jejichž střední doby mezi poruchami se pohybují v rozmezí 1000 až 10 000 hodin. Zvyšování operační rychlosti počítačů s využitím nových fyzikálních principů konstrukčních prvků, t.j. zvyšováním rychlosti elektronických obvodů, je omezené. Další zvýšení výkonnosti umožňují organizační a struktu^Mální změny. Jde především o specializaci a paralelní činnost jednotlivých částí počítače. Dosud známé univerzální počítačové systémy - multiprocesory jsou charakterizovány tím, že všechny procesory kromě své lokální paměti mají stejný přístup do hlavní paměti, a že mezi sebou komunikují jenom přes hlavní paměť. Úloha při výpočtu může podle okolností přecházet od jednoho procesoru k druhému. Je známo, že univerzální paralelní počítačové systémy vyžadují složité programování kroků řešení priority vstupu do společné paměti a simultánního vstupu při stejné prioritě. Jsou známy specializované paralelní počítačové systémy -
- maticové procesory, případně asociativní systémy, určené pro paralelní zpracování polí dat tím, že stejná posloupnost

instrukcí se aplikuje paralelně na různá data. Jsou známy víceprocesorové počítače určené pro výpočet úloh, které se rozvětvují do několika paralelně běžících větví. Jsou známy číslicové diferenciální analyzátoři s jednotkovým kladným nebo záporným přírůstkem, určené pro paralelní řešení úloh diferenciálního charakteru.

Nevýhodou dosud známých počítačových systémů je jejich přílišná specializovanost. Nevýhodou dosud známých počítačových systémů je složitost jejich programového vybavení; programové vybavení zatím limituje potenciální možnosti technického provedení a organizace počítače. Rovněž technické provedení ještě není realizováno tak, aby bylo možno navrhnout vysoce efektivní programové vybavení. Nevýhodou, z hlediska technického provedení, je vysoký počet spojovacích vodičů zajišťujících současný přenos dat mezi jednotlivými procesory.

Výše uvedené nedostatky jsou odstraněny přírůstkovým maticovým mikroprocesorem, tvořeným centrální jednotkou a alespoň jedním elementárním mikroprocesorem složeným z výstupního registru, součtové aritmetické jednotky, akumulární paměti, alespoň jedné násobící operační jednotky a k ní příslušející lokální paměti podle vynálezu, jehož podstatou je, že centrální jednotka je spojena s každým výstupním registrem, s každou akumulární pamětí, s každou lokální pamětí a s datovým paralelním vstupem každé lokální paměti, přičemž alespoň v jednom elementárním mikroprocesoru je datový paralelní výstup součtové aritmetické jednotky spojen s datovým paralelním vstupem odpovídajícího výstupního registru a s datovým paralelním vstupem odpovídající akumulární paměti, datový paralelní výstup akumulární paměti je spojen s odpovídajícím akumulárním paralelním vstupem součtové aritmetické jednotky, alespoň jedna násobící operační jednotka elementárního mikroprocesoru je svým datovým paralelním výstupem spojena s příslušným součtovým paralelním vstupem součtové aritmetické jednotky a svým datovým paralelním vstupem je spojena s datovým paralelním výstupem odpovídající lokální paměti, zatímco pro vzájemné propojení

elementárních mikroprocesorů má každý výstupní registr svůj výstup a každý násobící operační jednotka má svůj násobící vstup.

Technický pokrok řešení podle vynálezu je charakterizován tím, že takto vytvořený přírůstkový maticový mikroprocesor zásadním způsobem řeší paralelní spolupráci mikroprocesorů u úloh, které lze popsat diferenciální rovnicí. Hlavní výhodou řešení podle vynálezu je vysoká operační rychlost podmíněná paralelní strukturou. Významnou výhodou je modulová koncepce umožňující snadnou rozšiřitelnost. Mezi další výhody patří

- jednoduché vzájemné propojení přírůstkových maticových mikroprocesorů jedním spojovacím vodičem,
- jednoduché (náзорné) programování,
- jednoduchá kontrola činnosti,
- snadná interpretace řešení a pohodlné spojení s operátorem, případně s reálným zařízením,
- možnost rychlé změny parametrů a struktury úlohy.

Na přiložených výkresech jsou uvedeny příklady provedení přírůstkového maticového mikroprocesoru.

Na obr.1 je centrální jednotka 2 spojena s každým výstupním registrem 3, s každou akumulací paměti 5, s každou lokální paměti 7 a s datovým paralelním vstupem 701 každé lokální paměti 7, přičemž alespoň v jednom elementárním mikroprocesoru 1 je datový paralelní výstup 400 součtové aritmetické jednotky 4 spojen s datovým paralelním vstupem 301 odpovídajícího výstupního registru 3 a s datovým paralelním vstupem 501 odpovídající akumulací paměti 5, datový paralelní výstup 500 akumulací paměti 5 je spojen s odpovídajícím akumulacím paralelním vstupem 401 součtové aritmetické jednotky 4, alespoň jedna násobící operační jednotka 6 elementárního mikroprocesoru 1 je svým datovým paralelním výstupem 600 spojena s příslušným součtovým paralelním vstupem 402 součtové aritmetické jednotky 4 a svým datovým paralelním vstupem 602 je spojena s datovým paralelním výstupem 700 odpovídající lokální paměti 7, zatímco pro vzájemné propojení elementárních mikroprocesorů 1 má každý výstupní registr 3 svůj výstup 300 a každá ná-

sobící operační jednotka 6 má svůj násobící vstup 601.

Na obr.2 je alespoň jeden násobící vstup 601 operační jednotky 6 spojen s výstupem 300 pouze jednoho výstupního registru 3.

Na obr.3 je s centrální jednotkou 2 spojen datový výstup 310 alespoň jednoho výstupního registru 3, řídící zápisový vstup 351 a řídící nastavovací vstup 352 každého výstupního registru 3, řídící zápisový vstup 551 a řídící uvolňovací vstup 552 každé akumulární paměti 5, řídící zápisový vstup 751 a řídící adresovací vstup 752 každé lokální paměti 7.

Na obr.4 je alespoň v jednom elementárním mikroprocesoru 1 akumulární paměť 5 tvořena multiplexorem 8 a akumulárním registrem 50, přičemž datový paralelní vstup 802 multiplexoru 8 tvoří datový paralelní vstup 501 akumulární paměti 5, datový paralelní výstup 800 multiplexoru 8 je spojen s datovým vstupem 51 akumulárního registru 50, datový výstup 52 akumulárního registru 50 tvoří datový paralelní výstup 500 akumulární paměti 5, řídící zápisový vstup 53 akumulárního registru 50 tvoří řídící zápisový vstup 551 akumulární paměti 5, řídící uvolňovací vstup 54 akumulárního registru 50 tvoří řídící uvolňovací vstup 552 akumulární paměti 5, zatímco s centrální jednotkou 2 je spojen datový výstup 310 alespoň jednoho výstupního registru 3, datový zadávací vstup 801 každého multiplexoru 8, řídící zápisový vstup 351 každého výstupního registru 3, řídící zápisový vstup 551 a řídící uvolňovací vstup 552 každé akumulární paměti 5, řídící vstup 851 každého multiplexoru 8 a řídící zápisový vstup 751 a řídící adresovací vstup 752 každé lokální paměti 7.

Na obr.5 je alespoň v jednom elementárním mikroprocesoru 1 akumulární paměť 5 tvořena multiplexorem 8 a akumulárním registrem 50, přičemž datový vstup 51 akumulárního registru 50 tvoří datový paralelní vstup 501 akumulární paměti 5, datový výstup 52 akumulárního registru 50 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 500

akumulační paměti 5, řídicí zápisový vstup 53 akumulčního registru 50 tvoří řídicí zápisový vstup 551 akumulční paměti 5, řídicí uvolňovací vstup 54 akumulčního registru 50 tvoří řídicí uvolňovací vstup 552 akumulční paměti 5, zatímco s centrální jednotkou 2 je spojen datový výstup 310 alespoň jednoho výstupního registru 3, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulční paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.6 je alespoň v jednom elementárním mikroprocesoru 1 součtová aritmetická jednotka 4 spojena s centrální jednotkou 2.

Na obr.7 je alespoň v jednom elementárním mikroprocesoru 1 součtová aritmetická jednotka 4 tvořena multiplexorem 8 a základní aritmetickou jednotkou 40, přičemž datový vstup 42 základní aritmetické jednotky 40 tvoří součtový paralelní vstup 402 součtové aritmetické jednotky 4, akumulční vstup 43 základní aritmetické jednotky 40 tvoří akumulční paralelní vstup 401 součtové aritmetické jednotky 4, datový výstup 41 základní aritmetické jednotky 40 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 400 součtové aritmetické jednotky 4, zatímco s centrální jednotkou 2 je spojen datový výstup 310 alespoň jednoho výstupního registru 3, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulční paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.8 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna násobící operační jednotka 6 spojena s centrální jednotkou 2.

Na obr.9 je alespoň jedna násobící operační jednotka 6 tvořena multiplexorem 8 a základní násobící jednotkou 60, přičemž datový vstup 62 základní násobící jednotky 60 tvoří datový paralelní vstup 602 násobící operační jednotky 6, násobící vstup 63 základní násobící jednotky 60 tvoří násobící vstup 601 násobící operační jednotky 6, datový výstup 61 základní násobící jednotky 60 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 600 násobící operační jednotky 6, zatímco s centrální jednotkou 2 je spojen datový výstup 310 alespoň jednoho výstupního registru 3, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.10 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna lokální paměť 7 tvořena multiplexorem 8 a základní pamětí 70, přičemž datový vstup 72 základní paměti 70 tvoří datový paralelní vstup 701 lokální paměti 7, datový výstup 71 základní paměti 70 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 700 lokální paměti 7, zápisový vstup 73 základní paměti 70 tvoří řídicí zápisový vstup 751 lokální paměti 7 a adresovací vstup 74 základní paměti 70 tvoří řídicí adresovací vstup 752 lokální paměti 7, zatímco s centrální jednotkou 2 je spojen datový zadávací vstup 801 a řídicí vstup 851 každého multiplexoru 8.

Na obr.11 je s centrální jednotkou 2 spojen datový paralelní výstup 500 alespoň jedné akumulární paměti 5, řídicí zápisový vstup 351 a řídicí nastavovací vstup 352 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.12 je alespoň v jednom elementárním mikroprocesoru 1 akumulární paměť 5 tvořena multiplexorem 8 a akumulárním registrem 50, přičemž datový paralelní vstup 802 multiplexoru 8 tvoří datový paralelní vstup 501 akumulární paměti 5, datový paralelní výstup 800 multiplexoru 8 je spojen s datovým vstupem 51 akumulárního registru 50, datový výstup 52 akumulárního registru 50 tvoří datový paralelní výstup 500 akumulární paměti 5, řídicí zápisový vstup 53 akumulárního registru 50 tvoří řídicí zápisový vstup 551 akumulární paměti 5, řídicí uvolňovací vstup 54 akumulárního registru 50 tvoří řídicí uvolňovací vstup 552 akumulární paměti 5, zatímco s centrální jednotkou 2 je spojen datový paralelní výstup 500 alespoň jedné akumulární paměti 5, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.13 je alespoň v jednom elementárním mikroprocesoru 1 akumulární paměť 5 tvořena multiplexorem 8 a akumulárním registrem 50, přičemž datový vstup 51 akumulárního registru 50 tvoří datový paralelní vstup 501 akumulární paměti 5, datový výstup 52 akumulárního registru 50 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 500 akumulární paměti 5, řídicí zápisový vstup 53 akumulárního registru 50 tvoří řídicí zápisový vstup 551 akumulární paměti 5, řídicí uvolňovací vstup 54 akumulárního registru 50 tvoří řídicí uvolňovací vstup 552 akumulární paměti 5, zatímco s centrální jednotkou 2 je spojen datový paralelní výstup 500 alespoň jedné akumulární paměti 5, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.14 je alespoň v jednom elementárním mikroprocesoru 1 součtová aritmetická jednotka 4 tvořena multiplexorem 8 a základní aritmetickou jednotkou 40, přičemž datový vstup 42 základní aritmetické jednotky 40 tvoří součtový paralelní vstup 402 součtové aritmetické jednotky 4, akumulační vstup 43 základní aritmetické jednotky 40 tvoří akumulační paralelní vstup 401 součtové aritmetické jednotky 4, datový výstup 41 základní aritmetické jednotky 40 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 400 součtové aritmetické jednotky 4, zatímco s centrální jednotkou 2 je spojen datový paralelní výstup 500 alespoň jedné akumulační paměti 5, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulační paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.15 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna násobící operační jednotka 6 tvořena multiplexorem 8 a základní násobící jednotkou 60, přičemž datový vstup 62 základní násobící jednotky 60 tvoří datový paralelní vstup 602 násobící operační jednotky 6, násobící vstup 63 základní násobící jednotky 60 tvoří násobící vstup 601 násobící operační jednotky 6, datový výstup 61 základní násobící jednotky 60 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 600 násobící operační jednotky 6, zatímco s centrální jednotkou 2 je spojen datový paralelní výstup 500 alespoň jedné akumulační paměti 5, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulační paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.16 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna lokální paměť 7 tvořena multiplexorem 8 a základní paměti 70, přičemž datový vstup 72 základní paměti 70 tvoří datový paralelní vstup 701 lokální paměti 7, datový výstup 71 základní paměti 70 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 700 lokální paměti 7, zápisový vstup 73 základní paměti 70 tvoří řídicí zápisový vstup 751 lokální paměti 7 a adresovací vstup 74 základní paměti 70 tvoří řídicí adresovací vstup 752 lokální paměti 7, zatímco s centrální jednotkou 2 je spojen datový zadávací vstup 801 a řídicí vstup 851 každého multiplexoru 8.

Na obr.17 je s centrální jednotkou 2 spojen pomocný výstup 403 alespoň jedné součtové aritmetické jednotky 4, řídicí zápisový vstup 351 a řídicí nastavovací vstup 352 každého výstupního registru 3, řídicí zápisový vstup 351 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.18 je alespoň v jednom elementárním mikroprocesoru 1 akumulární paměť 5 tvořena multiplexorem 8 a akumulárním registrem 50, přičemž datový paralelní vstup 802 multiplexoru 8 tvoří datový paralelní vstup 501 akumulární paměti 5, datový paralelní výstup 800 multiplexoru 8 je spojen s datovým vstupem 51 akumulárního registru 50, datový výstup 52 akumulárního registru 50 tvoří datový paralelní výstup 500 akumulární paměti 5, řídicí zápisový vstup 53 akumulárního registru 50 tvoří řídicí zápisový vstup 551 akumulární paměti 5, řídicí uvolňovací vstup 54 akumulárního registru 50 tvoří řídicí uvolňovací vstup 552 akumulární paměti 5, zatímco s centrální jednotkou 2 je spojen pomocný výstup 403 součtové aritmetické jednotky 4, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.19 je alespoň v jednom elementárním mikroprocesoru 1 akumulační paměť 5 tvořena multiplexorem 8 a akumulačním registrem 50, přičemž datový vstup 51 akumulačního registru 50 tvoří datový paralelní vstup 501 akumulační paměti 5, datový výstup 52 akumulačního registru 50 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 500 akumulační paměti 5, řídicí zápisový vstup 53 akumulačního registru 50 tvoří řídicí zápisový vstup 551 akumulační paměti 5, řídicí uvolňovací vstup 54 akumulačního registru 50 tvoří řídicí uvolňovací vstup 552 akumulační paměti 5, zatímco s centrální jednotkou 2 je spojen pomocný výstup 403 alespoň jedné součtové aritmetické jednotky 4, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulační paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.20 je alespoň v jednom elementárním mikroprocesoru 1 součtová aritmetická jednotka 4 tvořena multiplexorem 8 a základní aritmetickou jednotkou 40, přičemž datový vstup 42 základní aritmetické jednotky 40 tvoří součtový paralelní vstup 402 součtové aritmetické jednotky 4, akumulační vstup 43 základní aritmetické jednotky 40 tvoří akumulační paralelní vstup 401 součtové aritmetické jednotky 4, datový výstup 41 základní aritmetické jednotky 40 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 400 součtové aritmetické jednotky 4, zatímco s centrální jednotkou 2 je spojen pomocný výstup 403 alespoň jedné součtové aritmetické jednotky 4 tvořený pomocným výstupem 44 základní aritmetické jednotky 40, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulační paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.21 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna násobící operační jednotka 6 tvořena multiplexorem 8 a základní násobící jednotkou 60, přičemž datový vstup 62 základní násobící jednotky 60 tvoří datový paralelní vstup 602 násobící operační jednotky 6, násobící vstup 63 základní násobící jednotky 60 tvoří násobící vstup 601 násobící operační jednotky 6, datový výstup 61 základní násobící jednotky 60 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 600 násobící operační jednotky 6, zatímco s centrální jednotkou 2 je spojen pomocný výstup 403 alespoň jedné součtové aritmetické jednotky 4, datový zadávací vstup 801 každého multiplexoru 8, řídicí zápisový vstup 351 každého výstupního registru 3, řídicí zápisový vstup 551 a řídicí uvolňovací vstup 552 každé akumulární paměti 5, řídicí vstup 851 každého multiplexoru 8 a řídicí zápisový vstup 751 a řídicí adresovací vstup 752 každé lokální paměti 7.

Na obr.22 je alespoň v jednom elementárním mikroprocesoru 1 alespoň jedna lokální paměť 7 tvořena multiplexorem 8 a základní pamětí 70, přičemž datový vstup 72 základní paměti 70 tvoří datový paralelní vstup 701 lokální paměti 7, datový výstup 71 základní paměti 70 je spojen s datovým paralelním vstupem 802 multiplexoru 8, datový paralelní výstup 800 multiplexoru 8 tvoří datový paralelní výstup 700 lokální paměti 7, zápisový vstup 73 základní paměti 70 tvoří řídicí zápisový vstup 751 lokální paměti 7 a adresovací vstup 74 základní paměti 70 tvoří řídicí adresovací vstup 752 lokální paměti 7, zatímco s centrální jednotkou 2 je spojen datový zadávací vstup 801 a řídicí vstup 851 každého multiplexoru 8.

Na obr.23 je součtová aritmetická jednotka 4 tvořena základní aritmetickou jednotkou 40, přičemž datový vstup 42 základní aritmetické jednotky 40 tvoří součtový paralelní vstup 402 součtové aritmetické jednotky 4, akumulární vstup 43 základní aritmetické jednotky 40 tvoří akumulární paralelní vstup 401 součtové aritmetické jednotky 4 a datový

výstup 41 základní aritmetické jednotky 40 tvoří datový paralelní výstup 400 součtové aritmetické jednotky 4.

Na obr.24 je alespoň jedna základní aritmetická jednotka 40 alespoň jednoho elementárního mikroprocesoru 1 tvořena binární sečítačkou 49.

Na obr.25 je akumulární paměť 5 tvořena akumulárním registrem 50, přičemž datový vstup 51 akumulárního registru 50 tvoří datový paralelní vstup 501 akumulární paměti 5, datový výstup 52 akumulárního registru 50 tvoří datový paralelní výstup 500 akumulární paměti 5, řídicí zápisový vstup 53 akumulárního registru 50 tvoří řídicí zápisový vstup 551 akumulární paměti 5 a řídicí uvolňovací vstup 54 akumulárního registru 50 tvoří řídicí uvolňovací vstup 552 akumulární paměti 5.

Na obr.26 je násobící operační jednotka 6 tvořena základní násobící jednotkou 60, přičemž datový vstup 62 základní násobící jednotky 60 tvoří datový paralelní vstup 602 násobící operační jednotky 6, datový výstup 61 základní násobící jednotky 60 tvoří datový paralelní výstup 600 násobící operační jednotky 6 a násobící vstup 63 základní násobící jednotky 60 tvoří násobící vstup 601 násobící operační jednotky 6.

Na obr.27 je alespoň jedna základní násobící jednotka 60 alespoň jednoho elementárního mikroprocesoru 1 tvořena kombinační násobičkou 65.

Na obr.28 je alespoň jedna základní aritmetická jednotka 40 alespoň jednoho elementárního mikroprocesoru 1 tvořena základní sečítací jednotkou 45, základní násobící jednotkou 60 a akumulární sečítací jednotkou 46, přičemž výstup 450 základní sečítací jednotky 45 tvoří datový výstup 41 základní aritmetické jednotky 40, akumulární vstup 451 základní sečítací jednotky 45 tvoří akumulární vstup 43 základní aritmetické

jednotky 40, součtový vstup 461 akumulací sečítací jednotky 46 tvoří datový vstup 42 základní aritmetické jednotky 40, výstup 460 akumulací sečítací jednotky 46 je spojen s datovým vstupem 62 základní násobící jednotky 60, datový výstup 61 základní násobící jednotky 60 je spojen s datovým vstupem 452 základní sečítací jednotky 45, zatímco s centrální jednotkou 2 je spojen násobící vstup 63 každé základní násobící jednotky 60.

Na obr.29 je základní sečítací jednotka 45 tvořena binární sečítačkou 49, základní násobící jednotka 60 je tvořena kombinační násobičkou 65 a akumulací sečítací jednotka 46 je tvořena binární sečítačkou 49.

Na obr.30 je alespoň jedna základní násobící jednotka 60 alespoň jednoho elementárního mikroprocesoru 1 tvořena násobící jednotkou 689, vstupním multiplexorem 9, paměťovým multiplexorem 10 a přípravnou pamětí 11, přičemž výstup 690 násobící jednotky 689 tvořící datový výstup 61 základní násobící jednotky 60 je spojen s datovým vstupem 111 přípravné paměti 11, datový výstup 110 přípravné paměti 11 je spojen s přípravným vstupem 101 paměťového multiplexoru 10, přímý vstup 102 paměťového multiplexoru 10 tvoří datový vstup 62 základní násobící jednotky 60, výstup 100 paměťového multiplexoru 10 je spojen s datovým vstupem 691 násobící jednotky 689, násobící vstup 692 násobící jednotky 689 je spojen s datovým paralelním výstupem 900 vstupního multiplexoru 9, datový vstup 902 vstupního multiplexoru 9 tvoří násobící vstup 63 základní násobící jednotky 60, zatímco s centrální jednotkou 2 je spojen datový zadávací vstup 901 vstupního multiplexoru 9, řídicí vstup 951 vstupního multiplexoru 9, řídicí vstup 151 paměťového multiplexoru 10 a přípravná paměť 11.

Na obr.31 je násobící jednotka 689 tvořena kombinační násobičkou 65.

Na obr.32 je alespoň v jednom elementárním mikroprocesoru 1 základní aritmetická jednotka 40 tvořena základní sečítací jednotkou 45 a akumulacním posuvným registrem 490, přičemž výstup 450 základní sečítací jednotky 45 tvořící datový výstup 41 základní aritmetické jednotky 40 je spojen s datovým vstupem 491 akumulacního posuvného registru 490, datový výstup 492 akumulacního posuvného registru 490 je spojen s pomocným akumulacním vstupem 493 základní sečítací jednotky 45, akumulacní vstup 494 základní sečítací jednotky 45 tvoří akumulacní vstup 43 základní aritmetické jednotky 40, datový vstup 452 základní sečítací jednotky 45 tvoří datový vstup 42 základní aritmetické jednotky 40, přičemž s centrální jednotkou 2 je spojen nulovací vstup 495, zápisový vstup 496 a posouvací vstup 497 akumulacního posuvného registru 490 a posouvací vstup 375 výstupního registru 3.

Na obr.33 je alespoň v jednom elementárním mikroprocesoru 1 základní násobící jednotka 60 tvořena rozhodovacím obvodem 20 a základním transformačním obvodem 21, přičemž rozhodovací obvod 20 je spojen se základním transformačním obvodem 21, datový vstup 201 základního transformačního obvodu 21 tvoří datový vstup 62 základní násobící jednotky 60, datový výstup 202 základního transformačního obvodu 21 tvoří datový výstup 61 základní násobící jednotky 60, sekvenční vstup 210 rozhodovacího obvodu 20 tvoří násobící vstup 63 základní násobící jednotky 60, zatímco s centrální jednotkou 2 je spojen rozhodovací vstup 211 rozhodovacího obvodu 20.

Na obr.34 alespoň jeden elementární mikroprocesor 1 obsahuje pouze jednu základní násobící jednotku 60 tvořenou rozhodovacím obvodem 20 a základním transformačním obvodem 21, zatímco mezi zápisový vstup 496 akumulacního posuvného registru 490 a centrální jednotkou 2 je zapojen blokovací obvod 28, přičemž řídicí vstup 280 blokovacího obvodu 28 je spojen s rozhodovacím obvodem 20.

Na obr.35 alespoň jeden elementární mikroprocesor 1 obsahuje pouze jednu základní násobící jednotku 60 tvořenou rozhodovacím obvodem 20, základním transformačním obvodem 21, vstupním multiplexorem 9, paměťovým multiplexorem 10 a přípravnou pamětí 11, přičemž datový výstup 202 základního transformačního obvodu 21 tvoří datový výstup 61 základní násobící jednotky 60, datový vstup 201 základního transformačního obvodu 21 je spojen s výstupem 100 paměťového multiplexoru 10, přímý vstup 102 paměťového multiplexoru 10 tvoří datový vstup 62 základní násobící jednotky 60, přípravný vstup 101 paměťového multiplexoru 10 je spojen s datovým výstupem 110 přípravné paměti 11, datový vstup 111 přípravné paměti 11 je spojen s datovým paralelním výstupem 400 součtové aritmetické jednotky 4, sekvenční vstup 210 rozhodovacího obvodu 20 je spojen s datovým paralelním výstupem 900 vstupního multiplexoru 9, datový vstup 902 vstupního multiplexoru 9 tvoří násobící vstup 63 základní násobící jednotky 60, zatímco s centrální jednotkou 2 je spojen datový zadávací vstup 901 vstupního multiplexoru 9, řídicí vstup 951 vstupního multiplexoru 9, řídicí vstup 151 paměťového multiplexoru 10 a přípravná paměť 11.

Na obr.36 je alespoň jedna základní násobící jednotka 60 alespoň jednoho elementárního mikroprocesoru 1 tvořena základní sečítací jednotkou 45, akumulacním posuvným registrem 490, rozhodovacím obvodem 20 a základním transformačním obvodem 21, přičemž výstup 450 základní sečítací jednotky 45 tvořící datový výstup 61 základní násobící jednotky 60 je spojen s datovým vstupem 491 akumulacního posuvného registru 490, datový výstup 492 akumulacního posuvného registru 490 je spojen s akumulacním vstupem 494 základní sečítací jednotky 45, datový vstup 452 základní sečítací jednotky 45 je spojen s datovým výstupem 202 základního transformačního obvodu 21, datový vstup 201 základního transformačního obvodu 21 tvoří datový vstup 62 základní násobící jednotky 60, základní transformační obvod 21 je spojen s rozhodovacím obvodem 20, sekvenční vstup 210 rozhodovacího

obvodu 20 tvoří násobící vstup 63 základní násobící jednotky 60, zatímco s centrální jednotkou 2 je spojen rozhodovací vstup 211 rozhodovacího obvodu 20, nulovací vstup 495, zápisový vstup 496 a posouvací vstup 497 akumulčního posuvného registru 490 a posouvací vstup 375 výstupního registru 3.

Na obr.37 je alespoň v jednom elementárním mikroprocesoru 1 mezi zápisový vstup 496 akumulčního posuvného registru 490 a centrální jednotku 2 zapojen blokovací obvod 28, přičemž řídicí vstup 280 blokovacího obvodu 28 je spojen s rozhodovacím obvodem 20.

Na obr.38 je alespoň v jednom elementárním mikroprocesoru 1 mezi datový paralelní výstup 700 lokální paměti 7 a odpovídající datový paralelní vstup 602 násobící operační jednotky zapojena pomocná násobící jednotka 35 tvořená základní sečítací jednotkou 45, akumulčním posuvným registrem 490, pomocným výstupním registrem 325, rozhodovacím obvodem 20 a základním transformačním obvodem 21 přičemž datový výstup 326 pomocného výstupního registru 325 je spojen s datovým paralelním vstupem 602 násobící operační jednotky 6, výstup 450 základní sečítací jednotky 45 je spojen s datovým vstupem 327 pomocného výstupního registru 325 a s datovým vstupem 491 akumulčního posuvného registru 490, datový výstup 492 akumulčního posuvného registru 490 je spojen s akumulčním vstupem 494 základní sečítací jednotky 45, datový vstup 452 základní sečítací jednotky 45 je spojen s datovým výstupem 202 základního transformačního obvodu 21, datový vstup 201 základního transformačního obvodu 21 je spojen s datovým paralelním výstupem 700 odpovídající lokální paměti 7, základní transformační obvod 21 je spojen s rozhodovacím obvodem 20, sekvenční vstup 210 rozhodovacího obvodu 20 tvoří násobící vstup 658 pomocné násobící jednotky 35, zatímco s centrální jednotkou 2 je spojen rozhodovací vstup 211 rozhodovacího obvodu 20, nulovací vstup 495, zápisový vstup 496 a posouvací vstup 497 akumulčního posuvného registru 490, pomocný výstupní registr 325, posouvací vstup

375 výstupního registru 3 a násobící vstup 658 pomocné násobící jednotky 35.

Na obr.39 je alespoň v jedné pomocné násobící jednotce 35 mezi zápisový vstup 496 akumulčního posuvného registru 490 a centrální jednotku 2 zapojen blokovací obvod 28, přičemž řídicí vstup 280 blokovacího obvodu 28 je spojen s rozhodovacím obvodem 20.

Na obr.40 je alespoň jedna základní aritmetická jednotka 40 alespoň jednoho elementárního mikroprocesoru 1 tvořena základní sečítací jednotkou 45, základní násobící jednotkou 60, akumulční sečítací jednotkou 46 a akumulčním posuvným registrem 490, přičemž výstup 450 základní sečítací jednotky 45 tvoří datový výstup 41 základní aritmetické jednotky 40, akumulční vstup 451 základní sečítací jednotky 45 tvoří akumulční vstup 43 základní aritmetické jednotky 40, součtový vstup 461 akumulční sečítací jednotky 46 tvoří datový vstup 42 základní aritmetické jednotky 40 výstup 460 akumulční sečítací jednotky 46 je spojen s datovým vstupem 62 základní násobící jednotky 60 a s datovým vstupem 491 akumulčního posuvného registru 490, datový výstup 492 akumulčního posuvného registru 490 je spojen s akumulčním vstupem 499 akumulční sečítací jednotky 46, datový výstup 61 základní násobící jednotky 60 je spojen s datovým vstupem 452 základní sečítací jednotky 45, zatímco s centrální jednotkou 2 je spojen násobící vstup 63 základní násobící jednotky 60, nulovací vstup 495, zápisový vstup 496 a posouvací vstup 497 akumulčního posuvného registru 490.

Na obr.41 je základní sečítací jednotka 45 tvořena binární sečítačkou 49 a akumulční sečítací jednotka 46 je tvořena binární sečítačkou 49.

Možné příklady konkrétního provedení jsou uvedeny průběžně např. obr. 24, 25, 27, 29, 31.

Předmět vynálezu

241 256

- 1) Přírůstkový maticový mikroprocesor tvořený centrální jednotkou a alespoň jedním elementárním mikroprocesorem složeným z výstupního registru, součtové aritmetické jednotky, akumulační paměti, alespoň jedné násobící operační jednotky a k ní příslušející lokální paměti, vyznačený tím, že centrální jednotka (2) je spojena s každým výstupním registrem (3), s každou akumulační pamětí (5), s každou lokální pamětí (7) a s datovým paralelním vstupem (701) každé lokální paměti (7), přičemž alespoň v jednom elementárním mikroprocesoru (1) je datový paralelní výstup (400) součtové aritmetické jednotky (4) spojen s datovým paralelním vstupem (301) odpovídajícího výstupního registru (3) a s datovým paralelním vstupem (501) odpovídající akumulační paměti (5), datový paralelní výstup (500) akumulační paměti (5) je spojen s odpovídajícím akumulačním paralelním vstupem (401) součtové aritmetické jednotky (4), alespoň jedna násobící operační jednotka (6) elementárního mikroprocesoru (1) je svým datovým paralelním výstupem (600) spojena s příslušným součtovým paralelním vstupem (402) součtové aritmetické jednotky (4) a svým datovým paralelním vstupem (602) je spojena s datovým paralelním výstupem (700) odpovídající lokální paměti (7), zatímco pro vzájemné propojení elementárních mikroprocesorů (1) má každý výstupní registr (3) svůj výstup (300) a každá násobící operační jednotka (6) má svůj násobící vstup (601).
- 2) Přírůstkový maticový mikroprocesor podle bodu 1, vyznačený tím, že alespoň jeden násobící vstup (601) násobící operační jednotky (6) je spojen s výstupem (300) pouze jednoho výstupního registru (3).
- 3) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že s centrální jednotkou (2) je spojen datový výstup (310) alespoň jednoho výstupního registru (3), řídicí zápisový vstup (351) a řídicí nastavovací vstup

(352) každého výstupního registru (3), řídící zápisový vstup (551) a řídící uvolňovací vstup (552) každé akumulární paměti (5), řídící zápisový vstup (751) a řídící adresovací vstup (752) každé lokální paměti (7).

4) Příkladový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový paralelní vstup (802) multiplexoru (8) tvoří datový paralelní vstup (501) akumulární paměti (5), datový paralelní výstup (800) multiplexoru (8) je spojen s datovým vstupem (51) akumulárního registru (50), datový výstup (52) akumulárního registru (50) tvoří datový paralelní výstup (500) akumulární paměti (5), řídící zápisový vstup (53) akumulárního registru (50) tvoří řídící zápisový vstup (551) akumulární paměti (5), řídící uvolňovací vstup (54) akumulárního registru (50) tvoří řídící uvolňovací vstup (552) akumulární paměti (5), zatímco s centrální jednotkou (2) je spojen datový výstup (310) alespoň jednoho výstupního registru (3), datový zadávací vstup (801) každého multiplexoru (8), řídící zápisový vstup (351) každého výstupního registru (3), řídící zápisový vstup (551) a řídící uvolňovací vstup (552) každé akumulární paměti (5), řídící vstup (851) každého multiplexoru (8) a řídící zápisový vstup (751) a řídící adresovací vstup (752) každé lokální paměti (7).

5) Příkladový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový vstup (51) akumulárního registru (50) tvoří datový paralelní vstup (501) akumulární paměti (5), datový výstup (52) akumulárního registru (50) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (500) akumulární paměti (5), řídící zápisový vstup (53) akumulární-

ho registru (50) tvoří řídicí zápisový vstup (551) akumulární paměti (5), řídicí uvolňovací vstup (54) akumulárního registru (50) tvoří řídicí uvolňovací vstup (552) akumulární paměti (5), zatímco s centrální jednotkou (2) je spojen datový výstup (310) alespoň jednoho výstupního registru (3), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 6) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je součtová aritmetická jednotka (4) spojena s centrální jednotkou (2).
- 7) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 6, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je součtová aritmetická jednotka (4) tvořena multiplexorem (8) a základní aritmetickou jednotkou (40), přičemž datový vstup (42) základní aritmetické jednotky (40) tvoří součtový paralelní vstup (402) součtové aritmetické jednotky (4), akumulární vstup (43) základní aritmetické jednotky (40) tvoří akumulární paralelní vstup (401) součtové aritmetické jednotky (4), datový výstup (41) základní aritmetické jednotky (40) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (400) součtové aritmetické jednotky (4), zatímco s centrální jednotkou (2) je spojen datový výstup (310) alespoň jednoho výstupního registru (3), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multi-

plexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 8) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna násobící operační jednotka (6) spojena s centrální jednotkou (2).
- 9) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 8, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna násobící operační jednotka (6) tvořena multiplexorem (8) a základní násobící jednotkou (60), přičemž datový vstup (62) základní násobící jednotky (60) tvoří datový paralelní vstup (602) násobící operační jednotky (6), násobící vstup (63) základní násobící jednotky (60) tvoří násobící vstup (601) násobící operační jednotky (6), datový výstup (61) základní násobící jednotky (60) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (600) násobící operační jednotky (6), zatímco s centrální jednotkou (2) je spojen datový výstup (310) alespoň jednoho výstupního registru (3), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).
- 10) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 3, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna lokální paměť (7) tvořena multiplexorem (8) a základní pamětí (70), přičemž datový vstup (72) základní paměti (70) tvoří datový paralelní vstup (701) lokální paměti (7), datový výstup (71) základní paměti (70) je spojen s datovým paralelním vstupem (802)

multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (700) lokální paměti (7), zápisový vstup (73) základní paměti (70) tvoří řídicí zápisový vstup (751) lokální paměti (7) a adresovací vstup (74) základní paměti (70) tvoří řídicí adresovací vstup (752) lokální paměti (7), zatímco s centrální jednotkou (2) je spojen datový zadávací vstup (801) a řídicí vstup (851) každého multiplexoru (8).

- 11) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že s centrální jednotkou (2) je spojen datový paralelní výstup (500) alespoň jedné akumulární paměti (5), řídicí zápisový vstup (351) a řídicí nastavovací vstup (352) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).
- 12) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový paralelní vstup (802) multiplexoru (8) tvoří datový paralelní vstup (501) akumulární paměti (5), datový paralelní výstup (800) multiplexoru (8) je spojen s datovým vstupem (51) akumulárního registru (50), datový výstup (52) akumulárního registru (50) tvoří datový paralelní výstup (500) akumulární paměti (5), řídicí zápisový vstup (53) akumulárního registru (50) tvoří řídicí zápisový vstup (551) akumulární paměti (5), řídicí uvolňovací vstup (54) akumulárního registru (50) tvoří řídicí uvolňovací vstup (552) akumulární paměti (5), zatímco s centrální jednotkou (2) je spojen datový paralelní výstup (500) alespoň jedné akumulární paměti (5), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňo-

vací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 13) Přírůstkový maticový mikroprocesor podle bodů 1 a 2, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový vstup (51) akumulárního registru (50) tvoří datový paralelní vstup (501) akumulární paměti (5), datový výstup (52) akumulárního registru (50) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (500) akumulární paměti (5), řídicí zápisový vstup (53) akumulárního registru (50) tvoří řídicí zápisový vstup (551) akumulární paměti (5), řídicí uvolňovací vstup (54) akumulárního registru (50) tvoří řídicí uvolňovací vstup (552) akumulární paměti (5), zatímco s centrální jednotkou (2) je spojen datový paralelní výstup (500) alespoň jedné akumulární paměti (5), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 14) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 6, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je součtová aritmetická jednotka (4) tvořena multiplexorem (8) a základní aritmetickou jednotkou (40), přičemž datový vstup (42) základní aritmetické jednotky (40) tvoří součtový paralelní vstup (402) součtové aritmetické jednotky (4), akumulární vstup (43) základní aritmetické jednotky (40) tvoří akumulární paralelní vstup (401) součtové aritmetické jednotky (4), datový výstup (41) zá-

kladní aritmetické jednotky (40) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (400) součtové aritmetické jednotky (4), zatímco s centrální jednotkou (2) je spojen datový paralelní výstup (500) alespoň jedné akumulární paměti (5), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 15) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 8, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna násobící operační jednotka (6) tvořena multiplexorem (8) a základní násobící jednotkou (60), přičemž datový vstup (62) základní násobící jednotky (60) tvoří datový paralelní vstup (602) násobící operační jednotky (6), násobící vstup (63) základní násobící jednotky (60) tvoří násobící vstup (601) násobící operační jednotky (6), datový výstup (61) základní násobící jednotky (60) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (600) násobící operační jednotky (6), zatímco s centrální jednotkou (2) je spojen datový paralelní výstup (500) alespoň jedné akumulární paměti (5), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).
- 16) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 11, vyznačený tím, že alespoň v jednom elementárním mikropro-

cesoru (1) je alespoň jedna lokální paměť (7) tvořena multiplexorem (8) a základní paměti (70), přičemž datový vstup (72) základní paměti (70) tvoří datový paralelní vstup (701) lokální paměti (7), datový výstup (71) základní paměti (70) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (700) lokální paměti (7), zápisový vstup (73) základní paměti (70) tvoří řídicí zápisový vstup (751) lokální paměti (7) a adresovací vstup (74) základní paměti (70) tvoří řídicí adresovací vstup (752) lokální paměti (7), zatímco s centrální jednotkou (2) je spojen datový zadávací vstup (801) a řídicí vstup (851) každého multiplexoru (8).

- 17) Přírůstkový maticový mikroprocesor podle bodů 1,2 a 6, vyznačený tím, že s centrální jednotkou (2) je spojen pomocný výstup (403) alespoň jedné součtové aritmetické jednotky (4), řídicí zápisový vstup (351) a řídicí nastavovací vstup (352) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulární paměti (5), řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).
- 18) Přírůstkový maticový mikroprocesor podle bodů 1,2 a 6, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový paralelní vstup (802) multiplexoru (8) tvoří datový paralelní vstup (501) akumulární paměti (5), datový paralelní výstup (800) multiplexoru (8) je spojen s datovým vstupem (51) akumulárního registru (50), datový výstup (52) akumulárního registru (50) tvoří datový paralelní výstup (500) akumulární paměti (5), řídicí zápisový vstup (53) akumulárního registru (50) tvoří řídicí zápisový vstup (551) akumulární paměti (5), řídicí uvolňovací vstup (54) akumulárního registru (50) tvoří řídicí uvolňovací vstup (552) akumu-

lační paměti (5), zatímco s centrální jednotkou (2) je spojen pomocný výstup (403) součtové aritmetické jednotky (4), datový zadávací vstup (801) každého multiplexoru (8), řídící zápisový vstup (351) každého výstupního registru (3), řídící zápisový vstup (551) a řídící uvolňovací vstup (552) každé akumulární paměti (5), řídící vstup (851) každého multiplexoru (8) a řídící zápisový vstup (751) a řídící adresovací vstup (752) každé lokální paměti (7).

- 19) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 6, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je akumulární paměť (5) tvořena multiplexorem (8) a akumulárním registrem (50), přičemž datový vstup (51) akumulárního registru (50) tvoří datový paralelní vstup (501) akumulární paměti (5), datový výstup (52) akumulárního registru (50) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (500) akumulární paměti (5), řídící zápisový vstup (53) akumulárního registru (50) tvoří řídící zápisový vstup (551) akumulární paměti (5), řídící uvolňovací vstup (54) akumulárního registru (50) tvoří řídící uvolňovací vstup (552) akumulární paměti (5), zatímco s centrální jednotkou (2) je spojen pomocný výstup (403) alespoň jedné součtové aritmetické jednotky (4), datový zadávací vstup (801) každého multiplexoru (8), řídící zápisový vstup (351) každého výstupního registru (3), řídící zápisový vstup (551) a řídící uvolňovací vstup (552) každé akumulární paměti (5), řídící vstup (851) každého multiplexoru (8) a řídící zápisový vstup (751) a řídící adresovací vstup (752) každé lokální paměti (7).
- 20) Přírůstkový maticový mikroprocesor podle bodů 1, 2 a 6, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je součtová aritmetická jednotka (4) tvořena

multiplexorem (8) a základní aritmetickou jednotkou (40), přičemž datový vstup (42) základní aritmetické jednotky (40) tvoří součtový paralelní vstup (402) součtové aritmetické jednotky (4), akumulací vstup (43) základní aritmetické jednotky (40) tvoří akumulací paralelní vstup (401) součtové aritmetické jednotky (4), datový výstup (41) základní aritmetické jednotky (40) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (400) součtové aritmetické jednotky (4), zatímco s centrální jednotkou (2) je spojen pomocný výstup (403) alespoň jedné součtové aritmetické jednotky (4) tvořený pomocným výstupem (44) základní aritmetické jednotky (40), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí uvolňovací vstup (552) každé akumulací paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 21) Přírůstkový maticový mikroprocesor podle bodů 1, 2, 6 a 8, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna násobící operační jednotka (6) tvořena multiplexorem (8) a základní násobící jednotkou (60), přičemž datový vstup (62) základní násobící jednotky (60) tvoří datový paralelní vstup (602) násobící operační jednotky (6), násobící vstup (63) základní násobící jednotky (60) tvoří násobící vstup (601) násobící operační jednotky (6), datový výstup (61) základní násobící jednotky (60) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (600) násobící operační jednotky (6), zatímco s centrální jednotkou (2) je spojen pomocný výstup (403) alespoň jedné součtové aritmetické jednotky (4), datový zadávací vstup (801) každého multiplexoru (8), řídicí zápisový vstup (351) každého výstupního registru (3), řídicí zápisový vstup (551) a řídicí

uvolňovací vstup (552) každé akumulární paměti (5), řídicí vstup (851) každého multiplexoru (8) a řídicí zápisový vstup (751) a řídicí adresovací vstup (752) každé lokální paměti (7).

- 22) Přírůstkový maticový mikroprocesor podle bodů 1, 2, 6 a 17, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je alespoň jedna lokální paměť (7) tvořena multiplexorem (8) a základní pamětí (70), přičemž datový vstup (72) základní paměti (70) tvoří datový paralelní vstup (701) lokální paměti (7), datový výstup (71) základní paměti (70) je spojen s datovým paralelním vstupem (802) multiplexoru (8), datový paralelní výstup (800) multiplexoru (8) tvoří datový paralelní výstup (700) lokální paměti (7), zápisový vstup (73) základní paměti (70) tvoří řídicí zápisový vstup (751) lokální paměti (7) a adresovací vstup (74) základní paměti (70) tvoří řídicí adresovací vstup (752) lokální paměti (7), zatímco s centrální jednotkou (2) je spojen datový zadávací vstup (801) a řídicí vstup (851) každého multiplexoru (8).
- 23) Přírůstkový maticový mikroprocesor podle bodů 1 až 6, 8 až 13, 15 až 19, 21 a 22, vyznačený tím, že součtová aritmetická jednotka (4) je tvořena základní aritmetickou jednotkou (40), přičemž datový vstup (42) základní aritmetické jednotky (40) tvoří součtový paralelní vstup (402) součtové aritmetické jednotky (4), akumulární vstup (43) základní aritmetické jednotky (40) tvoří akumulární paralelní vstup (401) součtové aritmetické jednotky (4) a datový výstup (41) základní aritmetické jednotky (40) tvoří datový paralelní výstup (400) součtové aritmetické jednotky (4).
- 24) Přírůstkový maticový mikroprocesor podle bodů 1 až 23, vyznačený tím, že alespoň jedna základní aritmetická jednotka (40) alespoň jednoho elementárního mikroprocesoru (1) je tvořena binární sečítačkou (49).

- 25) Přírůstkový maticový mikroprocesor podle bodů 1 až 3, 6 až 11, 14 až 17, 20 až 24, vyznačený tím, že akumulární paměť (5) je tvořena akumulárním registrem (50), přičemž datový vstup (51) akumulárního registru (50) tvoří datový paralelní vstup (501) akumulární paměti (5), datový výstup (52) akumulárního registru (50) tvoří datový paralelní výstup (500) akumulární paměti (5), řídicí zápisový vstup (53) akumulárního registru (50) tvoří řídicí zápisový vstup (551) akumulární paměti (5) a řídicí uvolňovací vstup (54) akumulárního registru (50) tvoří řídicí uvolňovací vstup (552) akumulární paměti (5).
- 26) Přírůstkový maticový mikroprocesor podle bodů 1 až 8, 10 až 14, 16 až 20, 22 až 25, vyznačený tím, že násobící operační jednotka (6) je tvořena základní násobící jednotkou (60), přičemž datový vstup (62) základní násobící jednotky (60) tvoří datový paralelní vstup (602) násobící operační jednotky (6), datový výstup (61) základní násobící jednotky (60) tvoří datový paralelní výstup (600) násobící operační jednotky (6) a násobící vstup (63) základní násobící jednotky (60) tvoří násobící vstup (601) násobící operační jednotky (6).
- 27) Přírůstkový maticový mikroprocesor podle bodů 1 až 26, vyznačený tím, že alespoň jedna základní násobící jednotka (60) alespoň jednoho elementárního mikroprocesoru (1) je tvořena kombinační násobičkou (65).
- 28) Přírůstkový maticový mikroprocesor podle bodů 1 až 23, vyznačený tím, že alespoň jedna základní aritmetická jednotka (40) alespoň jednoho elementárního mikroprocesoru (1) je tvořena základní sečítací jednotkou (45), základní násobící jednotkou (60) a akumulární sečítací jednotkou (46), přičemž výstup (450) základní sečítací jednotky (45) tvoří datový výstup (41) základní aritmetické jednotky (40), akumulární vstup (451) základní sečítací jednotky (45) tvoří akumulární vstup (43) základní aritmetické jednotky (40),

součtový vstup (461) akumulační sečítací jednotky (46) tvoří datový vstup (42) základní aritmetické jednotky (40), výstup (460) akumulační sečítací jednotky (46) je spojen s datovým vstupem (62) základní násobící jednotky (60), datový výstup (61) základní násobící jednotky (60) je spojen s datovým vstupem (452) základní sečítací jednotky (45), zatímco s centrální jednotkou (2) je spojen násobící vstup (63) každé základní násobící jednotky (60).

- 29) Přírůstkový maticový mikroprocesor podle bodů 1 až 23 a 28, vyznačený tím, že základní sečítací jednotka (45) je tvořena binární sečítačkou (49), základní násobící jednotka (60) je tvořena kombinační násobičkou (65) a akumulační sečítací jednotka (46) je tvořena binární sečítačkou (49).
- 30) Přírůstkový maticový mikroprocesor podle bodů 1 až 26, 28 a 29, vyznačený tím, že alespoň jedna základní násobící jednotka (60) alespoň jednoho elementárního mikroprocesoru (1) je tvořena násobící jednotkou (689), vstupním multiplexorem (9), paměťovým multiplexorem (10) a přípravnou pamětí (11), přičemž výstup (690) násobící jednotky (689) tvořící datový výstup (61) základní násobící jednotky (60) je spojen s datovým vstupem (111) přípravné paměti (11), datový výstup (110) přípravné paměti (11) je spojen s přípravným vstupem (101) paměťového multiplexoru (10), přímý vstup (102) paměťového multiplexoru (10) tvoří datový vstup (62) základní násobící jednotky (60), výstup (100) paměťového multiplexoru (10) je spojen s datovým vstupem (691) násobící jednotky (689), násobící vstup (692) násobící jednotky (689) je spojen s datovým paralelním výstupem (900) vstupního multiplexoru (9), datový vstup (902) vstupního multiplexoru (9) tvoří násobící vstup (63) základní násobící jednotky (60), zatímco s centrální jednotkou (2) je spojen datový zadávací vstup (901) vstupního multiplexoru (9), řídicí vstup (951) vstupního multiplexoru (9), řídicí vstup (151) paměťového

multiplexoru (10) a přípravná paměť (11).

241 256

- 31) Přírůstkový maticový mikroprocesor podle bodů 1 až 30, vyznačený tím, že násobící jednotka (689) je tvořena kombinační násobičkou (65).
- 32) Přírůstkový maticový mikroprocesor podle bodů 1 až 23, 25 a 26, 28 a 30, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je základní aritmetická jednotka (40) tvořena základní sečítací jednotkou (45) a akumulacním posuvným registrem (490), přičemž výstup (450) základní sečítací jednotky (45) tvořící datový výstup (41) základní aritmetické jednotky (40) je spojen s datovým vstupem (491) akumulacního posuvného registru (490), datový výstup (492) akumulacního posuvného registru (490) je spojen s pomocným akumulacním vstupem (493) základní sečítací jednotky (45), akumulacní vstup (494) základní sečítací jednotky (45) tvoří akumulacní vstup (43) základní aritmetické jednotky (40), datový vstup (452) základní sečítací jednotky (45) tvoří datový vstup (42) základní aritmetické jednotky (40), přičemž s centrální jednotkou (2) je spojen nulovací vstup (495), zápisový vstup (496) a posouvací vstup (497) akumulacního posuvného registru (490) a posouvací vstup (375) výstupního registru (3).
- 33) Přírůstkový maticový mikroprocesor podle bodu 32, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je základní násobící jednotka (60) tvořena rozhodovacím obvodem (20) a základním transformačním obvodem (21), přičemž rozhodovací obvod (20) je spojen se základním transformačním obvodem (21), datový vstup (201) základního transformačního obvodu (21) tvoří datový vstup (62) základní násobící jednotky (60), datový výstup (202) základního transformačního obvodu (21) tvoří datový výstup (61) základní násobící jednotky (60), sekvenční vstup (210) rozhodovacího obvodu (20) tvoří násobící vstup (63) základní násobící jednotky (60).

zatímco s centrální jednotkou (2) je spojen rozhodovací vstup (211) rozhodovacího obvodu (20).

- 34) Přírůstkový maticový mikroprocesor podle bodu 33, vyznačený tím, že alespoň jeden elementární mikroprocesor (1) obsahuje pouze jednu základní násobící jednotku (60) tvořenou rozhodovacím obvodem (20) a základním transformačním obvodem (21), zatímco mezi zápisový vstup (496) akumulárního posuvného registru (490) a centrální jednotku (2) je zapojen blokovací obvod (28), přičemž řídicí vstup (280) blokovacího obvodu (28) je spojen s rozhodovacím obvodem (20).
- 35) Přírůstkový maticový mikroprocesor podle bodu 34, vyznačený tím, že alespoň jeden elementární mikroprocesor (1) obsahuje pouze jednu základní násobící jednotku (60) tvořenou rozhodovacím obvodem (20), základním transformačním obvodem (21), vstupním multiplexorem (9), paměťovým multiplexorem (10) a přípravnou pamětí (11), přičemž datový výstup (202) základního transformačního obvodu (21) tvoří datový výstup (61) základní násobící jednotky (60), datový vstup (201) základního transformačního obvodu (21) je spojen s výstupem (100) paměťového multiplexoru (10), přímý vstup (102) paměťového multiplexoru (10) tvoří datový vstup (62) základní násobící jednotky (60), přípravný vstup (101) paměťového multiplexoru (10) je spojen s datovým výstupem (110) přípravné paměti (11), datový vstup (111) přípravné paměti (11) je spojen s datovým paralelním výstupem (400) součtové aritmetické jednotky (4), sekvenční vstup (210) rozhodovacího obvodu (20) je spojen s datovým paralelním výstupem (900) vstupního multiplexoru (9), datový vstup (902) vstupního multiplexoru (9) tvoří násobící vstup (63) základní násobící jednotky (60), zatímco s centrální jednotkou (2) je spojen datový zadávací vstup (901) vstupního multiplexoru (9), řídicí vstup (951) vstupního multiplexoru (9), řídicí vstup (151) paměťového multiplexoru (10) a přípravná

paměť (11).

- 36) Přírůstkový maticový mikroprocesor podle bodů 1 až 26, vyznačený tím, že alespoň jedna základní násobící jednotka (60) alespoň jednoho elementárního mikroprocesoru (1) je tvořena základní sečítací jednotkou (45), akumulacním posuvným registrem (490), rozhodovacím obvodem (20) a základním transformačním obvodem (21), přičemž výstup (450) základní sečítací jednotky (45) tvořící datový výstup (61) základní násobící jednotky (60) je spojen s datovým vstupem (491) akumulacího posuvného registru (490), datový výstup (492) akumulacího posuvného registru (490) je spojen s akumulacním vstupem (494) základní sečítací jednotky (45), datový vstup (452) základní sečítací jednotky (45) je spojen s datovým výstupem (202) základního transformačního obvodu (21), datový vstup (201) základního transformačního obvodu (21) tvoří datový vstup (62) základní násobící jednotky (60), základní transformační obvod (21) je spojen s rozhodovacím obvodem (20), sekvenční vstup (210) rozhodovacího obvodu (20) tvoří násobící vstup (63) základní násobící jednotky (60), zatímco s centrální jednotkou (2) je spojen rozhodovací vstup (211) rozhodovacího obvodu (20), nulovací vstup (495), zápisový vstup (496) a posouvací vstup (497) akumulacího posuvného registru (490) a posouvací vstup (375) výstupního registru (3).
- 37) Přírůstkový maticový mikroprocesor podle bodu 36, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je mezi zápisový vstup (496) akumulacího posuvného registru (490) a centrální jednotku (2) zapojen blokovací obvod (28), přičemž řídící vstup (280) blokovacího obvodu (28) je spojen s rozhodovacím obvodem (20).
- 38) Přírůstkový maticový mikroprocesor podle bodů 1 až 26, 33, 34, 36 a 37, vyznačený tím, že alespoň v jednom elementárním mikroprocesoru (1) je mezi datový paralelní výstup

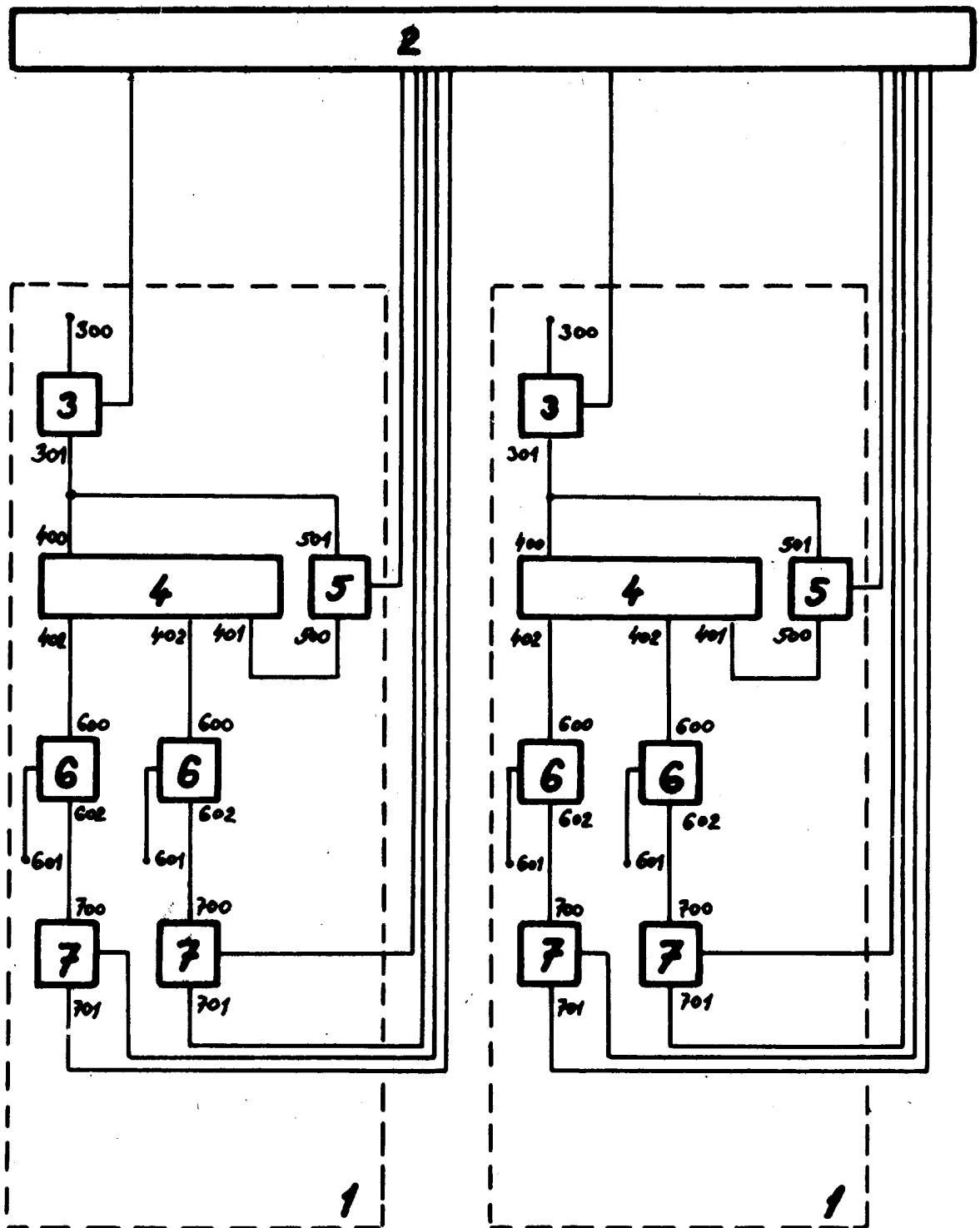
(700) lokální paměti (7) a odpovídající datový paralelní vstup (602) násobící operační jednotky zapojena pomocná násobící jednotka (35) tvořená základní sečítací jednotkou (45), akumulčním posuvným registrem (490), pomocným výstupním registrem (325), rozhodovacím obvodem (20) a základním transformačním obvodem (21) přičemž datový výstup (326) pomocného výstupního registru (325) je spojen s datovým paralelním vstupem (602) násobící operační jednotky (6), výstup (450) základní sečítací jednotky (45) je spojen s datovým vstupem (327) pomocného výstupního registru (325) a s datovým vstupem (491) akumulčního posuvného registru (490), datový výstup (492) akumulčního posuvného registru (490) je spojen s akumulčním vstupem (494) základní sečítací jednotky (45), datový vstup (452) základní sečítací jednotky (45) je spojen s datovým výstupem (202) základního transformačního obvodu (21), datový vstup (201) základního transformačního obvodu (21) je spojen s datovým paralelním výstupem (700) odpovídající lokální paměti (7), základní transformační obvod (21) je spojen s rozhodovacím obvodem (20), sekvenční vstup (210) rozhodovacího obvodu (20) tvoří násobící vstup (658) pomocné násobící jednotky (35), zatímco s centrální jednotkou (2) je spojen rozhodovací vstup (211) rozhodovacího obvodu (20), nulovací vstup (495), zápisový vstup (496) a posouvací vstup (497) akumulčního posuvného registru (490), pomocný výstupní registr (325), posouvací vstup (375) výstupního registru (3) a násobící vstup (658) pomocné násobící jednotky (35).

39) Přírůstkový maticový mikroprocesor podle bodu 38, vyznačený tím, že alespoň v jedné pomocné násobící jednotce (35) je mezi zápisový vstup (496) akumulčního posuvného registru (490) a centrální jednotku (2) zapojen blokovací obvod (28), přičemž řídicí vstup (280) blokovacího obvodu (28) je spojen s rozhodovacím obvodem (20).

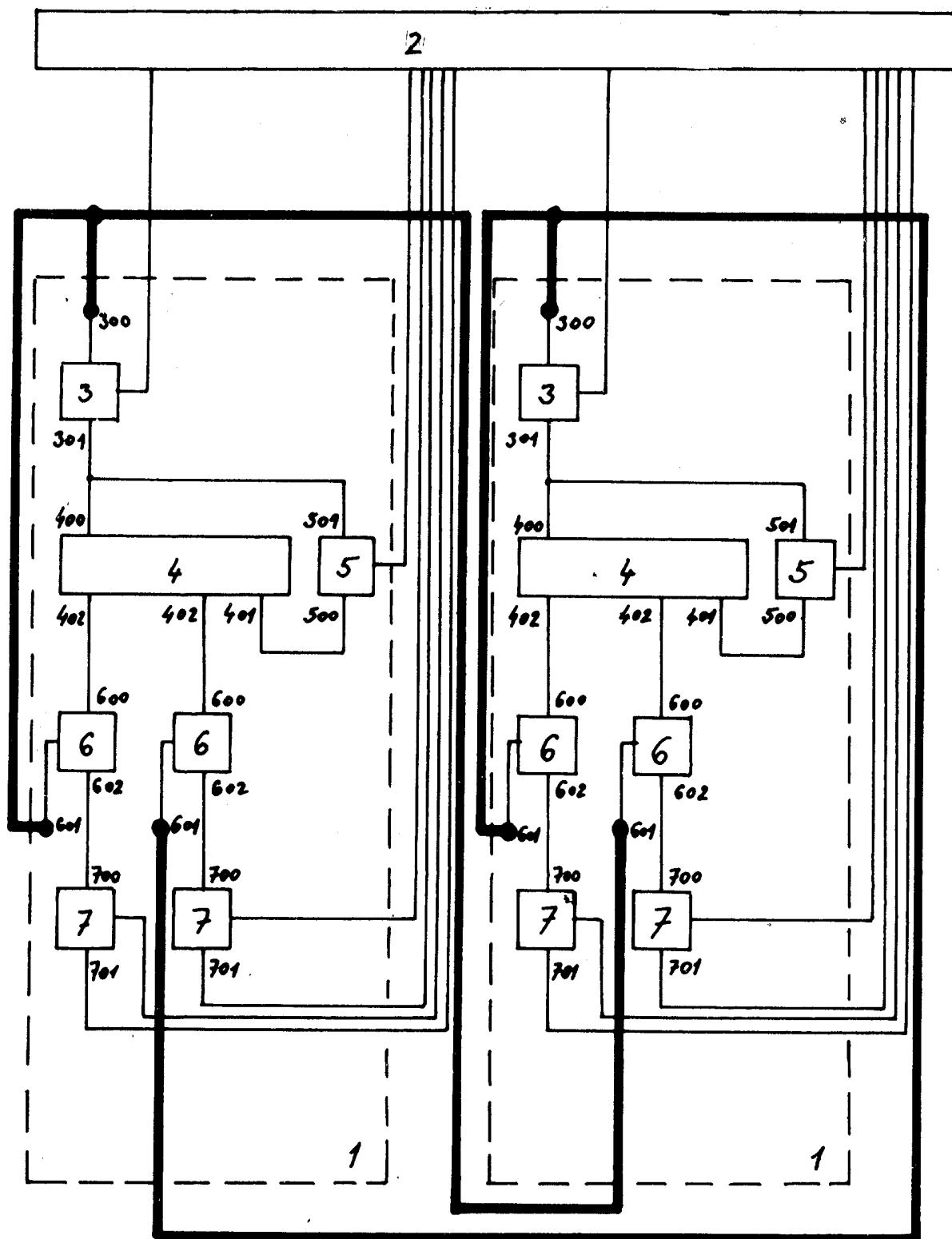
40) Přírůstkový maticový mikroprocesor podle bodů 1 až 23, 25, 26, 33, 34, 36 a 37, vyznačený tím, že alespoň jedna

základní aritmetická jednotka (40) alespoň jednoho elementárního mikroprocesoru (1) je tvořena základní sečítací jednotkou (45), základní násobící jednotkou (60), akumulací sečítací jednotkou (46) a akumulací posuvným registrem (490), přičemž výstup (450) základní sečítací jednotky (45) tvoří datový výstup (41) základní aritmetické jednotky (40), akumulací vstup (451) základní sečítací jednotky (45) tvoří akumulací vstup (43) základní aritmetické jednotky (40), součtový vstup (461) akumulací sečítací jednotky (46) tvoří datový vstup (42) základní aritmetické jednotky (40) výstup (460) akumulací sečítací jednotky (46) je spojen s datovým vstupem (62) základní násobící jednotky (60) a s datovým vstupem (491) akumulací posuvného registru (490), datový výstup (492) akumulací posuvného registru (490) je spojen s akumulací vstupem (499) akumulací sečítací jednotky (46), datový výstup (61) základní násobící jednotky (60) je spojen s datovým vstupem (452) základní sečítací jednotky (45), zatímco s centrální jednotkou (2) je spojen násobící vstup (63) základní násobící jednotky (60), nulovací vstup (495), zápisový vstup (496) a posouvací vstup (497) akumulací posuvného registru (490).

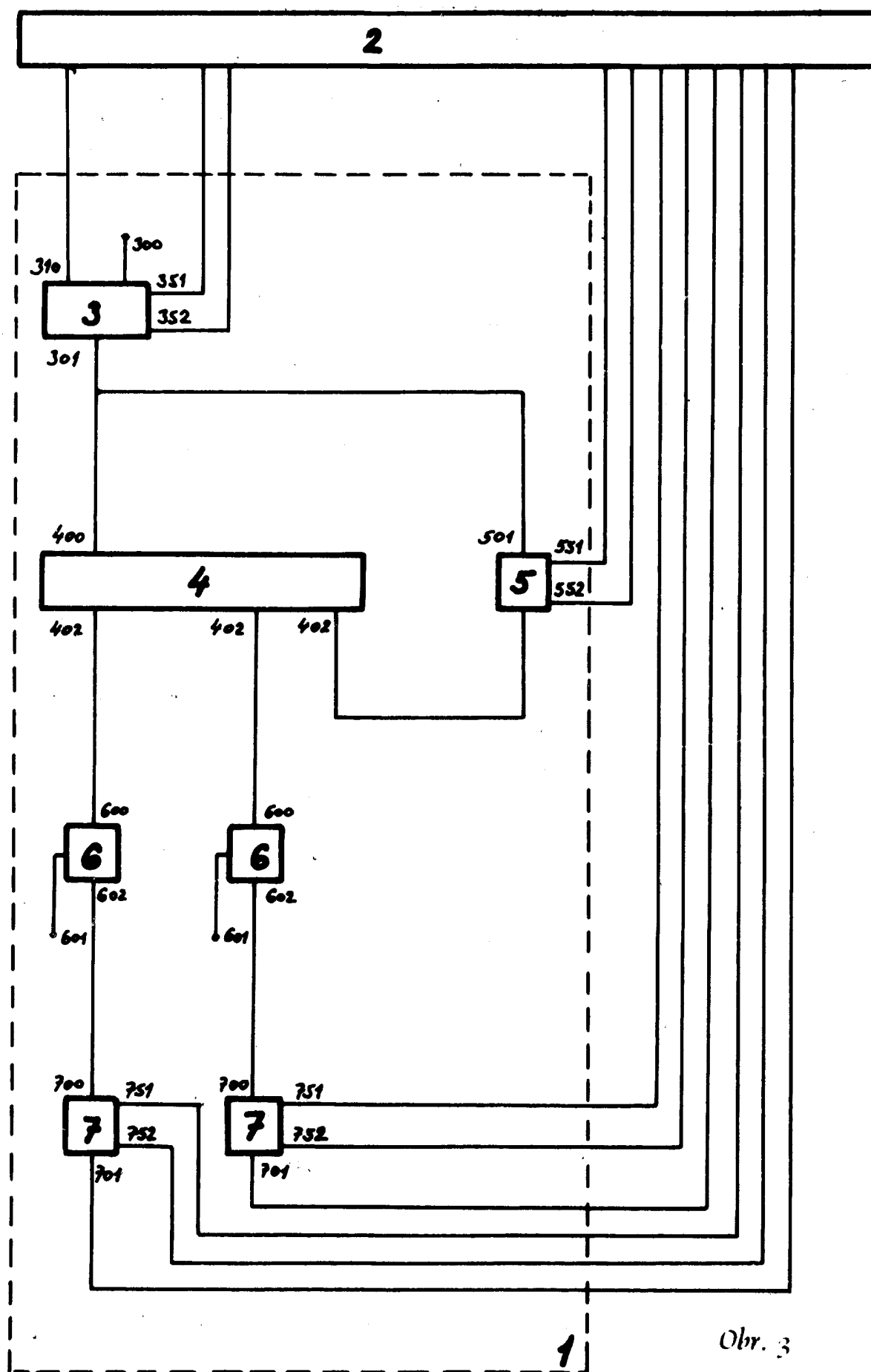
- 41) Přírůstkový maticový mikroprocesor podle bodů 1 až 40, vyznačený tím, že základní sečítací jednotka (45) je tvořena binární sečítačkou (49) a akumulací sečítací jednotka (46) je tvořena binární sečítačkou (49).



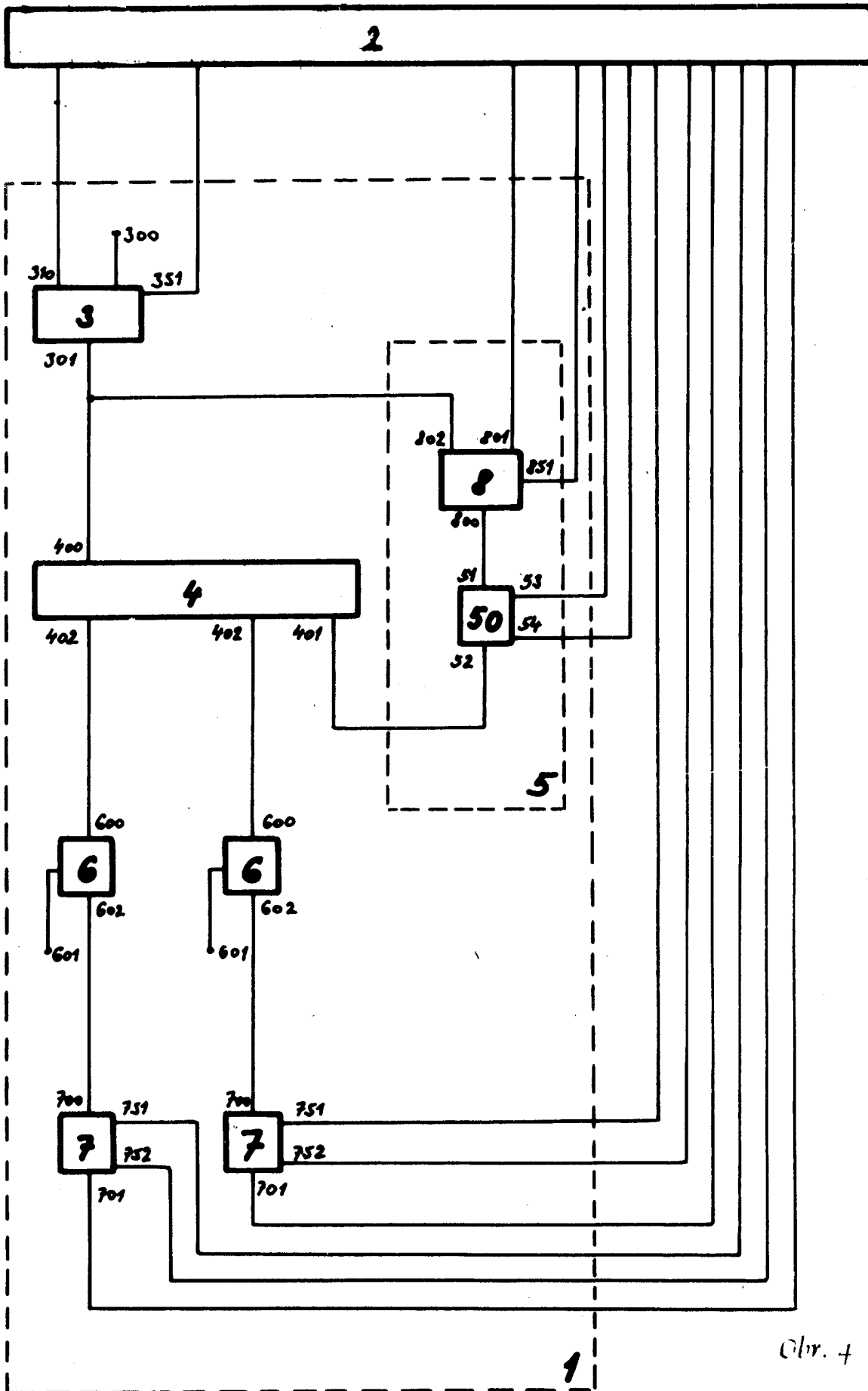
Obr. 1



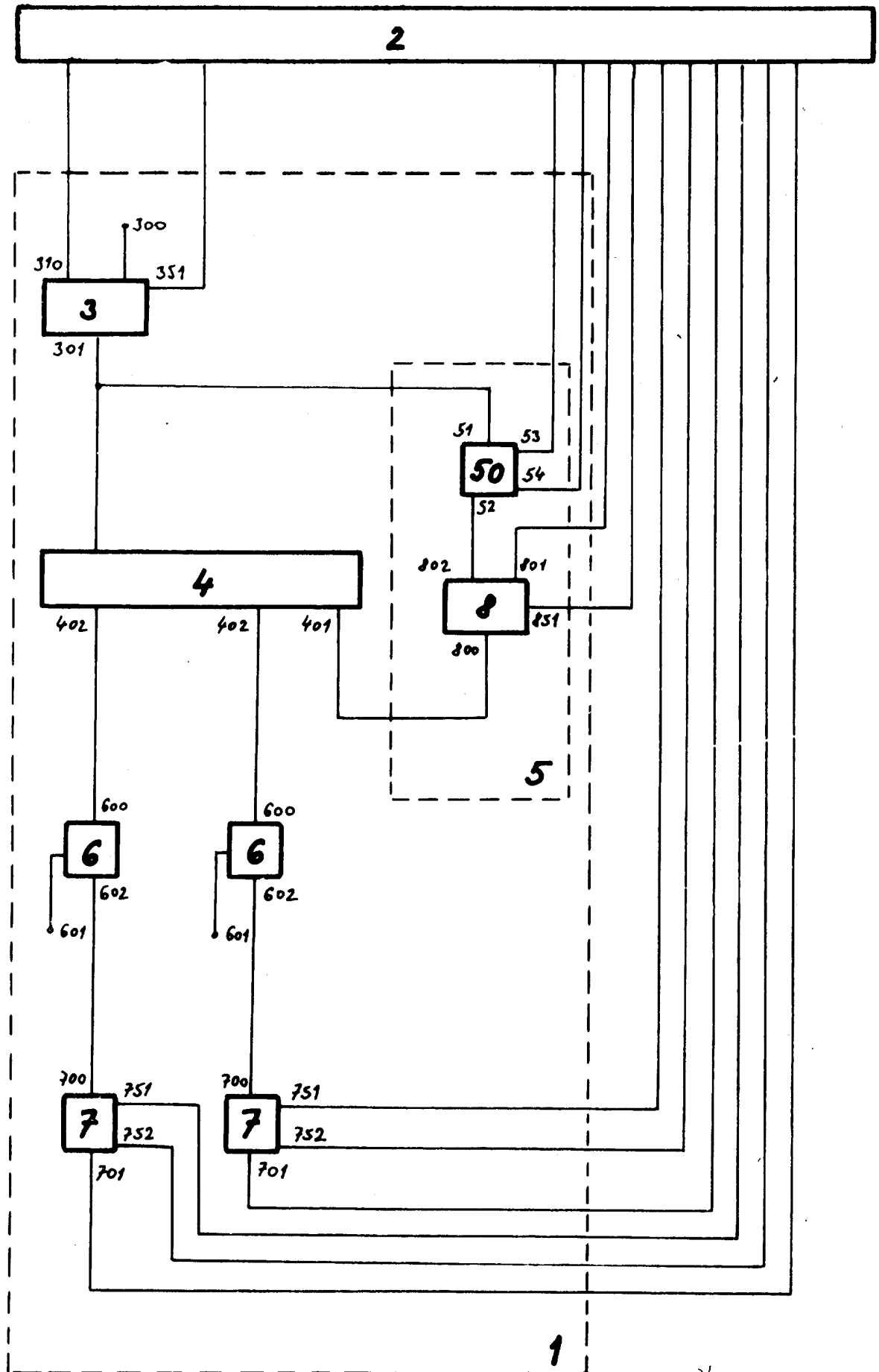
Obr. 2

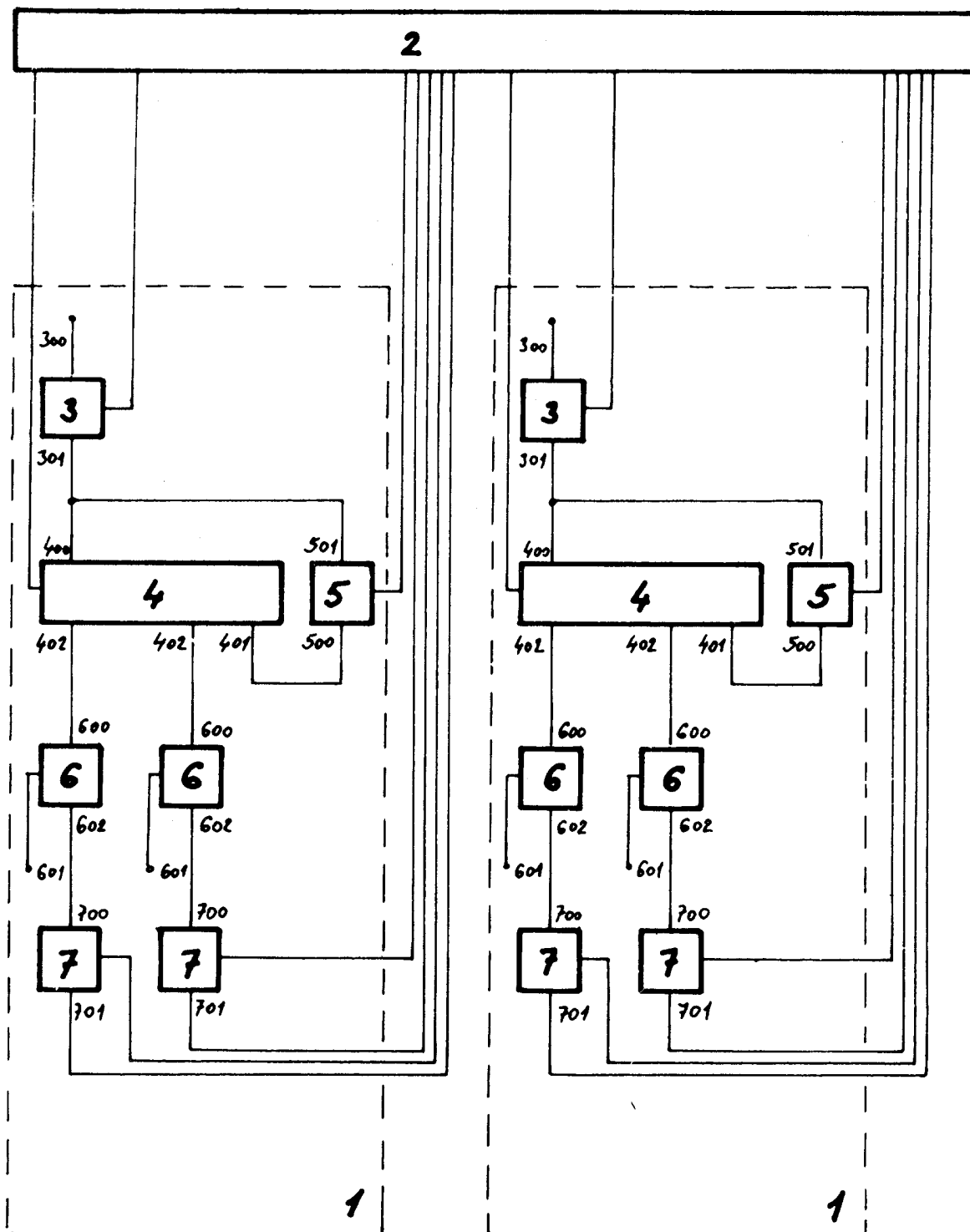


Obr. 3

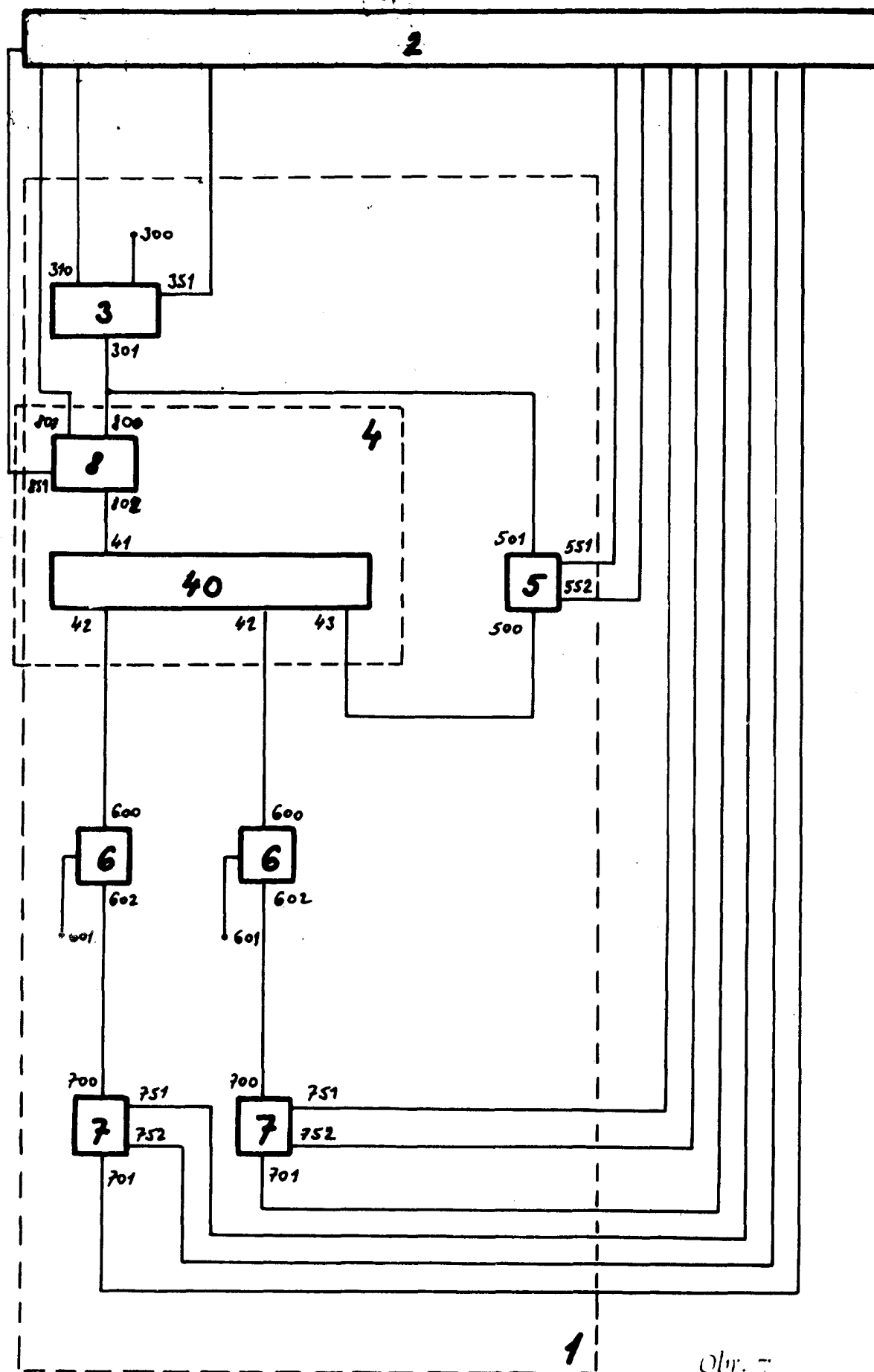


Chr. 4

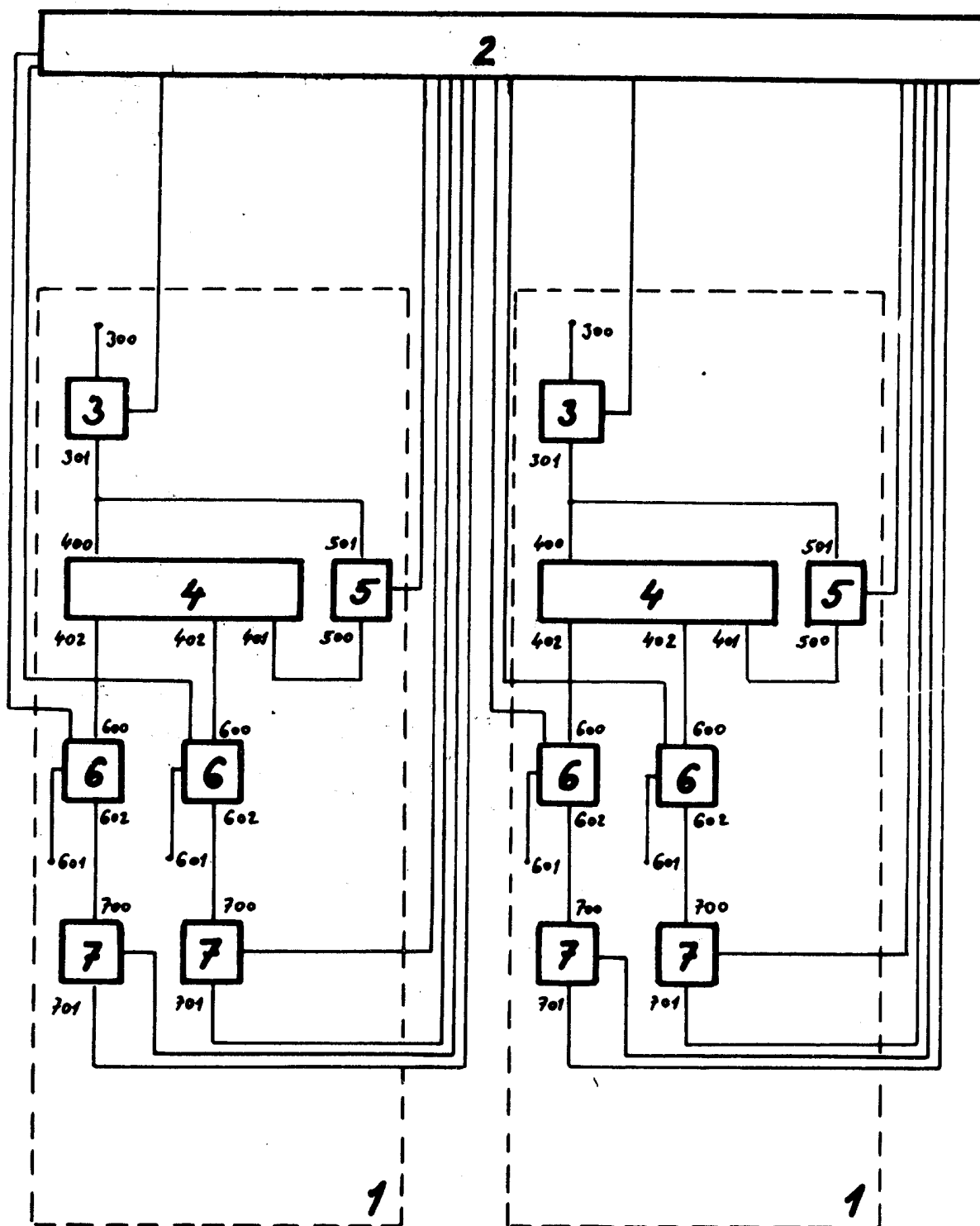




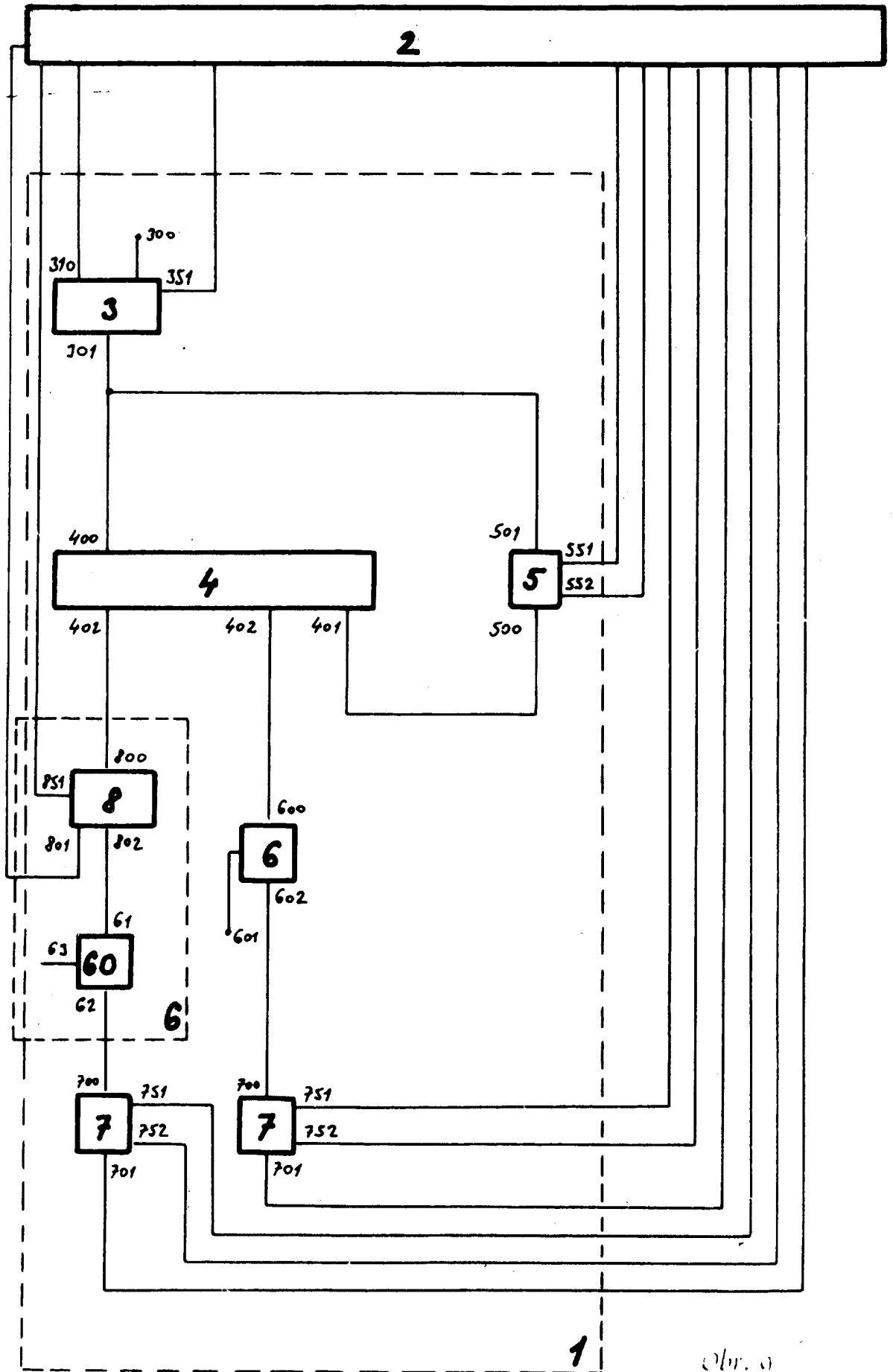
Обр. 6



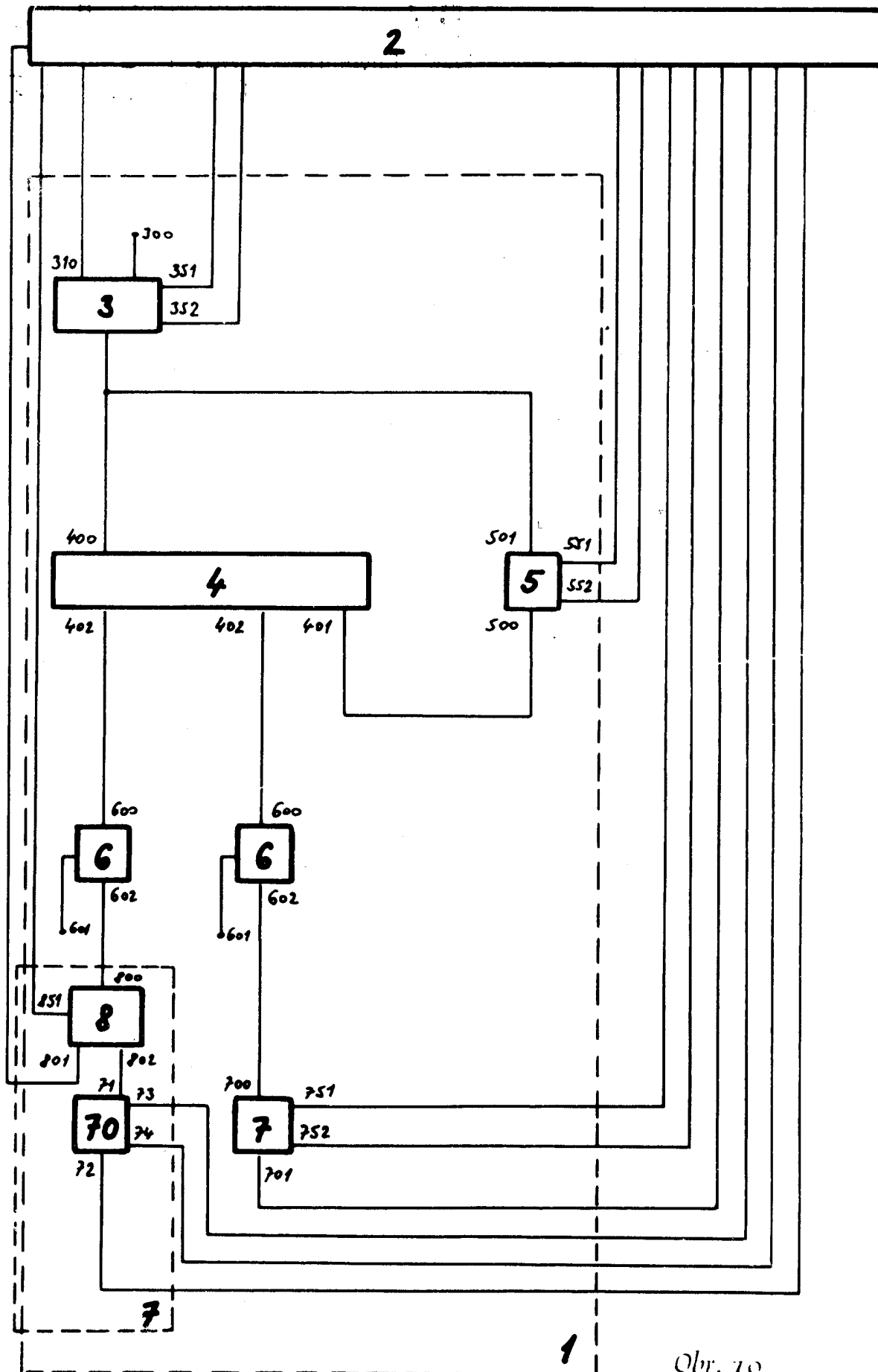
Obr. 7



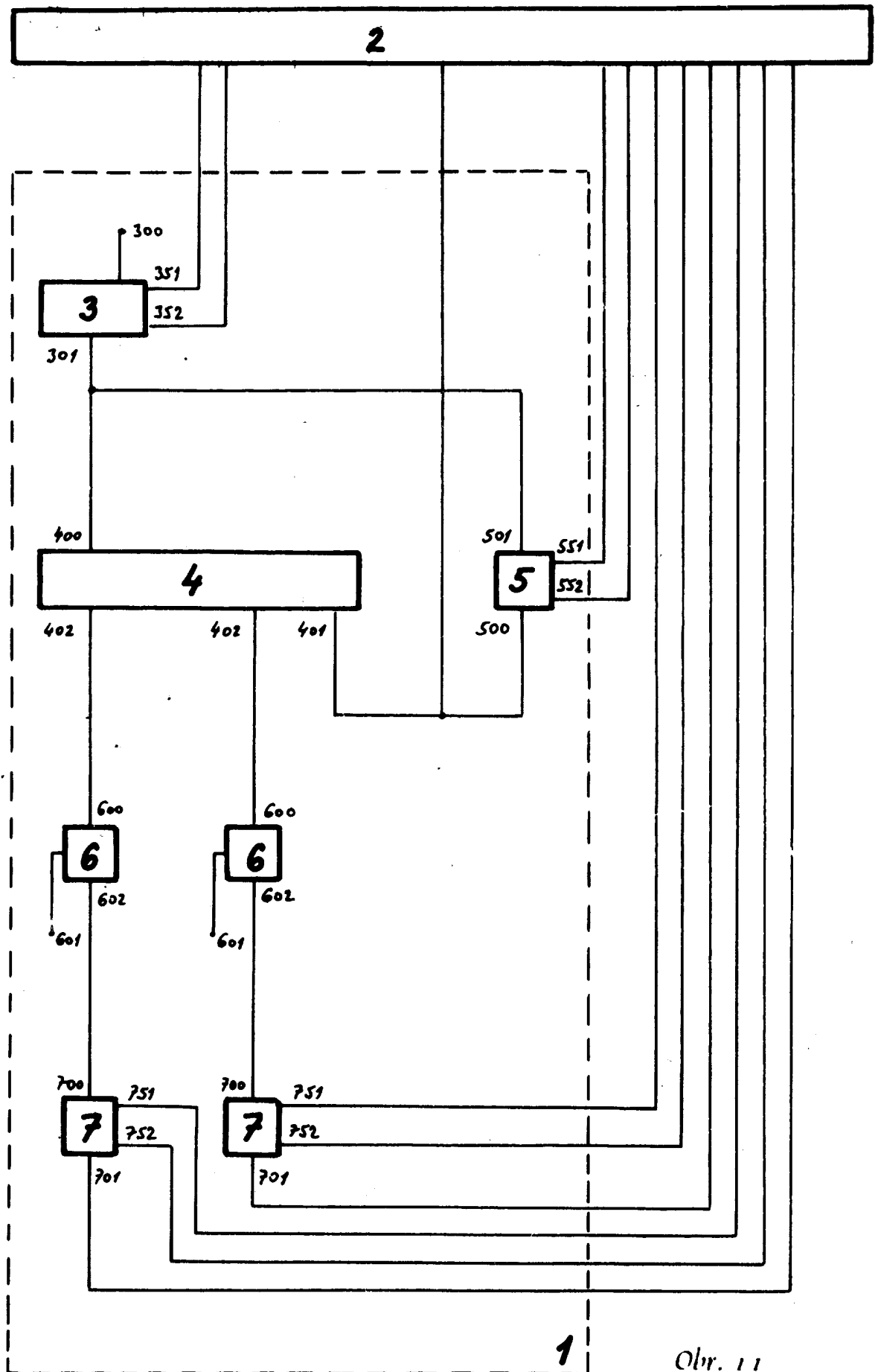
Obr. 8



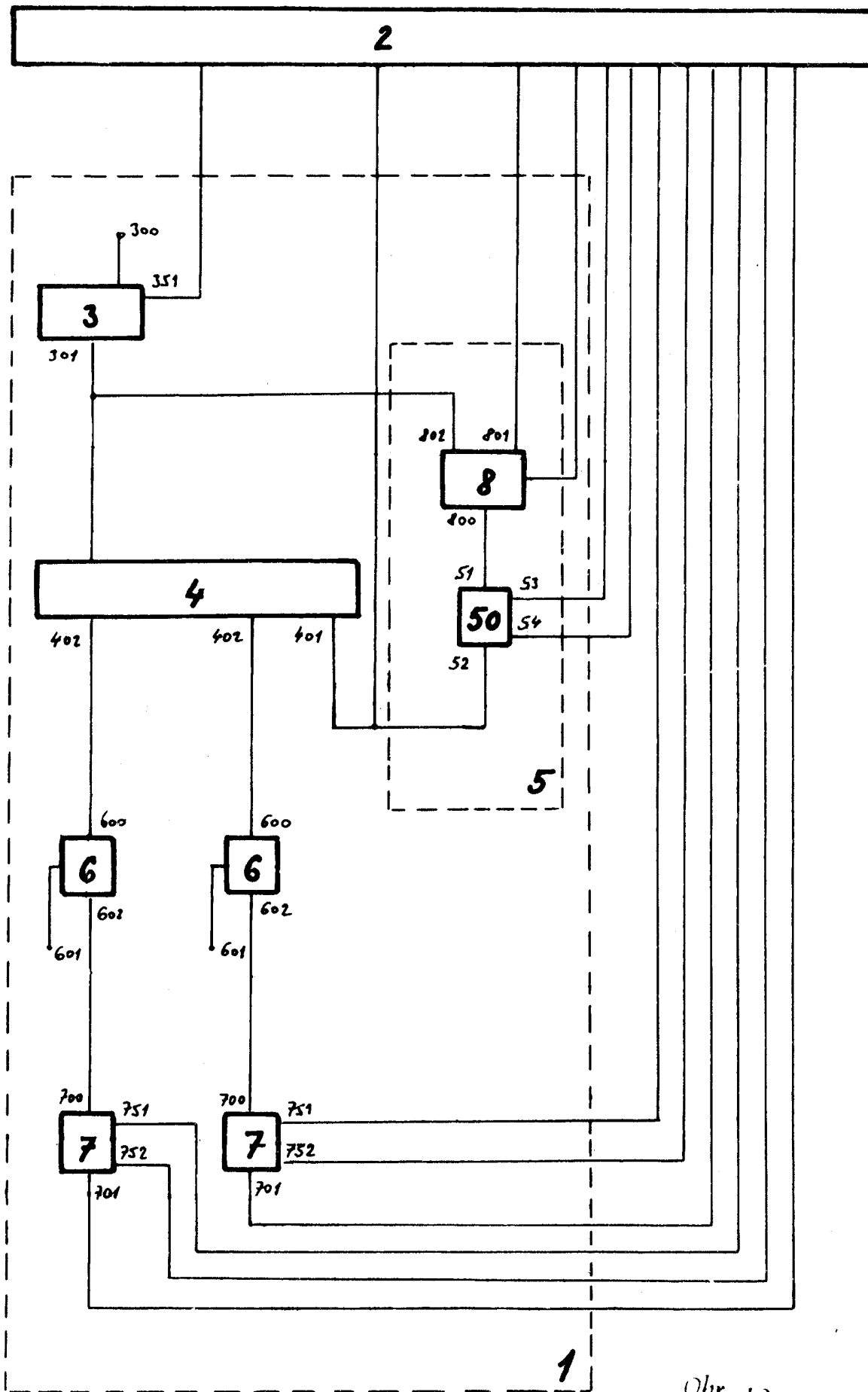
obr. 9



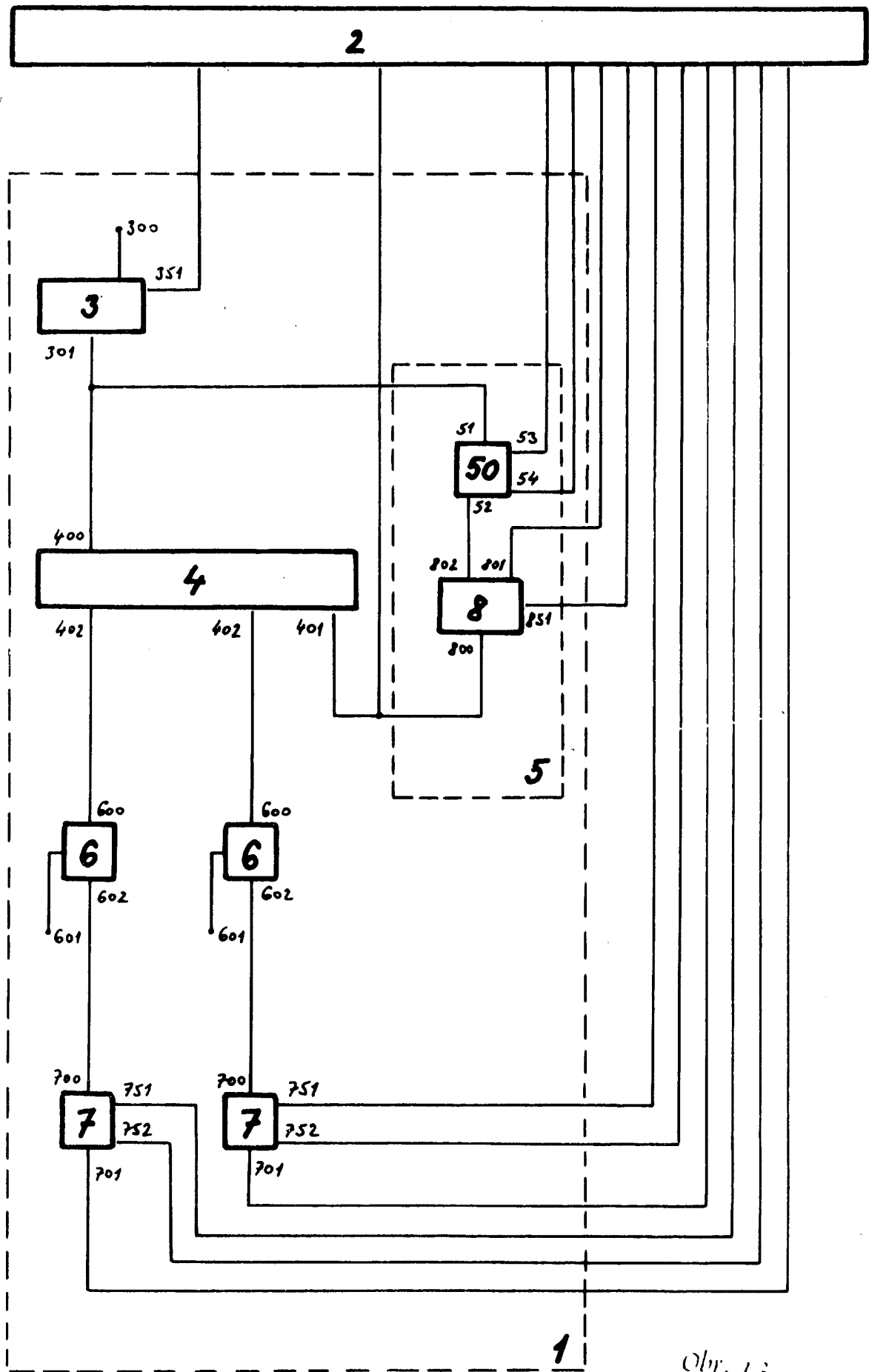
Obr. 10



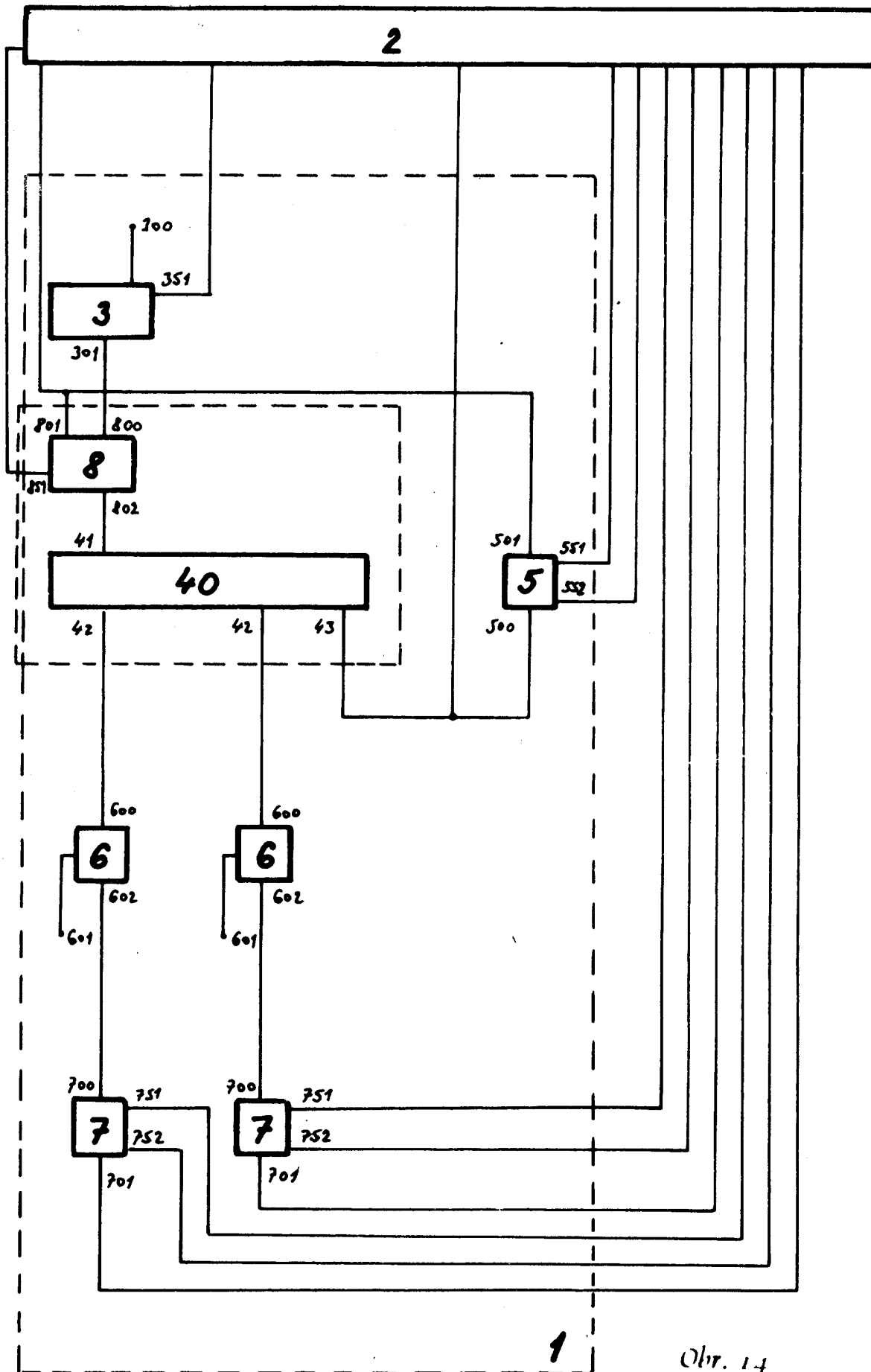
Obr. 11

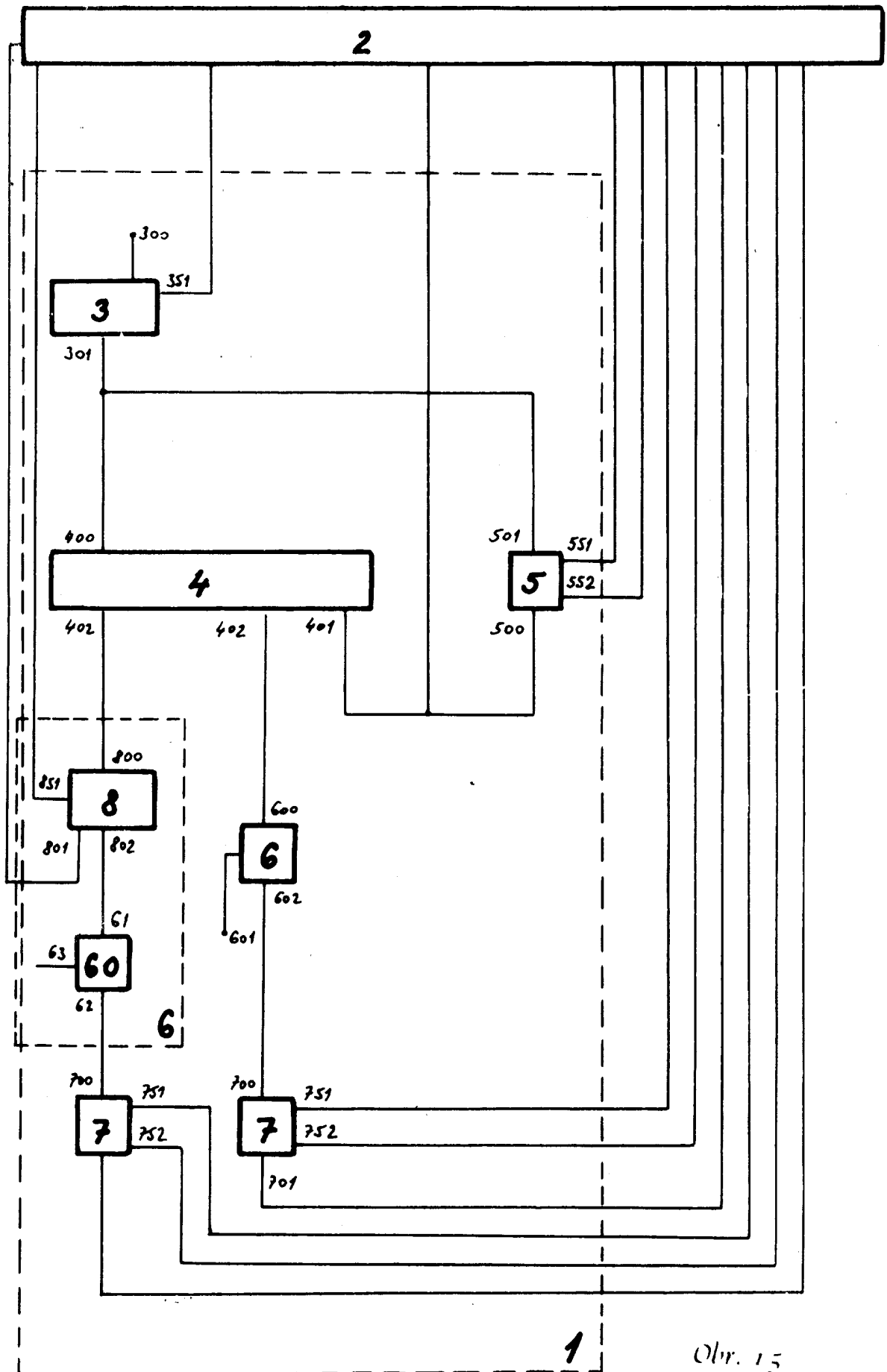


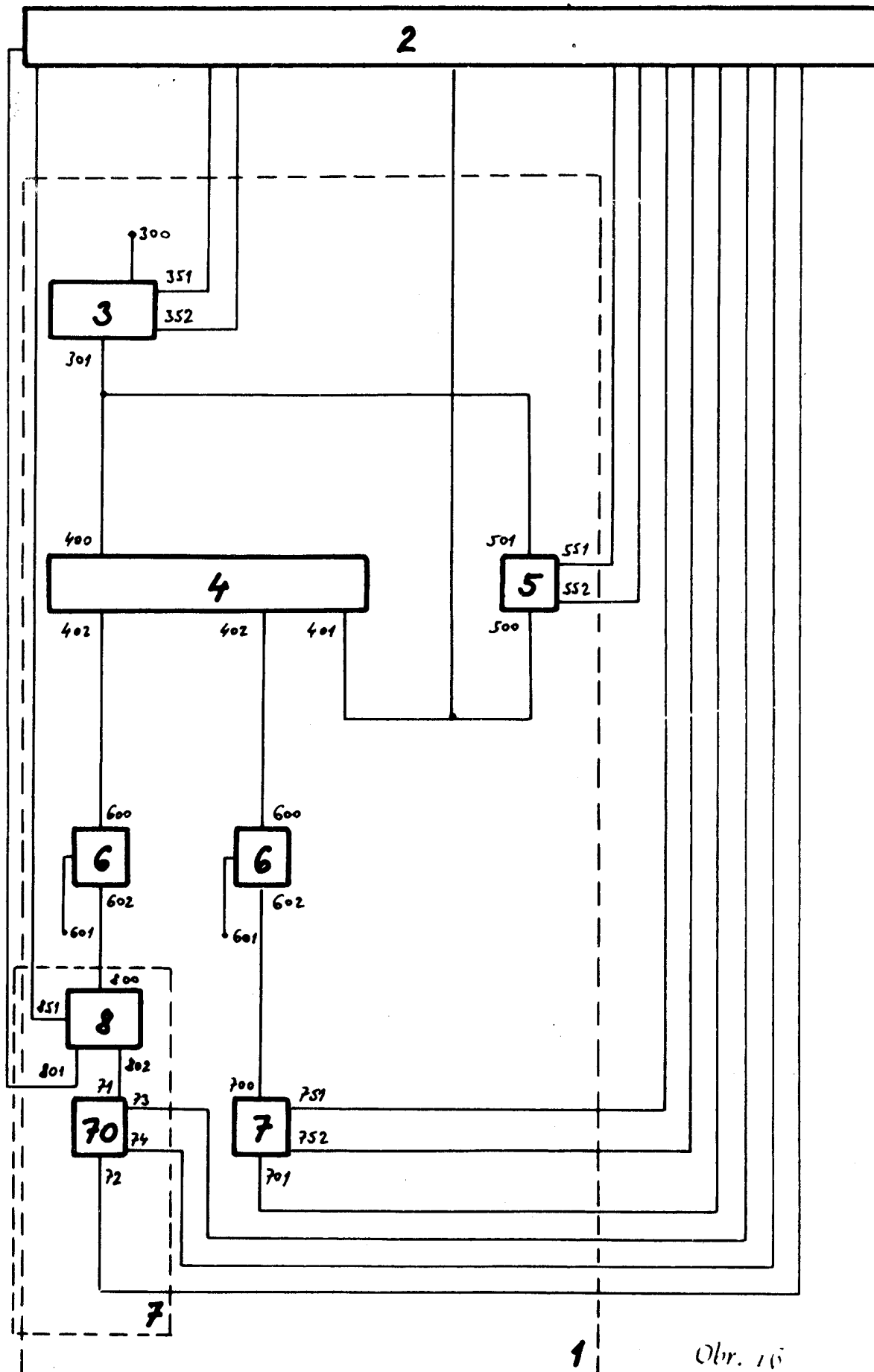
Obr. 12



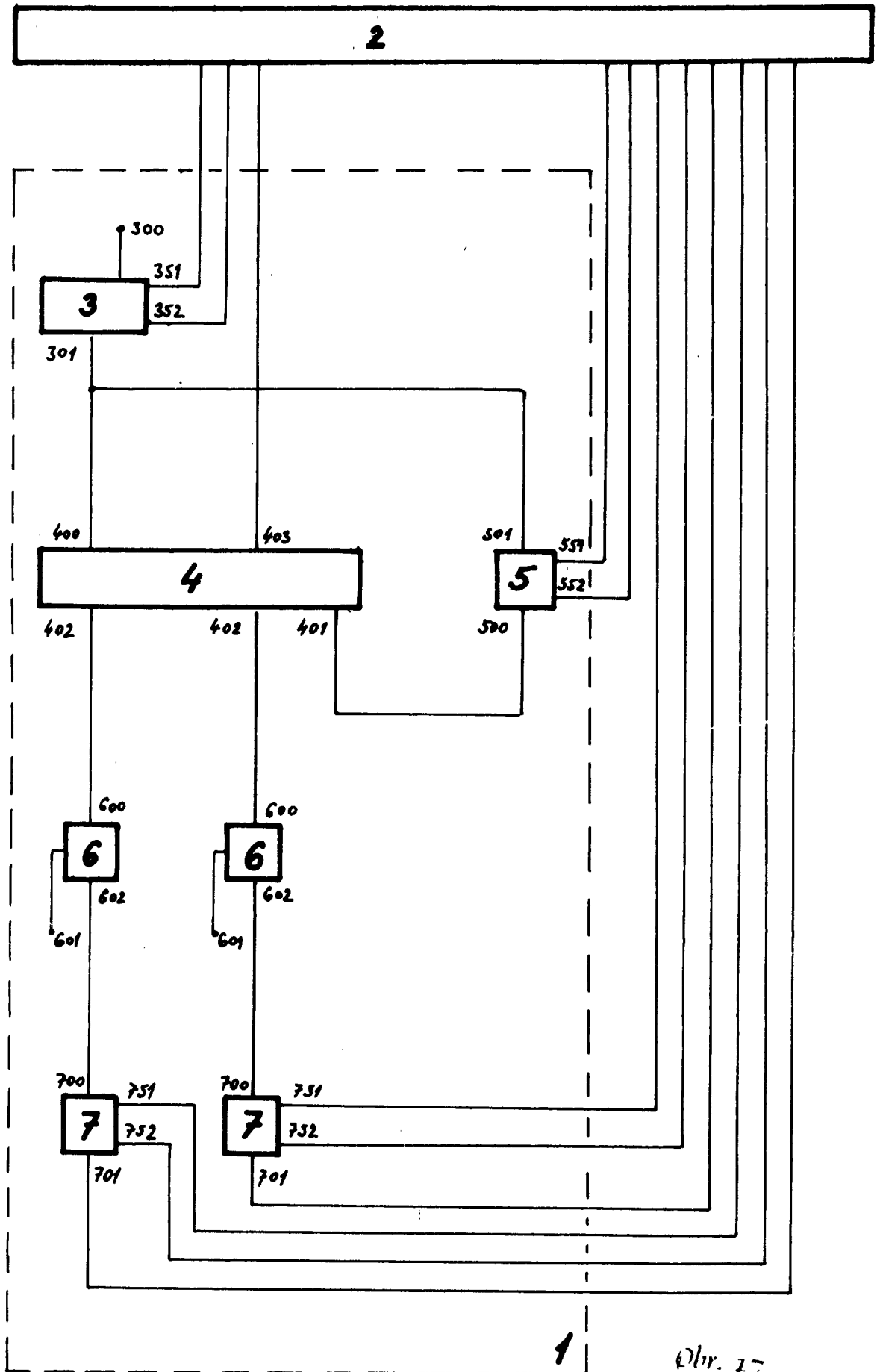
Obr. 13



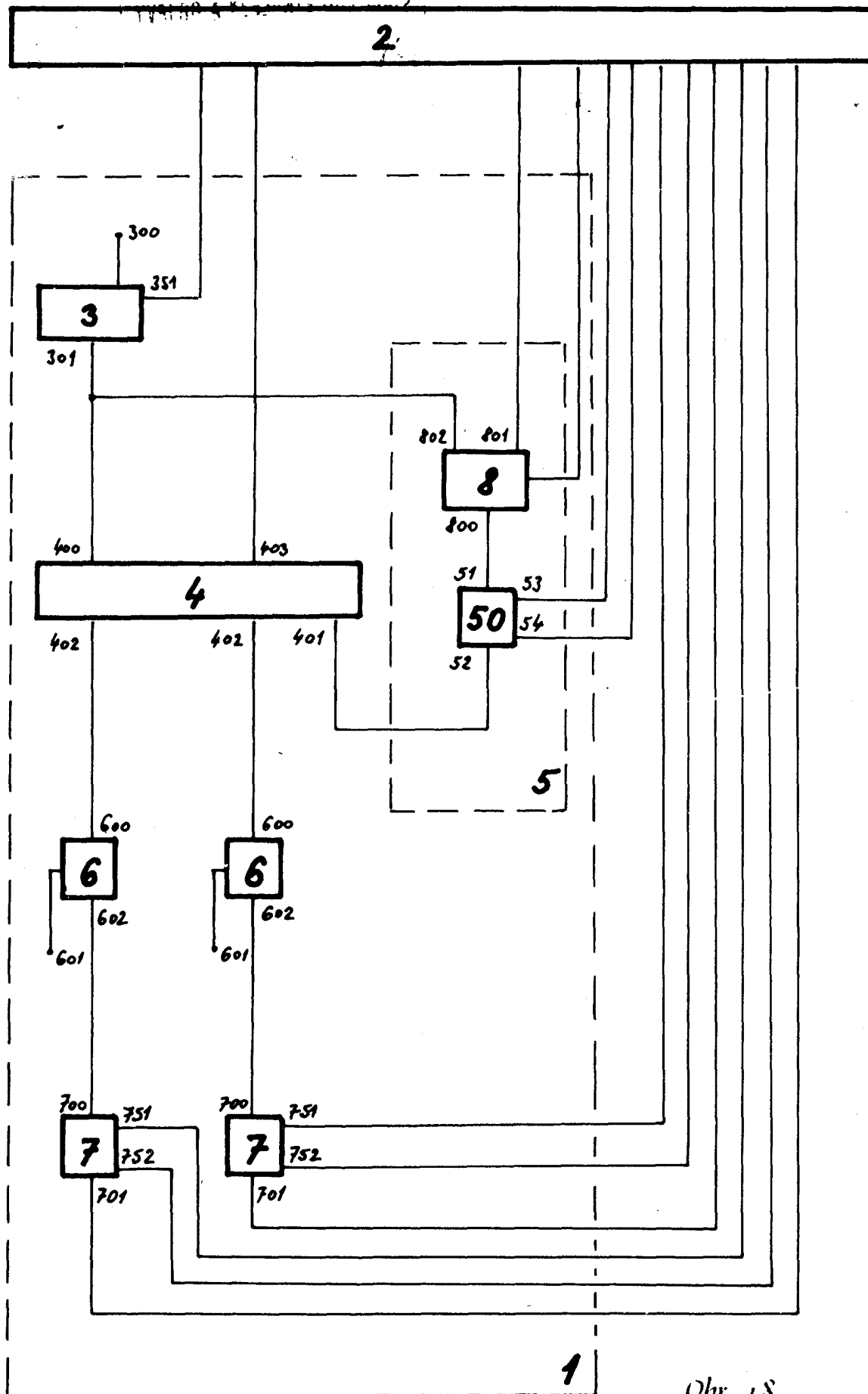




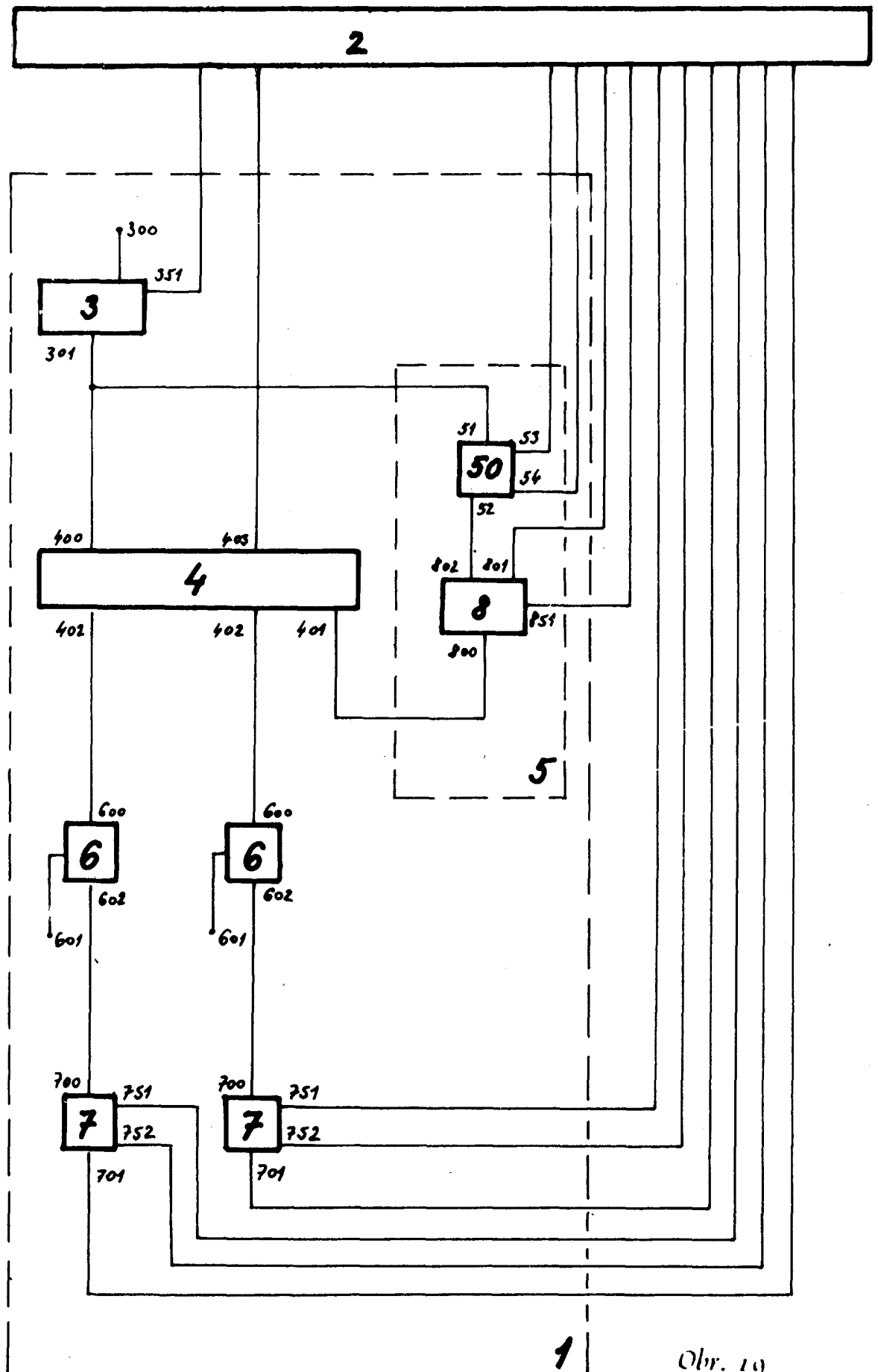
Obr. 16

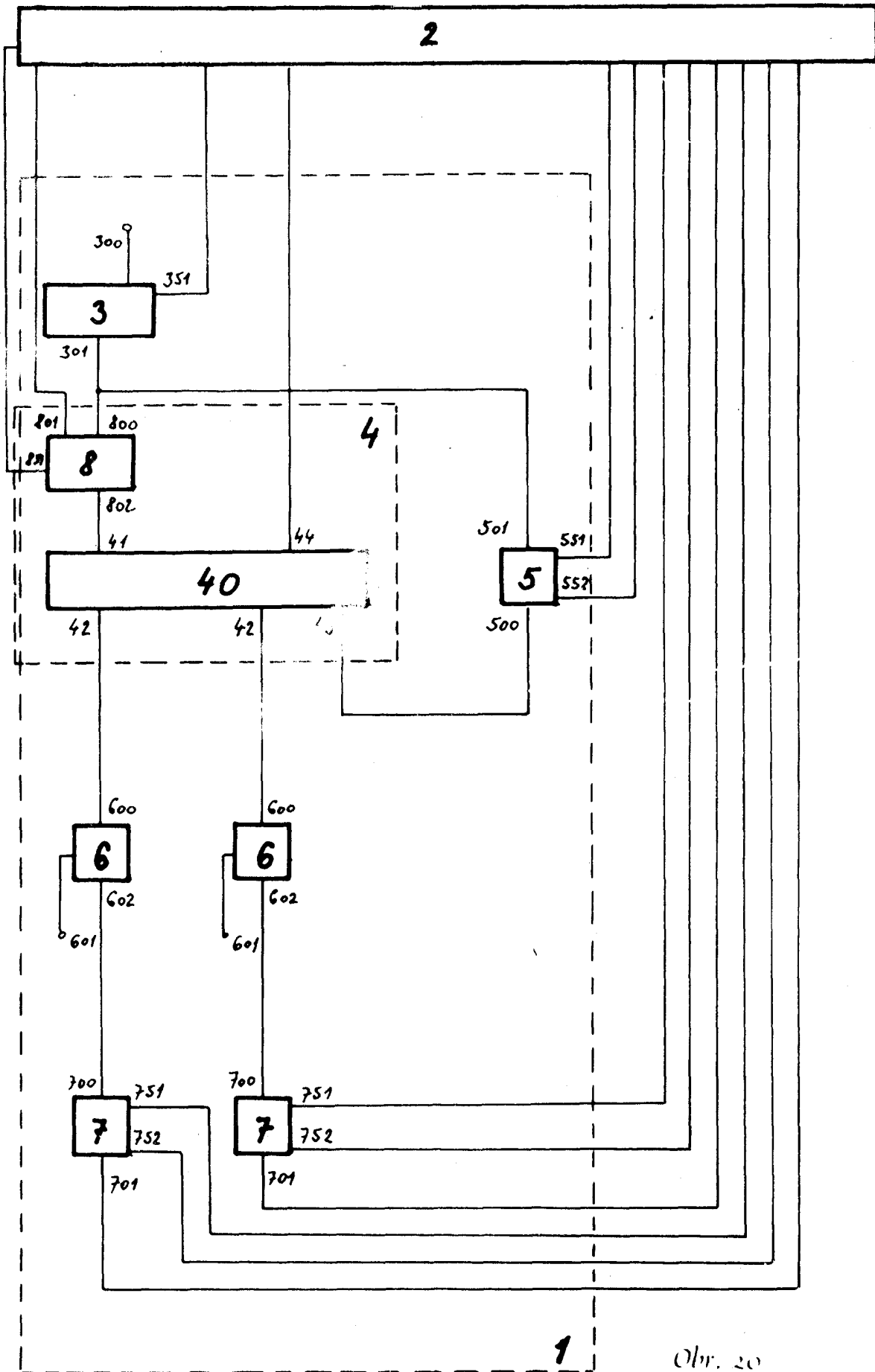


Obr. 27

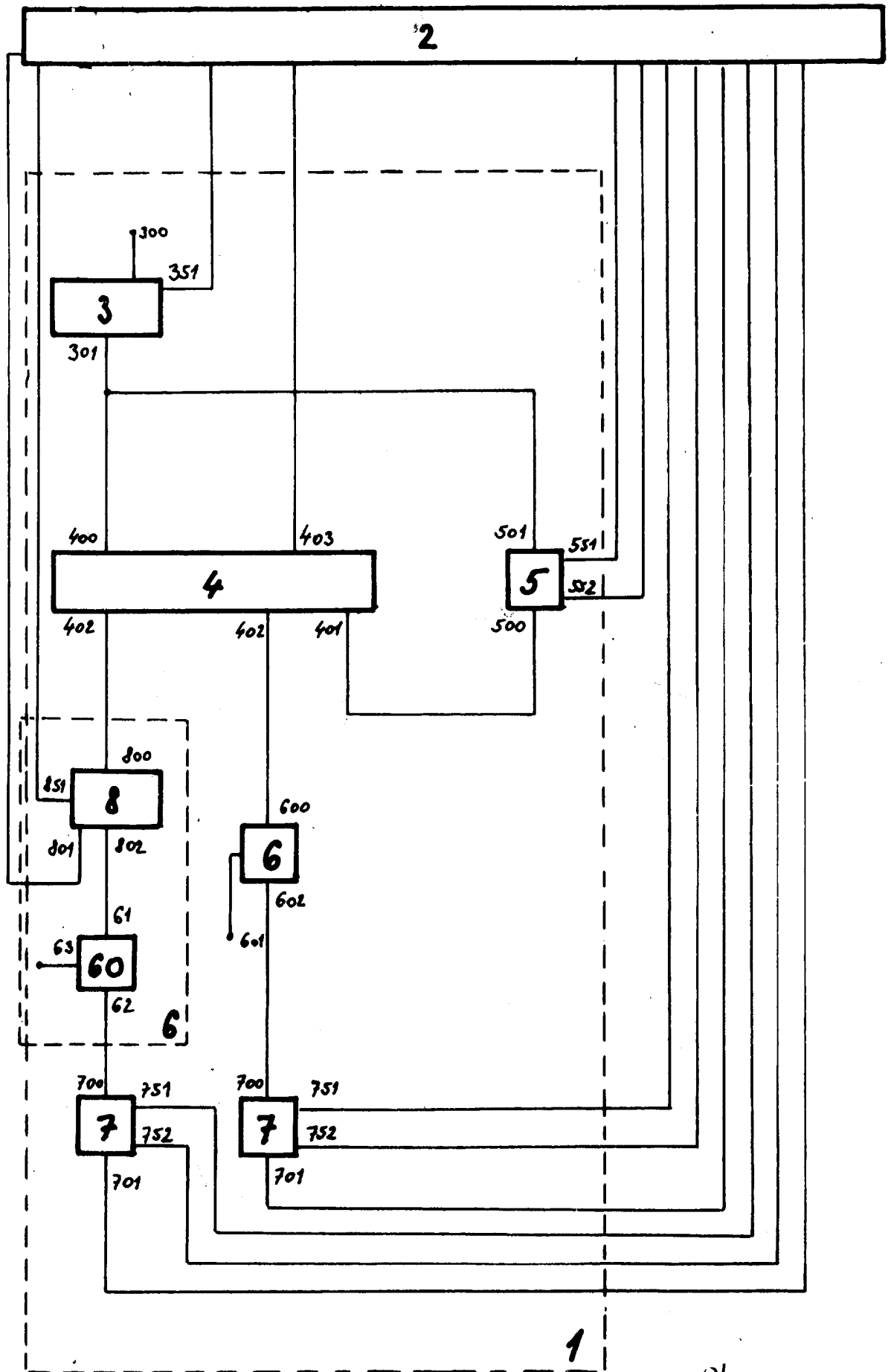


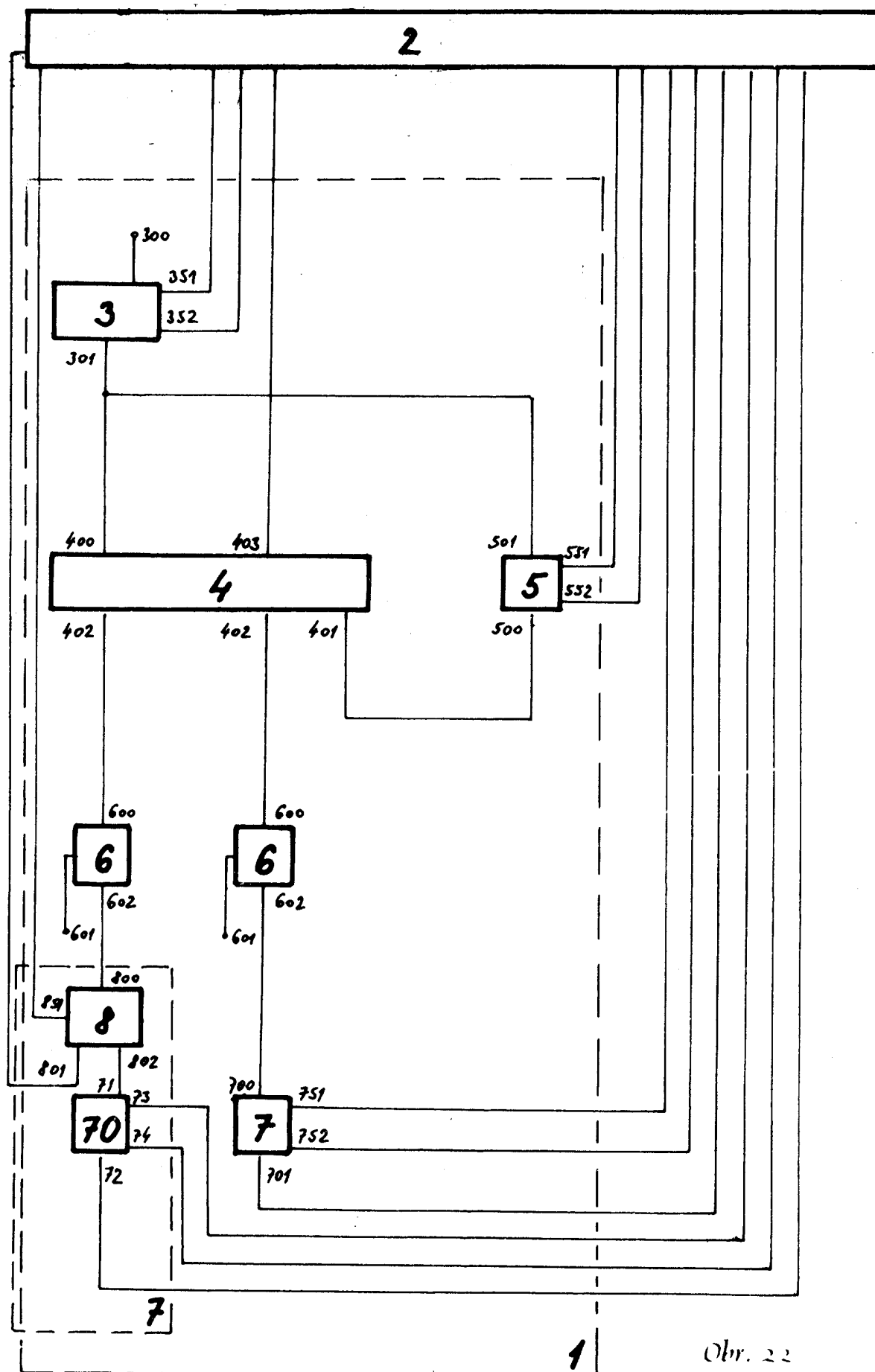
Obr. 18



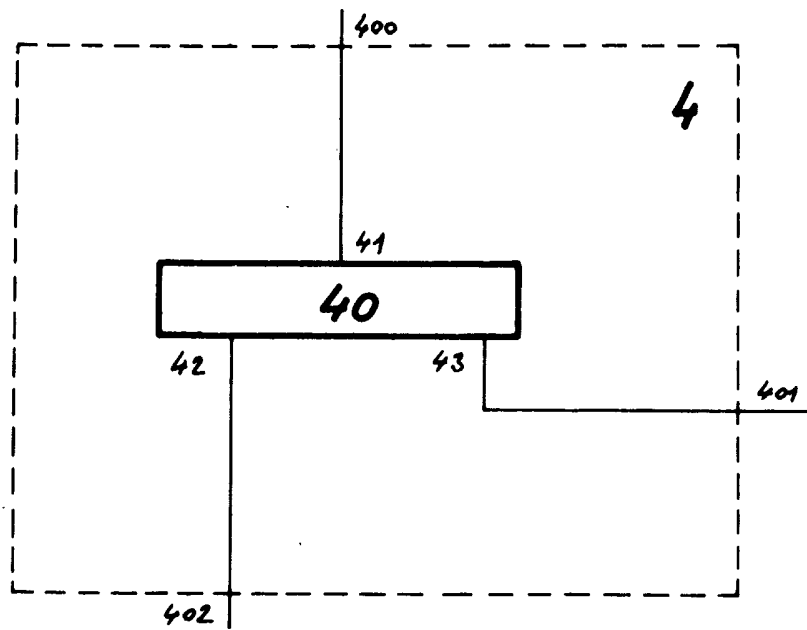


Obr. 20



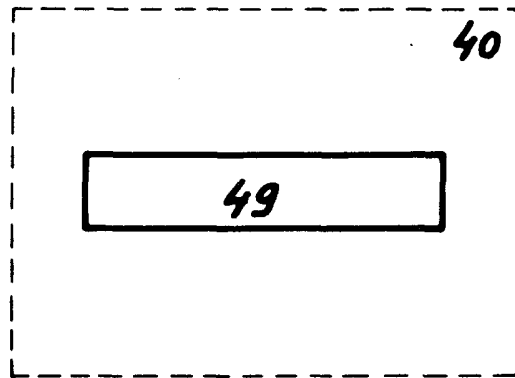


241 256



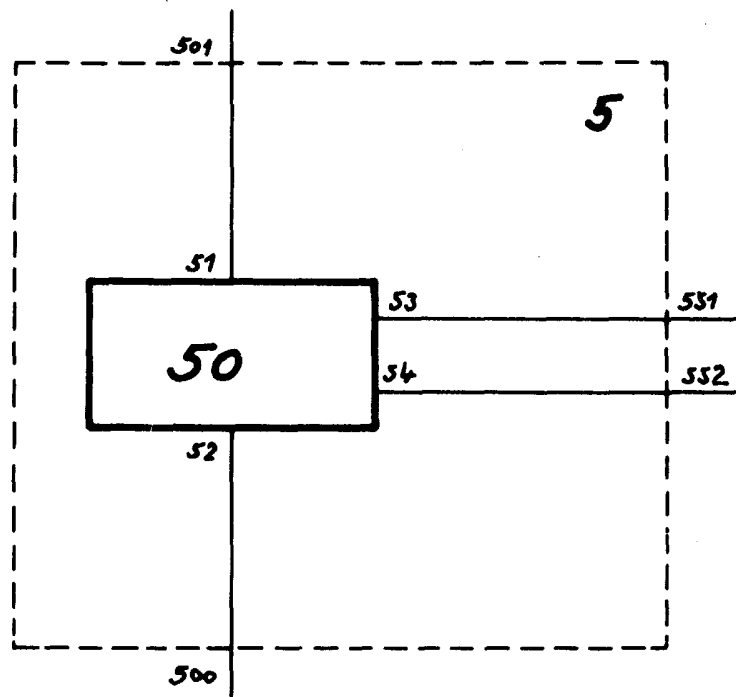
Or. 23

241 256



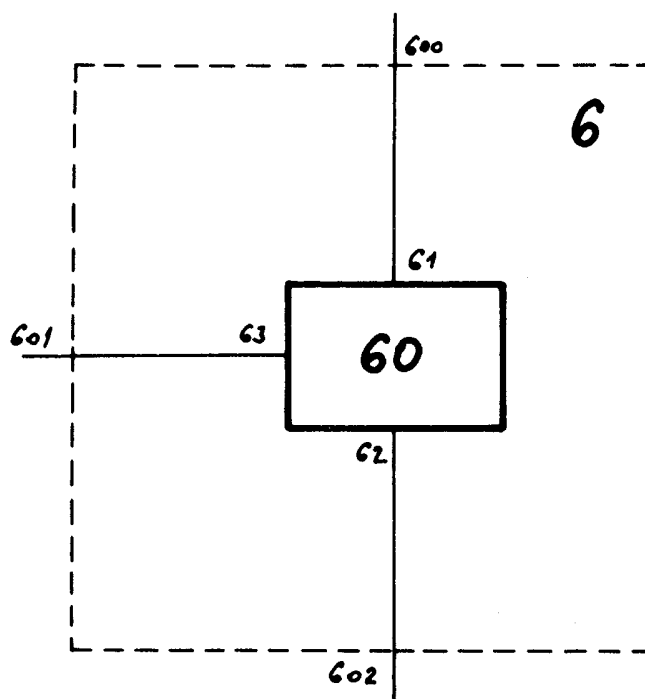
Obv. 24

241 256



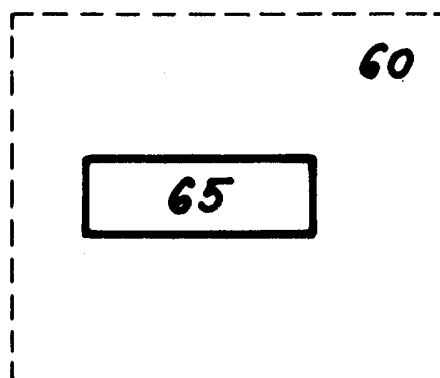
01r. 25

241 256

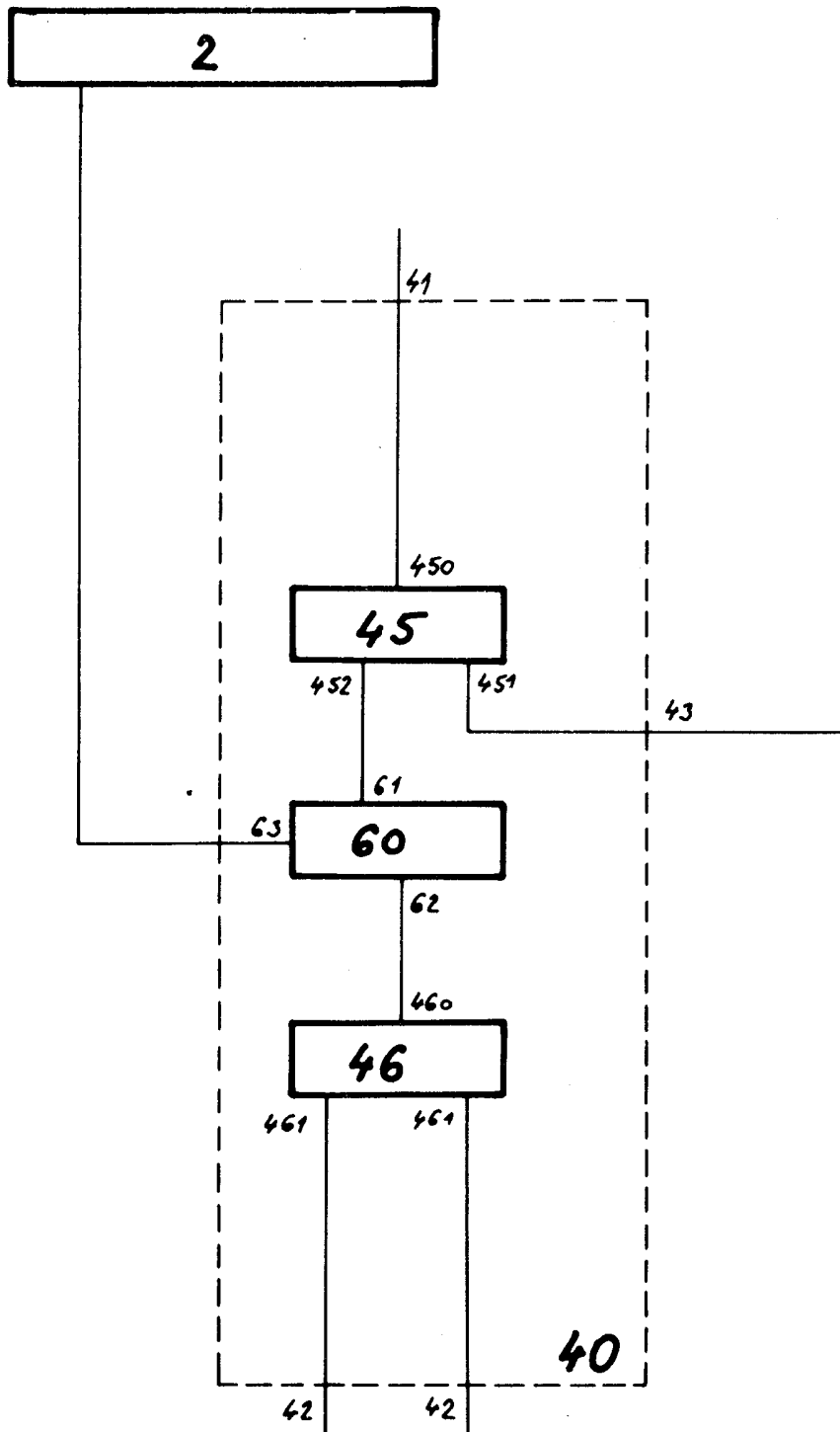


Obr. 26

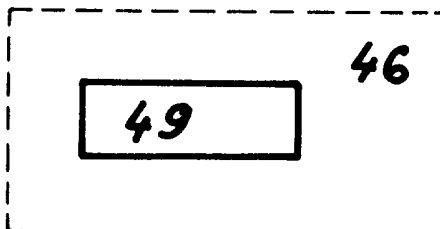
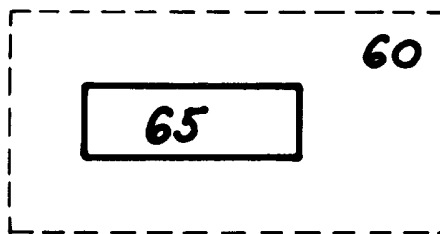
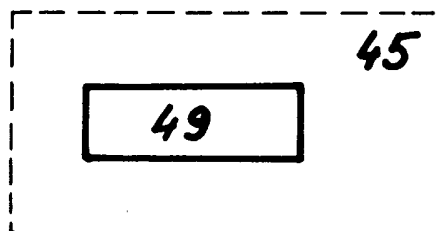
241 256



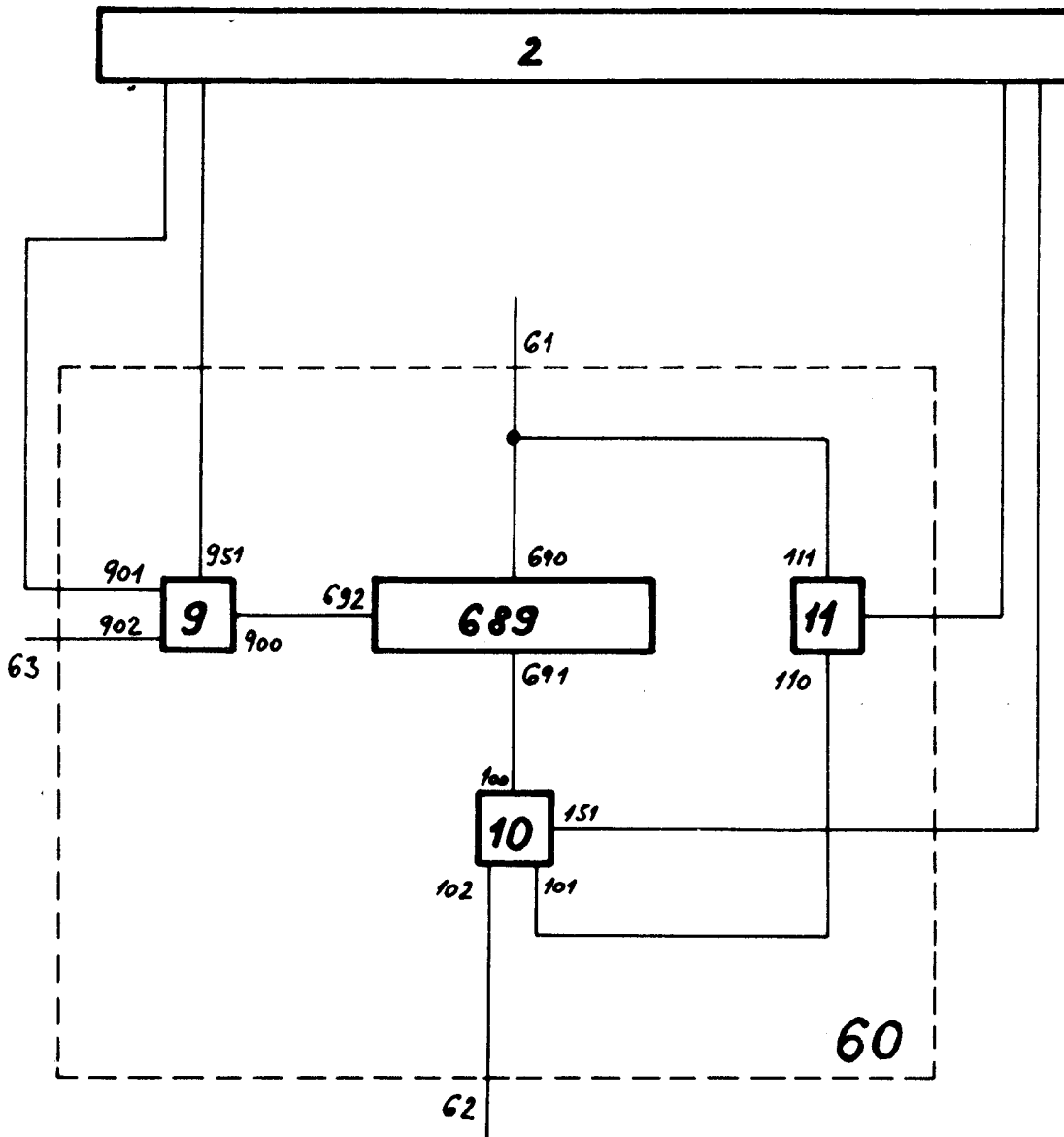
Obv. 27



241 256

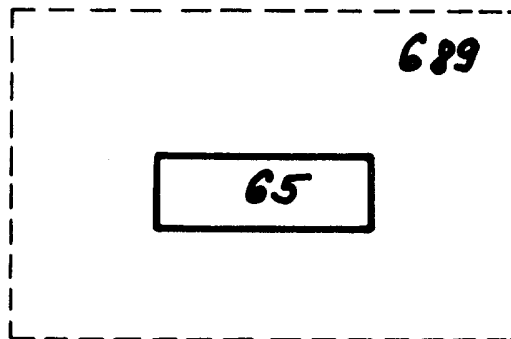


Obr. 29

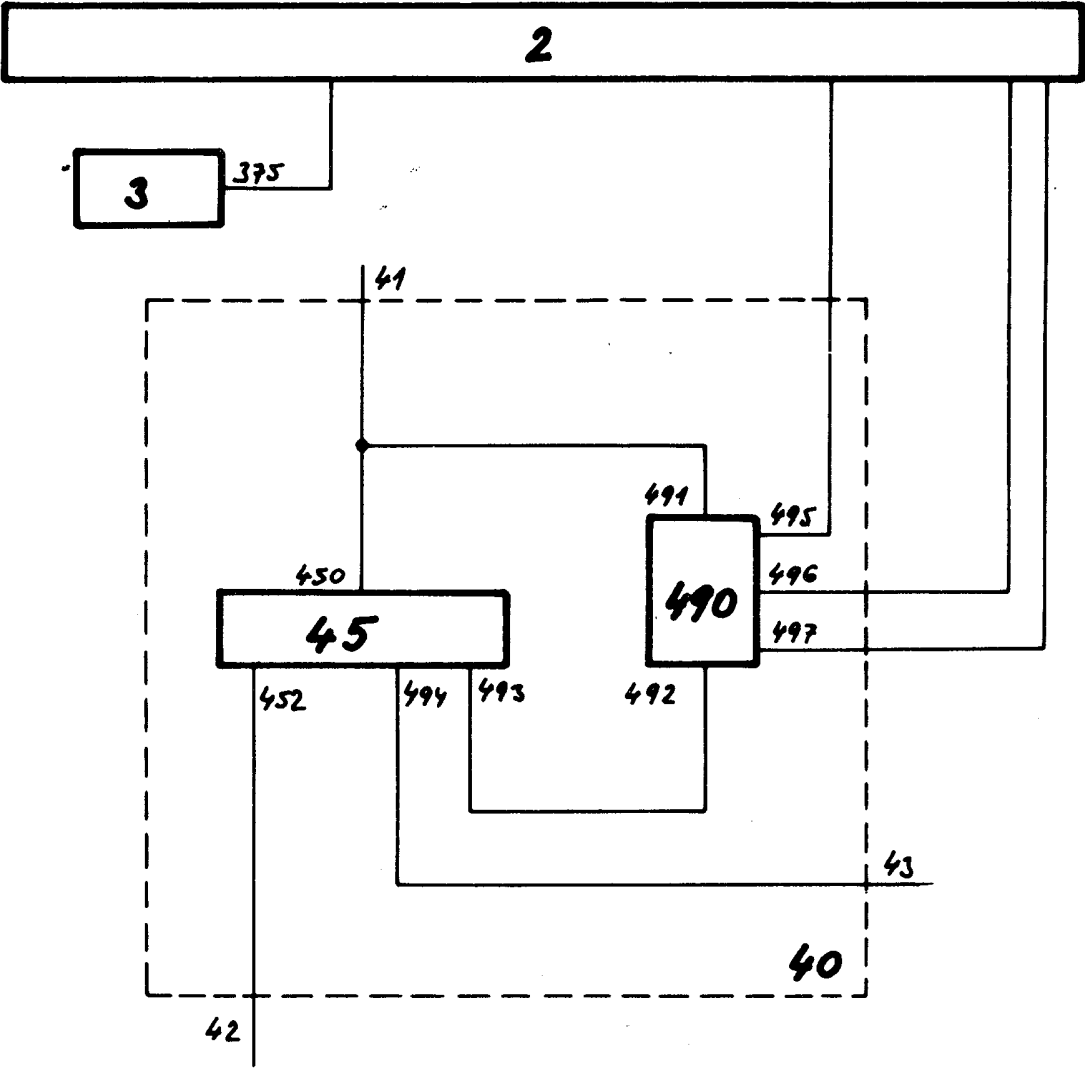


Obv. 30

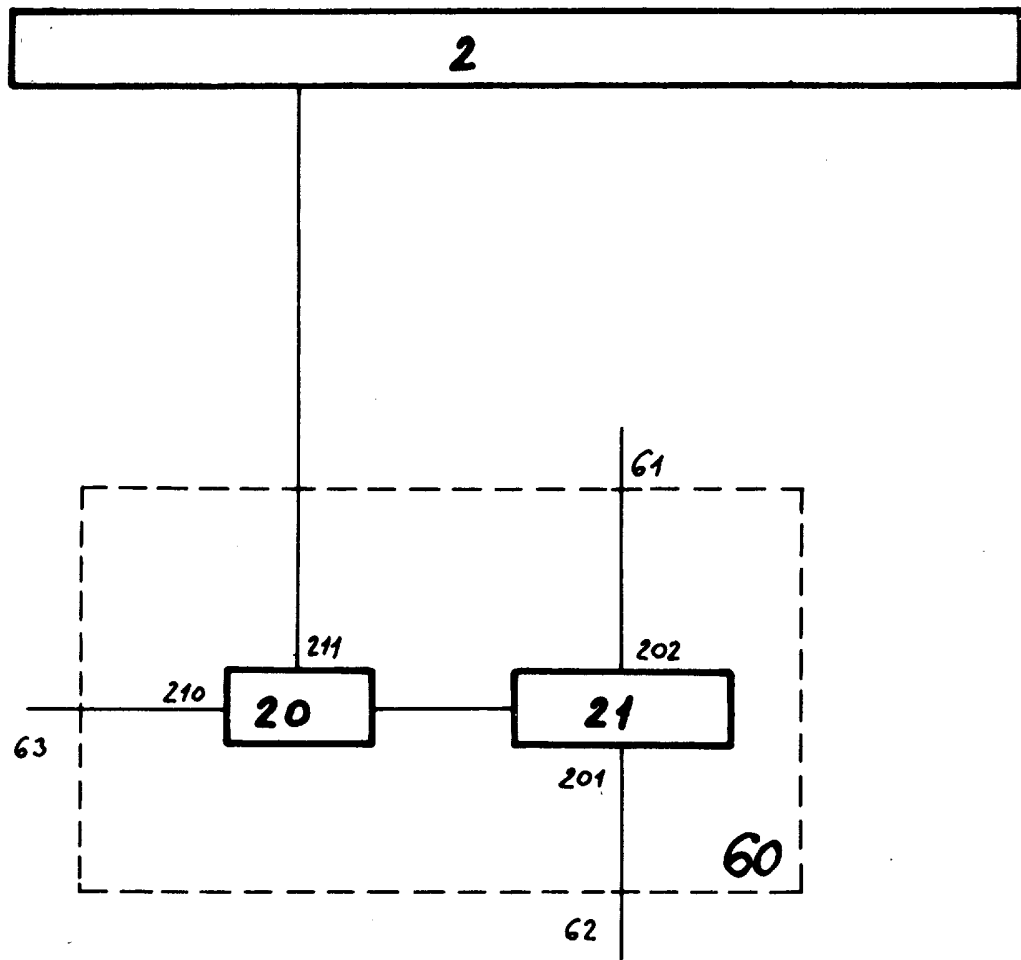
241 256

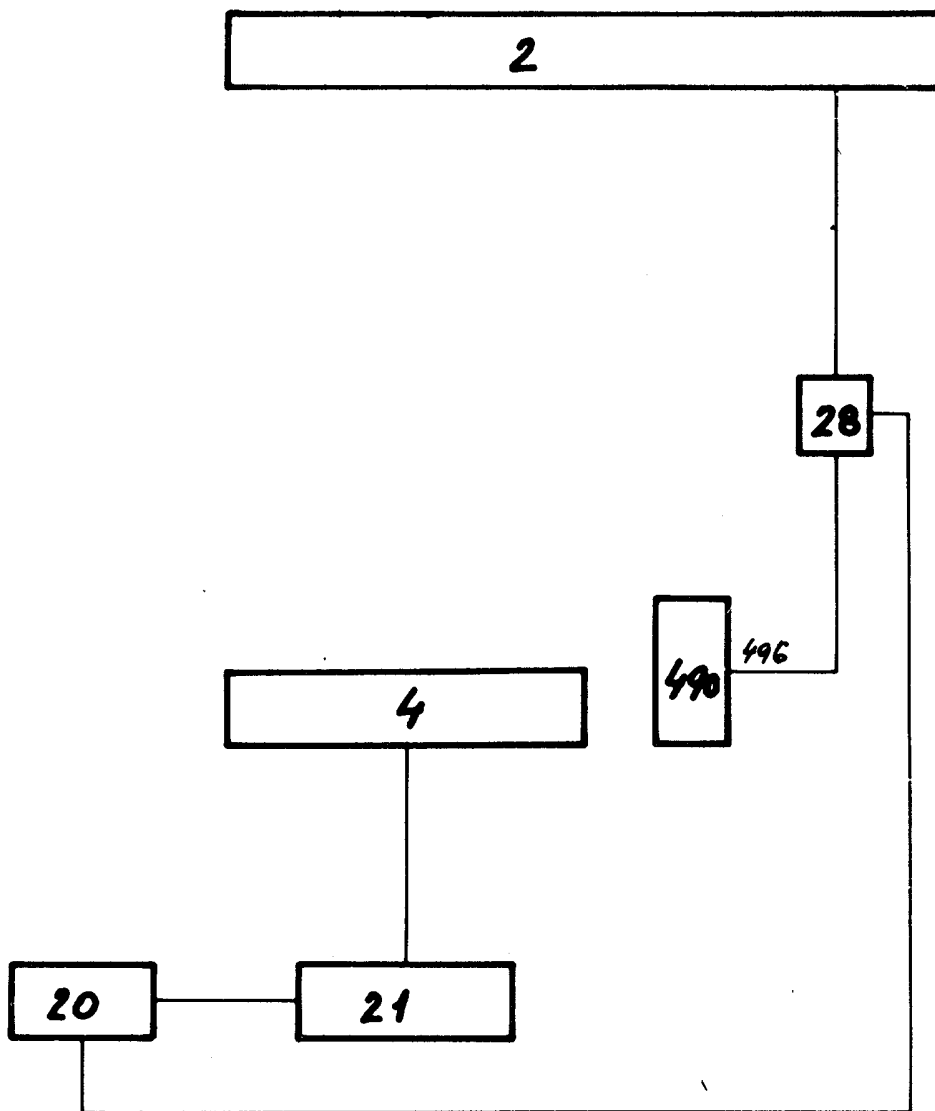


Obv. 31

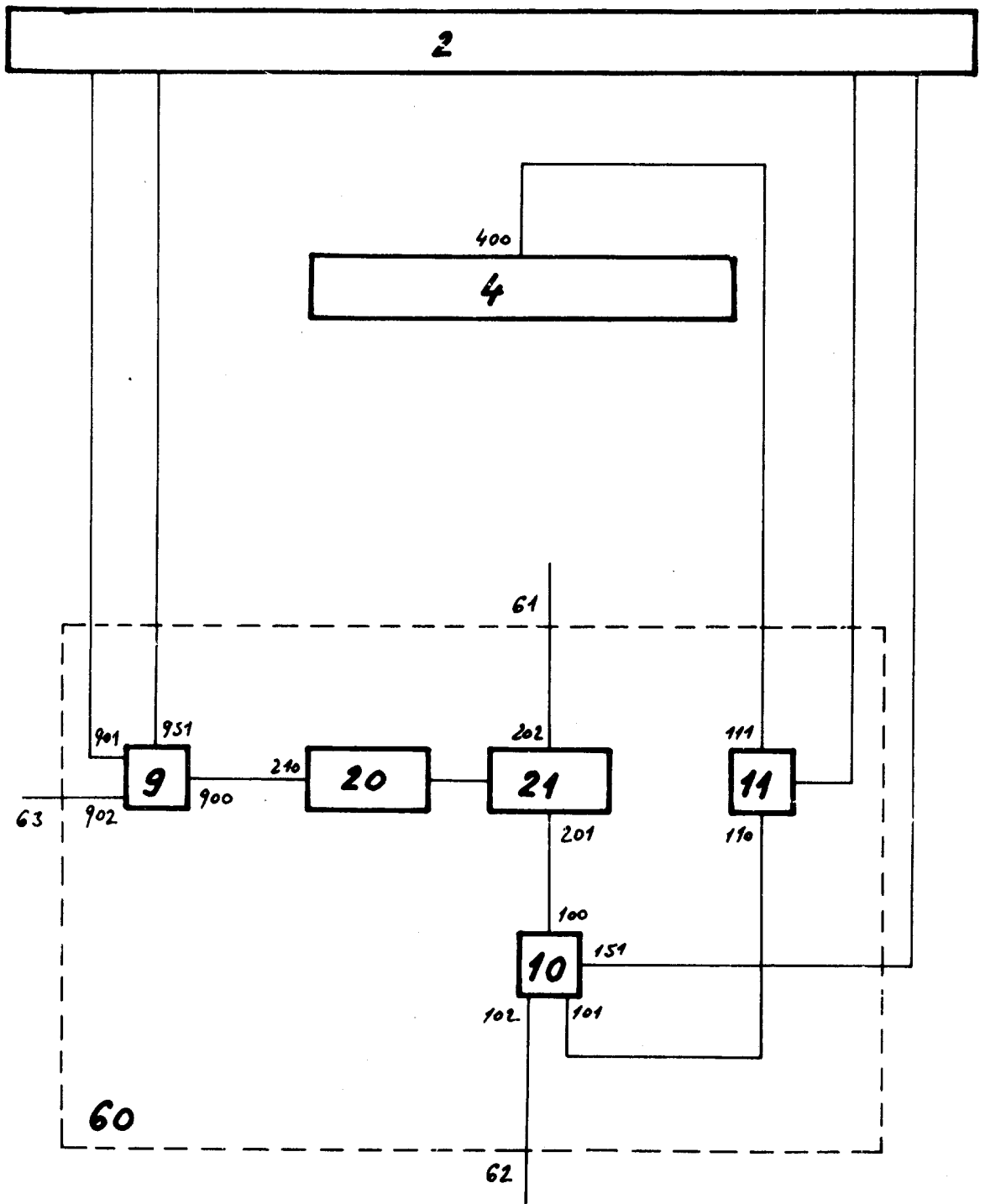


Obr. 32

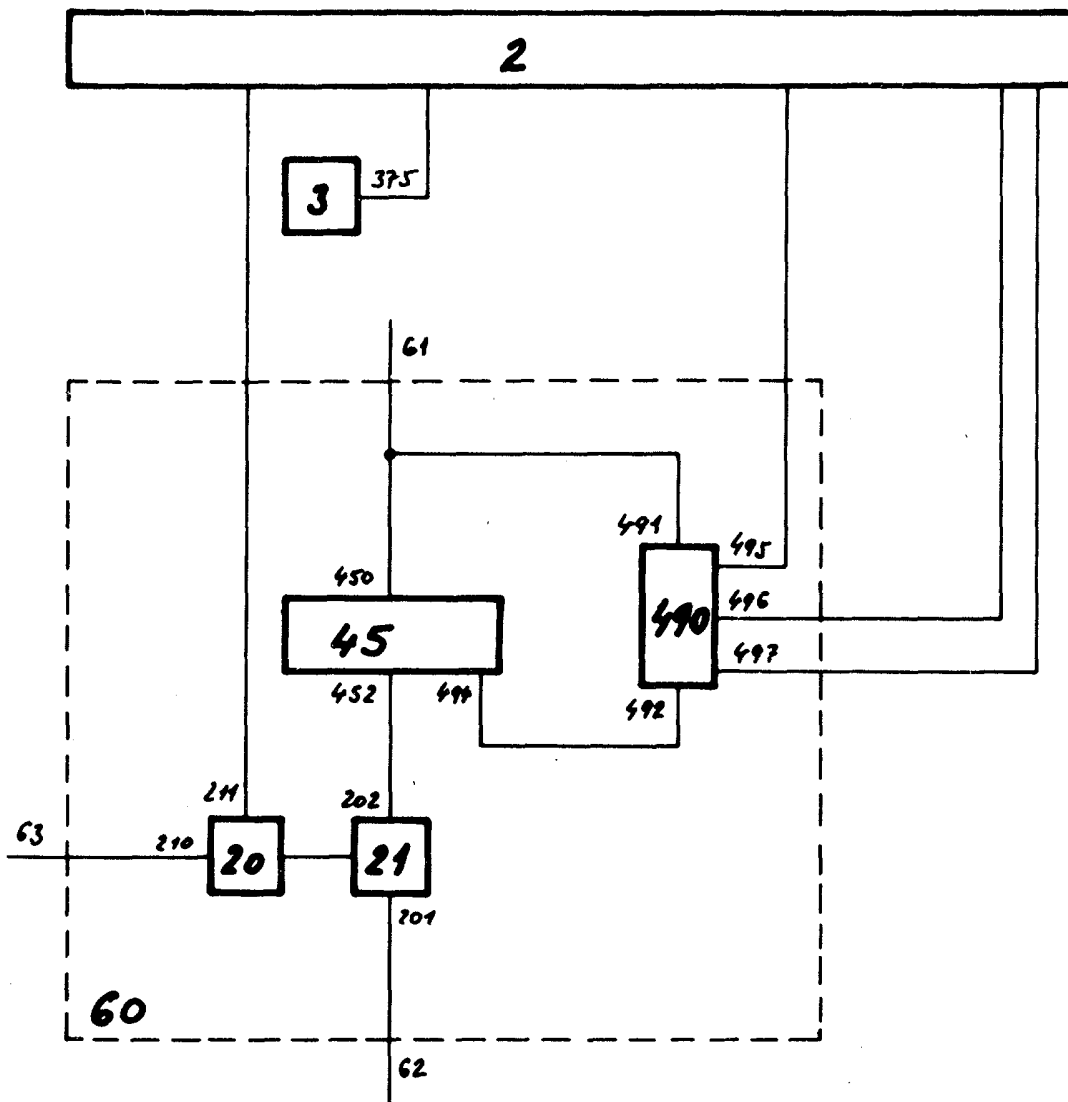
*Obv. 33*

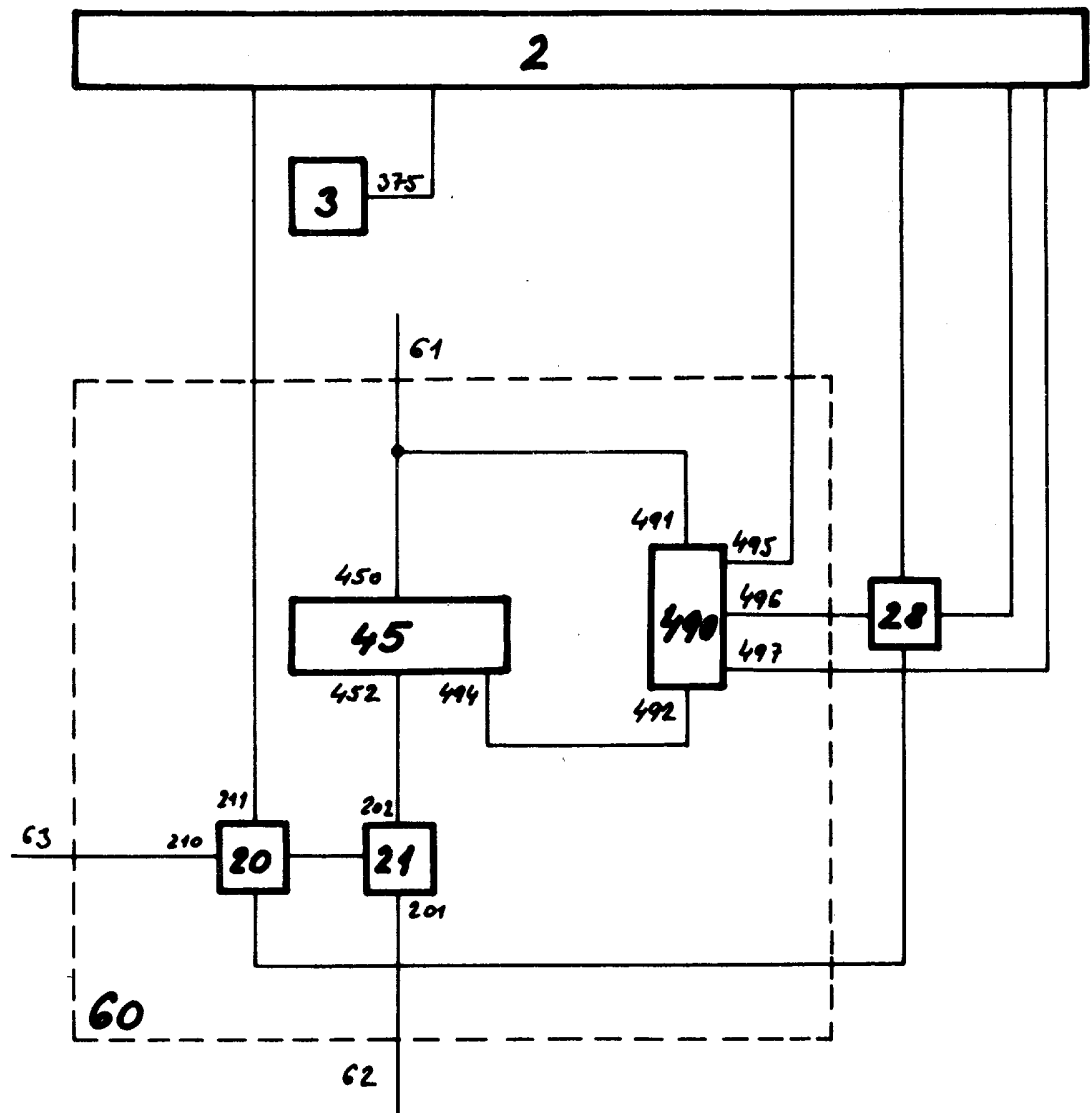


Obr. 34

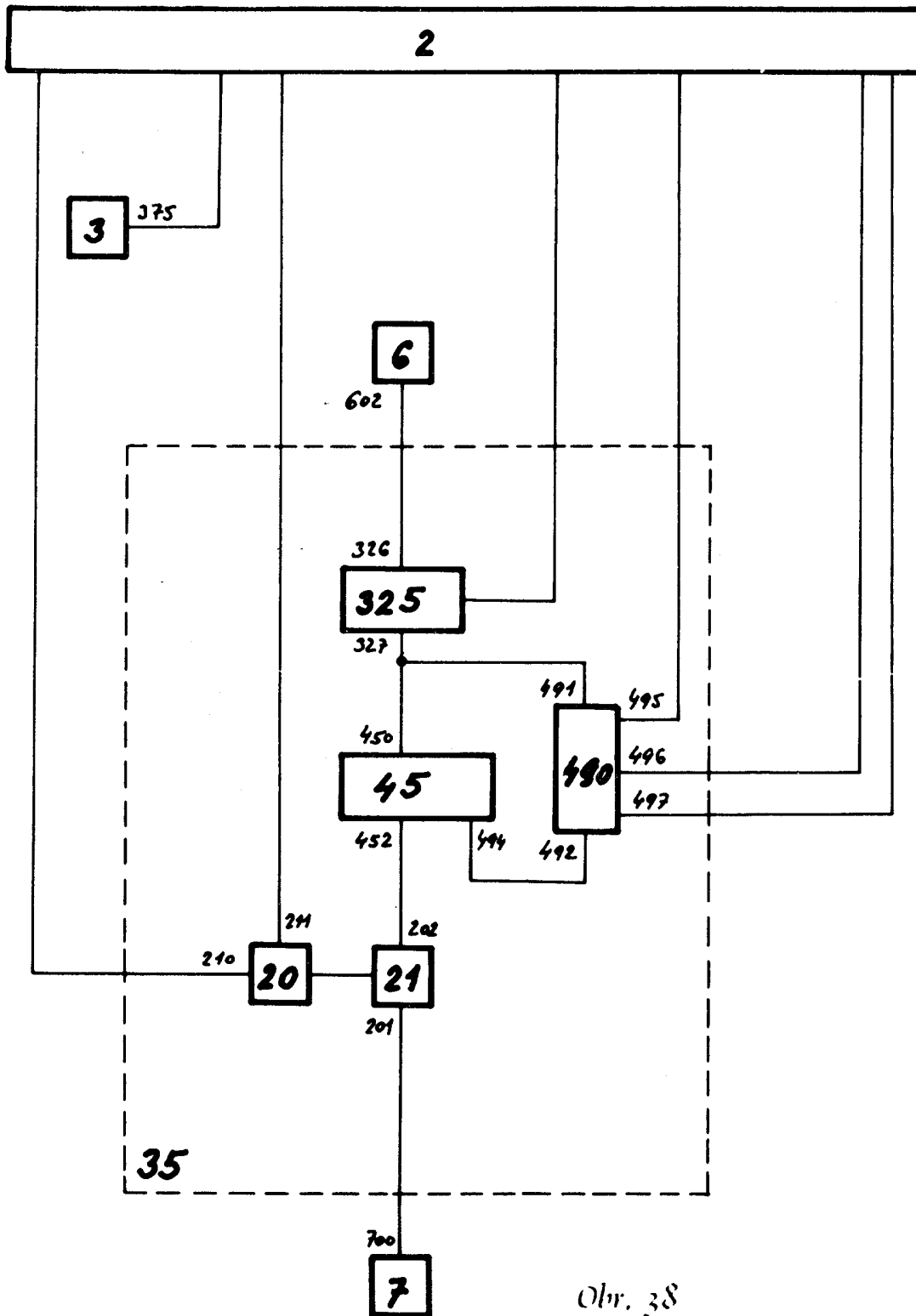


Obr. 35

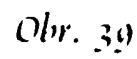
*Obr. 36*



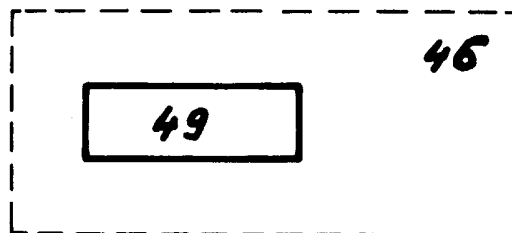
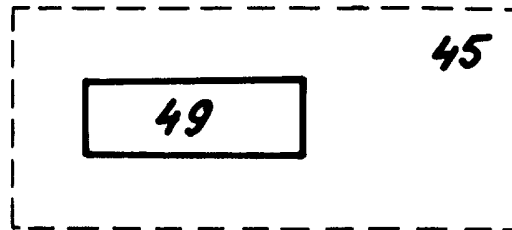
Obr. 37



Obr. 38



241 258



Obr. 41