



(12) 发明专利申请

(10) 申请公布号 CN 118974862 A

(43) 申请公布日 2024. 11. 15

(21) 申请号 202380029119.9

(74) 专利代理机构 中科专利商标代理有限责任公司 11021

(22) 申请日 2023.03.13

专利代理师 李国华

(30) 优先权数据

2022-047045 2022.03.23 JP

(51) Int.Cl.

H01G 4/33 (2006.01)

(85) PCT国际申请进入国家阶段日

2024.09.20

H01G 4/30 (2006.01)

(86) PCT国际申请的申请数据

PCT/JP2023/009641 2023.03.13

(87) PCT国际申请的公布数据

W02023/182051 JA 2023.09.28

(71) 申请人 株式会社村田制作所

地址 日本

(72) 发明人 安藤翔太 中砥俊幸

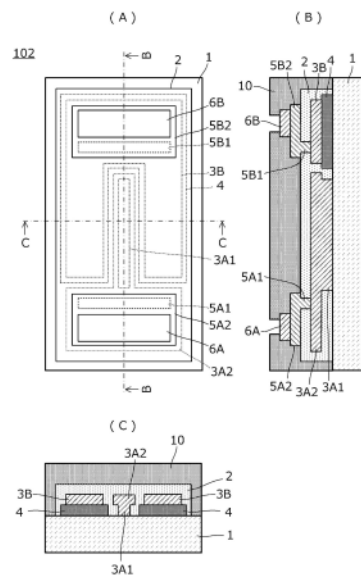
权利要求书1页 说明书7页 附图6页

(54) 发明名称

电子部件

(57) 摘要

电子部件(102)具备半导体基板(1)、形成在半导体基板(1)的表层侧的绝缘体层(2)、形成在绝缘体层(2)内的内部电极(3A1、3A2、3B)、形成在半导体基板(1)的表层侧的由热氧化膜形成的电介质层(4)、在比内部电极(3A1、3A2)靠表层侧的位置与内部电极(3A1、3A2)导通的引出电极(5A1、5A2)、在比内部电极(3B)靠表层侧的位置与内部电极(3B)导通的引出电极(5B1、5B2)、在比引出电极(5A1、5A2)靠表层侧的位置与引出电极(5A1、5A2)导通的外部电极(6A)、以及在比引出电极(5B1、5B2)靠表层侧的位置与引出电极(5B1、5B2)导通的外部电极(6B)。在与半导体基板的面垂直的方向上观察时,所述第二引出电极形成在所述第二内部电极的内侧。



1. 一种电子部件,具备:
 - 半导体基板;
 - 绝缘体层,其形成在所述半导体基板的表层侧;
 - 内部电极,其形成在所述绝缘体层内;
 - 电介质层,其形成在所述半导体基板的表层侧;
 - 引出电极,其在比所述内部电极靠表层侧的位置与所述内部电极导通;以及
 - 外部电极,其在比所述引出电极靠表层侧的位置与所述引出电极导通,所述内部电极构成为包括与所述半导体基板导通的第一内部电极和形成在所述电介质层的表层侧的第二内部电极,
 - 所述引出电极构成为包括与所述第一内部电极导通的第一引出电极和与所述第二内部电极导通的第二引出电极,
 - 所述外部电极构成为包括与所述第一引出电极导通的第一外部电极和与所述第二引出电极导通的第二外部电极,
 - 在与所述半导体基板的面垂直的方向上观察时,所述第二引出电极形成在所述第二内部电极的内侧。
2. 根据权利要求1所述的电子部件,其中,
 - 所述电介质层是所述半导体基板的热氧化膜。
3. 根据权利要求1或2所述的电子部件,其中,
 - 在与所述半导体基板的面垂直的方向上观察时,所述第一内部电极与所述第二内部电极的对置部呈凹凸状或梳齿状对置。
4. 根据权利要求3所述的电子部件,其中,
 - 所述第一内部电极与所述第二内部电极的对置的边的距离是固定的。
5. 根据权利要求3所述的电子部件,其中,
 - 所述第一内部电极具有朝向所述第二引出电极呈直线状延伸的延伸部分,所述第二内部电极被配置为包围所述第一内部电极的所述延伸部分。
6. 根据权利要求3所述的电子部件,其中,
 - 所述第二内部电极具有朝向所述第一引出电极呈直线状延伸的延伸部分,所述第一内部电极被配置为包围所述第二内部电极的所述延伸部分。
7. 根据权利要求1至6中任一项所述的电子部件,其中,
 - 所述电介质层也形成在沟槽中,该沟槽形成于所述半导体基板的一部分。
8. 根据权利要求1至7中任一项所述的电子部件,其中,
 - 所述电介质层也形成在所述半导体基板与所述第一内部电极之间。

电子部件

技术领域

[0001] 本发明涉及具备半导体基板且通过在该半导体基板设置电容器等而构成的电子部件。

背景技术

[0002] 在专利文献1中,示出在半导体存储器的内部电压产生电路中使用的MOS型电容器的结构。图6的(A)、图6的(B)简化地表示出其一例。该MOS型电容器具备P型半导体基板11、N型阱12、N+扩散层13、隔离用的SiO₂104、栅极绝缘膜15、多晶硅或金属制成的栅极106、层间绝缘膜113、布线层108、保护层115、接触孔116。该电容器与通常的MOS型电容器相同,隔着栅极绝缘膜15形成在栅极106与N型阱12的表面之间。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2003-110030号公报

发明内容

[0006] 发明要解决的问题

[0007] 在专利文献1所示的构造的MOS型电容器中,产生不小的寄生阻抗。例如,在布线层108与N型阱12、半导体基板11之间形成寄生电容,或者在布线层108本身产生寄生电阻分量、寄生电感分量。

[0008] 图7是图6的(A)、图6的(B)所示的MOS型电容器的等效电路图。图7所示的端子T1、T2对应于图6的(A)、图6的(B)所示的电子部件的布线层108的连接目的地的电极,图7所示的电容器C0是作为原本的目的的电容器。图7所示的电容器C1是上述寄生电容。图7所示的电感器L1是上述寄生电感分量,电阻R1是上述寄生电阻分量。

[0009] 本发明的目的在于,提供一种在半导体基板形成有低寄生阻抗的电容器的电子部件。

[0010] 用于解决问题的技术方案

[0011] 作为本公开的一例的电子部件的特征在于,具备:

[0012] 半导体基板;

[0013] 绝缘体层,其形成在所述半导体基板的表层侧;

[0014] 内部电极,其形成在所述绝缘体层内;

[0015] 电介质层,其形成在所述半导体基板的表层侧;

[0016] 引出电极,其在比所述内部电极靠表层侧的位置与所述内部电极导通;以及

[0017] 外部电极,其在比所述引出电极靠表层侧的位置与所述引出电极导通,

[0018] 所述内部电极构成为包括与所述半导体基板导通的第一内部电极和形成在所述电介质层的表层侧的第二内部电极,

[0019] 所述引出电极构成为包括与所述第一内部电极导通的第一引出电极和与所述第

二内部电极导通的第二引出电极，

[0020] 所述外部电极构成为包括与所述第一引出电极导通的第一外部电极和与所述第二引出电极导通的第二外部电极，

[0021] 在与所述半导体基板的面垂直的方向上观察时，所述第二引出电极形成在所述第二内部电极的内侧。

[0022] 发明效果

[0023] 根据本发明，得到在半导体基板形成有低寄生阻抗的电容器的电子部件。

附图说明

[0024] 图1的(A)是第一实施方式所涉及的电子部件101的俯视图，图1的(B)是图1的(A)中的B-B部分处的剖视图，图1的(C)是图1的(A)中的C-C部分处的剖视图。

[0025] 图2的(A)是第二实施方式所涉及的电子部件102的俯视图，图2的(B)是图2的(A)中的B-B部分处的剖视图，图2的(C)是图2的(A)中的C-C部分处的剖视图。

[0026] 图3的(A)是第三实施方式所涉及的电子部件103的俯视图，图3的(B)是图3的(A)中的B-B部分处的剖视图，图3的(C)是图3的(A)中的C-C部分处的剖视图。

[0027] 图4的(A)是第四实施方式所涉及的电子部件104的俯视图，图4的(B)是图4的(A)中的B-B部分处的剖视图，图4的(C)是图4的(A)中的C-C部分处的剖视图。

[0028] 图5的(A)是第五实施方式所涉及的电子部件105的俯视图，图5的(B)是图5的(A)中的B-B部分处的剖视图，图5的(C)是图5的(A)中的C-C部分处的剖视图。

[0029] 图6的(A)、图6的(B)是简化地表示出在专利文献1所记载的半导体存储器的内部电压产生电路中使用的MOS型电容器的图。

[0030] 图7是图6的(A)、图6的(B)所示的MOS电容器的等效电路图。

具体实施方式

[0031] 以后，参照图并举出几个具体例来示出用于实施本发明的多个方式。各图中针对相同的部位标注有相同的标记。考虑要点的说明或理解的容易性，为了方便说明，将实施方式分为多个实施方式来示出，但能够进行不同的实施方式所示的结构的部分置换或组合。在第二实施方式以后，省略关于与第一实施方式共同的事项的记述，仅对不同点进行说明。尤其是针对由同样的结构产生的同样的作用效果，不再在每个实施方式中逐次提及。

[0032] 《第一实施方式》

[0033] 图1的(A)是第一实施方式所涉及的电子部件101的俯视图，图1的(B)是图1的(A)中的B-B部分处的剖视图，图1的(C)是图1的(A)中的C-C部分处的剖视图。其中，图1的(A)是后述的保护膜10的形成前的状态下的俯视图。

[0034] 该电子部件101具备半导体基板1、形成在该半导体基板1的表层侧的绝缘体层2、形成在绝缘体层2内的第一内部电极3A1、3A2、形成在绝缘体层2内的第二内部电极3B、形成在半导体基板1的表层侧的由热氧化膜形成的电介质层4、在比第一内部电极3A1、3A2靠表层侧的位置与第一内部电极3A1、3A2导通的第一引出电极5A1、5A2、在比第二内部电极3B靠表层侧的位置与第二内部电极3B导通的第二引出电极5B1、5B2、在比第一引出电极5A1、5A2靠表层侧的位置与第一引出电极5A1、5A2导通的第一外部电极6A、在比第二引出电极5B1、

5B2靠表层侧的位置与第二引出电极5B1、5B2导通的第二外部电极6B、以及保护膜10。

[0035] 半导体基板1例如是载流子掺杂硅基板等由杂质半导体形成的基板,绝缘体层2例如是SiN膜,电介质层4例如是半导体基板1的热氧化膜SiO₂膜。第一内部电极3A1、3A2及第二内部电极3B例如是Al膜,第一引出电极5A1、5A2及第二引出电极5B1、5B2例如是Cu膜。第一外部电极6A及第二外部电极6B例如是基底为Ni且表面为Au的金属膜。保护膜10例如是阻焊剂等有机绝缘膜。

[0036] 第二内部电极3B构成形成在电介质层4上的电容器电极。由于半导体基板1是载流子掺杂硅基板等由杂质半导体形成的基板,因此具有导电性。因此,由半导体基板1、电介质层4及第二内部电极3B构成电容器的主要部分。

[0037] 第一外部电极6A、第一引出电极5A1、5A2及第一内部电极3A1、3A2与半导体基板1导通,第二外部电极6B及第二引出电极5B1、5B2与第二内部电极3B导通。

[0038] 第一外部电极6A及第二外部电极6B例如用作引线接合用焊盘或表面安装用焊盘等连接用焊盘。因此,该电子部件101作为具有第一外部电极6A及第二外部电极6B的电容器发挥作用。

[0039] 形成于本实施方式的电子部件101的电容器使用硅半导体基板作为一个电极,使用硅热氧化膜作为电介质层,因此,能够设定高精度的电容。

[0040] 另外,根据本实施方式,在与半导体基板1的面垂直的方向上观察时,第二引出电极5B1、5B2形成在第二内部电极3B的内侧,因此,能够减小第二引出电极5B1、5B2与半导体基板1之间的寄生电容。另外,与第二引出电极5B1、5B2导通的第二外部电极6B形成在第二引出电极5B1、5B2上,因此,能够抑制由第二引出电极5B1、5B2引起的寄生电感、寄生电阻。并且,第一引出电极5A1、5A2形成在第一内部电极3A1、3A2上,与第一引出电极5A1、5A2导通的第一外部电极6A形成在第一引出电极5A1、5A2上,因此,也能够抑制由第一引出电极5A1、5A2引起的寄生电感、寄生电阻。

[0041] 其结果是,能够构成具备与电特性理想的电容元件接近的电容器的电子部件,能够通过高频电路来实现低损耗的电路,因此,能够实现按期望设计的电路特性。

[0042] 《第二实施方式》

[0043] 在第二实施方式中,例示出内部电极和电介质层的结构与第一实施方式所示的例子不同的电子部件。

[0044] 图2的(A)是第二实施方式所涉及的电子部件102的俯视图,图2的(B)是图2的(A)中的B-B部分处的剖视图,图2的(C)是图2的(A)中的C-C部分处的剖视图。其中,图2的(A)是保护膜10的形成前的状态下的俯视图。

[0045] 该电子部件102具备半导体基板1、形成在该半导体基板1的表层侧的绝缘体层2、形成在绝缘体层2内的第一内部电极3A1、3A2、形成在绝缘体层2内的第二内部电极3B、形成在半导体基板1的表层侧的由热氧化膜形成的电介质层4、在比第一内部电极3A1、3A2靠表层侧的位置与第一内部电极3A1、3A2导通的第一引出电极5A1、5A2、在比第二内部电极3B靠表层侧的位置与第二内部电极3B导通的第二引出电极5B1、5B2、在比第一引出电极5A1、5A2靠表层侧的位置与第一引出电极5A1、5A2导通的第一外部电极6A、在比第二引出电极5B1、5B2靠表层侧的位置与第二引出电极5B1、5B2导通的第二外部电极6B、以及保护膜10。

[0046] 半导体基板1例如是载流子掺杂硅基板等由杂质半导体形成的基板,绝缘体层2例

如是SiN膜,电介质层4例如是半导体基板1的热氧化膜SiO₂膜。第一内部电极3A1、3A2及第二内部电极3B例如是Al膜,第一引出电极5A1、5A2及第二引出电极5B1、5B2例如是Cu膜。第一外部电极6A及第二外部电极6B例如是基底为Ni且表面为Au的金属膜。保护膜10例如是阻焊剂等有机绝缘膜。

[0047] 第一内部电极3A1、3A2、第二内部电极3B、电介质层4的形状与图1的(A)、图1的(B)、图1的(C)所示的电子部件101不同。在电子部件102中,在与半导体基板1的面垂直的方向上观察时,电介质层4形成凹状。与此相应,第二内部电极3B也为凹状。另一方面,第一内部电极3A1、3A2的整体形状为凸状,第一内部电极3A1、3A2与第二内部电极3B的对置部呈凹凸状对置。即,第一内部电极3A1具有朝向第二外部电极6B延伸的直线状的部分,第二内部电极3B被配置为包围该延伸的部分。另外,根据图2的(A)可知,第一内部电极3A1及第二内部电极3B被形成为,在第一内部电极3A1与第二内部电极3B对置的区域,它们的边的间隔成为固定(第一内部电极3A1与第二内部电极3B的对置的边的距离固定)。

[0048] 第二内部电极3B构成形成在电介质层4上的电容器电极。由半导体基板1、电介质层4及第二内部电极3B构成电容器的主要部分。其他结构与第一实施方式所示的电子部件101相同。

[0049] 根据第二实施方式,第一内部电极3A1、3A2与第二内部电极3B对置的区域较宽,因此,在半导体基板1沿横向流动的电流的平均路径长度变短。

[0050] 通常,在使用硅半导体基板作为一个电极并使用硅热氧化膜作为电介质层的MOS型电容器中,电流在硅半导体基板沿其横向(沿着面的方向)流动。该电流例如在1GHz以上的较高的频率区域中,由于电流的趋肤效应,电流集中在硅半导体基板的表面附近。由于该现象,ESR(等效串联电阻)增加,因此,电容器的特性恶化。虽然由上述趋肤效应引起的ESR的增加在导电率较高的金属中也产生,但如果是导电率比金属低的半导体基板则更为显著。在本实施方式中,在半导体基板1沿横向流动的电流的平均路径长度较短,因此,半导体基板1成为主要原因而产生的ESR较低。由此,得到低ESR的电容器。

[0051] 需要说明的是,与之后的第五实施方式所示的电子部件105相比,能够减小第一内部电极3A1与半导体基板1的导通部的面积,因此,能够形成电容密度更高的电容器。

[0052] 《第三实施方式》

[0053] 在第三实施方式中,例示出内部电极和电介质层的结构与第一实施方式、第二实施方式所示的例子不同的电子部件。

[0054] 图3的(A)是第三实施方式所涉及的电子部件103的俯视图,图3的(B)是图3的(A)中的B-B部分处的剖视图,图3的(C)是图3的(A)中的C-C部分处的剖视图。其中,图3的(A)是保护膜10的形成前的状态下的俯视图。

[0055] 该电子部件103具备半导体基板1、形成在该半导体基板1的表层侧的绝缘体层2、形成在绝缘体层2内的第一内部电极3A1、3A2、形成在绝缘体层2内的第二内部电极3B、形成在半导体基板1的表层侧的由热氧化膜形成的电介质层4、在比第一内部电极3A1、3A2靠表层侧的位置与第一内部电极3A1、3A2导通的第一引出电极5A1、5A2、在比第二内部电极3B靠表层侧的位置与第二内部电极3B导通的第二引出电极5B1、5B2、在比第一引出电极5A1、5A2靠表层侧的位置与第一引出电极5A1、5A2导通的第一外部电极6A、在比第二引出电极5B1、5B2靠表层侧的位置与第二引出电极5B1、5B2导通的第二外部电极6B、以及保护膜10。

[0056] 第一内部电极3A1、3A2、电介质层4的形状与图2的(A)、图2的(B)、图2的(C)所示的电子部件102不同。在电子部件103中,在与半导体基板1的面垂直的方向上观察时,电介质层4也形成在第一内部电极3A2的下表面。另外,第一内部电极3A1形成在电介质层4的开口部内。

[0057] 第二内部电极3B构成形成在电介质层4上的电容器电极。由半导体基板1、电介质层4及第二内部电极3B构成电容器的主要部分。其他结构与第二实施方式所示的电子部件102相同。

[0058] 根据本实施方式,第一内部电极3A2的下部的电介质层4作为该第一内部电极3A2的高度调整层发挥作用。即,在第一内部电极3A2的形成工序中,该第一内部电极3A2向半导体基板1侧的下垂得到抑制。其结果是,第一外部电极6A与第二外部电极6B的高度容易一致。其结果是,能够提高对电子部件103进行引线接合时的向第一外部电极6A及第二外部电极6B的引线接合精度。或者,能够避免对电子部件103进行表面安装时的冲击集中于一个外部电极。

[0059] 需要说明的是,也可以在构成用于使第一外部电极6A与第二外部电极6B的高度一致的第一内部电极3A2的高度调整层的部分和构成电容器的主要部分的部分,将它们形成电介质层4成为分体。

[0060] 《第四实施方式》

[0061] 在第四实施方式中,例示出内部电极和电介质层的结构与目前为止所示的例子不同的电子部件。

[0062] 图4的(A)是第四实施方式所涉及的电子部件104的俯视图,图4的(B)是图4的(A)中的B-B部分处的剖视图,图4的(C)是图4的(A)中的C-C部分处的剖视图。其中,图4的(A)是保护膜10的形成前的状态下的俯视图。

[0063] 在图2的(B)所示的电子部件102中,电介质层4及第二内部电极3B在半导体基板1的上部形成平面状,但在第四实施方式的电子部件104中,在半导体基板1的上部形成有多个沟槽。该例中的沟槽不是槽状而是圆柱状。在这些沟槽的内表面形成有电介质层4,在它们的内部埋入了第二内部电极3B的一部分。

[0064] 根据本实施方式,能够扩宽经由电介质层4的第二内部电极3B与半导体基板1的对置面积,因此,能够使电容器形成区域的平面面积省空间化。

[0065] 《第五实施方式》

[0066] 在第五实施方式中,例示出内部电极和电介质层的结构与第一实施方式、第二实施方式所示的例子不同的电子部件。

[0067] 图5的(A)是第五实施方式所涉及的电子部件105的俯视图,图5的(B)是图5的(A)中的B-B部分处的剖视图,图5的(C)是图5的(A)中的C-C部分处的剖视图。其中,图5的(A)是保护膜10的形成前的状态下的俯视图。

[0068] 该电子部件105具备半导体基板1、形成在该半导体基板1的表层侧的绝缘体层2、形成在绝缘体层2内的第一内部电极3A1、3A2、形成在绝缘体层2内的第二内部电极3B、形成在半导体基板1的表层侧的由热氧化膜形成的电介质层4、在比第一内部电极3A1、3A2靠表层侧的位置与第一内部电极3A1、3A2导通的第一引出电极5A1、5A2、在比第二内部电极3B靠表层侧的位置与第二内部电极3B导通的第二引出电极5B1、5B2、在比第一引出电极5A1、5A2

靠表层侧的位置与第一引出电极5A1、5A2导通的第一外部电极6A、在比第二引出电极5B1、5B2靠表层侧的位置与第二引出电极5B1、5B2导通的第二外部电极6B、以及保护膜10。

[0069] 在图2的(A)、图2的(B)、图2的(C)所示的例子中,在与半导体基板1的面垂直的方向上观察时,电介质层4及第二内部电极3B为凹状,第一内部电极3A1、3A2的整体形状为凸状,但在第五实施方式所涉及的电子部件105中,电介质层4及第二内部电极3B为凸状,第一内部电极3A1、3A2的整体形状为凹状。而且,第一内部电极3A1、3A2与第二内部电极3B的对置部呈凹凸状对置。即,第二内部电极3B的一部分朝向第一外部电极6A呈直线状延伸,第二内部电极3B被配置为第一内部电极3A1包围第二内部电极3B的延伸部。另外,第一内部电极3A1及第二内部电极3B被形成为,在第一内部电极3A1与第二内部电极3B对置的区域,它们的边的间隔成为固定(第一内部电极3A1与第二内部电极3B的对置的边的距离固定)。

[0070] 根据本实施方式,与第二实施方式所示的电子部件102同样地,得到抑制了寄生电感、寄生电阻并且低ESR的电容器。

[0071] 最后,本发明不限于上述的各实施方式。对本领域技术人员来说能够适当进行变形及变更。本发明的范围由权利要求书示出,而非上述的实施方式。并且,在本发明的范围内包括与权利要求书同等的范围内的从实施方式的变形及变更。

[0072] 在各实施方式中,示出了作为无源元件而具备电容器及电感器的电子部件,但同样也能够应用于具备无源元件的同时还具备有源元件的电子部件。

[0073] 在第二实施方式至第五实施方式中,示出了在与半导体基板1的面垂直的方向上观察时,第二内部电极3B与第一内部电极3A1、3A2的对置部呈凹凸状对置的电子部件的例子,但同样也能够应用于在与半导体基板1的面垂直的方向上观察时,第二内部电极3B与第一内部电极3A1、3A2的对置部呈梳齿状对置的电子部件。

[0074] 附图标记说明

[0075] C0、C1…电容器;

[0076] L1…电感器;

[0077] R1…电阻;

[0078] T1、T2…端子;

[0079] 1…半导体基板;

[0080] 2…绝缘体层;

[0081] 3A1、3A2…第一内部电极;

[0082] 3B…第二内部电极;

[0083] 4…电介质层;

[0084] 5A1、5A2…第一引出电极;

[0085] 5B1、5B2…第二引出电极;

[0086] 6A…第一外部电极;

[0087] 6B…第二外部电极;

[0088] 10…保护膜;

[0089] 11…半导体基板;

[0090] 12…阱;

[0091] 13…扩散层;

- [0092] 15…栅极绝缘膜;
- [0093] 101、102、103、104、105…电子部件;
- [0094] 106…栅极;
- [0095] 108…布线层;
- [0096] 113…层间绝缘膜;
- [0097] 115…保护层;
- [0098] 116…接触孔。

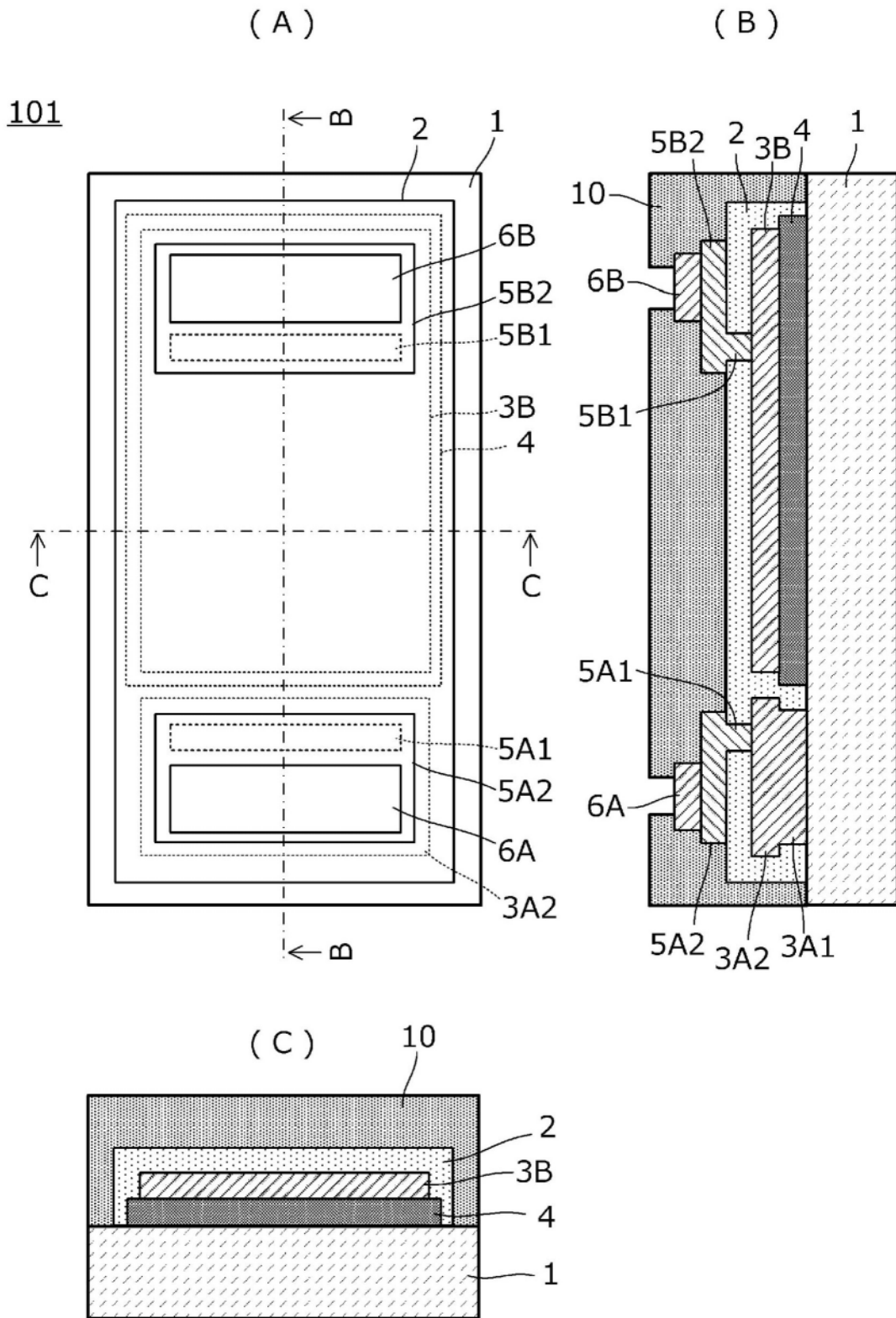


图1

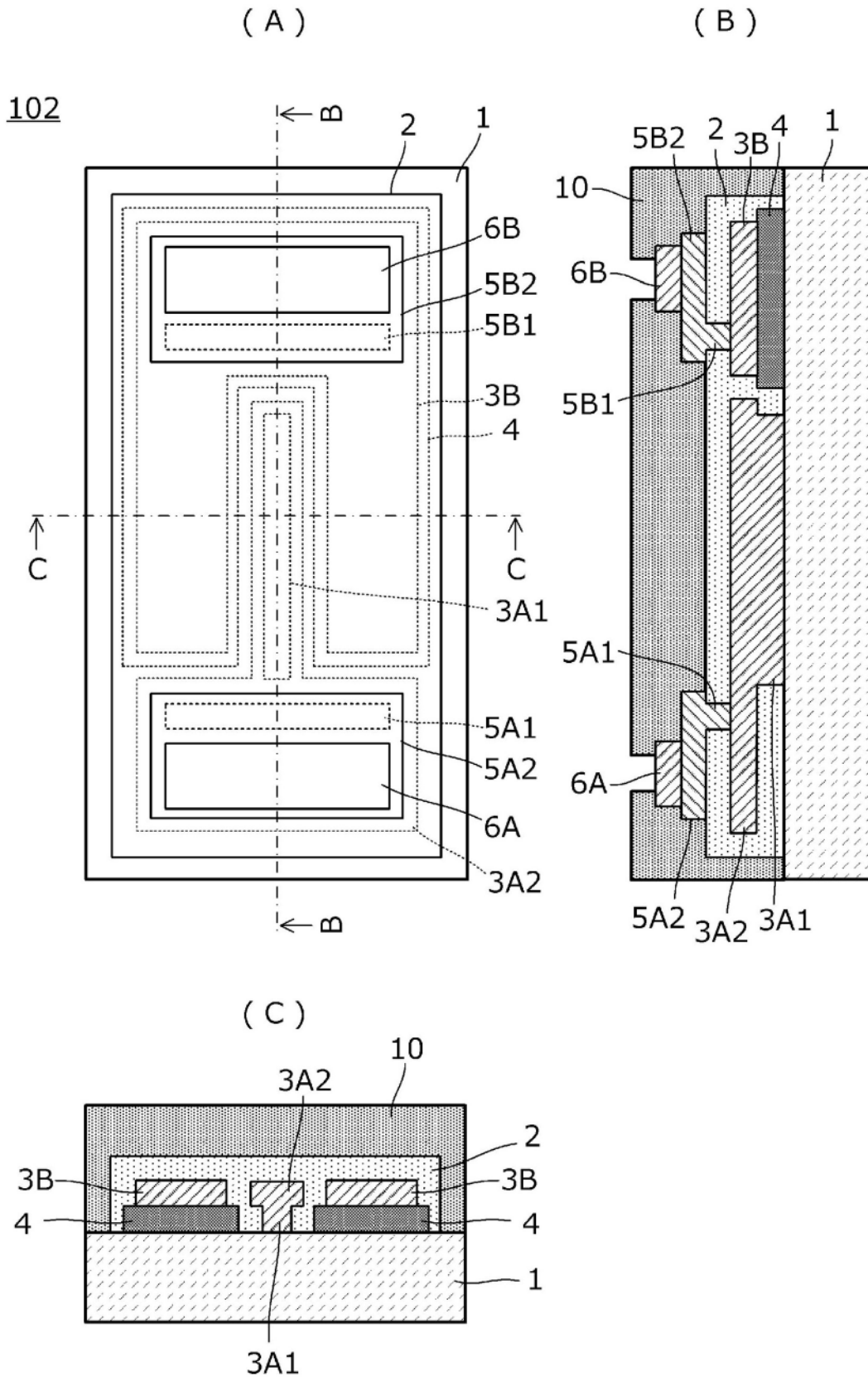


图2

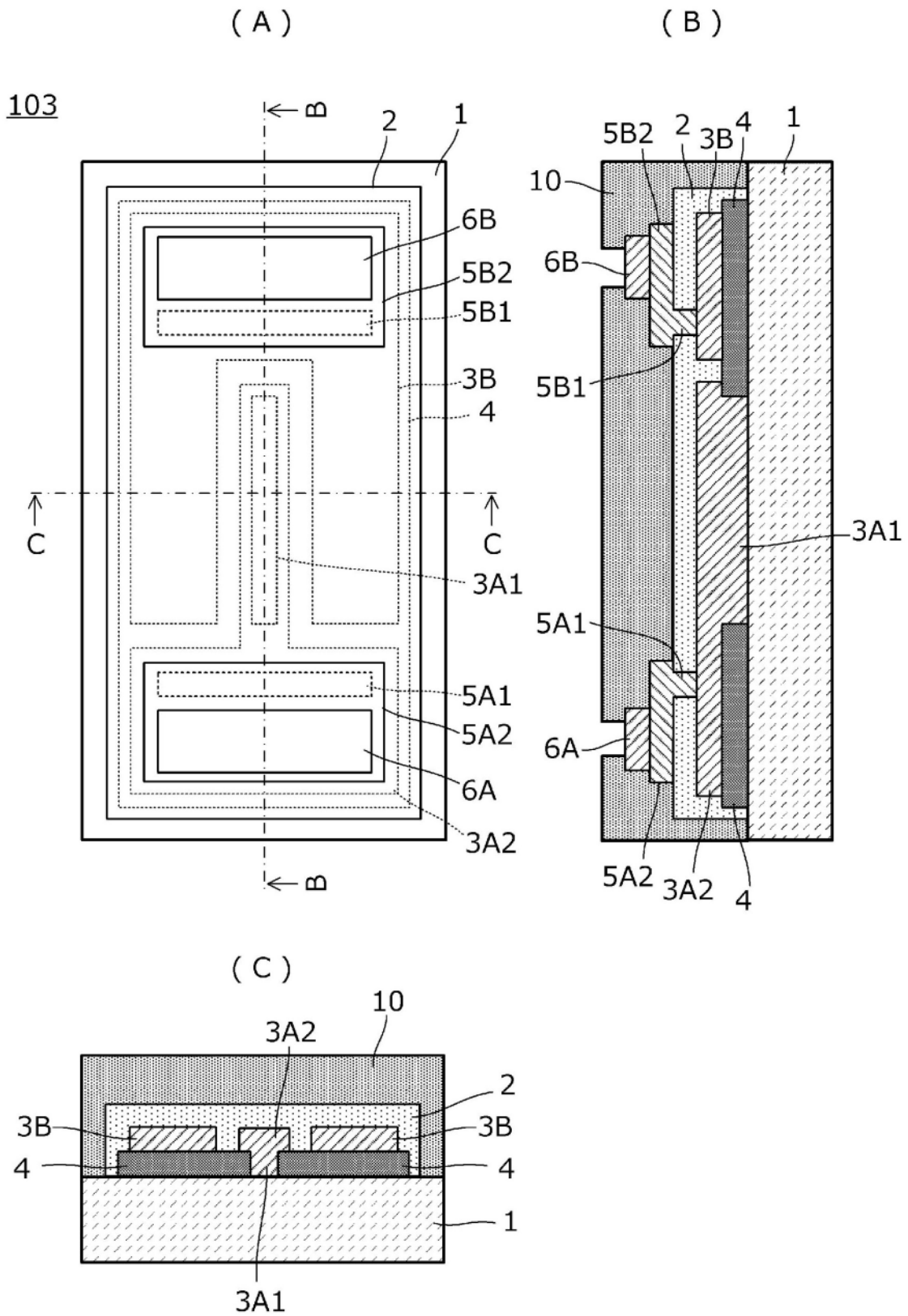


图3

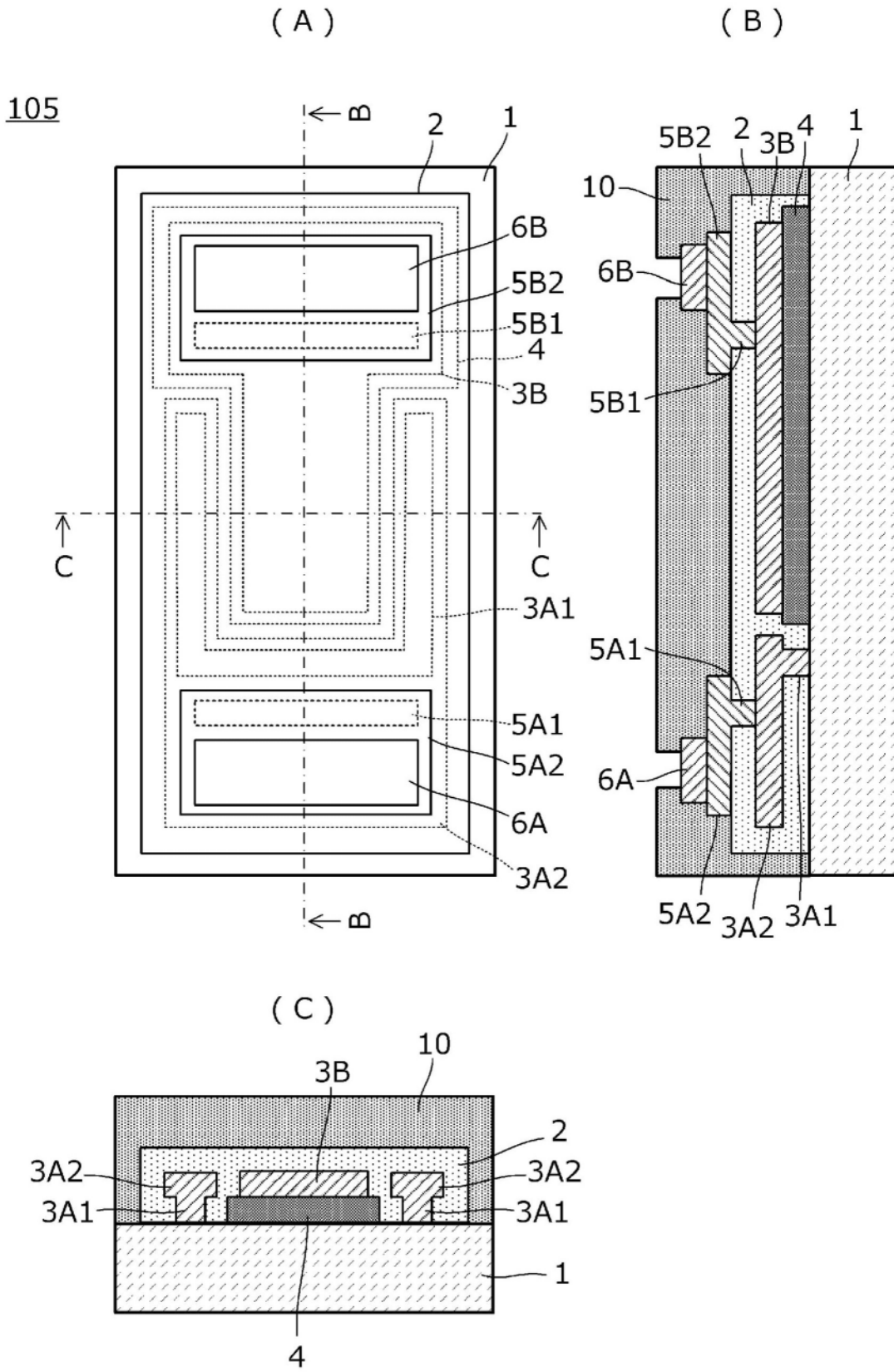


图5

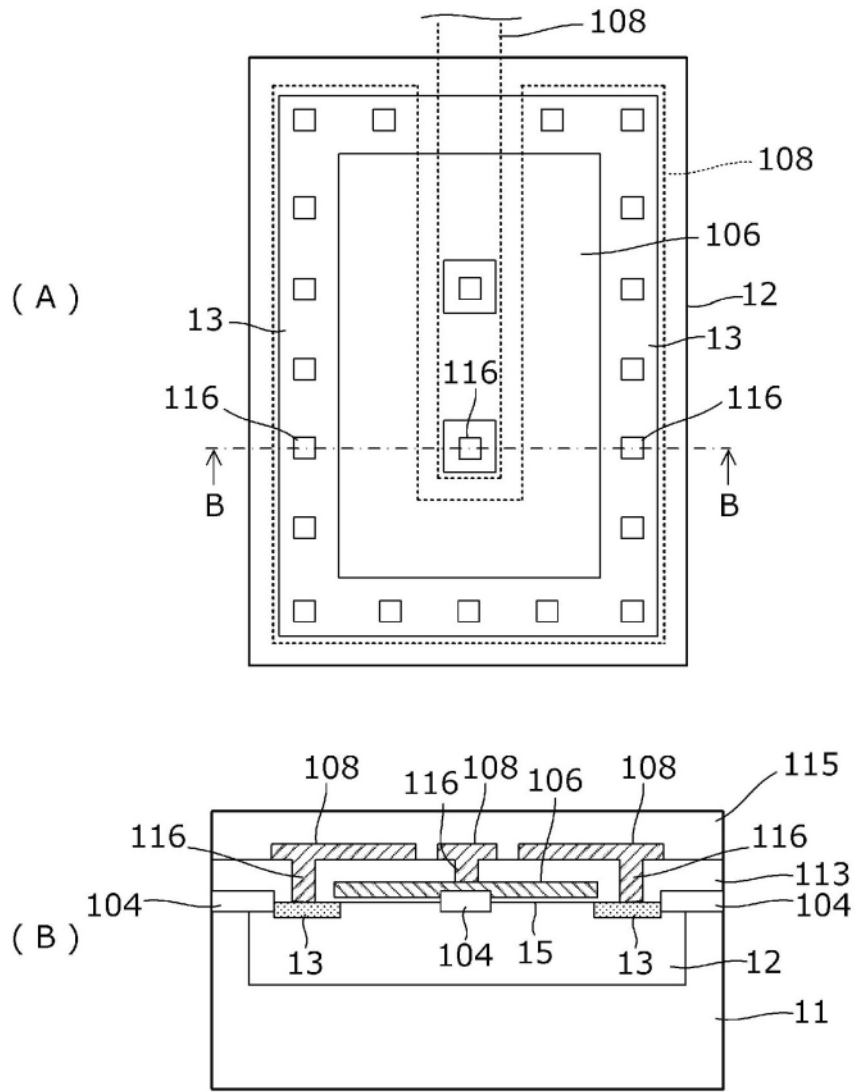


图6

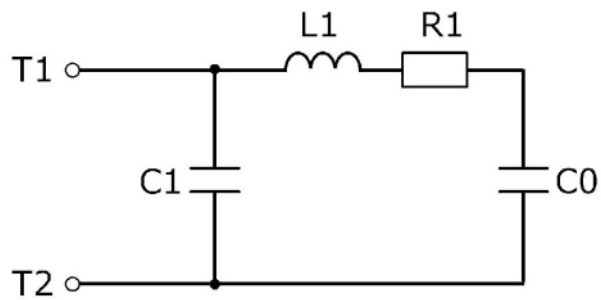


图7