

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3702783号
(P3702783)

(45) 発行日 平成17年10月5日(2005. 10. 5)

(24) 登録日 平成17年7月29日(2005. 7. 29)

(51) Int. Cl.⁷

H04N 5/08

F I

H04N 5/08

Z

請求項の数 5 (全 8 頁)

(21) 出願番号	特願2000-384900 (P2000-384900)	(73) 特許権者	000005108
(22) 出願日	平成12年12月14日(2000. 12. 14)		株式会社日立製作所
(65) 公開番号	特開2002-185815 (P2002-185815A)		東京都千代田区丸の内一丁目6番6号
(43) 公開日	平成14年6月28日(2002. 6. 28)	(74) 代理人	100075096
審査請求日	平成15年9月3日(2003. 9. 3)		弁理士 作田 康夫
		(72) 発明者	茂呂 栄治
			茨城県ひたちなか市稲田1410番地 株
			式会社日立製作所デジタルメディア製品事
			業部内
		(72) 発明者	袖山 健
			茨城県ひたちなか市稲田1410番地 株
			式会社日立製作所デジタルメディア製品事
			業部内

最終頁に続く

(54) 【発明の名称】 ビデオ信号処理装置

(57) 【特許請求の範囲】

【請求項1】

ビデオ信号から複合同期信号を分離する同期分離手段と、

該同期分離手段の出力である複合同期信号が入力されて水平同期情報を発生させ、該複合同期信号の前縁および後縁を検出し、該後縁のタイミングに基づいて該水平同期情報のタイミングを管理するパルス発生手段と、

ビデオ信号に含まれる画像情報と該水平同期情報が入力されて画像処理を行う画像処理手段と、

該前縁タイミングより後に開始し該前縁タイミングから式(1)に示す時間T2経過する時点まで終了する期間のみを後縁受付を許可しそれ以外の期間は受け付け禁止するよう
な後縁受付禁止手段と、を具備し、

該パルス発生手段は、さらに、該前縁タイミングから式(2)に示す時間T3経過した時点で、前縁欠落フラグを発生する前縁欠落検出手段と、該後縁タイミングに基づいて補間後縁を発生する補間後縁発生手段と、該後縁と該補間後縁が入力されて、該前縁欠落フラグ発生時には該補間後縁を挿入するような補間後縁挿入手段を含むことを特徴とするビデオ信号処理装置。

$$T_{hsync} < T2 < 0.5H \quad \text{--- (1)}$$

$$1H < T3 < 1H + T_{hsync} \quad \text{--- (2)}$$

ただし、 T_{hsync} は、ビデオ信号の水平同期信号幅、

1Hは1水平走査周期を表す。

10

20

【請求項 2】

請求項 1 記載のビデオ信号処理装置において、該パルス発生手段は、さらに、該前縁タイミングから式 (3) に示す時間 T_1 経過する時点までは前縁受付を禁止するような前縁受付禁止手段を含むことを特徴とするビデオ信号処理装置。

$$T_1 > 0.5H \quad \text{--- (3)}$$

【請求項 3】

請求項 1 乃至請求項 2 記載のビデオ信号処理装置において、該画像処理手段は、さらに、デジタル記憶媒体と、該水平同期情報に基づいて該デジタル記憶媒体への書込みを制御する書込み制御手段を含むことを特徴とするビデオ信号処理装置。

【請求項 4】

請求項 1 乃至請求項 2 記載のビデオ信号処理装置において、該画像処理手段は、さらに、該画像情報の形式を該水平同期情報と同期した所定のデータ形式に変換するデータ変換手段を含むことを特徴とするビデオ信号処理装置。

【請求項 5】

請求項 1 乃至請求項 2 記載のビデオ信号処理装置において、該画像処理手段は、さらに、該水平同期情報と同期して該画像情報の表示を制御する画像表示制御手段を含むことを特徴とするビデオ信号処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ビデオ信号の画像情報をデジタル記憶媒体に書き込む画像処理や、該画像情報を所定の形式に変換するデータ変換手段や、あるいは、該画像情報を表示するための表示制御手段等を含む画像処理手段を持ったビデオ信号処理装置に係り、特に、ビデオ信号の同期信号から発生させた水平同期情報（以下 $H D$ と略す）を用いて該画像処理手段の少なくとも一部の処理を行うビデオ信号処理装置に関する。

【0002】

【従来の技術】

ビデオ信号の同期信号から水平同期情報を発生して、この情報を用いて、該ビデオ信号の画像処理を行う技術の一つに、タイムベースコレクタ（以下 $T B C$ と略す）におけるメモリへの書込み動作がある。

【0003】

この技術の一例は、「ビデオ信号再生装置（日本国特許番号第 2 8 4 4 7 6 5 号）」に示される。

【0004】

上記特許の第 2 図に $T B C$ の構成を示すブロック図が示されており、同期分離回路 33（図中、 $S Y N C \quad S E P A 33$ と表記されている）の出力が $P L L 34$ を介してタイミング $G E N 35$ に供給されている。さらには、タイミング $G E N$ で生成されたライトクロック $W C K$ とライトリセットパルス $W R E S$ でバッファメモリ 40 および 46 への書込み制御がなされている。ただし、同期分離回路 33 および、分離された複合同期信号から $H D$ を生成する手法に関しては、記載されていない。

【0005】

【発明が解決しようとする課題】

前述の $T B C$ の基本原理は、時間軸変動を含む入力ビデオ信号を、この信号と同様の時間軸変動を含む同期信号を書込みトリガとしてメモリへの書込み動作を開始し、安定した読み出しトリガでメモリからの読み出し動作を開始することで実現される。ラインメモリを用いた $T B C$ の場合、該書込みトリガは、入力ビデオ信号から複合同期信号を分離して、さらに等価パルスの除去を行った水平同期情報 $H D$ を用いるのが一般的な手法である。

【0006】

ここで、 $T B C$ の性能を向上させるポイントのひとつは、入力ビデオ信号の含む時間軸変

10

20

30

40

50

動が忠実に反映されたHDを生成することである。この性能が悪いと、両者の時間軸変動の不一致分が、TBC出力信号の時間軸変動として残ってしまう。

【0007】

また、TBCの性能を向上させる他のポイントのひとつは、入力ビデオ信号の同期信号欠落が発生したときに、これを補間したHDを生成することである。この機能が無いと、メモリへの画像書込みがその間停止してしまうので、それ以後のTBC出力の画像表示位置が本来よりも画面上方向にずれてしまう。

【0008】

同期信号欠落時に、補間HDを発生する手法の一つに、PLLを用いる方法がある。PLLは周知の技術なので詳細な説明は省略するが、PLLの時定数がある程度大きく設定することで、多少の同期欠落が発生しても補間HDを発生することが可能である。ただし、入力ビデオ信号にスキューがある場合の応答は、前記時定数が災いして、悪化する。PLLを介して生成されたHDは、入力ビデオ信号のスキューに瞬時に追従することはできず、前記時定数での追従特性を示す。この追従遅れは、入力ビデオ信号の含む時間軸変動が忠実に反映されたHDを生成するのを妨げることになり、TBC出力の画像にスキューが発生してしまう。

【0009】

本発明の課題は、上記TBCのメモリー書込み動作を一例とするような、HDを用いた画像処理において好適なHDパルス発生手段、および、これを具備するビデオ信号処理装置を提供することにある。

【0010】

【課題を解決するための手段】

上記問題を解決するため、本発明のビデオ信号処理装置は、入力されたビデオ信号から複合同期信号を分離する手段と、該同期分離手段の出力である複合同期信号が入力されて水平同期情報HDを発生するパルス発生手段と、第1のビデオ信号に含まれる画像情報と該HDが入力されて画像処理を行う画像処理手段とを含む構成とした。

【0011】

さらに、該パルス発生手段は、該複合同期信号の前縁を検出する前縁検出手段および後縁を検出する後縁検出手段を含む構成として、該後縁のタイミング情報に基づいて該HDタイミングを管理するようにした。

【0012】

【発明の実施の形態】

以下、本発明の実施例について説明する。

【0013】

図1は、本発明の一実施例のブロック図で、TBC機能を実現するものである。端子1から入力されたビデオ信号は、A/D変換器2でデジタル信号に変換されて、クランプ回路3を通過後にラインメモリ6および同期分離手段4に入力される。同期分離手段4からは、分離された同期信号である複合同期信号Csyncが出力される。パルス発生手段5では該Csyncをもとに、水平同期情報HDおよび垂直同期情報VDを発生する。書込み制御手段7には、入力信号と同様の時間軸変動を含むHDが入力されて、HDをトリガとして、1水平走査周期（以下1ラインと略す）単位の書込みアドレス発生を行う。その結果、ラインメモリ6へのビデオ信号の書込み動作は、HDをトリガとして1ライン単位の書込みが行われる。

【0014】

一方、同期発生手段9では、システムクロックをカウントして標準信号の周期に概ね一致する標準水平同期情報SHDおよび標準垂直同期情報SVDを発生する。読出し制御手段8には、SHDおよびSVDが入力されて、これに一致した水平および垂直周期をもった読出しアドレス発生を行う。その結果、ラインメモリ6から読み出されたビデオ信号は標準信号に近い周期を持つ、すなわち、時間軸変動が除去されたビデオ信号となる。また、同期発生手段には、VDも入力されて、SVDとVDの位相差を所望範囲内に管理するこ

10

20

30

40

50

とで、メモリ 6 の破綻を防いでいる。メモリ 6 から出力されたビデオ信号は、同期付加手段 10 で同期発生手段 9 により管理されたタイミングで同期付加され、D/A 変換器 11 でアナログ信号に変換されて端子 12 より出力される。

【0015】

前述のパルス発生手段 5 のブロック図を図 5 に、パルス発生手段 5 の HD 発生タイムチャート図を図 6 に示す。端子 23 から入力された C s y n c 波形 (a) は、前縁検出手段 24、後縁検出手段 30 および V 同期検出手段 36 に入力される。

【0016】

前縁検出手段 24 の出力波形 (b) および前縁受付ゲート発生手段 26 の出力波形 (e) が AND ゲート 27 に入力されて、波形 (c) を出力する。波形 (b) に含まれる等価パルス前縁は、波形 (e) がローの期間と AND 処理されて受付禁止されるので、波形 (c) は等価パルスの除去が行われた波形となる。前縁受付ゲート発生手段 26 では、カウンタ 25 の所定のカウンタ値期間にハイレベルもしくはローレベル出力させることで前縁受付ゲート波形 (e) を発生する。カウンタ 25 はシステムクロックでカウンタアップするが、波形 (c) がリセット入力されると、カウンタ値ゼロに戻る。波形 (e) は、カウンタ 25 の出力がゼロから所定の値 P1 に達するまでの期間 T1 にローレベルとなり、所定の値 P1 以上の期間にハイレベルとなる。期間 T1 を 0.5 H 以上に設定することで、等価パルス前縁の除去が実現できる。

【0017】

後縁検出手段 30 の出力波形 (f) および後縁検出ゲート発生手段 28 の出力波形 (g) は AND ゲート 31 に入力されて、波形 (h) を出力する。波形 (f) に含まれる等価パルス後縁は、波形 (g) がローの期間と AND 処理されて受付禁止されるので、波形 (h) は等価パルスの除去が行われた波形となる。後縁受付ゲート発生手段 28 では、カウンタ 25 の所定のカウンタ値期間にハイレベルもしくはローレベル出力させることで後縁受付ゲート波形 (g) を発生する。波形 (g) は、カウンタ 25 の出力がゼロから所定の値 P2 に達するまでの期間 T2 にハイレベルとなり、所定の値 P2 以上の期間にローとなる。期間 T2 を、C s y n c に含まれる水平同期信号幅 T h s y n c よりよりも大きな値に設定することで、後縁波形 (f) の受付が可能となる。ただし、T2 が 0.5 H よりも大きいと、等価パルス後縁の受付も許可してしまうので、T2 は 0.5 H よりも小さな値に設定するのが望ましい。また、図 6 では、波形 (g) の立ち上がり、カウンタ 25 の出力がゼロのタイミングで作図しているが、この立ち上がりタイミングは数 μ s 程度遅らせても良い。具体的には、後縁波形 (f) よりも早いタイミングでゲートが開けばよいので、T h s y n c よりも小さな値の範囲で遅らせることが可能である。

【0018】

カウンタ 33 もシステムクロックでカウンタアップするが、波形 (h) がリセット入力されるとカウンタ値ゼロに戻る。カウンタ 33 を 1 H 周期で自走巡回する構成として、カウンタ 33 の値がゼロのときに補間 HD 1 発生部 34 から補間 HD 波形 (j) を出力する。スイッチ 32 は、第一の入力端子に波形 (h) が入力され、第二の入力端子に波形 (j) が入力され、どちらか一方の入力を波形 (m) として切替出力する。スイッチ 32 の切替制御は、前縁欠落フラグ発生手段 29 の出力である前縁欠落フラグ波形 (k) がハイレベルの時、すなわち、前縁が欠落したと判定されたときには、第二の入力端子側を選んで出力し、それ以外のときには第一の入力端子側を選んで出力する。波形 (m) は、端子 35 より水平同期情報 HD として出力される。

【0019】

前縁欠落フラグ発生部 29 は、カウンタ 25 の所定のカウンタ値期間にハイレベルもしくはローレベル出力させることで前縁欠落フラグ波形 (k) を発生する。波形 (k) は、カウンタ 25 の値がゼロから所定の値 P3 に達するまでの期間 T3 にローレベルとなり、所定の値 P3 以上の期間にハイレベルとなる。期間 T3 は、 $1 H < T3 < 1 H + T h s y n c$ の範囲に設定される。T3 を 1 H よりも大きな値に設定することで、前縁の欠落の検出が実現でき、T3 を $1 H + T h s y n c$ よりも小さな値に設定することで、前縁欠落フラ

10

20

30

40

50

グ波形（k）の立ち上がりタイミングが、補間HDよりも早くなり、スイッチ32を切替制御しての好適な補間切替動作が実現できる。ここで、例えば、 $T3 = 1H + 1\mu s$ に設定すれば、水平走査周期が $1H + 1\mu s$ より大きな場合には波形（j）の補間HDが選択されるが、 $1H + 1\mu s$ より小さな場合には波形（h）が選択される。すなわち、 $1\mu s$ 以内のずれ量で水平走査周期が長くなった状態に対しては、この時間軸変動を忠実に伝えるHDを発生することができる。これは例えば、家庭用VTRの通常再生ビデオ信号に前述のTBCを適用した場合などには、水平走査周期の変動量は通例 $1\mu s$ 以下なので、前述の如く時間軸変動を忠実に伝えるHDを発生することができ、良好なTBC機能が実現できる。

【0020】

V同期検出手段36は、Csync波形（a）からV同期情報VDを検出して、端子37より出力する。

【0021】

上述の如く、本発明のパルス発生手段5の発生する水平同期情報HD1は、時間軸変動を忠実に伝えて、かつ、同期抜け発生時にはこれを補間する機能も実現している。さらに、等価パルスの除去も実現している。よって、図1に示すTBCに適用するのに好適である。

【0022】

図2は、図1とは別の本発明の一実施例のブロック図で、画像圧縮記録再生機能を実現するものである。図1との相違点のみ以下に説明する。クランプ回路3から出力されたビデオ信号は、データ変換手段14において、例えばITU-R BT. 656に準拠したデータ形式に変換される。同期埋め込み制御手段15では、パルス発生手段5の出力であるHDおよびVDをタイミング情報として、データ変換手段14に対して同期埋め込み制御を行う。データ変換手段14の出力は、MPEG2エンコーダ16で画像圧縮処理され、圧縮データとしてストレージ手段18に記録される。再生時には、ストレージ手段18から出力された圧縮データがMPEG2デコーダ17で復号されて、D/A変換器11でアナログ変換されて端子12より出力される。図2の画像圧縮記録再生機能においても、HDに求められている性能は図1のシステムの場合と同様であり、前述のパルス発生手段5の特徴は有効である。

【0023】

図3は、図1および図2とは別の本発明の一実施例のブロック図で、図2と同様に画像圧縮記録再生機能を実現するものである。図2との相違点のみ以下に説明する。図3では、データ変換手段19での同期埋め込み処理は行わず、パルス発生手段5の出力であるHDおよびVDをMPEG2エンコーダ16に入力する。図2と図3のシステムの相違は、MPEG2エンコーダ16における入力データ仕様に基づく相違であり、実際、図2に示す同期情報の埋め込まれたデータ形式での入力と、図3に示す同期情報を信号データとは独立に入力する形式の、どちらか一方もしくは双方の入力仕様を具備したMPEG2エンコーダがLSI化されている。図3のシステムの場合にも、図2のシステムと同様に、前述のパルス発生手段の特徴が有効であることは言うまでもない。

【0024】

図4は、図1、図2および図3とは別の本発明の一実施例のブロック図で、画像のLCD表示機能を実現するものである。図3との相違点のみ以下に説明する。図4では、データ変換手段20の出力とパルス発生手段5の出力であるHDおよびVDがLCDコントローラ21に入力されて、LCDコントローラ21の制御出力でLCD22の走査制御を行う。図4のLCD表示機能においても、同期情報HDに求められている性能は図1のシステムの場合と同様であり、前述のパルス発生手段5の特徴が有効である。

【0025】

【発明の効果】

本発明によれば、TBC機能や画像圧縮記録再生機能やLCD表示機能に代表される画像処理手段の構成要素として好適な、水平同期情報HDを発生するパルス発生手段、および

10

20

30

40

50

、これを構成要素として含むビデオ信号処理装置を提供することができる。

【図面の簡単な説明】

【図 1】 本発明の一実施例のブロック図

【図 2】 本発明の一実施例のブロック図

【図 3】 本発明の一実施例のブロック図

【図 4】 本発明の一実施例のブロック図

【図 5】 本発明の一実施例のパルス発生手段 5 のブロック図

【図 6】 本発明の一実施例のパルス発生手段 5 の H D 発生タイムチャート図

【符号の説明】

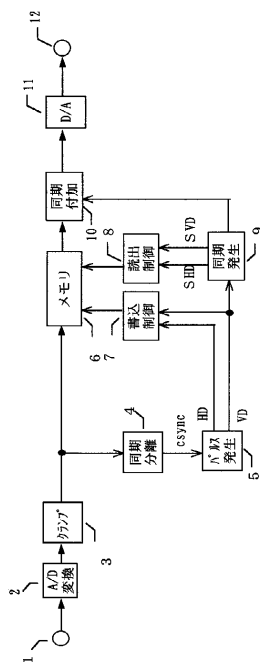
1、12、23、35、37 --- 端子、 2 --- A/D変換器、
 3 --- クランプ回路、
 4 --- 同期分離手段、 5 --- パルス発生手段、 6 --- ラインメモリ、
 7 --- 書込制御手段、 8 --- 読出制御手段、 9 --- 同期発生手段、
 10 --- 同期付加手段、 11 --- D/A変換器、
 14、19、20 --- データ変換手段、 15 --- 同期埋込制御手段、
 16 --- M P E G 2 エンコーダ、 17 --- M P E G 2 デコーダ、
 18 --- ストレージ手段、 21 --- L C D コントローラ、
 22 --- L C D、 24 --- 前縁検出手段、 25、33 --- カウンタ、
 26 --- 前縁受付ゲート発生手段、 27、31 --- A N D ゲート、
 28 --- 後縁受付ゲート発生手段、 29 --- 前縁欠落フラグ発生手段、
 30 --- 後縁検出手段、 32 --- スイッチ、
 34 --- 補間 H D 1 発生手段、 36 --- V 同期検出手段。

10

20

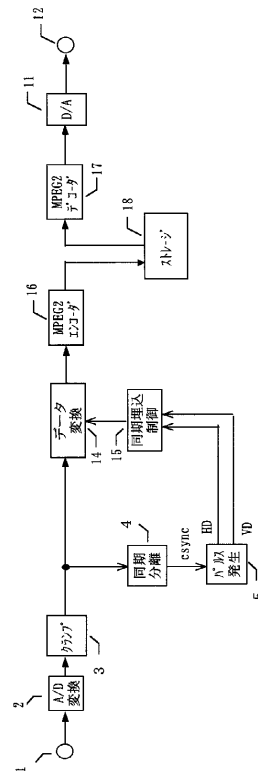
【図 1】

図 1 本発明の一実施例のブロック図

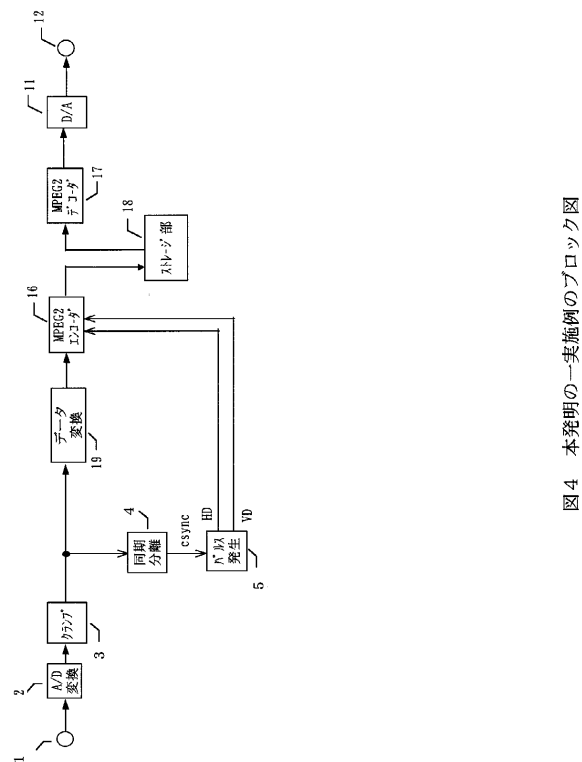
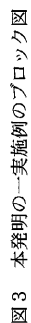


【図 2】

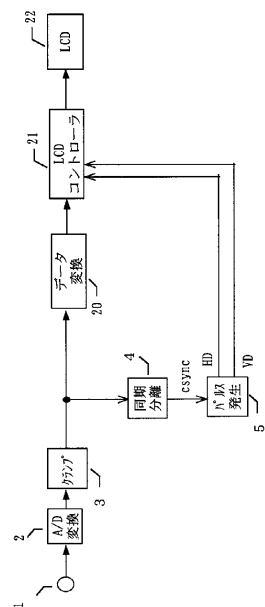
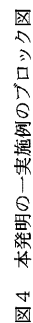
図 2 本発明の一実施例のブロック図



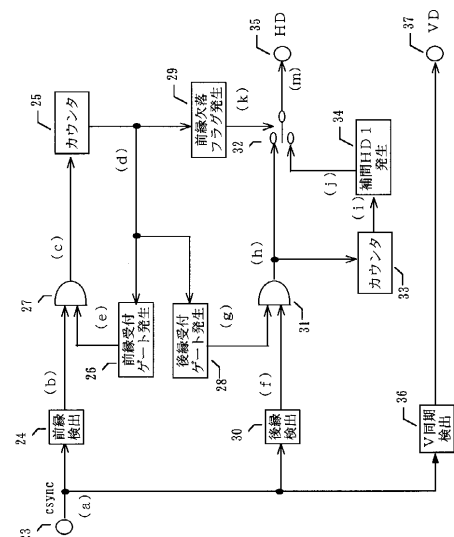
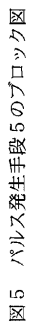
【 図 3 】



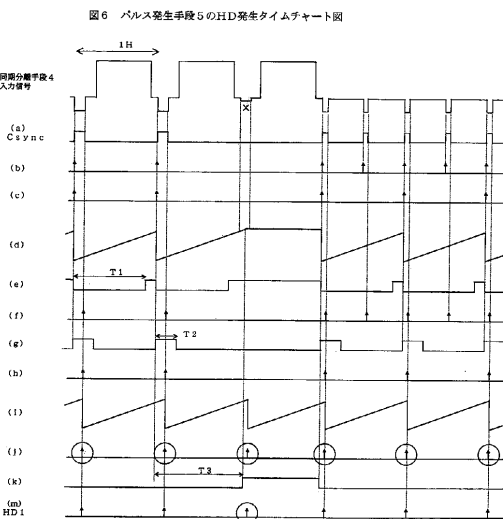
【図 4】



【図 5】



【 図 6 】



フロントページの続き

(72)発明者 堀 博之

茨城県ひたちなか市稲田1410番地 株式会社日立製作所デジタルメディア製品事業部内

審査官 伊東 和重

(56)参考文献 特開平02-312446 (JP, A)

特開平01-106674 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H04N 5/04

H03L 7/00