

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95124319

※申請日期：95.7.4

※IPC 分類：6099³/₁₈, 602F¹/₁₃₃

一、發明名稱：(中文/英文)

液晶顯示器結構 / LIQUID CRYSTAL DISPLAY

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瀚宇彩晶股份有限公司/HannStar Display Corporation

代表人：(中文/英文) 焦佑麒/CHIAO, Yu-Chi

住居所或營業所地址：(中文/英文)

桃園縣楊梅鎮高獅路 580 號

No. 580, Kao Shi Road, Yang-Mei, Tao-Yuan Hsien 326, Taiwan, R.O.C.

國 籍：(中文/英文) 中華民國 R.O.C.

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 陳柏仰/ CHEN, POYANG

2. 施博盛/ SHIH, POSHENG

國 籍：(中文/英文)

1. 中華民國 R.O.C.

2. 中華民國 R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種液晶顯示器，且特別是有關於一種能夠增進液晶顯示器廣視角品質的畫素單元結構。

【先前技術】

對於液晶顯示器廣視角技術，目前最普及的是垂直排列向列型彩色液晶顯示器 (Vertically Aligned Mode, VA mode)。但是當垂直排列向列型彩色液晶顯示器由傾斜角度觀看時，會看到亞洲人的皮膚有偏藍或發白的現象。這個現象就稱為色偏 (Color Wash-Out)。參閱第 1A、1B 圖其係繪示垂直排列向列型彩色液晶顯示器穿透率-電壓曲線圖 (Transmittance-Voltage)，其中縱軸為穿透率、橫軸為施加電壓。當電壓增加時，正視角曲線 102 穿透率亦增加，呈一單調函數，偏視角曲線 104 穿透率有則有彎曲現象，使得不同的灰階電位其穿透率卻相同。這是垂直排列向列型彩色液晶顯示器所特有現像，亦是造成色偏之原因。為了解決這一問題，富士通 (Fujitsu Display Technologies Corporation) 的 H.Yoshida 等人發表了改善的方法，方法是將一個畫素單元，分成兩種不同的伽瑪特性曲線來形成兩種包含不同穿透率-電壓特性區域，來做混色而改善，參閱第 1B 圖，其所繪示係為稱為半色調 (Half-Tone) 技術。其中曲線 106 為具低臨界電壓之穿透率-電壓曲線，曲線 108 為具高臨界電壓之穿透率-電壓曲線，兩者混合形成一單調穿透率-電壓曲線 110，消除了色偏現象。

參閱第 2A 及 2B 圖。半色調技術目前有兩種，CC 型及 TT 型。第 2A 圖係繪示 CC 型，第 2B 圖係繪示 TT 型。基本的原理就是將原本的畫素單元分為兩個區域，分別為第一與第二次畫素，使它們包含不同的伽瑪特性曲線，來達到上述所提到的半色調技術，消除色偏的現象。第 2C 圖所示為 CC 型之伽瑪特性曲線，而第 2D 圖所示為 TT 型之伽瑪特性曲線。以第 2C 圖為例，在一灰階電壓下，一畫素單元所呈現之混合伽瑪特性曲線，為第一次畫素伽瑪特性曲線與第二次畫素伽瑪特性曲線之加總。

如第 2A 圖所示，一畫素單元分為兩個區域，利用電容分壓的方式產生次畫素電極 206 和次畫素電極 212 兩個不同的伽瑪特性曲線。其中次畫素電極 206 的電位是由資料線 (Data Line) 經由薄膜電晶體 202 直接寫入的。次畫素電極 212 電位是資料線經由一個串聯儲存電容 210 分壓之後所決定的，換言之就是次畫素電極 212 是一個浮接的狀態而電位是經由耦合的方式來決定的，它會因為面板的操作中而補捉電荷導致次畫素電極 212 電位的偏移，這會造成可靠度及畫面不均勻以及影像殘留等問題。

參閱第 2B 圖，一畫素單元分為兩個區域，利用二顆薄膜電晶體 218 及 220，二條掃描線或二條資料線直接由系統給定二個不同的伽瑪特性曲線至畫素電極 222 與畫素電極 224。這是最直接的方法，但如此會使開口率減少及系統電路複雜(需要增加另外一組伽瑪特性曲線)，增加一倍的邏輯開驅動或資料線驅動以及電源消耗增加等種種缺點。

本發明就是提出新的畫素結構設計搭配薄膜電晶體

閘極的驅動波形來解決上述的問題。

【發明內容】

本發明的目的就是在提供一種薄膜電晶體液晶顯示器廣視角的技術，擁有兩種穿透率-電位曲線，用以改善色偏現象。

本發明的另一目的是在提供一畫素單元，擁有兩種穿透率-電位曲線而沒有電荷累積，電位偏移的現象。

本發明的又一目的是在提供一畫素單元，用以減少電路複雜度及功率消耗。

根據本發明之上述目的，提出一種一種液晶顯示器，至少包含複數條掃描線以互相平行方式排列在第一方向上以及複數條資料線，以互相平行方式排列於第二方向，並與該些條掃描線互相交叉，其中兩相鄰之第一掃描線以及一資料線定義出一包括一第一次畫素與一第二次畫素之畫素單元。每一次畫素包含一儲存電容，分別耦接於不同之電壓源來調變畫素電極電壓，形成不同的畫素電極電位，不同的穿透率-電位曲線。藉著混合這兩種不同的穿透率-電位曲線可以形成包含優良廣視角特性的穿透率-電位曲線。

根據本發明之另一實施例，畫素單元至少包括：第一電晶體位於該第一次畫素，該第一薄膜電晶體包含第一閘極端、第一源極端以及第一汲極端；以及一第二薄膜電晶體位於該第二次畫素，該第二薄膜電晶體包含第二閘極端、第二源極端以及第二汲極端，其中該第一源極端耦接

於一第一電壓源，該第二源極端耦接於一第二電壓源，該第一汲極端耦接於該資料線，該第二汲極端可接收該資料線所傳送之一電壓。

其較佳者，本發明所提供之液晶顯示器，其第二汲極耦接於資料線。

其較佳者，本發明所提供之液晶顯示器，其第二電壓源為第二掃描線所提供。

其較佳者，本發明所提供之液晶顯示器，其第一電壓源為第二掃描線所提供。

其較佳者，本發明所提供之液晶顯示器，其第二汲極耦接於第一源極。

其較佳者，本發明所提供之液晶顯示器，其第二電壓源為第二掃描線所提供。

其較佳者，本發明所提供之液晶顯示器，其第一電壓源為共同電極線所提供。

其較佳者，本發明所提供之液晶顯示器，其第一電壓源為第二掃描線所提供。

其較佳者，本發明所提供之液晶顯示器，其第一與第二電壓源為同一電壓源。

根據本發明之另一實施例，本發明更提供一種驅動方法，係用以驅動上述之液晶顯示器，該方法包含：提供一高電位給該第一掃描線，藉以使得該資料線透過該第一薄膜電晶體對該第一次畫素之畫素電極，以及透過該第二薄膜電晶體對該第二次畫素之畫素電極，寫入一資料訊號；以及提供一低電位至該第一掃描線，使該第一薄膜電晶體

和該第二薄膜電晶體絕緣於該資料線，其中，該第一掃描線於該高電位與低電位轉換之後，該第二掃描線對該第一次畫素之畫素電極與該第二次畫素之畫素電極產生一耦合電位。

其較佳者，本發明所提供之驅動方法，其為一三階驅動方法，並由一第一電位、一第二電位與一第三電位所控制，第一電位大於第二電位，且第二電位大於第三電位。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第二電位，且耦合電位係由第二掃描線自第三電位轉換至第二電位時所造成。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第三電位，且耦合電位係由第二掃描線自第二電位轉換至第三電位時所造成。

其較佳者，本發明所提供之驅動方法，其為一四階驅動方法，並由一第一電位、一第二電位、一第三電位與一第四電位所控制，第一電位大於第二電位，第二電位大於第三電位，第三電位大於第四電位。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第二電位，且耦合電位係由第二掃描線自第四電位轉換至第三電位時所造成。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第四電位，且耦合電位係由第二掃描線自第二電位轉換至第三電位時所造成。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第三電位，且耦合電位係由第二掃描線

自第四電位轉換至第三電位時所造成。

其較佳者，本發明所提供之驅動方法，其高電位為第一電位，低電位為第三電位，且耦合電位係由第二掃描線自第二電位轉換至第三電位時所造成。

綜上所述，本發明藉由將一畫素單元區隔成兩次畫素，而每一次畫素中包含獨立之薄膜電晶體、液晶電容與儲存電容，藉此兩次畫素所形成之不同種畫素電壓互相補償與平均，可和緩一畫素單元內之色偏現像。

【實施方式】

請參閱第 3 圖，其繪示依照本發明第一實施例的一畫素單元概略圖示。畫素單元 300，包含兩次畫素 302 和 304。次畫素 302 包含一薄膜電晶體 3010，其閘極連接於掃描線 3006、第一源/汲極耦接於對應之資料線 3008，而第二源/汲極則耦接於畫素電極 3022，其中畫素電極 3022 和掃描線 3002 結構而成儲存電容 3014，畫素電極 3022 和上基板導電電極(未顯示於圖中)結構而成液晶電容 3018。薄膜電晶體 3010 之第二源/汲極和閘極間則包含一寄生電容 3026。

次畫素 304 包含一薄膜電晶體 3012，其閘極連接於掃描線 3006、第一源/汲極耦接於對應之資料線 3008，而第二源/汲極則耦接於畫素電極 3024，其中畫素電極 3024 和共同電極線 3004 結構而成儲存電容 3016，畫素電極 3024 和上基板導電電極(未顯示於圖中)結構而成液晶電容 3020。薄膜電晶體 3012 之第二源/汲極和閘極間則包含一寄生電容 3028。薄膜電晶體 3010 及 3012 閘極均接至掃描

線 3006，第一源/汲極均接至對應資料線 3008，故為一薄膜電晶體並聯結構。換言之畫素電極 3022、3024 沒有浮接，不會造成電荷累積，電位偏移的現象，而且僅需掃描線 3002 及掃描線 3006、資料線 3008 以及共同電極線，不需要增加額外的電位來源或掃描線。

請參照第 4 圖，其繪示依照本發明第二實施例之畫素單元概略圖示。畫素單元 400 包含兩個次畫素 402 和 404。其中次畫素 402 包含一薄膜電晶體 4010，其閘極連接於掃描線 4006、第一源/汲極耦接於對應之資料線 4008，而第二源/汲極則耦接於畫素電極 4016，其中畫素電極 4016 和共同電極線 4004 結構而成儲存電容 4014，畫素電極 4016 和上基板導電電極(未顯示於圖中)結構而成液晶電容 4020。薄膜電晶體 4010 之第二源/汲極和薄膜電晶體 4022 之第一源/汲極耦接，其耦接處和薄膜電晶體 4010 之閘極間則包含一寄生電容 4018。

次畫素 404 包含一薄膜電晶體 4022，其閘極連接於掃描線 4006、第一源/汲極耦接於薄膜電晶體 4010 之第二源/汲極，而第二源/汲極則耦接於畫素電極 4028，其中畫素電極 4028 和掃描線 4002 結構而成儲存電容 4026，畫素電極 4028 和上基板導電電極(未顯示於圖中)結構而成液晶電容 4032。薄膜電晶體 4022 之第二源/汲極和閘極間則包含一寄生電容 4030。因為薄膜電晶體 4010 的第二源/汲極端連接至薄膜電晶體 4022 第一源/汲極，故為兩薄膜電晶體 4010、4022 串聯電路。換言之畫素電極 4016、4028 沒有浮接，不會造成電荷累積，電位偏移的現象，而且僅需掃描

線 4002、4006、資料線 4008 以及共同電極線 4004 作連接，不需要增加額外的資料線或掃描線。

請參閱第 5 圖，其繪示依照本發明第三實施例之畫素單元概略圖示。其中畫素單元 500，包含兩個次畫素 502 和 504。次畫素 502 包含一薄膜電晶體 5010，其閘極連接於掃描線 5006、第一源/汲極耦接於對應之資料線 5008，而第二源/汲極則耦接於畫素電極 5022，其中畫素電極 5022 和掃描線 5002 構成儲存電容 5014，畫素電極 5022 和上基板導電電極(未顯示於圖中)構成液晶電容 5018。薄膜電晶體 5010 之第二源/汲極和閘極間則包含一寄生電容 5026。

次畫素 504 包含一薄膜電晶體 5012，其閘極連接於掃描線 5006、第一源/汲極耦接於對應之資料線 5008，而第二源/汲極則耦接於畫素電極 5024，其中畫素電極 5024 和掃描線 5002 結構而成儲存電容 5016，畫素電極 5024 和上基板導電電極(未顯示於圖中)結構而成液晶電容 5020。薄膜電晶體 5012 之第二源/汲極和閘極間則包含一寄生電容 5028。薄膜電晶體 5010 及 5012 閘極均接至掃描線 5006，第一源/汲極均接至對應資料線 5008，故為一薄膜電晶體並聯結構。換言之畫素電極 5022 及 5024 沒有浮接，不會造成電荷累積，電位偏移的現象，而且僅需掃描線 5002 及掃描線 5006、資料線 5008，不需要增加額外的資料線或掃描線。

由於第三實施例的畫素電極 5022 及 5024 與掃描線 5002 共同構成儲存電容 5014 及 5016，故可藉由調整儲存電容 5014 及 5016 電容值以將畫素電極 5022 及 5024 電位

分開。且藉由閘極驅動波形並透過儲存電容 5014 及 5016 之耦合效應，可降低資料線之電位輸出範圍，而達到降低功率之效果。

請參照第 6 圖，其繪示依照本發明第四實施例之畫素單元概略圖示。其中畫素單元 600，包含兩個次畫素 602 和 604。次畫素 602 包含一薄膜電晶體 6010，其閘極連接於掃描線 6006、第一源/汲極耦接於對應之資料線 6008，而第二源/汲極則耦接於畫素電極 6016，其中畫素電極 6016 和掃描線 6002 結構而成儲存電容 6014，畫素電極 6016 和上基板導電電極(未顯示於圖中)構成液晶電容 6020。薄膜電晶體 6010 之第二源/汲極與薄膜電晶體 6022 之第一源/汲極耦接，其耦接處和薄膜電晶體 6010 之閘極間包含一寄生電容 6018。

次畫素 604 包含一薄膜電晶體 6022，其閘極連接於掃描線 6006，第一源/汲極耦接於薄膜電晶體 6010 之第二源/汲極，而薄膜電晶體 6022 第二源/汲極則耦接於畫素電極 6028，其中畫素電極 6028 和掃描線 6002 構成儲存電容 6026，畫素電極 6028 和上基板導電電極(未顯示於圖中)構成液晶電容 6032。薄膜電晶體 6022 之第二源/汲極和閘極間則包含一寄生電容 6030。因為薄膜電晶體 6010 的第二源/汲極端連接至薄膜電晶體 6022 第一源/汲極，故為兩薄膜電晶體 6010、6022 串聯電路。換言之畫素電極 6016 與 6028 沒有浮接，不會造成電荷累積，電位偏移的現象，而且僅需掃描線 6002、6006 以及資料線 6008，不需要增加額外的

資料線或掃描線。

由於第四實施例的畫素電極 6016 及 6028 與掃描線 6002 共同構成儲存電容 6014 及 6026 均結構於掃描線 6002 而成儲存電容 6014 及 6016，故可藉由調整儲存電容 6014 及 6026 電容值以將畫素電極 6016 及 6028 電位分開。且藉由閘極驅動波形並透過儲存電容 6014 及 6026 之耦合效應，可降低資料線之電位輸出範圍，而達到降低功率之效果。

請參照第 7 圖，其繪示依照本發明第五實施例的種畫素單元概略圖示。其中畫素單元 700，包含兩次畫素 702 和 704。次畫素 702 包含一薄膜電晶體 7010，其閘極連接於掃描線 7006、第一源/汲極耦接於對應之資料線 7008，而第二源/汲極則耦接於畫素電極 7016，其中畫素電極 7016 和偏壓線 7002 構成儲存電容 7014，畫素電極 7016 和上基板導電電極(未顯示於圖中)構成液晶電容 7020。薄膜電晶體 7010 之第二源/汲極和薄膜電晶體 7022 之第一源/汲極耦接，其耦接處和薄膜電晶體 7010 之閘極間則包含一寄生電容 7018。

次畫素 704 包含一薄膜電晶體 7022，其閘極連接於掃描線 7006、第一源/汲極耦接於薄膜電晶體 7010 之第二源/汲極，而第二源/汲極則耦接於畫素電極 7028，其中畫素電極 7028 和偏壓線 7002 構成儲存電容 7026，畫素電極 7028 和上基板導電電極(未顯示於圖中)構成液晶電容 7032。薄膜電晶體 7022 之第二源/汲極和閘極間則包含一寄生電容 7030。因為薄膜電晶體 7010 的第二源/汲極端連接至薄膜

電晶體 7022 第一源/汲極，故為兩薄膜電晶體 7010、7022 串聯電路。換言之畫素電極 7016、7028 沒有浮接，不會造成電荷累積，電位偏移的現象，而且僅需偏壓線 7002、掃描線 7006、資料線 7008 以及共同電極線 7004 作為電源，不需要增加額外的電源或掃描線。

參閱第 8 圖，其係繪示閘極驅動波形及次畫素之對應電位，請同時參閱第 3 圖所示之第一實施例畫素單元 300。其中三階波形包含三個電位，其中 $V1 > V2 > V3$ 。第 8A 圖左半部為偶數圖框(Even Frame)，右半部為奇數圖框(Odd Frame)。首先看到偶數圖框部份，進入時段 T1 時掃描線 3006 被選擇，此時資料線 3008 寫入負極性資料，薄膜電晶體 3010 及 3012 閘極電位上升至 $V1$ ，薄膜電晶體 3010 及 3012 被打開，資料線電位經由薄膜電晶體 3010 及 3012 寫入畫素電極 3022 及 3024。在 T1 時間快結束時，畫素電極 3022 及 3024 電位約略相等。當進入時段 T2 時，掃描線 3006 電位下降至電位 $V2$ ，薄膜電晶體 3010 及 3012 關閉，則畫素電極 3022 及 3024 絕緣。

由於掃描線 3006 分別藉由寄生電容 3026 及 3028 耦合至畫素電極 3022 及 3024，故時段 T2 時畫素電極 3022 及 3024 電位均會受到掃描線 3006 的電位變化($V1-V2$)之影響。

除此之外，由於掃描線 3002 藉由儲存電容 3014 耦合至畫素電極 3022，故畫素電極 3022 的電位亦會受到掃描線 3002 電位變化的影響，由於在時段 T2 中掃描線 3002 的電位由 $V3$ 拉回至 $V2$ ，此減少的電位變化($V2-V3$)耦合至畫素

電極 3022，造成畫素電極 3022 電位變化絕對值減少，使得畫素電極 3022 及 3024 電位分開，所以造成不同的伽瑪曲線，而達到半色調的效果。故可藉由適當的選擇儲存電容 3014 及 3016 來調整畫素電極 3022 及 3024 之電位差。畫素電極 3024 在時段 T2 的電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1-V2)$$

而 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容值， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。

畫素電極 3022 在時段 T2 的電位變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)}(V1-V2) - \frac{C_{st}(3014)}{C_T(3022)}(V2-V3) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 為畫素電極 3022 所見總電容值， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

而 $\frac{C_{st}(3014)}{C_T(3022)}(V2-V3)$ 為掃描線 3002 電位變化耦合至畫素電極 3022 所產生。

參閱第 8 圖右半部奇數圖框部份，此時資料線 3008 寫入正極性資料，請同時參閱第 3 圖。原理與偶數圖框大致相同，其不同之處在於偶數圖框時段 T1 時，掃描線 3002 的三階驅動波形會先拉至一個最低電位 V3，當進入時段 T2 時，掃描線 3002 才將電位拉回至 V2。這會使畫素電極 3022 的電位變化絕對值減少。而於奇數圖框時掃描線 3002 的三階驅動波形則不同，進入時段 T3 時，掃描線 3002 的電位會先拉低至 V2，待進入時段 T4 時掃描線 3006 的電位拉低至 V3 將薄膜電晶體 3010 及 3012 關閉時，掃描線 3002 電位才會再繼續拉至 V3，這會造成畫素電極 3022 的電位變化絕對值增加。畫素電極 3024 在時段 T4 的電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1 - V3)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。

畫素電極 3022 在時段 T4 的電位變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)}(V1 - V3) + \frac{C_{st}(3014)}{C_T(3022)}(V2 - V3)$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ，

$C_T(3022)$ 為畫素電極 3022 所見總電容， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

上述是以第 3 圖所示第一實施例之畫素單元 300 為例，來說明第 8 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 4 圖所示之第二實施例畫素單元 400 中、第 5 圖所示之第三實施例畫素單元 500 中以及第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 9 圖，其係繪示開極驅動波形及次畫素之對應電位，請同時參閱第 3 圖。四階波形包含四個電位，即 V1 及 V2 及 V3 及 V4，較三階驅動波形多了一個電位 V4，其中 $V1 > V2 > V3 > V4$ ，其基本動作原理與三階驅動波形相同。

於第 9 圖偶數圖框部份，此時資料線 3008 寫入負極性資料。於時段 T1 中，掃描線 3006 被選擇，時段因此掃描線 3006 電位被上拉至 V1，薄膜電晶體 3010、3012 打開。在時段 T1 快結束時，畫素電極 3022 及 3024 電位大致相等，此時掃描線 3002 則會先下拉至電位 V4。待進入時段 T2，掃描線 3006 電位拉至 V2 將薄膜電晶體 3010、3012 關閉，與此同時掃描線 3002 電位由 V4 向上拉回至 V3。

由於掃描線 3006 分別藉寄生電容 3026 及 3028 耦合於畫素電極 3022 及 3024，故時段 T2 時畫素電極 3022 及 3024 電位均會受到掃描線 3006 的電位變化(V1-V2)之影響。除此之外，掃描線 3002 藉由儲存電容 3014 耦合至畫素電極 3022，故畫素電極 3022 的電位會受到掃描線 3002 的影響，

由於在偶數圖框時段 T2 中掃描線 3002 的電位由 V4 拉回至 V3，此減少的電位變化(V3-V4)耦合至畫素電極 3022，造成畫素電極 3022 的電位變化絕對值減少，電位與畫素電極 3024 分開，所以造成不同的伽瑪曲線，而達到半色調的效果。畫素電極 3024 在時段 T2 的電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1-V2)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容值， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。

畫素電極 3022 在時段 T2 的電位變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)}(V1-V2) - \frac{C_{st}(3014)}{C_T(3022)}(V3-V4) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 為畫素電極 3022 所見總電容值， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

而 $\frac{C_{st}(3014)}{C_T(3022)}(V3-V4)$ 為掃描線 3002 電位變化耦合至畫素電極 3022 所產生。

參閱第 9 圖右半部奇數圖框部份，此時資料線 3008 寫

入正極性資料，請同時參閱第 3 圖。。於時段 T3 時，掃描線 3006 電位上拉至電位 V1 將薄膜電晶體 3010、3012 打開。在時段 T3 快結束時，畫素電極 3022 與畫素電極 3024 電位約略相等，此時掃描線 3002 只下拉至電位 V2。待進入時段 T4 掃描線 3006 下拉至電位 V4 將薄膜電晶體 3010、3012 關閉，此時掃描線 3002 繼續下拉至電位 V3，此下拉的電位變化(V2-V3)透過儲存電容 3014 耦合至畫素電極 3022，造成畫素電極 3022 的電位變化絕對值增加，畫素電極 3022 電位與畫素電極 3024 分開，所以造成不同的伽瑪曲線，而達到半色調的效果。使用四階波形的好處在於能夠用來調變的參數更多，使畫素電極 3022 與 3024 間的電位差有更多不同的變化，液晶顯示器色彩表現更為均勻。畫素電極 3024 在時段 T4 電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1-V4)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。畫素電極 3022 在時段 T4 的電位變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)}(V1-V4) + \frac{C_{st}(3014)}{C_T(3022)}(V2-V3)$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ，

$C_T(3022)$ 為畫素電極 3022 所見總電容， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

上述是以第 3 圖所示第一實施例之畫素單元 300 為例，來說明第 9 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 4 圖所示之第二實施例畫素單元 400 中、第 5 圖所示之第三實施例畫素單元 500 中以及第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 10 圖，其係繪示閘極驅動波形以及次畫素的對應電位，請同時參閱第三圖。其中二步四階驅動波形有四個電位 $V1$ 及 $V2$ 及 $V3$ 及 $V4$ ，其中 $V1 > V2 > V3 > V4$ ，與第 8B 圖不同之處在於第 8C 圖的二步四階驅動波形，電位變化時均會先拉至電位 $V3$ ，再到目的電位。如此可避免因時間延遲造成資料寫入錯誤之問題，以及驅動波形不均勻的問題。至於畫素電極 3022、3024 電位變化則與一步四階驅動波形一樣。

在第 10 圖偶數圖框時，此時資料線 3008 寫入負極性資料。於時段 $T1$ 中，掃描線 3006 電位上拉至 $V1$ ，薄膜電晶體 3010、3012 打開。在時段 $T1$ 快結束時，畫素電極 3022 及 3024 電位大致相等，此時掃描線 3002 則會先下拉至電位 $V3$ 再至電位 $V4$ 。待進入時段時段 $T2$ ，掃描線 3006 電位拉至 $V3$ 再拉至 $V2$ 將薄膜電晶體 3010、3012 關閉。

由於掃描線 3006 分別藉寄生電容 3026 及 3028 耦合於畫素電極 3022 及 3024，故時段 $T2$ 時畫素電極 3022 及 3024

電位均會受到掃描線 3006 的電位變化(V1-V2)之影響，此時畫素電極 3022 及 3024 電位仍然大致相等。待進入時段 T3，掃描線 3002 電位由 V4 向上拉回至 V3。

由於掃描線 3002 藉由儲存電容 3014 耦合至畫素電極 3022，故畫素電極 3022 的電位會受到掃描線 3002 的影響，此減少的電位變化(V3-V4)耦合至畫素電極 3022，造成畫素電極 3022 的電位變化絕對值減少，電位與畫素電極 3024 分開，所以造成不同的伽瑪曲線，而達到半色調的效果。畫素電極 3024 在時段 T3 的電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1-V2)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。

畫素電極 3022 在時段 T3 的電位變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \left| \frac{C_{gs}(3026)}{C_T(3022)}(V1-V2) - \frac{C_{st}(3014)}{C_T(3022)}(V3-V4) \right|$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 為畫素電極 3022 所見總電容值， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

而 $\frac{C_{st}(3014)}{C_T(3022)}(V3-V4)$ 為掃描線 3002 電位變化耦合至畫素電極 3022 所產生。

參閱第 10 圖奇數圖框，電位變化順序與第 10 圖偶數圖框有所不同。此時資料線 3008 寫入正極性資料，請同時參閱第 3 圖。於時段 T4 時，掃描線 3006 電位上拉至電位 V1 將薄膜電晶體 3010、3012 打開，畫素電極 3022 與畫素電極 3024 電位約略相等，此時掃描線 3002 先下拉至電位 V3 再停留於電位 V2。進入時段 T5 時掃描線 3006 下拉至電位 V4 將薄膜電晶體 3010、3012 關閉，畫素電極 3022 與畫素電極 3024 絕緣但電位依然約略相等。待進入時段 T6，此時掃描線 3002 繼續下拉至電位 V3，造成畫素電極 3022 的電位變化絕對值增加，畫素電極 3022 電位與畫素電極 3024 分開，所以造成不同的伽瑪曲線，而達到半色調的效果。使用四階波形的好處在於能夠用來調變的參數更多，使畫素電極 3022 與 3024 間的電位差有更多不同的變化，液晶顯示器色彩表現更為均勻。畫素電極 3024 在時段 T6 的電位變化 $\Delta V(3024)$ 如下：

$$\Delta V(3024) = \frac{C_{gs}(3028)}{C_T(3024)}(V1-V4)$$

其中 $C_T(3024) = C_{lc}(3020) + C_{st}(3016) + C_{gs}(3028)$ ， $C_T(3024)$ 為畫素電極 3024 所見總電容， $C_{lc}(3020)$ 為液晶電容 3020 電容值， $C_{st}(3016)$ 為儲存電容 3016 電容值， $C_{gs}(3028)$ 為寄生電容 3028 電容值。畫素電極 3022 在時段 T6 的電位

變化 $\Delta V(3022)$ 如下：

$$\Delta V(3022) = \frac{C_{gs}(3026)}{C_T(3022)}(V1-V4) + \frac{C_{st}(3014)}{C_T(3022)}(V2-V3)$$

其中 $C_T(3022) = C_{lc}(3018) + C_{st}(3014) + C_{gs}(3026)$ ， $C_T(3022)$ 為畫素電極 3022 所見總電容， $C_{lc}(3018)$ 為液晶電容 3018 電容值， $C_{st}(3014)$ 為儲存電容 3014 電容值， $C_{gs}(3026)$ 為寄生電容 3026 電容值。

上述是以第 3 圖所示第一實施例之畫素單元 300 為例，來說明第 10 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 4 圖所示之第二實施例畫素單元 400 中、第 5 圖所示之第三實施例畫素單元 500 中以及第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 11 圖，其係繪示閘極驅動波形及次畫素之對應電位，請同時參閱第 5 圖。其中三階波形包含三個電位，其中 $V1 > V2 > V3$ 。第 10A 圖左半部為偶數圖框，右半部為奇數圖框。首先看到偶數圖框部份，此時資料線 5008 寫入負極性資料。進入時段 T1 時掃描線 5006 被選擇，薄膜電晶體 5010 及 5012 閘極電位上升至 V1，薄膜電晶體 5010 及 5012 被打開，資料線電位經由薄膜電晶體 5010 及 5012 寫入畫素電極 5022 及 5024。在時段 T1 快結束時，此時畫素電極 5022 及 5024 電位約略相等。當進入時段 T2 時，掃描線 5006 電位下降至電位 V3，薄膜電晶體 5010 及 5012

關閉，畫素電極 5022 及 5024 絕緣。

由於掃描線 5006 分別藉寄生電容 5026 及 5028 耦合於畫素電極 5022 及 5024，故時段 T2 時畫素電極 5022 及 5024 電位均會受到掃描線 5006 的電位變化(V1-V3)之影響。

除此之外，由於掃描線 5002 分別藉由儲存電容 5014 及 5016 及耦合至畫素電極 5022 及 5024，故畫素電極 5022 及 5024 的電位亦受到掃描線 5002 的電位變化 V2-V3 的影響，僅藉由調整儲存電容 5014 及 5016 不同的電容值將畫素電極 5022 及 5024 電位分開，包含不同的伽瑪曲線，而達到半色調的效果，且可利用掃描線之耦合來降低資料線的電位輸出範圍，達到低功率效果。畫素電極 5024 在時段 T2 的電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V3) - \frac{C_{st}(5016)}{C_T(5024)}(V2-V3) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容值， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$ 為寄生電容 5028 電容值。

而 $\frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$ 為掃描線 5002 電位變化耦合至畫素電極 5024 所產生。

畫素電極 5022 在時段 T2 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V3) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 為畫素電極 5022 所見總電容值， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

而 $\frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$ 為掃描線 5002 電位變化耦合至畫素電極 5022 所產生。

參閱第 11 圖右半部奇數圖框部份，此時資料線 5008 寫入正極性資料，共同參閱第 5 圖，原理與偶數圖框大致相同，其不同之處在於在偶數圖框時段 T2 時，掃描線 5002 電位由 V2 拉低至 V3。這會使由掃描線 5006 電位變化 V1-V3 所造成的畫素電極 5022 及 5024 電位變化絕對值增加。奇數圖框時掃描 5002 的三階驅動波形則不同，時段 T4 掃描線 5006 電位由 V1 下拉至 V2 將薄膜電晶體 5010 及 5012 關閉，掃描線 5002 的電位則由 V3 拉回至 V2，這會造成由掃描線 5006 電位變化 V1-V2 所造成的畫素電極 5022 及 5024 的電位變化絕對值增加。畫素電極 5024 在時段 T4 的電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V2) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$

為寄生電容 5028 電容值。

畫素電極 5022 在時段 T4 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)}(V1-V2) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 為畫素電極 5022 所見總電容， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

上述是以第 5 圖所示第三實施例之畫素單元 500 為例，來說明第 11 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 12 圖，其係繪示閘極驅動波形以及次畫素對應電位，請同時參閱第 5 圖。其中閘極驅動波形為四階波形，四階波形包含四個電位，即 V1 及 V2 及 V3 及 V4，其中 $V1 > V2 > V3 > V4$ 。當第 12 圖的四階波形應用於第 5 圖所示第三實施例之畫素單元時，利用掃描線 5002 之耦合可以抬生或降低畫素電位，如此就可以減少資料線之電位輸出範圍，達到低功率效果。

如第 12 圖偶數圖框所示。此時資料線 5008 寫入負極性資料。在時段 T1 中，掃描線 5006 電位上拉至 V1，薄膜電晶體 5010、5012 打開。在時段 T1 快結束時，畫素電極

5022 及 5024 電位大致相等，此時掃描線 5002 則會先下拉至電位 V2。待進入時段 T2，掃描線 5006 電位拉至 V4 將薄膜電晶體 5010、5012 關閉，與此同時掃描線 5002 電位由 V2 繼續向下拉回至 V3。

由於掃描線 5006 分別藉寄生電容 5026 及 5028 耦合於畫素電極 5022 及 5024，故時段 T2 時畫素電極 5022 及 5024 電位均會受到掃描線 5006 的電位變化(V1-V4)之影響。除此之外，掃描線 5002 藉由儲存電容 5014 及 5016 耦合至畫素電極 5022 及 5024，故畫素電極 5022 及 5024 的電位尚且受到掃描線 5002 的影響，藉著調整不同的儲存電容 5014 及 5016 電容值可使畫素電極 5022 與畫素電極 5024 電位分開。畫素電極 5024 在時段 T2 的電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \frac{C_{gs}(5028)}{C_T(5024)}(V1-V4) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容值， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$ 為寄生電容 5028 電容值。

畫素電極 5022 在時段 T2 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V4) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ，

$C_T(5022)$ 為畫素電極 5022 所見總電容值， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

參閱第 12 圖奇數圖框，電位變化順序則有所不同，且此時資料線 5008 寫入正極性資料。在時段 T3 中，掃描線 5006 電位上拉至電位 V1 將薄膜電晶體 5010、5012 打開。在時段 T3 快結束時，畫素電極 5022 與畫素電極 5024 電位約略相等，此時掃描線 5002 下拉至電位 V4。時段 T4 掃描線 5006 下拉至電位 V2 將薄膜電晶體 5010、5012 關閉，此時掃描線 5002 上拉至電位 V3，此減少的電位變化(V3-V4)藉著儲存電容 5014 及 5016 耦合至畫素電極 5022 與 5024 使畫素電極 5022 與 5024 電位變化。調整不同的儲存電容 5014 及 5016 電容值可使畫素電極 5022 與畫素電極 5024 電位分開。使用四階波形的好處在於降低資料線驅動的驅動電位範圍，減少了功率消耗。畫素電極 5024 電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V2) - \frac{C_{st}(5016)}{C_T(5024)}(V3-V4) \right|$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$ 為寄生電容 5028 電容值。畫素電極 5022 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)}(V1-V2) - \frac{C_{st}(5014)}{C_T(5022)}(V3-V4) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 為畫素電極 5022 所見總電容， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

上述是以第 5 圖所示第三實施例之畫素單元 500 為例，來說明第 12 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 13 圖，其係繪示閘極驅動電位與次畫素對應電位。其中閘極驅動電位為二步四階波形，原理與第 12 圖的一步四階驅動波形大致相同，均是利用掃描線之耦合來抬生或降低畫素電位，以減少資料線之電位輸出範圍，達到低功率效果。此波形也有四個電位 V1 及 V2 及 V3 及 V4，其中 $V1 > V2 > V3 > V4$ ，不同之處在於第 13 的二步四階驅動波形，電位變化時均會先拉至電位 V3，再到目的電位。如此可解決時間延遲，避免資料寫入錯誤，以及波形不均勻的問題。至於畫素電極 5022、5024 電位變化則與使用一步四階驅動波形所產生的畫素電極電位變化一樣。

當第 13 圖所示之驅動波形應用於第 5 圖所示第三實施例之畫素單元，於偶數圖框時，資料線 5008 寫入負極性資

料。在時段 T1 時，掃描線 5006 電位上拉至 V1，薄膜電晶體 5010、5012 打開，此時掃描線 5002 則會先下拉至電位 V3 再上拉至 V2。待進入時段 T2，掃描線 5006 電位先拉至 V3 再拉至 V4，將薄膜電晶體 5010、5012 關閉。

由於掃描線 5006 分別藉寄生電容 5026 及 5028 耦合於畫素電極 5022 及 5024，故時段 T2 時畫素電極 5022 及 5024 電位均會受到掃描線 5006 的電位變化(V1-V4)之影響。待進入時段 T3，掃描線 5002 電位由 V2 向下拉至 V3。

由於掃描線 5002 分別藉由儲存電容 5014 及 5016 耦合至畫素電極 5022 及 5024，故畫素電極 5022 與 5024 的電位尚且受到掃描線 5002 電位變化 V2-V3 的影響，使得畫素電極 5022 與 5024 的電位變化絕對值增加。藉著調整儲存電容 5014 及 5016 可將畫素電極 5022 及 5024 電位分開。畫素電極 5024 在時段 T3 的電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \frac{C_{gs}(5028)}{C_T(5024)}(V1-V4) + \frac{C_{st}(5016)}{C_T(5024)}(V2-V3)$$

其中 $C_T(5024) = C_{lc}(5020) + C_{st}(5016) + C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容值， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$ 為寄生電容 5028 電容值。

畫素電極 5022 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \frac{C_{gs}(5026)}{C_T(5022)}(V1-V4) + \frac{C_{st}(5014)}{C_T(5022)}(V2-V3)$$

其中 $C_T(5022)=C_{lc}(5018)+C_{st}(5014)+C_{gs}(5026)$ ， $C_T(5022)$ 為畫素電極 5022 所見總電容值， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

參閱第 13 圖奇數圖框，電位變化順序則有所不同，且資料線 5008 寫入正極性資料。時段 T4 掃描線 5006 電位上拉至電位 V1 將薄膜電晶體 5010、5012 打開，此時掃描線 5002 先下拉至電位 V3 再至電位 V4。時段 T5 掃描線 5006 先下拉至電位 V3 再上拉至電位 V2 將薄膜電晶體 5010、5012 關閉，畫素電極 5022 與畫素電極 5024 絕緣，並產生掃描線 5006 的電位變化 (V1-V2)。待進入時段 T6，此時掃描線 5002 上拉至電位 V3 產生電位變化(V3-V4)，造成畫素電極 5022 及 5024 的電位變化絕對值減少，藉著調整儲存電容 5014 與 5016 可使畫素電極 5022 與畫素電極 5024 電位分開。使用四階波形的好處在於能夠用來調變的參數更多，使畫素電極 5022 與 5024 間的電位差有更多不同的變化，液晶顯示器色彩表現更為均勻。畫素電極 5024 電位變化 $\Delta V(5024)$ 如下：

$$\Delta V(5024) = \left| \frac{C_{gs}(5028)}{C_T(5024)}(V1-V2) - \frac{C_{st}(5016)}{C_T(5024)}(V3-V4) \right|$$

其中 $C_T(5024)=C_{lc}(5020)+C_{st}(5016)+C_{gs}(5028)$ ， $C_T(5024)$ 為畫素電極 5024 所見總電容， $C_{lc}(5020)$ 為液晶電容 5020 電容值， $C_{st}(5016)$ 為儲存電容 5016 電容值， $C_{gs}(5028)$

為寄生電容 5028 電容值。畫素電極 5022 的電位變化 $\Delta V(5022)$ 如下：

$$\Delta V(5022) = \left| \frac{C_{gs}(5026)}{C_T(5022)}(V1-V2) - \frac{C_{st}(5014)}{C_T(5022)}(V3-V4) \right|$$

其中 $C_T(5022) = C_{lc}(5018) + C_{st}(5014) + C_{gs}(5026)$ ， $C_T(5022)$ 為畫素電極 5022 所見總電容， $C_{lc}(5018)$ 為液晶電容 5018 電容值， $C_{st}(5014)$ 為儲存電容 5014 電容值， $C_{gs}(5026)$ 為寄生電容 5026 電容值。

上述是以第 5 圖所示第三實施例之畫素單元 500 為例，來說明第 12 圖所繪示驅動波形之實施，然值得注意的是，此驅動波形亦可應用於第 6 圖所示之第四實施例畫素單元 600 中。

參閱第 14 圖，其係繪示一步二階驅動波形。當第 14 圖所示之驅動波形應用於第 7 圖所示第五實施例之畫素單元時，於偶數圖框時，資料線 7008 寫入負極性資料。其中第五實施例之畫素單元與第一實施例至第四實施例畫素單元最大之不同處在於，第五實施例的兩薄膜電晶體 7010 與 7022 的設計有些許差異，目的在讓此二薄膜電晶體 7010 與 7022 的充電能力不同，藉以將畫素電極 7016 與 7028 的電位分開。二階波形包含兩個電位，其中 $V1 > V2$ 。

第 14 圖左半部為偶數圖框，右半部為奇數圖框。在偶數圖框部份，資料線 7008 寫入負極性資料。在時段 T1 時，

掃描線 7006 電位上升至 V_1 ，薄膜電晶體 7010 及 7022 被打開，資料線電位由薄膜電晶體 7010 及 7022 被寫入至畫素電極 7016 及 7028，但因為薄膜電晶體 7010 及 7022 的充電能力不一，造成畫素電極 7016 及 7028 的電位分開。當進入時段 T2 時，掃描線 7006 電位下降至電位 V_2 ，薄膜電晶體 7010 及 7012 關閉，畫素電極 7016 及 7028 絕緣。

由於掃描線 7006 分別藉寄生電容 7018 及 7030 耦合於畫素電極 7016 及 7028，故時段 T2 時畫素電極 7016 及 7028 電位均會受到掃描線 7006 的電位變化(V_1-V_2)之影響。除此之外，由於偏壓線 7002 分別藉由儲存電容 7014 及 7026 耦合至畫素電極 7016 及 7028 偏壓線 7002，故畫素電極 7016 及 7028 的電位尚且受到偏壓線 7002 電位變化(V_1-V_2)的影響，由於在時段 T2 中偏壓線 7002 的電位由 V_2 拉至 V_1 ，此電位變化(V_1-V_2)耦合至畫素電極 7016 與 7028，造成畫素電極 7016 與 7028 電位變化絕對值減少。藉著調整可變儲存電容 7014 及 7026 可進一步分離畫素電極 7016 與 7028 電位。畫素電極 7016 的電位變化 $\Delta V(7016)$ 如下：

$$\Delta V(7016) = \left| \frac{C_{gs}(7018)}{C_T(7016)}(V_1-V_2) - \frac{C_{st}(7014)}{C_T(7016)}(V_1-V_2) \right|$$

其中 $C_T(7016) = C_{lc}(7020) + C_{st}(7014) + C_{gs}(7018)$ ， $C_T(7016)$ 為畫素電極 7016 所見總電容值， $C_{lc}(7020)$ 為液晶電容 7020 電容值， $C_{gs}(7018)$ 為寄生電容 7018 電容值。

而 $\frac{C_{st}(7014)}{C_T(7016)}(V_1-V_2)$ 為偏壓線 7002 電位變化耦合至畫

素電極 7016 所產生。

畫素電極 7028 的電位變化 $\Delta V(7028)$ 如下：

$$\Delta V(7028) = \left| \frac{C_{gs}(7030)}{C_T(7028)}(V1-V2) - \frac{C_{st}(7026)}{C_T(7028)}(V1-V2) \right|$$

其中 $C_T(7028) = C_{lc}(7032) + C_{st}(7026) + C_{gs}(7030)$ ， $C_T(7028)$ 為畫素電極 7028 所見總電容值， $C_{lc}(7032)$ 為液晶電容 7032 電容值， $C_{gs}(7030)$ 為寄生電容 7030 電容值。

而 $\frac{C_{st}(7026)}{C_T(7028)}(V1-V2)$ 為偏壓線 7002 電位變化耦合至畫素電極 7028 所產生。

奇數圖框部份，資料線 7008 寫入正極性資料。在時段 T3 時，掃描線 7006 電位上升至 V1，薄膜電晶體 7010 及 7022 被打開，資料線電位由薄膜電晶體 7010 及 7022 被寫入至畫素電極 7016 及 7028，但因為薄膜電晶體 7010 及 7022 的充電能力不一，造成畫素電極 7016 及 7028 的電位分開。當進入時段 T4 時，掃描線 7006 電位下降至電位 V2，薄膜電晶體 7010 及 7012 關閉，畫素電極 7016 及 7028 絕緣。

由於掃描線 7006 分別藉寄生電容 7018 及 7030 耦合於畫素電極 7016 及 7028，故時段 T4 時畫素電極 7016 及 7028 電位均會受到掃描線 7006 的電位變化(V1-V2)之影響。除此之外，由於偏壓線 7002 分別藉由儲存電容 7014 及 7026 耦合至畫素電極 7016 及 7028，故畫素電極 7016 及 7028 的電位尚且受到偏壓線 7002 電位變化的影響，由於在時段

T4 中偏壓線 7002 的電位由 V1 拉回至 V2，此增加的電位變化(V1-V2)耦合至畫素電極 7016 與 7028，造成畫素電極 7016 與 7028 電位變化絕對值增加。藉著調整儲存電容 7014 及 7026 可進一步分離畫素電極 7016 與 7028 電位。畫素電極 7016 的電位變化 $\Delta V(7016)$ 如下；

$$\Delta V(7016) = \left| \frac{C_{gs}(7018)}{C_T(7016)}(V1-V2) + \frac{C_{st}(7014)}{C_T(7016)}(V1-V2) \right|$$

其中 $C_T(7016) = C_{lc}(7020) + C_{st}(7014) + C_{gs}(7018)$ ， $C_T(7016)$ 為畫素電極 7016 所見總電容值， $C_{lc}(7020)$ 為液晶電容 7020 電容值， $C_{st}(7014)$ 為儲存電容 7014 電容值， $C_{gs}(7018)$ 為寄生電容 7018 電容值。

而 $\frac{C_{st}(7014)}{C_T(7016)}(V1-V2)$ 為偏壓線 7002 電位變化耦合至畫素電極 7016 所產生。

畫素電極 7028 的電位變化 $\Delta V(7028)$ 如下：

$$\Delta V(7028) = \left| \frac{C_{gs}(7030)}{C_T(7028)}(V1-V2) + \frac{C_{st}(7026)}{C_T(7028)}(V1-V2) \right|$$

其中 $C_T(7028) = C_{lc}(7032) + C_{st}(7026) + C_{gs}(7030)$ ， $C_T(7028)$ 為畫素電極 7028 所見總電容值， $C_{lc}(7032)$ 為液晶電容 7032 電容值， $C_{st}(7026)$ 為儲存電容 7026 電容值， $C_{gs}(7030)$ 為寄生電容 7030 電容值。

而 $\frac{C_{st}(7026)}{C_T(7028)}(V1-V2)$ 為偏壓線 7002 電位變化耦合至畫素

電極 7028 所產生。

綜合上述所言，本發明藉由將一畫素單元區隔成兩次畫素，而每一次畫素中包含獨立之薄膜電晶體、液晶電容與儲存電容，藉此兩次畫素所形成之不同種畫素電壓互相補償與平均，可和緩一畫素單元內之色偏現像

雖然本發明已以數個實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、優點與實施例能更明顯易懂，所附圖式之詳細說明如下：

第 1A 圖為一垂直排列向列型彩色液晶顯示器，其穿透率-電壓曲線圖。

第 1B 圖為一垂直排列向列型彩色液晶顯示器，其包含兩組伽瑪曲線之穿透率-電壓曲線圖。

第 2A 圖為一傳統之 CC 型畫素單元。

第 2B 圖為一傳統之 TT 型畫素單元。

第 2C 圖為一傳統之 CC 型畫素單元之伽瑪特性曲線圖。

第 2D 圖為一傳統之 TT 型畫素單之伽瑪特性曲線圖。

第 3 圖係為本發明第一實施例的畫素單元概略圖示。

第 4 圖係為本發明第二實施例的畫素單元概略圖示。

第 5 圖係為本發明第三實施例的畫素單元概略圖示。

第 6 圖係為本發明第四實施例的畫素單元概略圖示。

第 7 圖係為本發明第五實施例的畫素單元概略圖示。

第 8 圖係為三階驅動波形圖。

第 9 圖係為四階驅動波形圖。

第 10 圖係為二步四階驅動波形圖。

第 11 圖係為三階驅動波形圖。

第 12 圖係為四階驅動波形圖。

第 13 圖係為二步四階驅動波形圖

第 14 圖係為二階驅動波形圖。

【主要元件符號說明】

- 102：正視角穿透率-電壓曲線
104：偏視角穿透率-電壓曲線
106：低臨界電壓穿透率-電壓曲線
108：高臨界電壓穿透率-電壓曲線
110：單調穿透率-電壓曲線
202：薄膜電晶體
204：儲存電容
206：次畫素電極
208：液晶電容
210：儲存電容
212：次畫素電極
214：液晶電容
218：薄膜電晶體
220：薄膜電晶體
222：畫素電極
224：畫素電極
300, 400, 500, 600 和 700：畫素單元
3002, 3006, 4002, 4006：掃描線
3004 和 4004：共同電極線
3008, 4008, 5008, 6008, 7008：資料線
3010, 3012, 4010, 4022：薄膜電晶體
3014, 3016, 4014, 4026：儲存電容
3018, 3020, 4020, 4032：液晶電容
302, 304, 402, 404：次畫素
3022, 3024, 4016, 4028：畫素電極
3026, 3028, 4018, 4030：寄生電容
5002, 5006, 6002, 6006, 7006：掃描線
5010, 5012, 6010, 6022, 7010, 7012：薄膜電晶體
5014, 5016, 6014, 6026, 7014, 7026：儲存電容

200805220

5018, 5020, 6020, 6032, 7020, 7032 : 液晶電容

502, 504, 602, 604, 702, 704 : 次畫素

5022, 5024, 6016, 6028, 7016, 7028 : 畫素電極

5026, 5028, 6018, 6030, 7016, 7028 : 寄生電容

五、中文發明摘要：

液晶顯示器結構

本發明提出一種液晶顯示器，該結構至少包含複數個由相鄰掃描線與資料線定義出之畫素單元，每一畫素單元包含兩次畫素，每一次畫素包含一儲存電容，分別耦接於不同之電壓源來調變畫素電極電壓。

六、英文發明摘要：

LIQUID CRYSTAL DISPLAY

The present invention provides a liquid crystal display including a plurality of pixel unit defined by scan lines and data lines. Each pixel unit includes two sub-pixels. Each sub-pixel includes a storage capacitor. The two storage capacitors in a pixel unit are connected to different voltage source to modulate the pixel voltage.

十、申請專利範圍：

1. 一種液晶顯示器，包含：

一基板；

一第一掃描線與一第二掃描線，排列於該基板上；

一資料線與一畫素單元，亦排列於該基板上，且該畫素單元包含一第一次畫素與一第二次畫素；

一第一薄膜電晶體，位於該第一次畫素中，包含一第一閘極耦接於該第一掃描線、一第一源極以及一第一汲極；以及

一第二薄膜電晶體，位於該第二次畫素中，包含一第二閘極耦接於該第一掃描線、一第二源極以及一第二汲極；

其中，該第一源極經由一第一電容耦接於一第一電壓源，該第二源極經由一第二電容耦接於一第二電壓源，該第一汲極耦接於該資料線。

2. 如申請專利範圍第 1 項所述之液晶顯示器，其中該第二汲極耦接於該資料線。

3. 如申請專利範圍第 2 項所述之液晶顯示器，其中該第二電壓源為該第二掃描線所提供。

4. 如申請專利範圍第 3 項所述之液晶顯示器，其中該第一電壓源為該共同電極線所提供。

5. 如申請專利範圍第 3 項所述之液晶顯示器，其中該第一電壓源為該第二掃描線所提供。
6. 如申請專利範圍第 1 項所述之液晶顯示器，其中該第二汲極耦接於該第一源極。
7. 如申請專利範圍第 6 項所述之液晶顯示器，其中該第二電壓源為該第二掃描線所提供。
8. 如申請專利範圍第 7 項所述之液晶顯示器，其中該第一電壓源為該共同電極線所提供。
9. 如申請專利範圍第 7 項所述之液晶顯示器，其中該第一電壓源為該第二掃描線所提供。
10. 如申請專利範圍第 6 項所述之液晶顯示器，其中該第一與第二電壓源為同一電壓源。
11. 一種液晶顯示器之驅動方法，包含：
提供一高電位給一第一掃描線，藉以使得一資料線對一第一次畫素之畫素電極與一第二次畫素之畫素電極，寫入一資料訊號；以及
提供一低電位至一第一掃描線，使該第一薄膜電晶體和該第二薄膜電晶體絕緣於該資料線；
其中，該第一掃描線於該高電位與低電位轉換之後，一

第二掃描線對該第一次畫素之畫素電極與該第二次畫素之畫素電極產生一耦合電位。

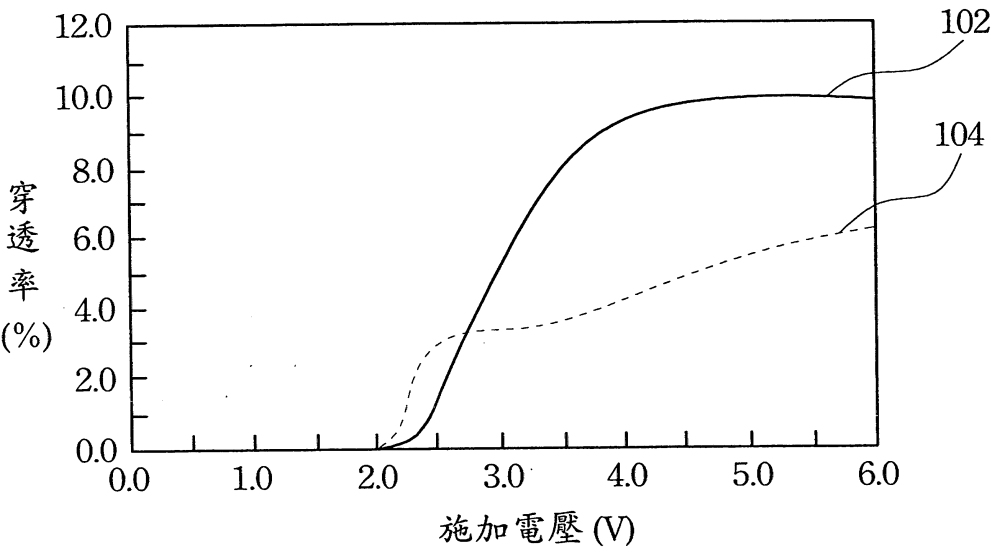
12. 如申請專利範圍第 11 項所述之驅動方法，其為一三階驅動方法，並由一第一電位、一第二電位與一第三電位所控制，該第一電位大於該第二電位，且該第二電位大於該第三電位。
13. 如申請專利範圍第 12 項所述之驅動方法，其中該高電位為該第一電位，該低電位為該第二電位，且該耦合電位係由該第二掃描線自該第三電位轉換至該第二電位時所造成。
14. 如申請專利範圍第 12 項所述之驅動方法，其中該高電位為該第一電位，該低電位為該第三電位，且該耦合電位係由該第二掃描線自該第二電位轉換至該第三電位時所造成。
15. 如申請專利範圍第 11 項所述之驅動方法，其為一四階驅動方法，並由一第一電位、一第二電位、一第三電位與一第四電位所控制，該第一電位大於該第二電位，該第二電位大於該第三電位，該第三電位大於該第四電位。
16. 如申請專利範圍第 15 項所述之驅動方法，其中該高電

位為該第一電位，該低電位為該第二電位，且該耦合電位係由該第二掃描線自該第四電位轉換至該第三電位時所造成。

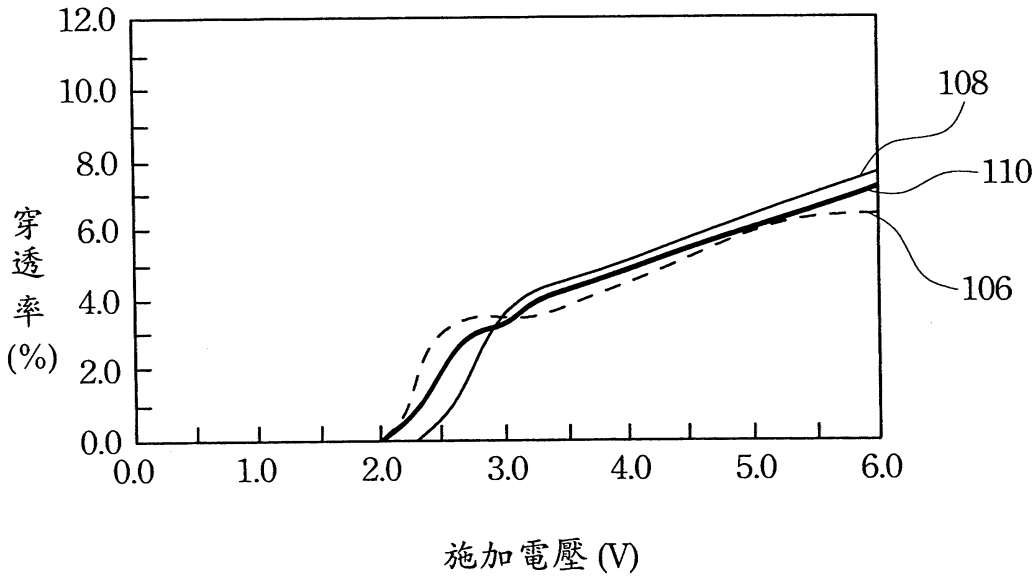
17.如申請專利範圍第 15 項所述之驅動方法，其中該高電位為該第一電位，該低電位為該第四電位，且該耦合電位係由該第二掃描線自該第二電位轉換至該第三電位時所造成。

18.如申請專利範圍第 15 項所述之驅動方法，其中該高電位為該第一電位，該低電位為該第三電位，且該耦合電位係由該第二掃描線自該第四電位轉換至該第三電位時所造成。

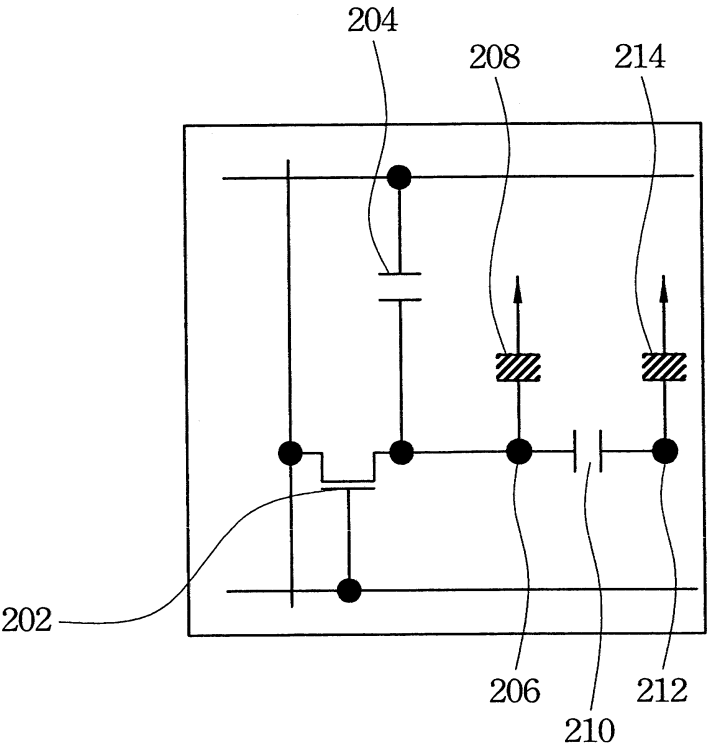
19.如申請專利範圍第 15 項所述之驅動方法，其中該高電位為該第一電位，該低電位為該第三電位，且該耦合電位係由該第二掃描線自該第二電位轉換至該第三電位時所造成。



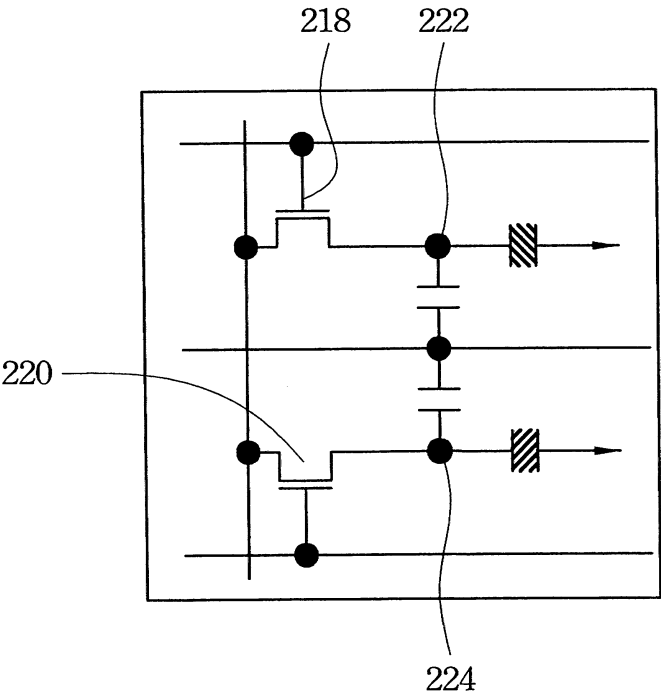
第 1A 圖



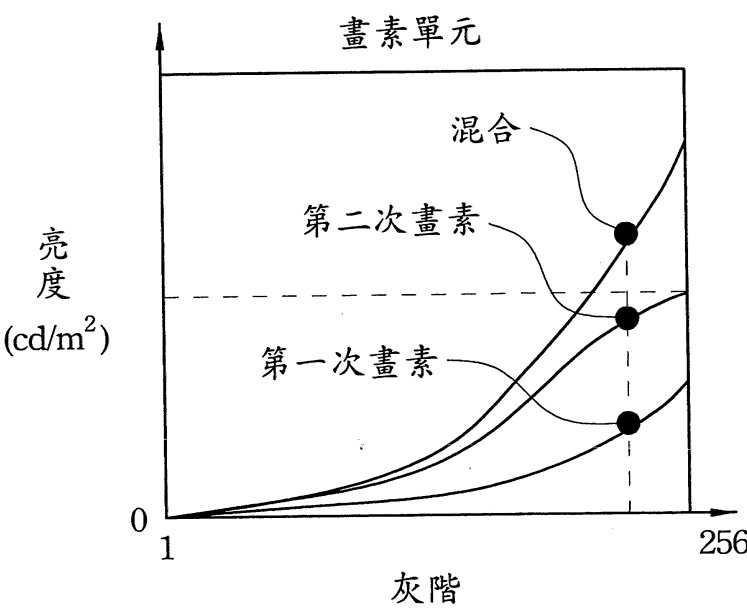
第 1B 圖



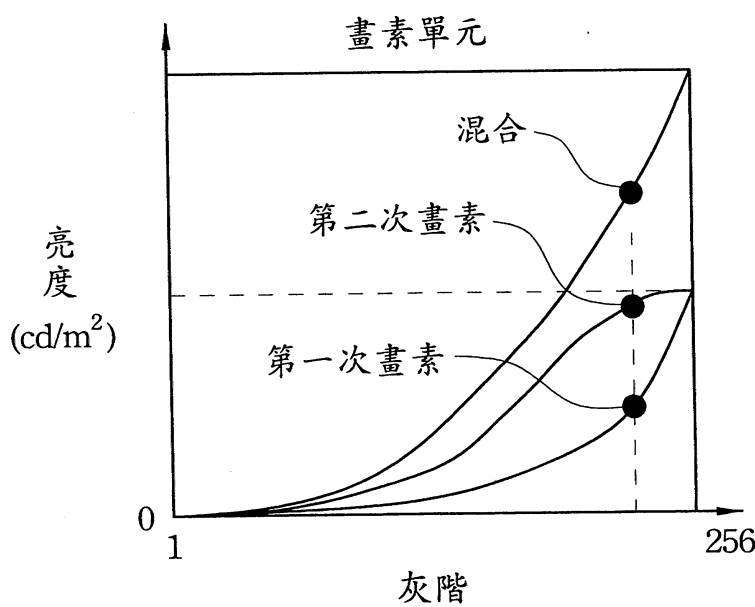
第 2A 圖



第 2B 圖



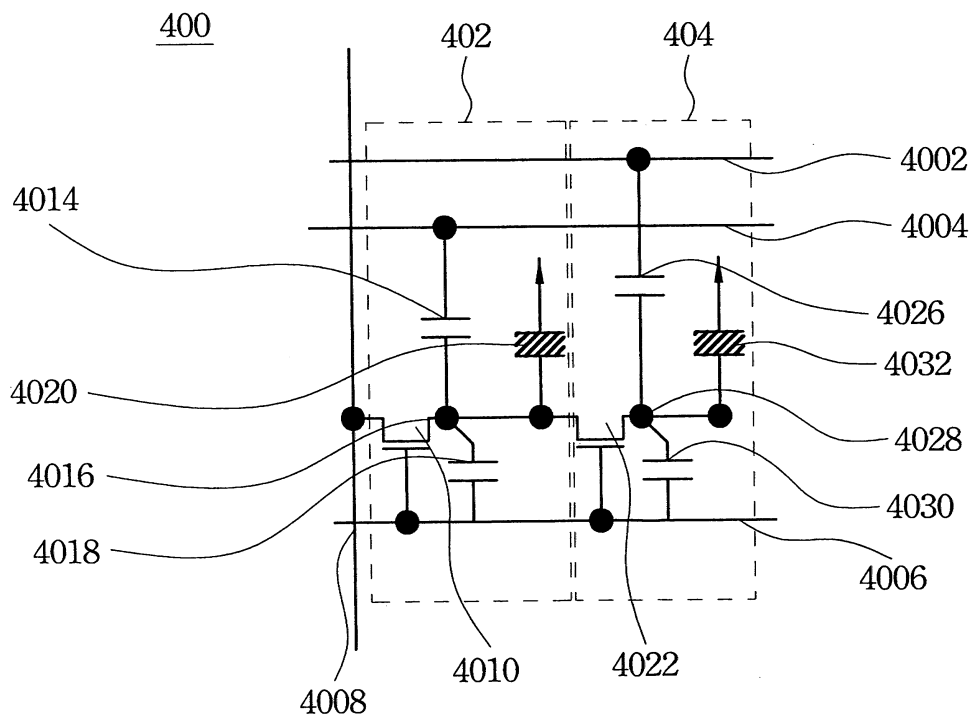
第 2C 圖

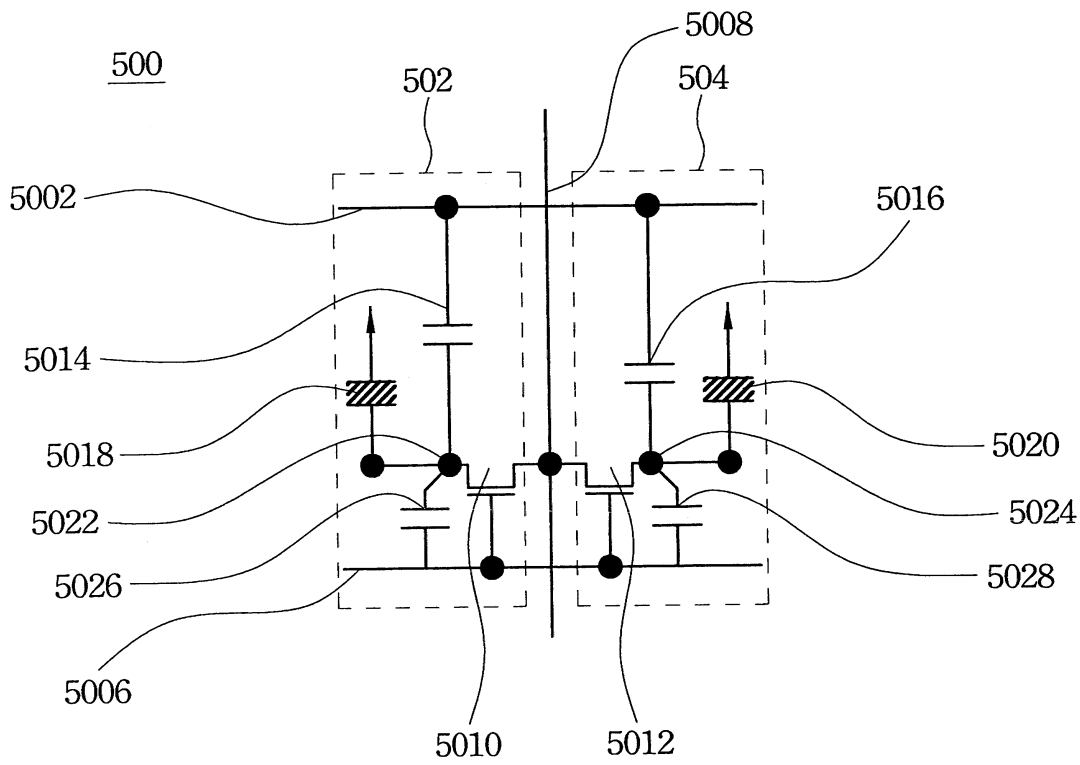


第 2D 圖

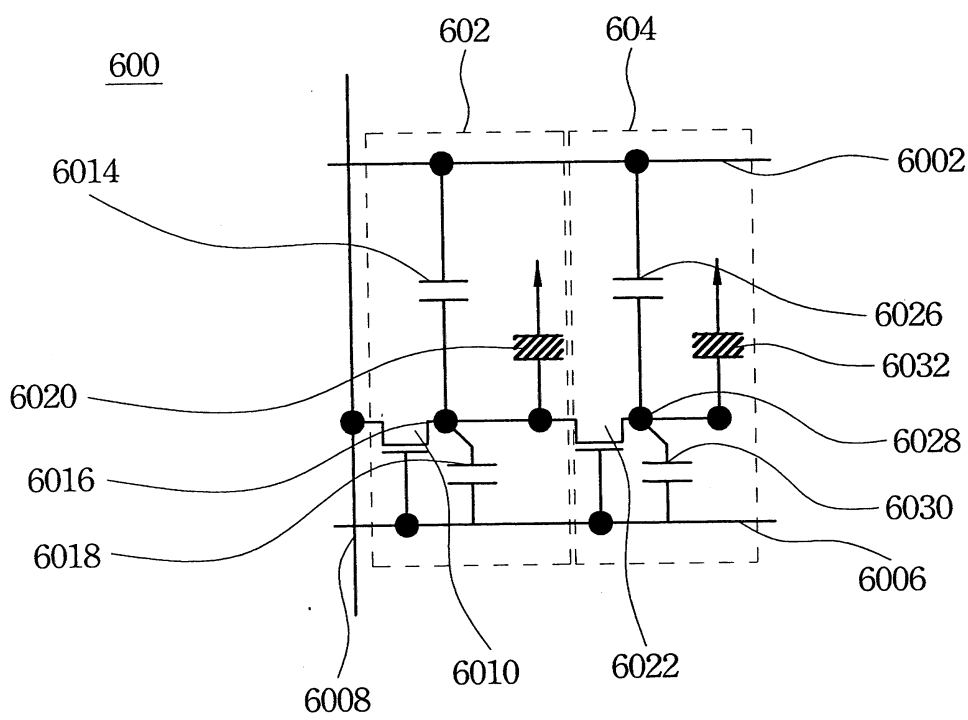


第 4 圖

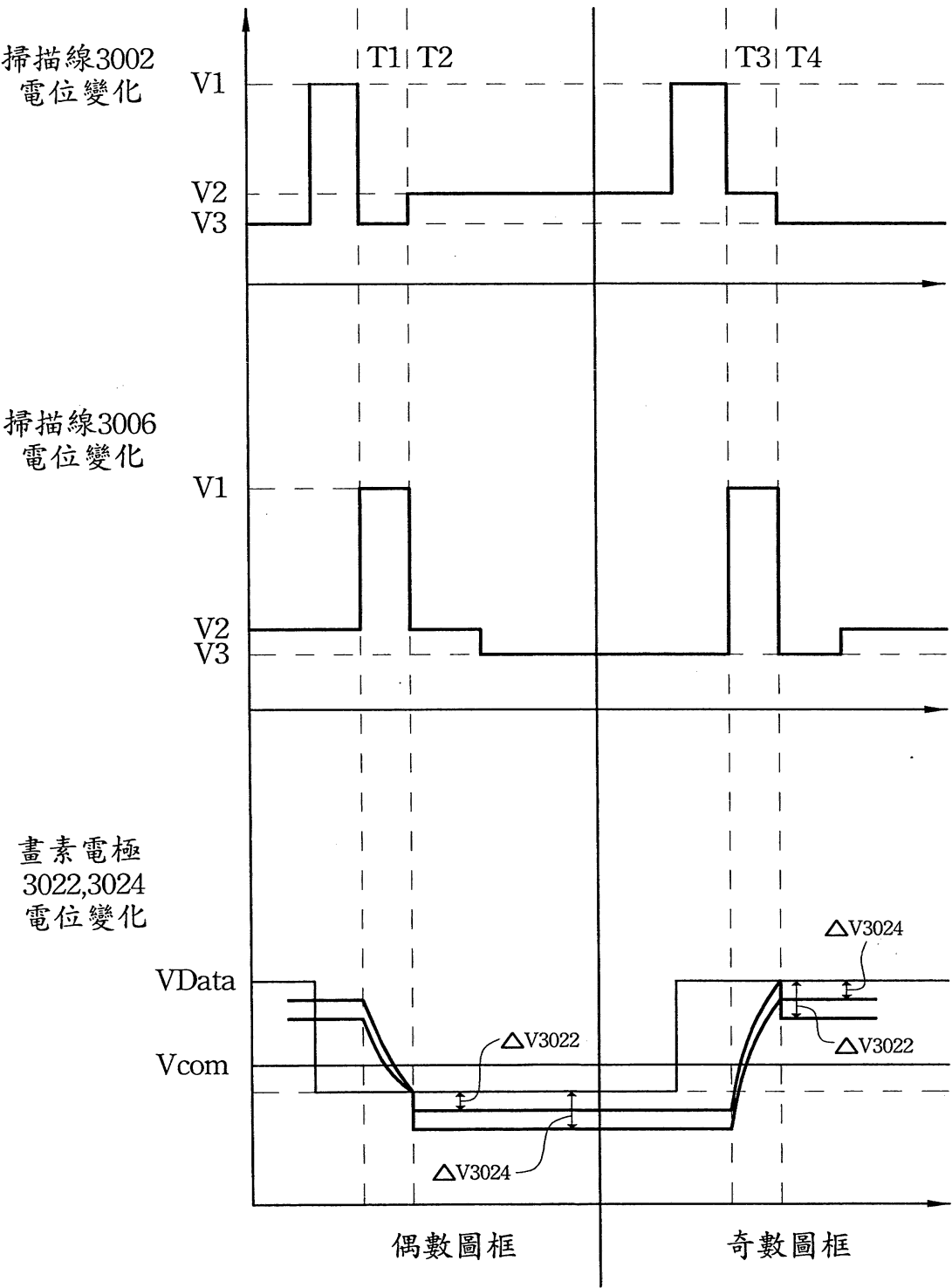




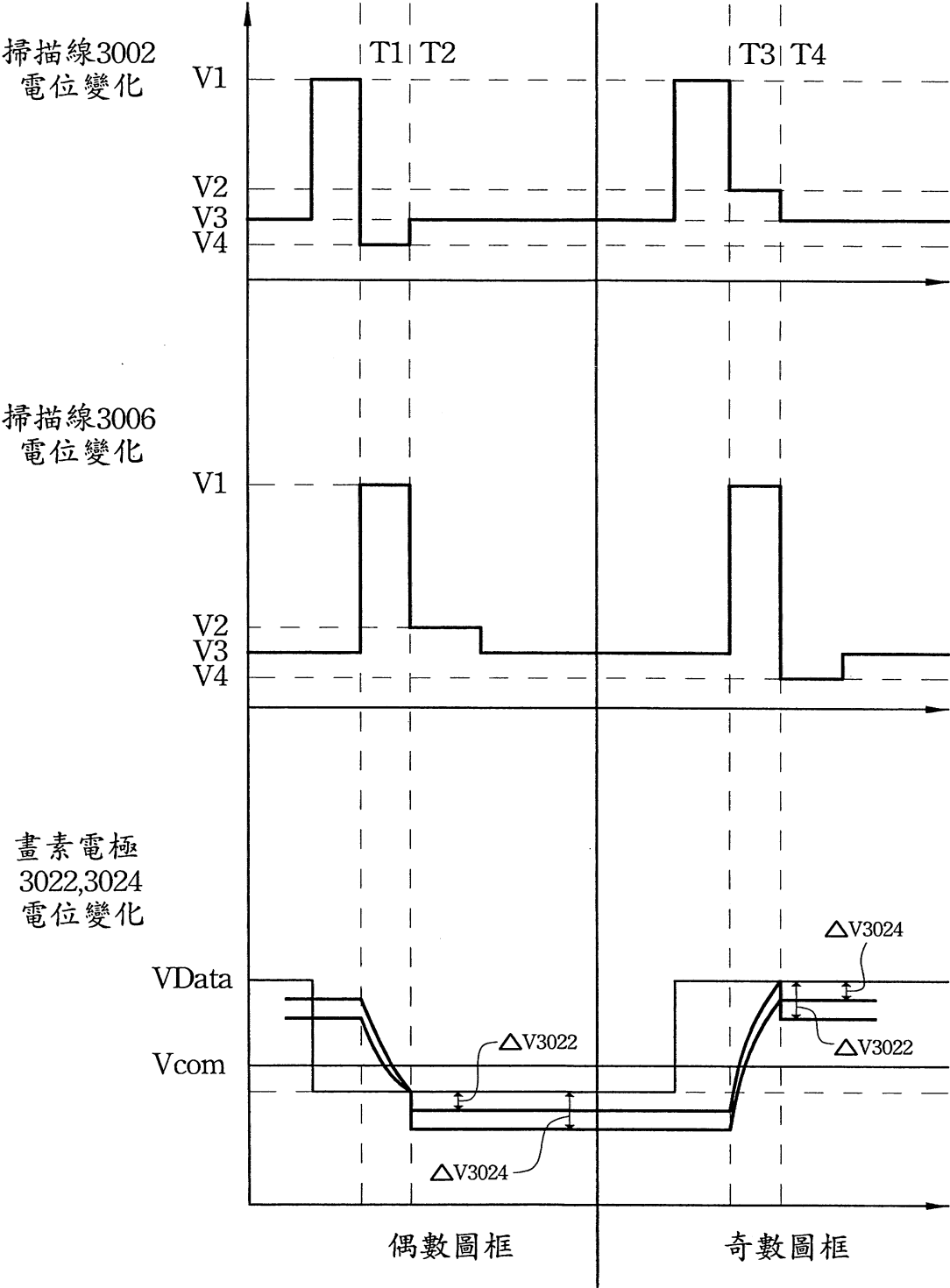
第 5 圖



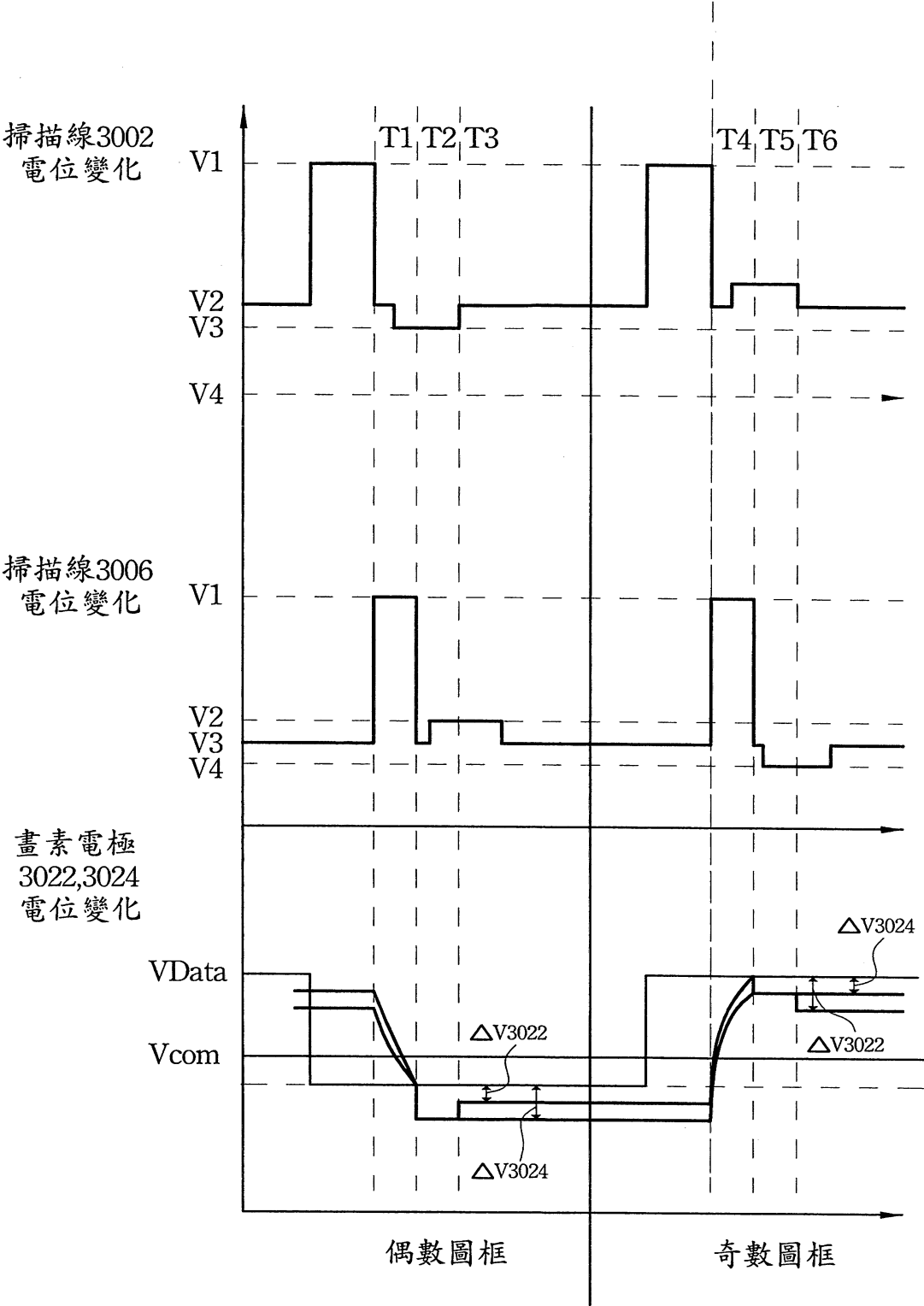
第 6 圖



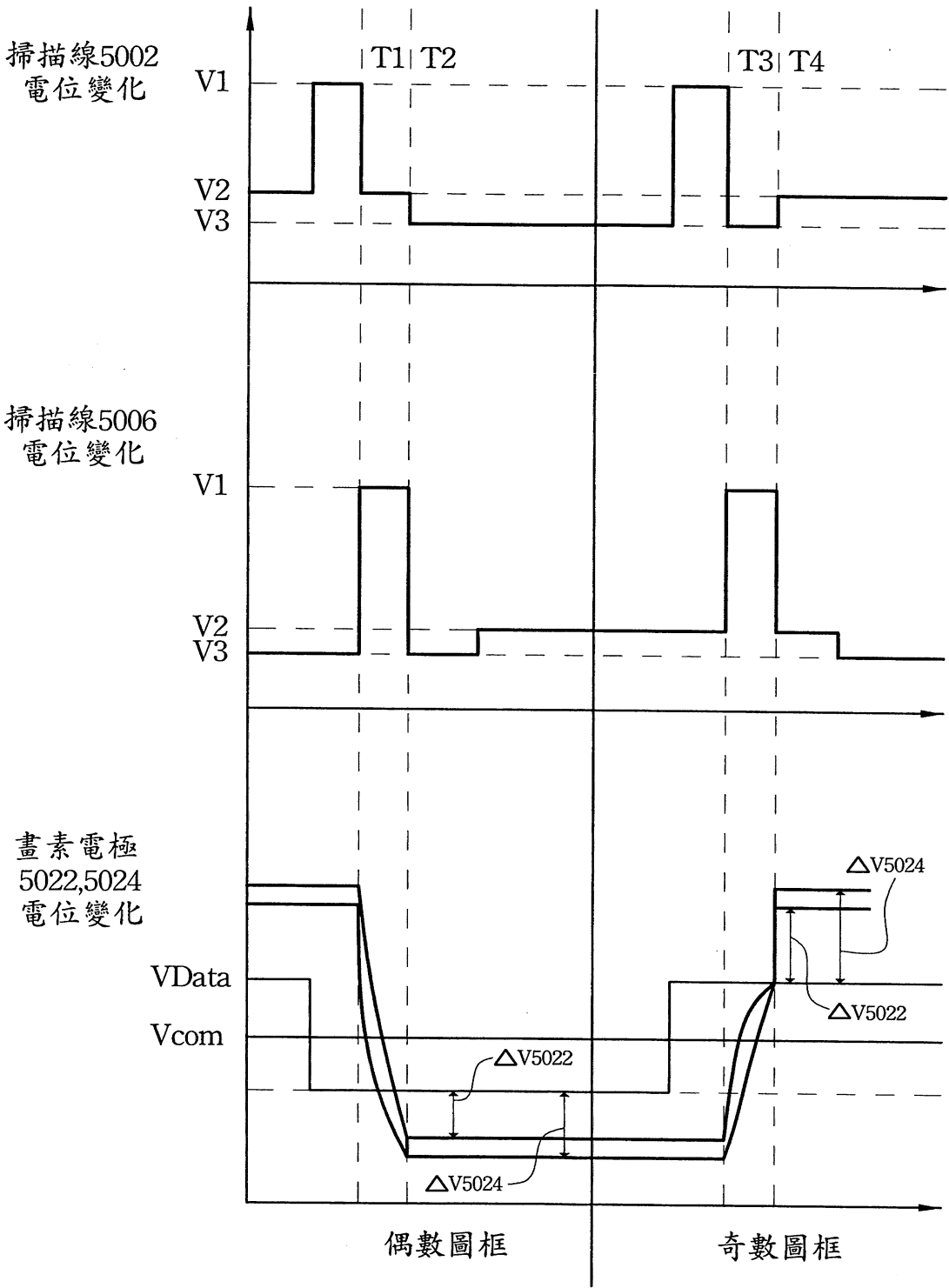
第 8 圖



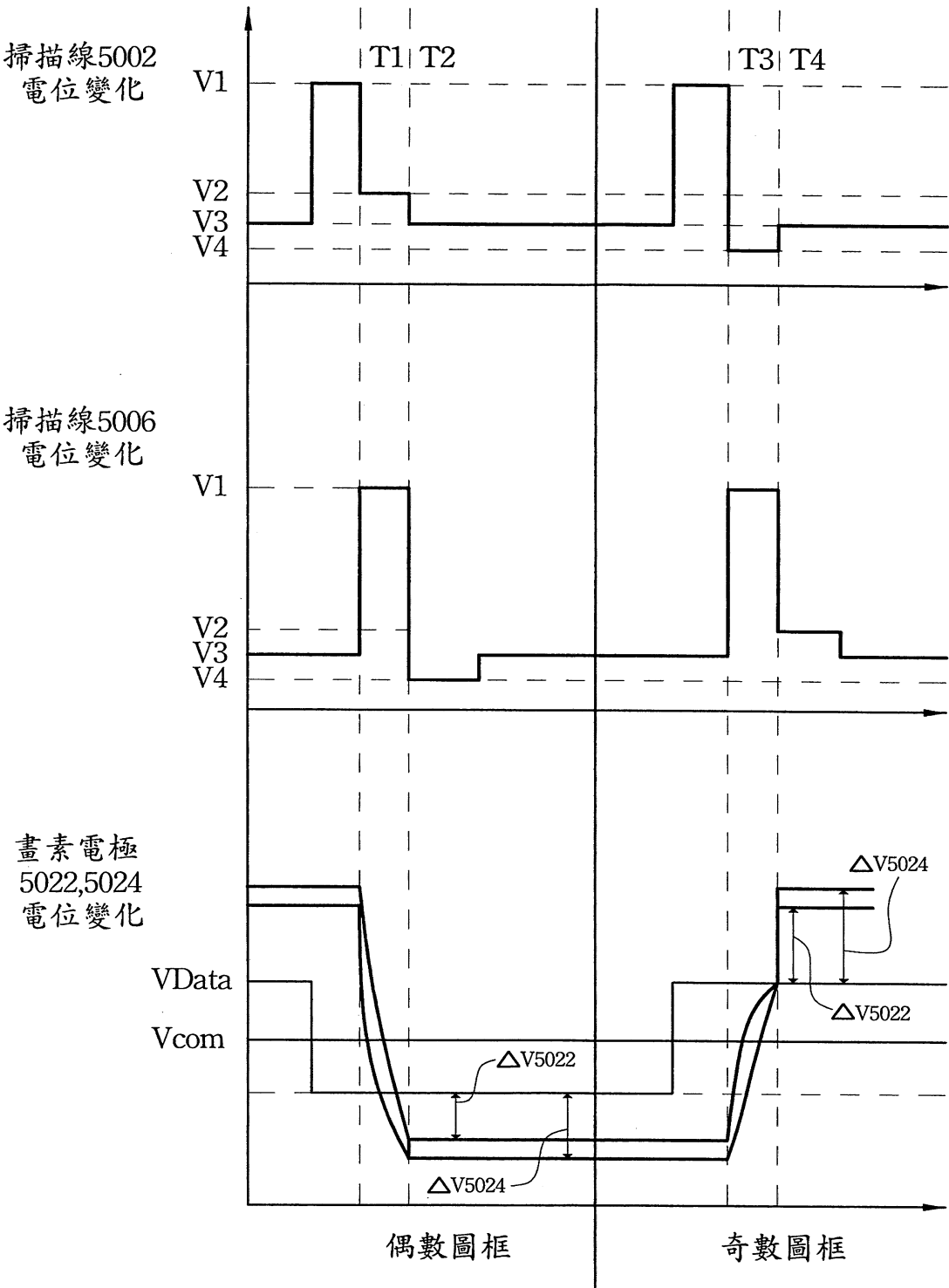
第 9 圖



第 10 圖



第 11 圖

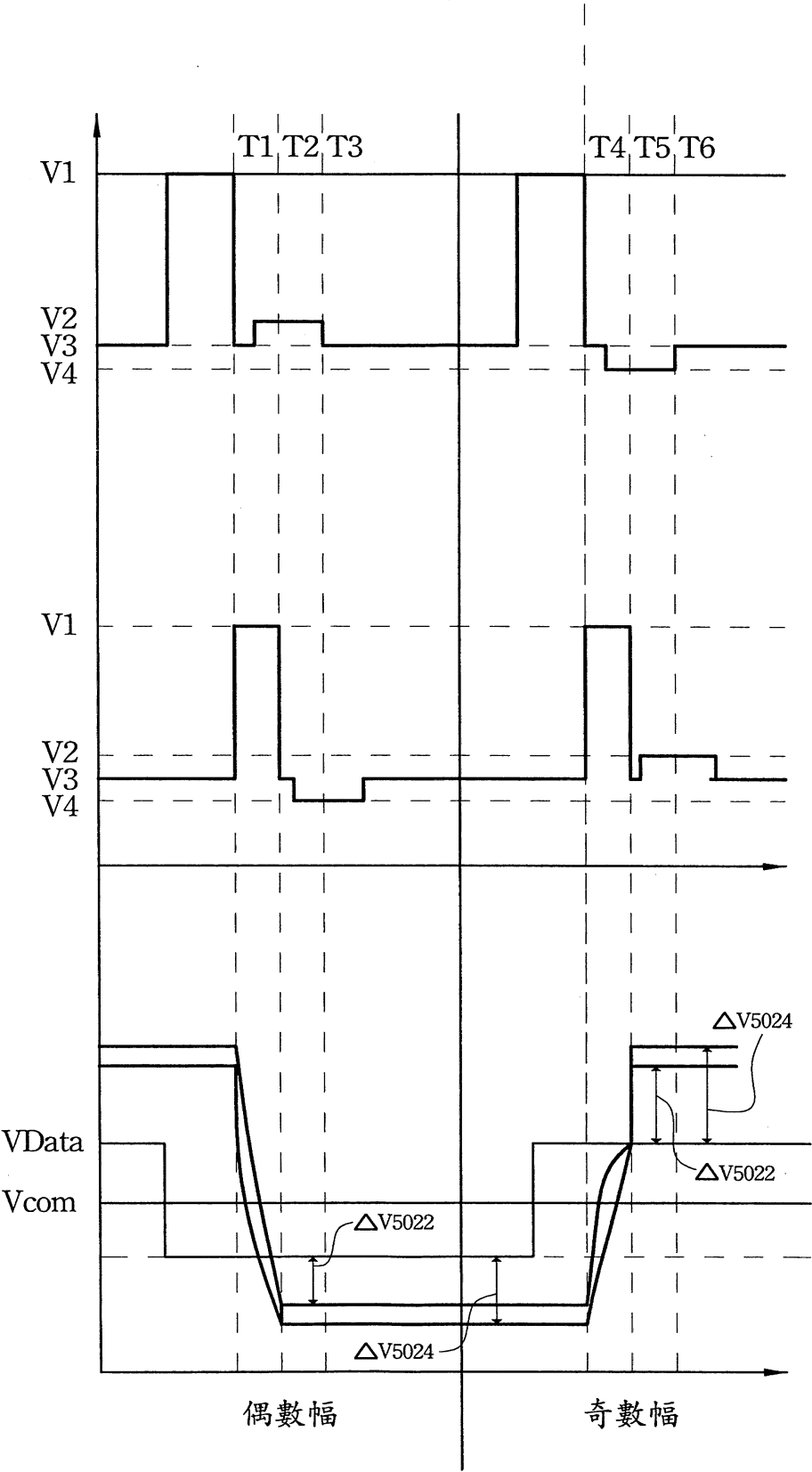


第 12 圖

掃描線5002
電位變化

掃描線5006
電位變化

畫素電極
5022,5024
電位變化

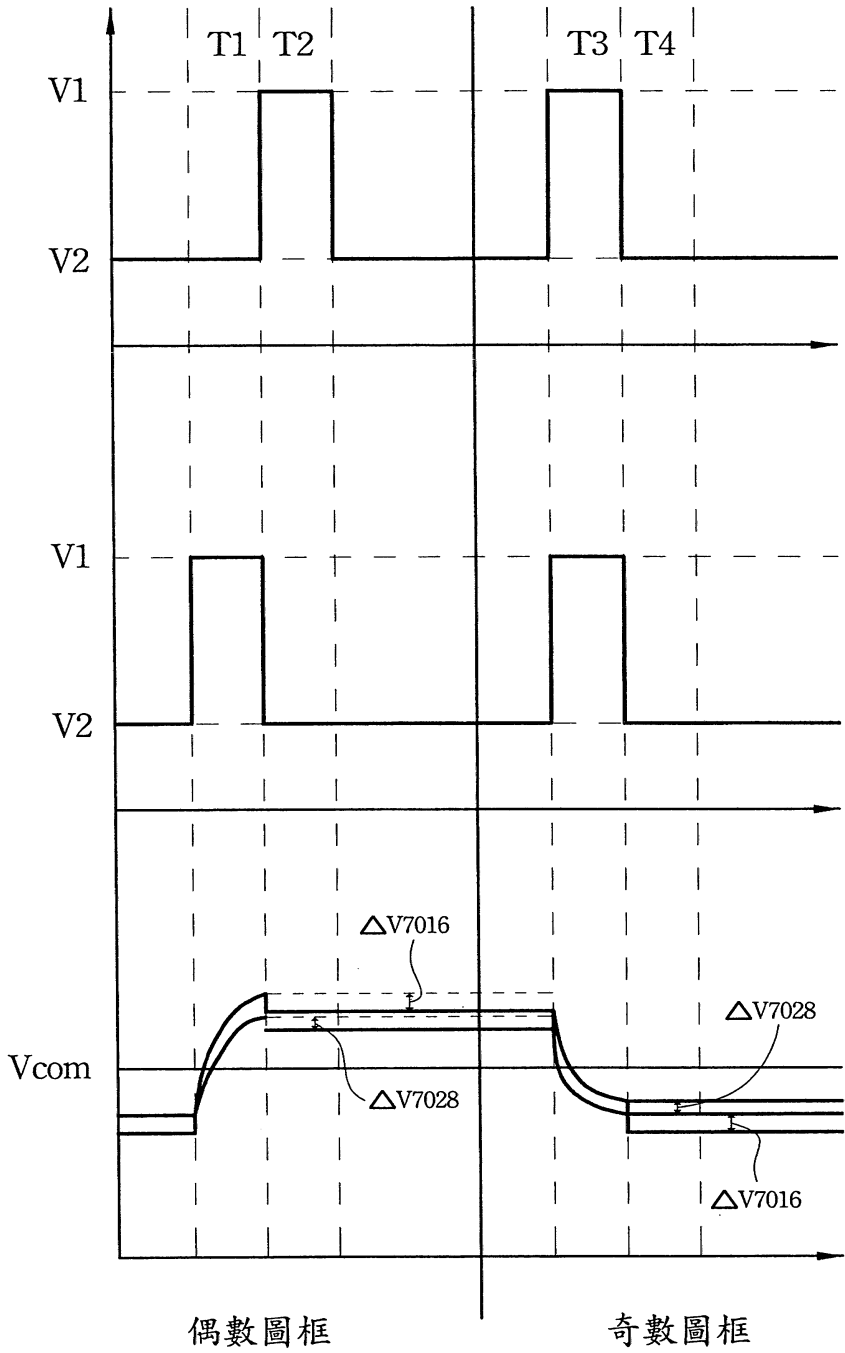


第 13 圖

偏壓線7002
電位變化

掃描線7006
電位變化

畫素電極
7016,7028
電位變化



第 14 圖

七、指定代表圖：

(一)、本案指定代表圖為：第(3)圖

(二)、本案代表圖之元件符號簡單說明：

300：畫素電路	3016：儲存電容
302：次畫素	3018：液晶電容
304：次畫素	3020：液晶電容
3002：掃描線	3022：畫素電極
3004：共同電極線	3024：畫素電極
3006：掃描線	3026：寄生電容
3008：資料線	3028：寄生電容
3010：薄膜電晶體	
3012：薄膜電晶體	
3014：儲存電容	

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：