

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5115066号
(P5115066)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月26日(2012.10.26)

(51) Int.Cl. F I
 H O 4 L 12/815 (2013.01) H O 4 L 12/56 2 O O C
 H O 4 L 12/863 (2013.01)

請求項の数 4 (全 30 頁)

(21) 出願番号	特願2007-183532 (P2007-183532)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成19年7月12日 (2007.7.12)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2009-21872 (P2009-21872A)	(74) 代理人	100090011 弁理士 茂泉 修司
(43) 公開日	平成21年1月29日 (2009.1.29)	(72) 発明者	松尾 保 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
審査請求日	平成22年3月16日 (2010.3.16)	(72) 発明者	福永 健二 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	小路 敏広 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

最終頁に続く

(54) 【発明の名称】 パケット伝送方法及び装置

(57) 【特許請求の範囲】

【請求項1】

受信パケットをパケットバッファに書き込むとき、そのアドレスを、該受信パケットの受信パケット情報に含まれる物理ポートに対応する宛先毎に読出アドレスとして記憶する第1ステップと、

スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを読み出して保持する第2ステップと、

調停制御に従って、該保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3ステップと、

を備えたことを特徴とするパケット伝送方法。

【請求項2】

請求項1において、

該第1ステップが、該パケットバッファへ順次書き込まれる該受信パケットのアドレスを、先頭アドレス管理メモリにおいて該宛先毎の書込先頭アドレス及び空き先頭アドレス、末尾管理メモリにおいて該宛先毎の書込末尾アドレス及び空き末尾アドレス、並びに該パケットバッファと同じアドレス空間を有し空き次アドレスで初期化された共用管理メモリにおいて宛先毎に該書込先頭アドレスと該書込末尾アドレスとを繋いで行くチェーン次アドレスで管理し、該パケットバッファへ受信パケットを書き込む時には、該空き先頭アドレスで示される該パケットバッファのアドレスから該空き次アドレスに従って該パケッ

トを書き込むと共に該共用管理メモリにおける同一のアドレスにおいて該空き次アドレスを該チェーン次アドレスに書き替えて該読出アドレスとし、

該第2ステップが、該スケジューリング制御に従って、該宛先毎に該書込先頭アドレスを読出先頭アドレスとして保持すると共に該チェーン次アドレスに従って該書込末尾アドレスに等しくなるまで順次書き替え、このとき該パケットバッファのアドレスを順次該空き末尾アドレスとするとともに該共用管理メモリにおける同一のアドレスにおいて該チェーン次アドレスを該空き次アドレスに順次書き替え、

該第3ステップが、該調停制御に従って該宛先を選択する、
ことを特徴としたパケット伝送方法。

【請求項3】

受信パケットをパケットバッファに書き込むとき、そのアドレスを、該受信パケットの受信パケット情報に含まれる物理ポートに対応する宛先毎に読出アドレスとして第1の記憶部に記憶する第1手段と、

スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを該第1の記憶部から読み出して第2の記憶部に保持する第2手段と、

調停制御に従って、該第2の記憶部に保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3手段と、

を備えたことを特徴とするパケット伝送装置。

【請求項4】

請求項3において、

該第1手段が、該パケットバッファへ順次書き込まれる該受信パケットのアドレスを、先頭アドレス管理メモリにおいて該宛先毎の書込先頭アドレス及び空き先頭アドレス、末尾管理メモリにおいて該宛先毎の書込末尾アドレス及び空き末尾アドレス、並びに該パケットバッファと同じアドレス空間を有し空き次アドレスで初期化された共用管理メモリにおいて宛先毎に該書込先頭アドレスと該書込末尾アドレスとを繋いで行くチェーン次アドレスで管理し；該パケットバッファへ受信パケットを書き込む時には、該空き先頭アドレスで示される該パケットバッファのアドレスから該空き次アドレスに従って該パケットを書き込むと共に該共用管理メモリにおける同一のアドレスにおいて該空き次アドレスを該チェーン次アドレスに書き替えて該読出アドレスとし、

該第2手段が、該スケジューリング制御に従って、該宛先毎に該書込先頭アドレスを読出先頭アドレスとして保持すると共に該チェーン次アドレスに従って該書込末尾アドレスに等しくなるまで順次書き替え、このとき該パケットバッファのアドレスを順次該空き末尾アドレスとするとともに該共用管理メモリにおける同一のアドレスにおいて該チェーン次アドレスを該空き次アドレスに順次書き替え、

該第3手段が、該調停制御に従って該宛先を選択する、
ことを特徴としたパケット伝送装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パケット伝送方法及び装置に関し、特にIP網のレイヤ2スイッチ装置におけるQoS(Quality of Service：優先制御、帯域制御、etc)処理等の機能を提供する技術分野において、イーサネット(登録商標)フレーム等のパケットを宛先毎に一時格納するパケットバッファからスケジューリング制御により読出を行う方法及び装置に関するものである。

【背景技術】

【0002】

従来、ネットワーク間/内のパケットのスイッチングを行う装置においては、スケジューラ部や、入力FIFO及び出力FIFO等を用いてQoS制御、優先制御、帯域制御等が実現されていた。これについて、図20以降を参照して以下に説明する。

10

20

30

40

50

【 0 0 0 3 】

パケット伝送装置の全体構成例：図20

図20に示すように、パケット伝送装置1は、一般的に、LIU（ライン・インタフェース・ユニット）カード2#1～2#4...（以下、符号2で総称することがある。）と、スイッチ（SW）カード3とで構成されている。

【 0 0 0 4 】

例えばネットワークNW1から入って来たパケットは、点線経路R1, R2で示すようにLIUカード2#1, 2#2の物理ポートP#0～P#n（以下、符号Pで総称することがある。）で受信され、LIUカード2#1, 2#2内でパケット多重されスイッチカード3へ出力される。

【 0 0 0 5 】

スイッチカード3では、各パケットの宛先（出力物理ポート先）を識別し、該当する物理ポートPが存在する、例えばLIUカード2#3へパケットを多重して出力する。スイッチカード3からのパケットを受信したLIUカード2#3は、スケジューリング制御及び出力制御を行い、各物理ポートPからネットワークNW2へパケットを出力する。

【 0 0 0 6 】

LIUカードの従来構成例：図21～23

LIUカード2の従来構成例を図21に示す。図中の各ブロックは以下の機能を有する。

【 0 0 0 7 】

(a) 書込制御部11：パケット受信時、受信パケット情報（宛先物理ポート番号、パケット長等）をアドレス管理部14へ通知しアドレス管理部14からの空きアドレス値が示すパケットバッファ12のアドレスへパケットの書込制御を行う。

【 0 0 0 8 】

(b) パケットバッファ12：実パケットを格納し、スケジューリング制御に従って読み出すメモリである。

【 0 0 0 9 】

(c) 読出制御部13：パケット送信時、アドレス管理部14からの読出アドレス値が示すパケットバッファ12のアドレスからパケットの読出制御を行う。

【 0 0 1 0 】

(d) アドレス管理部14：アドレス制御部140により、下記のメモリ141～144の制御を行い、書込アドレス及び読出アドレスの発行を行う。

- ・ 空きアドレス管理メモリ141：使用可能アドレス値を格納する。
- ・ アドレスチェーン(chain)管理メモリ142：パケットバッファ12に格納されたパケットの順番の繋がり、及びパケット内のデータの繋がりをアドレス値の数珠繋ぎ（チェーン）で宛先毎に管理する。
- ・ 先頭（head）アドレス管理メモリ143：各宛先物理ポートの先頭パケットが存在するアドレス値を格納する。
- ・ 末尾（tail）アドレス管理メモリ144：各宛先物理ポートの末尾（最終）パケットが存在するアドレス値を格納する。

【 0 0 1 1 】

(e) スケジューラ部15：顧客の契約帯域を監視して帯域制御を行いながら、例えばラウンドロビン方式により読み出すべき宛先（物理ポート）を選択するスケジューリング制御を行う。

【 0 0 1 2 】

- (f) パケット制御部16：以下の3つのブロックから構成される。
- ・ 宛先制御部161：宛先物理ポート番号を識別し、宛先毎にどのパケットFIFO162に溜め込むかを選択し、書込制御を行う。
 - ・ パケットFIFO162：物理ポートP#0～P#n毎に実パケットを格納する。
 - ・ 調停部163：読み出すパケットFIFO162を選択し、読出制御を行う。また、バックプレッシャー信号BPにより物理ポート毎にパケットの読出を停止する。

【 0 0 1 3 】

10

20

30

40

50

(g) 出力部17：分離(Dmux)部171とn個の物理ポート(P#0~P#n)172とで構成され、分離部171は、送信パケットの整調及びバックプレッシャー信号BPの生成を行う。

【0014】

図22(1)にパケットバッファ12の構成例、同図(2)~(5)にメモリ141~144の構成例、そして同図(6)にパケットFIFO162の構成例を示す。この内、メモリ143及び144は各物理ポート宛にアドレス値を格納し、パケットFIFO162は各物理ポートに対してパケットを格納する。図示のパケットFIFO162は1つの物理ポートに対するメモリ構成を示す。

また図23にパケットの一般的な構成例を示す。

【0015】

パケット受信動作：図24及び図25

図21に示したLIUカード2のパケット受信時の動作を図24及び図25に示した符号(1)~(4)に沿って説明する。なお、この受信動作では、メモリ141の読出アドレスカウンタ値RACのみが1つのパケット入力につき1アドレスだけインクリメントし、書込アドレスカウンタ値WACは動かない。

まず、或る宛先に対してパケットを最初に受信した時の動作(その1)を、図24により説明する。

【0016】

(1)パケット受信時、書込制御部11からアドレス制御部140へ受信パケット情報(宛先物理ポート番号、パケット長等)を通知し、アドレス制御部140では空きアドレス管理メモリ141より空きアドレス値を取得する。

【0017】

(2)アドレス制御部140では、先頭アドレス管理メモリ143において該当する物理ポート番号(P#0~P#n)のアドレスに、上記(1)で取得した空きアドレス値を書き込む(先頭アドレス値の更新)。また、末尾アドレス管理メモリ144にも該当物理ポート番号のアドレスに空きアドレス値を書き込む(末尾アドレス値の更新)。

【0018】

(3)アドレス制御部140は、スケジューラ部15へ、読出制御のために受信パケット情報を通知する。

【0019】

(4)アドレス制御部140は、上記(1)で取得した空きアドレス値を書込制御部11へ出力し、書込制御部11はそのアドレス値が示すパケットバッファ12のアドレスに受信パケットを格納する。

次に宛先が同じ物理ポートへのパケットを受信した場合の動作(その2)を、符号(1)~(5)に沿って図25により説明する。

【0020】

(1)パケット受信時、書込制御部11からアドレス制御部140へ受信パケット情報(宛先物理ポート番号、パケット長等)を通知し、アドレス制御部140では空きアドレス管理メモリ141から空きアドレス値を取得する。

【0021】

(2)アドレス制御部140では、末尾アドレス管理メモリ144へ該当物理ポート番号のアドレスに上記(1)で取得した空きアドレス値を書き込む(末尾アドレス値の更新)。

【0022】

(3)アドレス制御部140では、先頭アドレス管理メモリ143から該当物理ポート番号の先頭アドレス値を読み出し、アドレスチェーン管理メモリ142へ、その先頭アドレス値が示すアドレスの領域に上記(1)で取得した空きアドレス値を書き込む(アドレス値のチェーン接続動作)。

【0023】

(4)アドレス制御部140は、スケジューラ部15へ、読出制御のために受信パケット情報を通知する。

【0024】

10

20

30

40

50

(5) アドレス制御部140は、上記(1)で取得した空きアドレス値を書込制御部11へ出力し、書込制御部11はそのアドレス値が示すパケットバッファ12のアドレスに受信パケットを格納する。

【 0 0 2 5 】

メモリ内容の遷移：図26～図33

次に、上記の受信動作を、各メモリ141～144の記憶内容を示す図26～図33により説明する。

【 0 0 2 6 】

1) デフォルト時（パケット入力前）：図26

この初期状態における各メモリ内容は次のとおりである。

パケットバッファ12：全て空き状態

空きアドレス管理メモリ141：アドレスは全て使用可状態

アドレスチェーン管理メモリ142：全てチェーン次アドレスなし

先頭アドレス管理メモリ143：全て先頭アドレスなし

末尾アドレス管理メモリ144：全て末尾アドレスなし

10

【 0 0 2 7 】

2) パケットA1、B1、C1の入力：図27

宛先（物理ポート）A、B、Cの3つのパケットA1、B1、C1を順次受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス0、1、2にそれぞれパケットA1、B1、C1を格納

空きアドレス管理メモリ141：アドレス0、1、2のデータは使用不可状態

アドレスチェーン管理メモリ142：変化なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 0

宛先Bの先頭アドレス= 1

宛先Cの先頭アドレス= 2

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 0

宛先Bの末尾アドレス= 1

宛先Cの末尾アドレス= 2

20

【 0 0 2 8 】

3) パケットA2の入力：図28

宛先Aの2番目のパケットA2を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス3にパケットを格納

空きアドレス管理メモリ141：アドレス3のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス0 のチェーン次アドレス= 3

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 0 3

30

【 0 0 2 9 】

4) パケットC2の入力：図29

宛先Cの2番目のパケットC2を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス4にパケットを格納

空きアドレス管理メモリ141：アドレス4のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス2 のチェーン次アドレス= 4

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Cの末尾アドレス= 2 4

40

【 0 0 3 0 】

5) パケットA3の入力：図30

宛先Aの3番目のパケットA3を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス5にパケットを格納

空きアドレス管理メモリ141：アドレス5のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス3 のチェーン次アドレス= 5

50

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 3 5

【 0 0 3 1 】

6) パケットB2の入力：図31

宛先Bの2番目のパケットB2を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス6にパケットを格納

空きアドレス管理メモリ141：アドレス6のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス1 のチェーン次アドレス= 6

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Bの末尾アドレス= 1 6

10

【 0 0 3 2 】

7) パケットC3の入力：図32

宛先Cの3番目のパケットC3を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス7にパケットを格納

空きアドレス管理メモリ141：アドレス7のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス4 のチェーン次アドレス= 7

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Cの末尾アドレス= 4 7

【 0 0 3 3 】

8) パケットB3の入力：図33

宛先Bの3番目のパケットB3を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス8にパケットを格納

空きアドレス管理メモリ141：アドレス8のデータは使用不可状態

アドレスチェーン管理メモリ142：アドレス6 のチェーン次アドレス= 8

先頭アドレス管理メモリ143：変化なし

末尾アドレス管理メモリ144：宛先Bの末尾アドレス= 6 8

20

【 0 0 3 4 】

パケット送信動作：図34及び図35

次に、図21に示したLIUカード2のパケット送信時の動作を図34及び図35により、符号(1)~(5)に沿って説明する。なお、この送信動作では、メモリ141の読出アドレスカウンタ値RACは動かず、書込アドレスカウンタ値WACのみが1パケットの出力の度毎に1つインクリメントする。

30

【 0 0 3 5 】

(1) スケジューラ部15でのスケジューリングにより決定された読出物理ポート番号を受けたアドレス制御部140が、該物理ポート番号に対応する宛先を先頭アドレス管理メモリ143から読み出す。

【 0 0 3 6 】

(2) アドレス制御部140では、上記(1)で取得した先頭アドレス値でアドレスチェーン管理メモリ142からチェーン次アドレス値を読み出し、このチェーン次アドレス値を先頭アドレス管理メモリ143の該当物理ポート番号のアドレスへ書き込む(先頭アドレス値の更新)。

40

【 0 0 3 7 】

(3) アドレス制御部140では、上記(1)で取得した先頭アドレス値を空きアドレス管理メモリ141へ返却する。

【 0 0 3 8 】

(4) 上記(1)で取得した先頭アドレス値で読出制御部13がパケットバッファ12からパケットを読み出し、パケット制御部16の宛先識別部161で宛先物理ポート番号を識別し、該当する物理ポートのパケットFIFO162に蓄積する。

【 0 0 3 9 】

(5) パケットFIFO162に蓄積されたパケットは、調停部163からの読出要求(例えば単純な

50

ラウンドロビン動作)により、パケットFIF0162から読み出され、出力部17の分離部171を
 通って該当物理ポート172から出力される。但し、分離部171では実レートに合わせた出力
 制御を行っており、バースト等により実レートを越える状態が起きた場合は出力を停止し
 、バックプレッシャー信号BPを調停部163に送出し、調停部163では宛先識別部161を制御
 して該当物理ポートのパケットFIF0162からのパケット読出を停止させる。

【0040】

これを図35を用いてより具体的に説明すると、出力ポートが物理的に1 Gbpsで契約され
 たポートである時、バースト的に1 Gbpsを超えてパケットバッファ12からパケットが読み
 出されると出力できないので、分離部171からパケット制御部16へバックプレッシャー信
 号BPを出力し、パケット出力を停止させる。パケット出力が停止されると、パケットバッ
 ファ12から読み出されたパケットがパケットFIF0162に蓄積されて行き、これ以上蓄積で
 きないところまで溜まるとパケット制御部16の宛先識別部161からスケジューラ部15へバ
 ックプレッシャー信号BPを出力し、パケットバッファ12からの読出を停止する。

10

【0041】

これにより、同図(2)に示すように、平均すると1GBPSのレートを保っている。なお、パ
 ケットバッファ12への読出アドレスの発行は同図(1)に示すように、スケジューラ部15が
 顧客の契約帯域を監視しながら行っている。

【0042】

メモリ内容の遷移：図36～図41

次に、上記の送信動作を、各メモリ141～144の記憶内容を示す図36～図41により説明す
 る。なお、送信開始時のメモリ状態は図33に示した内容とする。

20

【0043】

1)パケットA1の出力：図36

スケジューラ部15の指示に基づき、宛先Aの1番目のパケットA1を出力すると、各メモリ
 内容は次のようになる。

パケットバッファ12：アドレス0が空き状態

空きアドレス管理メモリ141：アドレス0のデータは使用可状態

アドレスチェーン管理メモリ142：変化なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 0 3

末尾アドレス管理メモリ144：変化なし

30

【0044】

2)パケットA2の出力：図37

宛先Aの2番目のパケットA2を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス3が空き状態

空きアドレス管理メモリ141：アドレス3のデータは使用可状態

アドレスチェーン管理メモリ142：変化なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 3 5

末尾アドレス管理メモリ144：変化なし

【0045】

3)パケットB1の出力：図38

宛先Bの1番目のパケットB1を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス1が空き状態

空きアドレス管理メモリ141：アドレス1のデータは使用可状態

アドレスチェーン管理メモリ142：変化なし

先頭アドレス管理メモリ143：宛先Bの先頭アドレス= 1 6

末尾アドレス管理メモリ144：変化なし

40

【0046】

4)パケットB2の出力：図39

宛先Bの2番目のパケットB2を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス6が空き状態

50

空きアドレス管理メモリ141：アドレス6のデータは使用可状態
 アドレスチェーン管理メモリ142：変化なし
 先頭アドレス管理メモリ143：宛先Bの先頭アドレス= 6 8
 末尾アドレス管理メモリ144：変化なし

【0047】

5)パケットC1の出力：図40

宛先Cの1番目のパケットC1を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス2が空き状態
 空きアドレス管理メモリ141：アドレス2のデータは使用可状態
 アドレスチェーン管理メモリ142：変化なし
 先頭アドレス管理メモリ143：宛先Cの先頭アドレス= 2 4
 末尾アドレス管理メモリ144：変化なし

10

【0048】

6)パケットC2の出力：図41

宛先Cの2番目のパケットC2を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス4が空き状態
 空きアドレス管理メモリ141：アドレス4のデータは使用可状態
 アドレスチェーン管理メモリ142：変化なし
 先頭アドレス管理メモリ143：宛先Cの先頭アドレス= 4 7
 末尾アドレス管理メモリ144：変化なし

20

【0049】

なお、参考例として、入力バッファ部は、入力回線に対応し、同一出力方路宛の優先度の高いパケットから順にブロックを形成し組み立てたデータを送出する。この送されたデータの競合調停をスケジューラ部が行い、競合調整に基づきN×Nスイッチ部がデータの出力回線への接続を切り替えるパケット交換装置およびパケット交換方法がある（例えば特許文献1参照。）。

【0050】

また、セルバッファを1つとしてこのセルバッファの記憶領域をポインタ値で管理することとし、セルバッファには品質クラスの異なるATMセルを混在して蓄積し、セルバッファからの品質クラス別の読み出しはポインタバッファに品質クラス別に設けるクラスバッファ（FIFO）に記憶されたセルバッファのポインタ値を基に行うATMセル多重化方法及びその装置がある（例えば特許文献2参照。）。

30

【0051】

さらに、NIUの有する制御部は、受信したデータに含まれる宛先情報を抽出し、テーブルに基づいてこの宛先情報と転送先情報とを対応させて転送先の回線を判断する。次に、受信したデータをバスを介してバッファ領域に転送する。このデータはバッファ領域に一時的に記憶し、その後制御部は、送信すべきデータがバッファ領域内に存在する旨をバッファ領域内におけるデータのアドレスを示すポインタと共にキューに書き込む。NIUはキューの状況を適宜チェックし、送信すべきデータが存在する場合にはポインタに基づいてそのデータをバッファ領域から適当なタイミングで読み出し、回線に送信するスイッチ及びスイッチング方法がある（例えば特許文献3参照。）。

40

【特許文献1】特開2001-298477号公報

【特許文献2】特開2000-78139号公報

【特許文献3】特開平10-327175号公報

【発明の開示】

【発明が解決しようとする課題】

【0052】

上記の如く、図21に示した従来のパケット伝送装置におけるLIUカードにおいては、各物理ポートから入力されるパケットは、一旦、パケットバッファに蓄積され、各パケットの優先クラス、出力物理ポートの伝送レートに従って、スケジューラ部により送信制御が

50

行われている。

【0053】

この場合、スケジューラ部ではバースト出力に対応したレート制御が不可能な為、パケット制御部に物理ポート単位のパケットFIFOを設ける必要がある。これにより、実レートに合わせたパケット送信の監視を行い、バースト等による送信レート異常が発生した場合、送信パケットを停止すると同時にスケジューラ部へバックプレッシャー信号を通知し、該当する物理ポートのスケジューリング制御を停止させている。

【0054】

一方、近年では、加入者数の増加に伴い、大容量のデータを処理する装置が必要とされるため、上記のように物理ポート単位のパケットFIFOを設けていると、パケットFIFOにパケットが滞留してしまうことに伴うデータ処理の遅延や、空きアドレス管理メモリ及びアドレスチェーン管理メモリを別々に用いることに伴い回路規模の増大による消費電力と発熱量の増加、また小型化による更なる発熱量の増大を招き、問題となっていた。

【0055】

従って、本発明は、上記の問題を解決するために、パケット処理遅延を排除すると共に回路構成を簡素化することで回路規模の縮小によるデバイスの消費電力及び発熱量を抑えることができるパケット伝送方法及び装置を提供することを目的とする。

【課題を解決するための手段】

【0056】

上記の目的を達成するため、本発明に係るパケット伝送方法は、受信パケットをパケットバッファに書き込むとき、そのアドレスを、該受信パケットの受信パケット情報に含まれる物理ポートに対応する宛先毎に読出アドレスとして記憶する第1ステップと、スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを読み出して保持する第2ステップと、調停制御に従って、該保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3ステップと、を備えたことを特徴とする。

【0057】

すなわち、本発明では、パケットバッファに書き込んだ受信パケットをスケジューリング制御に従って読み出すとき、受信パケット情報で指定された宛先（物理ポート）毎に、記憶した書込時のアドレス値、すなわち読出アドレスを読み出して保持しておく。

【0058】

そして、調停制御時に、その保持した読出アドレスに対応した受信パケットを該パケットバッファから読み出す。

【0059】

従って、パケットバッファの後段にパケットを格納するFIFO等を用いることなく、アドレス単位にパケットの送信を行い、処理時間の遅延を防ぐことができる。

【0060】

また、上記のパケット伝送方法では、該第1ステップが、該パケットバッファへ順次書き込まれる該受信パケットのアドレスを、先頭アドレス管理メモリにおいて該宛先毎の書込先頭アドレス及び空き先頭アドレス、末尾管理メモリにおいて該宛先毎の書込末尾アドレス及び空き末尾アドレス、並びに該パケットバッファと同じアドレス空間を有し空き次アドレスで初期化された共用管理メモリにおいて宛先毎に該書込先頭アドレスと該書込末尾アドレスとを繋いで行くチェーン次アドレスで管理し；該パケットバッファへ受信パケットを書き込む時には、該空き先頭アドレスで示される該パケットバッファのアドレスから該空き次アドレスに従って該パケットを書き込むと共に該共用管理メモリにおける同一のアドレスにおいて該空き次アドレスを該チェーン次アドレスに書き替えて該読出アドレスとし、該第2ステップが、該スケジューリング制御に従って、該宛先毎に該書込先頭アドレスを読出先頭アドレスとして保持すると共に該チェーン次アドレスに従って該書込末尾アドレスに等しくなるまで順次書き替え、このとき該パケットバッファのアドレスを順次該空き末尾アドレスとするとともに該共用管理メモリにおける同一のアドレスにおいて

10

20

30

40

50

該チェーン次アドレスを該空き次アドレスに順次書き替え、該第3ステップが、該調停制御に従って該宛先を選択することができる。

【0062】

また、本発明に係るパケット伝送装置は、受信パケットをパケットバッファに書き込むとき、そのアドレスを、該受信パケットの受信パケット情報に含まれる物理ポートに対応する宛先毎に読出アドレスとして第1の記憶部に記憶する第1手段と、スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを該第1の記憶部から読み出して第2の記憶部に保持する第2手段と、調停制御に従って、該第2の記憶部に保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3手段と、を備えたことを特徴とする。

10

【0063】

また、上記のパケット伝送装置は、該第1手段が、該パケットバッファへ順次書き込まれる該受信パケットのアドレスを、先頭アドレス管理メモリにおいて該宛先毎の書込先頭アドレス及び空き先頭アドレス、末尾管理メモリにおいて該宛先毎の書込末尾アドレス及び空き末尾アドレス、並びに該パケットバッファと同じアドレス空間を有し空き次アドレスで初期化された共用管理メモリにおいて宛先毎に該書込先頭アドレスと該書込末尾アドレスとを繋いで行くチェーン次アドレスで管理し；該パケットバッファへ受信パケットを書き込む時には、該空き先頭アドレスで示される該パケットバッファのアドレスから該空き次アドレスに従って該パケットを書き込むと共に該共用管理メモリにおける同一のアドレスにおいて該空き次アドレスを該チェーン次アドレスに書き替えて該読出アドレスとし、該第2手段が、該スケジューリング制御に従って、該宛先毎に該書込先頭アドレスを読出先頭アドレスとして保持すると共に該チェーン次アドレスに従って該書込末尾アドレスに等しくなるまで順次書き替え、このとき該パケットバッファのアドレスを順次該空き末尾アドレスとするとともに該共用管理メモリにおける同一のアドレスにおいて該チェーン次アドレスを該空き次アドレスに順次書き替え、該第3手段が、該調停制御に従って該宛先を選択することができる。

20

【0065】

また、本発明のパケット伝送方法（又は装置）は、各物理ポート単位の蓄積量の監視により、スケジューリング停止指示となるバックプレッシャー信号の生成を行って、該パケットバッファからの読出制御を行う第4ステップ（又は手段）をさらに備えることができる。

30

【発明の効果】

【0066】

本発明では、パケットバッファの後段にパケットを格納するFIFOを設ける事無く、パケットバッファよりフレームを読み出す前に、新規に具備した小規模なアドレスFIFO等により各ポートの実送信レート調整を行うので、大幅な規模縮小、小型化、電力の削減を可能とする。

【0067】

また、各アドレスの発行、開放、フレーム内アドレスチェーン（接続順序）の管理を行う際、各アドレスの発行、開放を監視する空きアドレス管理メモリとフレーム内アドレスチェーンを管理するアドレスチェーン管理メモリを同一の共用管理メモリに統合することで、メモリ量の削減、省電力化を図ることができる。

40

【発明を実施するための最良の形態】

【0068】

LIUカードの本発明による構成例：図1及び図2

図1に、本発明に係るパケット伝送方法及び装置で用いるLIUカード2の構成例を示す。この構成例は、出力レート制御用の物理ポート単位のパケットFIFOを設ける事無く、パケットバッファよりパケットを読み出す前に、新たに設けた小規模なアドレスFIFOにより各

50

物理ポートの実送信レート調整を行うようにしたものである。

【 0 0 6 9 】

このため、図21に示した従来の構成例と比較して、読出制御部13を直接出力部17に接続すると共に、パケット制御部の代わりに読出アドレス格納部20を、アドレス制御部14と読出制御部13との間に設け、さらにアドレス管理部14において、空きアドレス管理メモリとアドレスチェーン管理メモリとを共用化した空きアドレス・アドレスチェーン共用管理メモリ145（以下、単に共用管理メモリ145と称することがある。）を用いている点が異なっている。以下に、その異なった箇所のみについて説明する。

【 0 0 7 0 】

(a) 空きアドレス・アドレスチェーン共用管理メモリ145：パケットバッファ12における空きアドレスの繋がり、及び受信パケットの順番の繋がりをアドレス値のチェーン（数珠繋ぎ）で宛先毎に管理。

10

【 0 0 7 1 】

(b) 読出アドレス格納部20：以下の3つのブロックから構成される。

- ・宛先識別部201：スケジューラ部15で決定された読出物理ポート番号を識別してどのアドレスFIFO202に溜め込むかを選択し、書込制御を行う。

- ・アドレスFIFO202：物理ポート毎にパケットバッファ12から読み出すパケットの読出アドレス値を格納する。

- ・調停部203：読み出すアドレスFIFO202を選択し、読出制御を行う。また、バックプレッシャー信号BPにより該当物理ポートの読出を停止する。

20

【 0 0 7 2 】

図2(1)にパケットバッファ12の構成例、同図(2)～(4)にメモリ143～145の各構成例、そして同図(5)にアドレスFIFO202の構成例を示す。この内、メモリ143は、各物理ポート宛の先頭アドレス値の他、空き領域先頭アドレス値を格納する1つの領域を有し、メモリ144も、各物理ポート宛の末尾アドレス値の他、空き領域末尾アドレス値を格納する1つの領域を有する。また、新たに設けたメモリ145は「チェーン次アドレス」又は「空き次アドレス」を格納し、アドレスFIFO202は各物理ポートに対する読出アドレスを格納する。図示の例では、アドレスFIFO202は1つの物理ポートに対するメモリ構成を示す。

【 0 0 7 3 】

パケット受信動作：図3及び図4

30

図1に示した本発明に用いるLIUカード2のパケット受信時の動作を、図3及び図4により説明する。

【 0 0 7 4 】

まず、或る宛先に対してパケットを最初に受信した時の動作（その1）を、図3に示す符号(1)～(5)に沿って説明する。

【 0 0 7 5 】

(1) パケット受信時、書込制御部11からアドレス制御部140へ受信パケット情報（宛先物理ポート番号、パケット長等）を通知し、アドレス制御部140では先頭アドレス管理メモリ143から空き先頭アドレス値を取得する。

【 0 0 7 6 】

40

(2) アドレス制御部140は、上記(1)で取得した空き先頭アドレス値で空きアドレス・アドレスチェーン共用管理メモリ145を読み出し、空き次アドレス値を取得して先頭アドレス管理メモリ143の空き先頭アドレス値格納領域に書き込む（空き先頭アドレス値の更新）。

【 0 0 7 7 】

(3) アドレス制御部140では、先頭アドレス管理メモリ143へ該当物理ポート番号のアドレスに上記(1)で取得した空き先頭アドレス値を書き込む（先頭アドレス値の更新）。これと共に、末尾アドレス管理メモリ144にも該当物理ポート番号のアドレスに空き先頭アドレス値を書き込む（末尾アドレス値の更新）。

【 0 0 7 8 】

50

(4)アドレス制御部140は、スケジューラ部15へ、読出制御のために受信パケット情報を通知する。

【0079】

(5)上記(1)で空き先頭アドレス値を取得したアドレス制御部140は書込制御部11へその空き先頭アドレス値を出力し、書込制御部11ではその空きアドレス値が示すパケットバッファ12のアドレスに受信パケットを格納する。

【0080】

次に宛先が同じ物理ポートへのパケットを受信した場合の動作(その2)を、図4に示す符号(1)~(6)に沿って説明する。

【0081】

(1)パケット受信時、書込制御部11からアドレス制御部140へ受信パケット情報(宛先物理ポート番号、パケット長等)を通知し、アドレス制御部140では先頭アドレス管理メモリ143より空き先頭アドレス値を取得する。

【0082】

(2)アドレス制御部140では、上記(1)で取得した空き先頭アドレス値で空きアドレス・アドレスチェーン共用管理メモリ145を読み出し、空き次アドレス値を取得して先頭アドレス管理メモリ143の空き先頭アドレス値格納領域に書き込む(空き先頭アドレス値の更新)。

【0083】

(3)アドレス制御部140では、末尾アドレス管理メモリ144にも該当物理ポート番号のアドレスに、空き先頭アドレス値を書き込む(末尾アドレス値の更新)。

【0084】

(4)アドレス制御部140では、先頭アドレス管理メモリ143から該当物理ポート番号の先頭アドレス値を読み出し、空きアドレス・アドレスチェーン共用管理メモリ145へその先頭アドレス値が示すアドレスの領域に上記(1)で取得した空き先頭アドレス値を書き込む(アドレス値のチェーン接続動作)。

【0085】

(5)アドレス制御部140は、スケジューラ部15へ、読出制御のために受信パケット情報を通知する。

【0086】

(6)上記(1)で空きアドレス値を取得したアドレス制御部140は書込制御部11へその空きアドレス値を出力し、書込制御部11ではその空きアドレス値が示すパケットバッファ12のアドレスに受信パケットを格納する。

【0087】

なお、パケット長により1パケットで複数のアドレスを使用する場合も上記動作と同様に、空きアドレスの取得とパケット内のチェーン接続動作を1パケット内で複数回行い、パケット内をチェーンで繋いで行けばよい。

【0088】

メモリ内容の遷移：図5~図12

次に、上記の受信動作を、各メモリ143~145の記憶内容を示す図5~図12により説明する。

【0089】

1)デフォルト時(パケット入力前)：図5

この初期状態におけるメモリ内容は次のとおりである。

パケットバッファ12：全て空き状態

共用管理メモリ145：連鎖的に繋がれた空き次アドレス

先頭アドレス管理メモリ143：全て先頭アドレス= なし

空き先頭アドレス= 0

末尾アドレス管理メモリ144：全て末尾アドレス= なし

空き末尾アドレス= n

10

20

30

40

50

【 0 0 9 0 】

2) パケットA1、B1、C1の入力：図6

宛先A,B,Cの3つのパケットA1, B1, C1を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス0,1,2にそれぞれパケットA1, B1, C1を格納

共用管理メモリ145：アドレス0,1,2にチェーン次アドレス= なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 0

宛先Bの先頭アドレス= 1

宛先Cの先頭アドレス= 2

空き先頭アドレス= 3

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 0

宛先Bの末尾アドレス= 1

宛先Cの末尾アドレス= 2

10

【 0 0 9 1 】

3) パケットA2の入力：図7

宛先Aの2番目のパケットA1を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス3にパケットを格納

共用管理メモリ145：アドレス3のチェーン次アドレス= なし

アドレス0のチェーン次アドレス= 3

先頭アドレス管理メモリ143：空き先頭アドレス= 4

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 0 3

20

【 0 0 9 2 】

4) パケットC2の入力：図8

宛先Cの2番目のパケットC2を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス4にパケットを格納

共用管理メモリ145：アドレス4のチェーン次アドレス= なし

アドレス2のチェーン次アドレス= 4

先頭アドレス管理メモリ143：空き先頭アドレス= 5

末尾アドレス管理メモリ144：宛先Cの末尾アドレス= 2 4

【 0 0 9 3 】

5) パケットA3の入力：図9

宛先Aの3番目のパケットA3を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス5にパケットを格納

共用管理メモリ145：アドレス5のチェーン次アドレス= なし

アドレス3のチェーン次アドレス= 5

先頭アドレス管理メモリ143：空き先頭アドレス= 6

末尾アドレス管理メモリ144：宛先Aの末尾アドレス= 3 5

30

【 0 0 9 4 】

6) パケットB2の入力：図10

宛先Bの2番目のパケットB2を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス6にパケットを格納

共用管理メモリ145：アドレス6のチェーン次アドレス= なし

アドレス1のチェーン次アドレス= 6

先頭アドレス管理メモリ143：空き先頭アドレス= 7

末尾アドレス管理メモリ144：宛先Bの末尾アドレス= 1 6

40

【 0 0 9 5 】

7) パケットC3の入力：図11

宛先Cの3番目のパケットC3を受信すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス7にパケットを格納

共用管理メモリ145：アドレス7のチェーン次アドレス= なし

アドレス4のチェーン次アドレス= 7

50

なお、上記(1)～(4)まではパケット読み出しに関する処理を示し、上記(5)～(7)までは空きアドレスに関する処理を示す。

【0107】

メモリ内容の遷移：図14～図19

上記の送信動作を、各メモリの143～145の記憶内容を示す図14～図19により説明する。なお、送信開始時のメモリ状態は、図12に示した内容とする。

【0108】

1)パケットA1の出力：図14

スケジューラ部15の指示により、宛先Aの1番目のパケットA1を出力するとき、アドレス制御部140は、先頭アドレス管理メモリ143の該当物理ポート（宛先A）の先頭アドレス値0を読み出アドレス格納部20のアドレスFIFO202の宛先Aに対応するFIFOに格納しておく。そして、調停部203が、その調停動作により、例えばラウンドロビン方式で読出制御部13へ該宛先Aの先頭アドレス値0を与えることにより、該宛先Aの先頭アドレス値0における受信パケットA1が、パケットバッファ12から読み出される。この時点でのメモリ内容は次のようになる。

パケットバッファ12：アドレス0が空き状態

共用管理メモリ145：アドレスnの空き次アドレス=なし 0

アドレス0に空き次アドレス=なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 0 3

末尾アドレス管理メモリ144：空き末尾アドレス= n 0

【0109】

2)パケットA2の出力：図15

宛先Aの2番目のパケットA2を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス3が空き状態

共用管理メモリ145：アドレス0の空き次アドレス=なし 3

アドレス3の空き次アドレス=なし

先頭アドレス管理メモリ143：宛先Aの先頭アドレス= 3 5

末尾アドレス管理メモリ144：空き末尾アドレス= 0 3

【0110】

3)パケットB1の出力：図16

宛先Bの1番目のパケットB1を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス1が空き状態

共用管理メモリ145：アドレス3の空き次アドレス=なし 1

アドレス1に空き次アドレス=なし

先頭アドレス管理メモリ143：宛先Bの先頭アドレス= 1 6

末尾アドレス管理メモリ144：空き末尾アドレス= 3 1

【0111】

4)パケットB2の出力：図17

宛先Bの1番目のパケットB1を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス6が空き状態

共用管理メモリ145：アドレス1の空き次アドレス=なし 6

アドレス6に空き次アドレス=なし

先頭アドレス管理メモリ143：宛先Bの先頭アドレス= 6 8

末尾アドレス管理メモリ144：空き末尾アドレス= 1 6

【0112】

5)パケットC1の出力：図18

宛先Cの1番目のパケットを出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス2が空き状態

共用管理メモリ145：アドレス6の空き次アドレス=なし 2

アドレス2の空き次アドレス=なし

10

20

30

40

50

先頭アドレス管理メモリ143：宛先Cの先頭アドレス= 2 4

末尾アドレス管理メモリ144：空き末尾アドレス= 6 2

【0113】

6)パケットCの2出力：図19

宛先Cの2番目のパケットC2を出力すると、各メモリ内容は次のようになる。

パケットバッファ12：アドレス4が空き状態

共用管理メモリ145：アドレス2の空き次アドレス=なし 4

アドレス4の空き次アドレス=なし

先頭アドレス管理メモリ143：宛先Cの先頭アドレス= 4 7

末尾アドレス管理メモリ144：空き末尾アドレス= 2 4

10

【0114】

なお、本発明は、上記実施例によって限定されるものではなく、特許請求の範囲の記載に基づき、当業者によって種々の変更が可能なることは明らかである。

【0115】

(付記1)

受信パケットをパケットバッファに書き込むとき、そのアドレスを、物理ポートに対応する宛先毎に読出アドレスとして記憶すると共に、該受信パケットの受信パケット情報を記憶する第1ステップと、

スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを読み出して保持する第2ステップと、

20

調停制御に従って、該保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3ステップと、

を備えたことを特徴とするパケット伝送方法。

(付記2)付記1において、

該パケットバッファのアドレスが、各宛先に対して、空きアドレスのチェーン及び受信パケットの順番のアドレスチェーンで管理され、該パケットバッファへの書込時に該空きアドレスのチェーンに該受信パケットの順番のアドレスチェーンが該読出アドレスとして書き込まれ、該パケットバッファからの読出時に該書き込まれた該受信パケットの順番のアドレスチェーンに該空きアドレスのチェーンが書き込まれることを特徴としたパケット伝送方法。

30

(付記3)付記2において、

該受信パケットの順番のアドレスチェーンが、各宛先に対して、先頭アドレス、末尾アドレス、及び該先頭アドレスと該末尾アドレスとを繋ぐチェーンアドレスで構成され、該空きアドレスのチェーンが、各宛先に対して、最初の受信パケットを該パケットバッファに書き込むときの空き先頭アドレス、これに続く次の空きアドレス、及び該受信パケットを読み出したときの該パケットバッファの空きアドレスを示す空き末尾アドレスで構成されることを特徴としたパケット伝送方法。

(付記4)付記1において、

各物理ポートの蓄積量の監視により、スケジューリング停止指示となるバックプレッシャー信号の生成を行って、該パケットバッファからの読出帯域制御を行う第4ステップをさらに備えたことを特徴とするパケット伝送方法。

40

(付記5)

受信パケットをパケットバッファに書き込むとき、そのアドレスを、物理ポートに対応する宛先毎に読出アドレスとして第1の記憶部に記憶すると共に、該受信パケットの受信パケット情報を記憶する第1手段と、

スケジューリング制御に従って該受信パケットを該パケットバッファから読み出すとき、該受信パケット情報で指定された宛先の該読出アドレスを該第1の記憶部から読み出して第2の記憶部に保持する第2手段と、

50

調停制御に従って、該第2の記憶部に保持されている読出アドレスを取り出し、これに対応する受信パケットを該パケットバッファから読み出す第3手段と、
を備えたことを特徴とするパケット伝送装置。

(付記6) 付記5において、

該パケットバッファのアドレスが、各宛先に対して、空きアドレスのチェーン及び受信パケットの順番のアドレスチェーンで管理され、該パケットバッファへの書込時に該空きアドレスのチェーンに該受信パケットの順番のアドレスチェーンが該読出アドレスとして書き込まれ、該パケットバッファからの読出時に該書き込まれた該受信パケットの順番のアドレスチェーンに該空きアドレスのチェーンが書き込まれることを特徴としたパケット伝送装置。

10

(付記7) 付記6において、

該第1の記憶部が、該受信パケットの順番のアドレスチェーンを構成する、各宛先に対して先頭アドレス、末尾アドレス、及び該先頭アドレスと該末尾アドレスとを繋ぐチェーンアドレスをそれぞれ記憶する先頭アドレス管理メモリ、末尾アドレス管理メモリ、及び空きアドレス・アドレスチェーン共用管理メモリを含み、該先頭アドレス管理メモリが各宛先に対して最初の受信パケットを該パケットバッファに書き込むときの該空きアドレスのチェーンを構成する空き先頭アドレスを格納する領域を有し、該空き先頭アドレスは、これに続く該共用管理メモリに記憶された該空きアドレスのチェーンを構成する次の空きアドレスに更新され、該末尾アドレス管理メモリが、該受信パケットを読み出したときに該共用管理メモリに記憶された該パケットバッファの空きアドレスを空き末尾アドレスのチェーンとして格納する領域を有することを特徴としたパケット伝送装置。

20

(付記8) 付記7において、

各物理ポートの蓄積量の監視により、スケジューリング停止指示となるバックプレッシャー信号の生成を行って該第2の記憶部を制御することにより該パケットバッファからの読出帯域制御を行う第4手段をさらに備えたことを特徴とするパケット伝送装置。

【図面の簡単な説明】

【0116】

【図1】本発明に係るパケット伝送方法及び装置に用いるLIU(ライン・インタフェース・ユニット)カード構成例を示したブロック図である。

【図2】本発明に用いるLIUカードにおける各メモリ、FIFO、及びバッファの構成例を示した図である。

30

【図3】本発明におけるパケット受信シーケンス(その1)をLIUカード中に示した図である。

【図4】本発明におけるパケット受信シーケンス(その2)をLIUカード中に示した図である。

【図5】本発明におけるパケット受信(初期)時の各メモリ内容(その1)を示した図である。

【図6】本発明におけるパケット受信時の各メモリ内容(その2)を示した図である。

【図7】本発明におけるパケット受信時の各メモリ内容(その3)を示した図である。

【図8】本発明におけるパケット受信時の各メモリ内容(その4)を示した図である。

40

【図9】本発明におけるパケット受信時の各メモリ内容(その5)を示した図である。

【図10】本発明におけるパケット受信時の各メモリ内容(その6)を示した図である。

【図11】本発明におけるパケット受信時の各メモリ内容(その7)を示した図である。

【図12】本発明におけるパケット受信時の各メモリ内容(その8)を示した図である。

【図13】本発明におけるパケット送信シーケンスをLIUカード中に示した図である。

【図14】本発明におけるパケット送信時の各メモリ内容(その1)を示した図である。

【図15】本発明におけるパケット送信時の各メモリ内容(その2)を示した図である。

【図16】本発明におけるパケット送信時の各メモリ内容(その3)を示した図である。

【図17】本発明におけるパケット送信時の各メモリ内容(その4)を示した図である。

【図18】本発明におけるパケット送信時の各メモリ内容(その5)を示した図である。

50

【図 19】本発明におけるパケット送信時の各メモリ内容（その6）を示した図である。

【図 20】パケット伝送装置の一般的な全体構成例を示したブロック図である。

【図 21】パケット伝送装置に用いられる従来のLIUカードの構成例を示したブロック図である。

【図 22】従来のLIUカードにおける各メモリ、FIFO、及びバッファ構成例を示した図である。

【図 23】パケットの一般的な構成例を示した図である。

【図 24】従来例におけるパケット受信シーケンス（その1）をLIUカード中に示した図である。

【図 25】従来例におけるパケット受信シーケンス（その2）をLIUカード中に示した図である。 10

【図 26】従来例におけるパケット受信（初期）時の各メモリ内容（その1）を示した図である。

【図 27】従来例におけるパケット受信時の各メモリ内容（その2）を示した図である。

【図 28】従来例におけるパケット受信時の各メモリ内容（その3）を示した図である。

【図 29】従来例におけるパケット受信時の各メモリ内容（その4）を示した図である。

【図 30】従来例におけるパケット受信時の各メモリ内容（その5）を示した図である。

【図 31】従来例におけるパケット受信時の各メモリ内容（その6）を示した図である。

【図 32】従来例におけるパケット受信時の各メモリ内容（その7）を示した図である。

【図 33】従来例におけるパケット受信時の各メモリ内容（その8）を示した図である。 20

【図 34】従来例におけるパケット送信シーケンス（その1）をLIUカード中に示した図である。

【図 35】パケットの送信帯域制御を説明するための図である。

【図 36】従来例におけるパケット送信時の各メモリ内容（その1）を示した図である。

【図 37】従来例におけるパケット送信時の各メモリ内容（その2）を示した図である。

【図 38】従来例におけるパケット送信時の各メモリ内容（その3）を示した図である。

【図 39】従来例におけるパケット送信時の各メモリ内容（その4）を示した図である。

【図 40】従来例におけるパケット送信時の各メモリ内容（その5）を示した図である。

【図 41】従来例におけるパケット送信時の各メモリ内容（その6）を示した図である。

【符号の説明】 30

【0117】

1 パケット伝送装置

2 LIU（ライン・インタフェース・ユニット）カード

3 スイッチカード

11 書込制御部

12 パケットバッファ

13 読出制御部

14 アドレス管理部

15 スケジューラ部

17 出力部 40

20 読出アドレス格納部

140 アドレス制御部

143 先頭アドレス管理メモリ

144 末尾アドレス管理メモリ

145 空きアドレス・アドレスチェーン共用管理メモリ

171 分離部（Dmux）

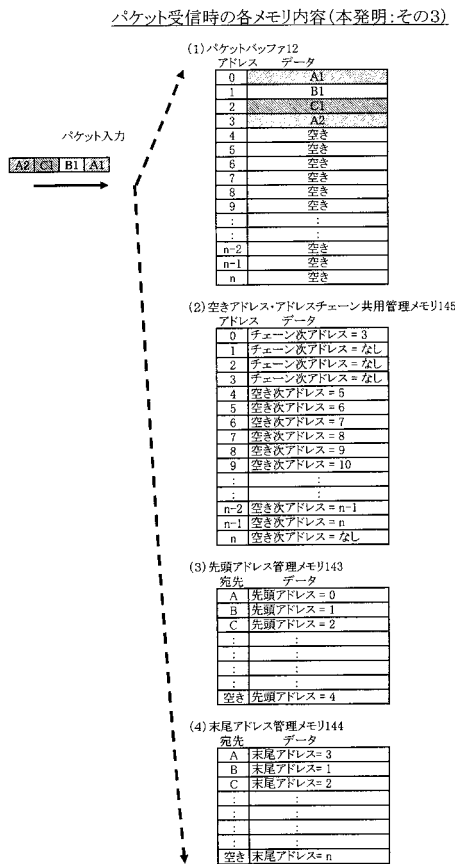
172 物理ポート（P#0～P#n）

201 宛先識別部

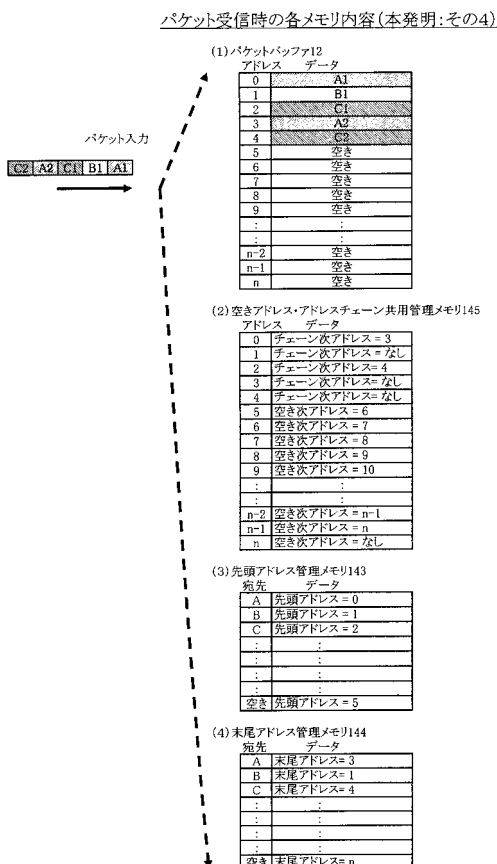
202 アドレスFIFO

203 調停部 50

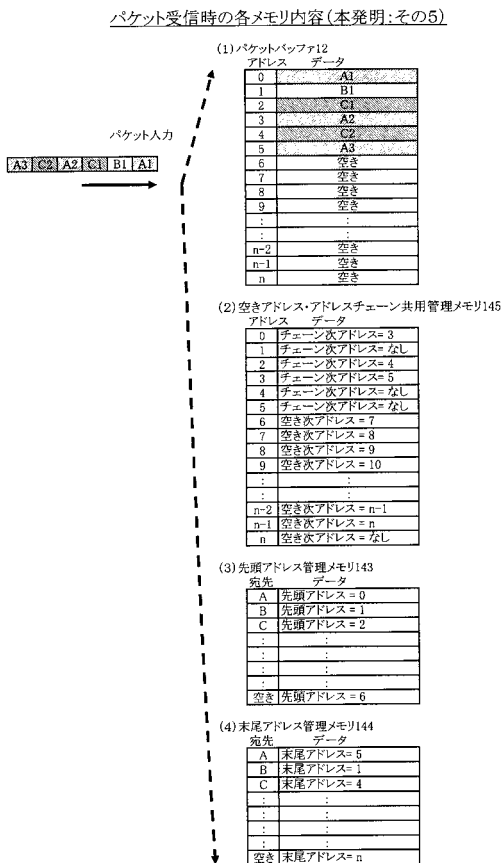
【図7】



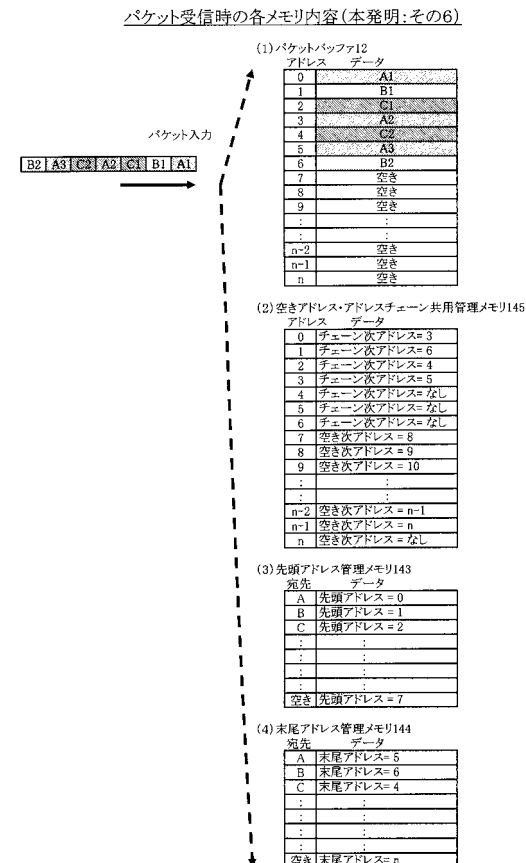
【図8】



【図9】

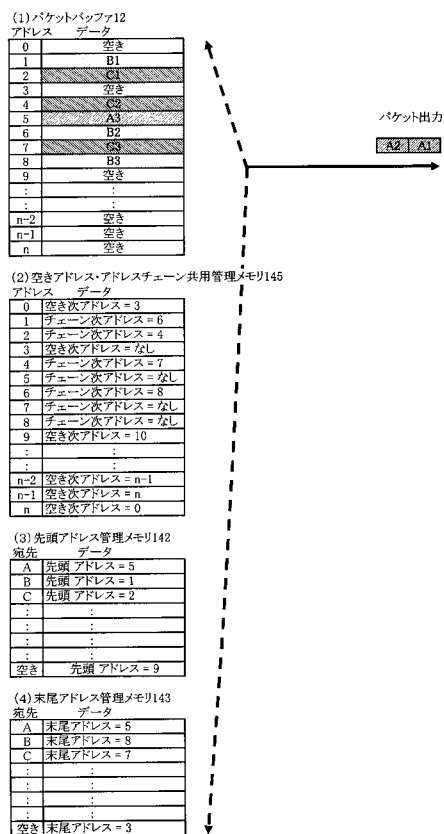


【図10】



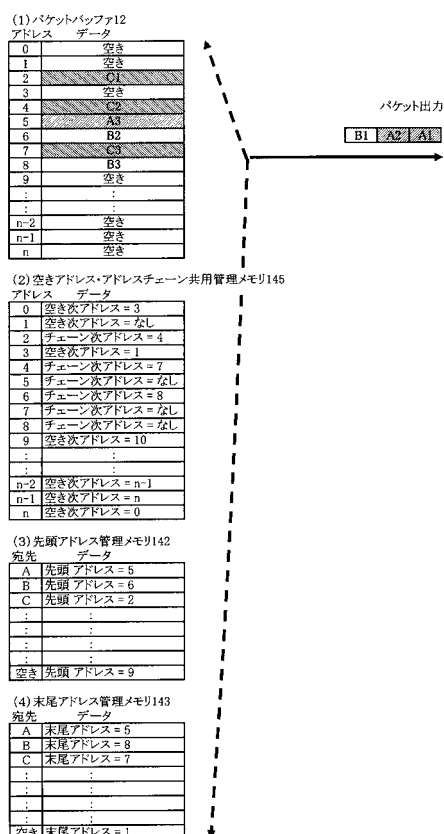
【 図 1 5 】

パケット送信時の各メモリ内容(本発明:その2)



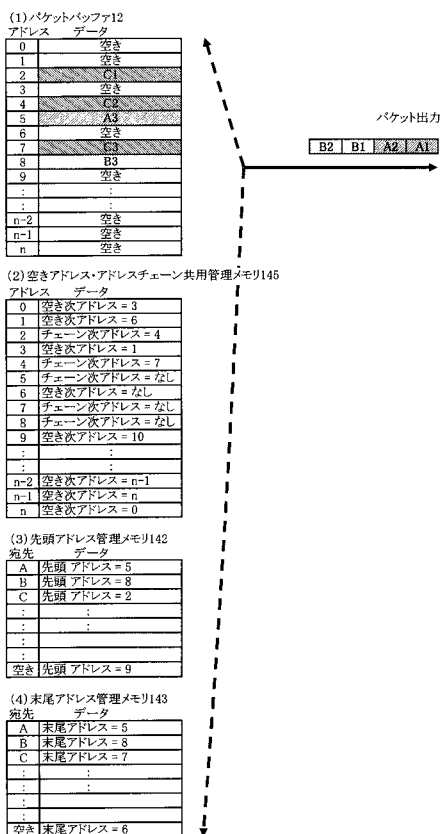
【 図 1 6 】

パケット送信時の各メモリ内容(本発明:その3)



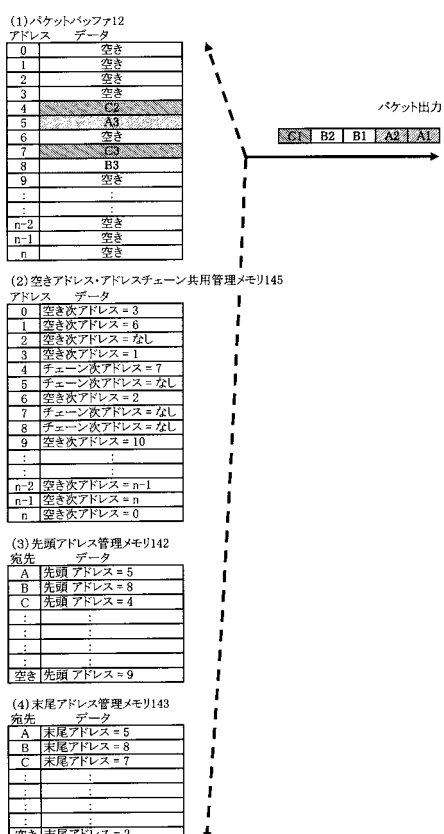
【 図 1 7 】

パケット送信時の各メモリ内容(本発明:その4)



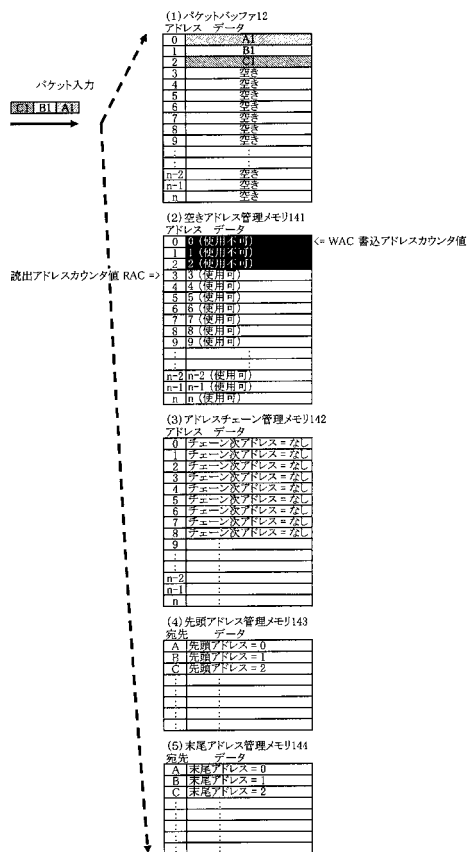
【 図 1 8 】

パケット送信時の各メモリ内容(本発明:その5)



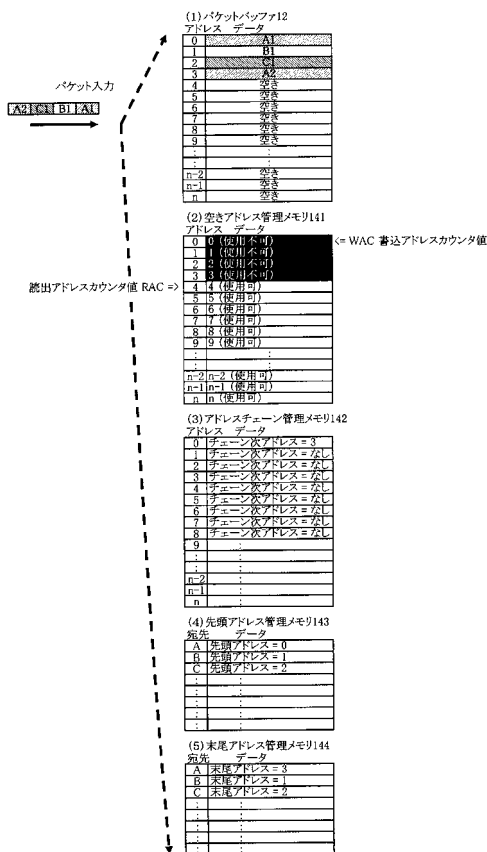
【図 27】

パケット受信時の各メモリ内容(従来例:その2)



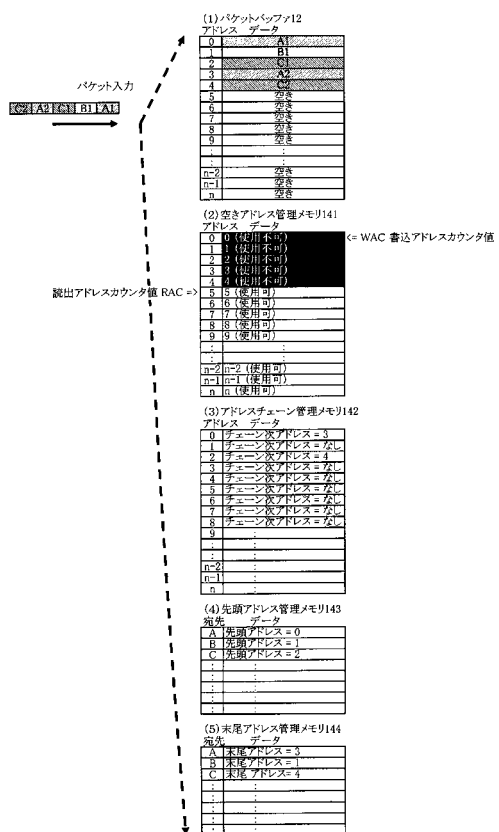
【図 28】

パケット受信時の各メモリ内容(従来例:その3)



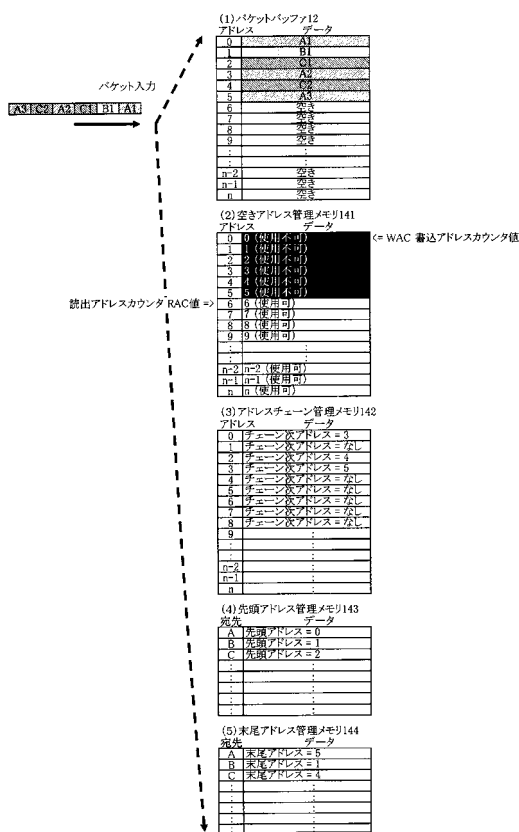
【図 29】

パケット受信時の各メモリ内容(従来例:その4)

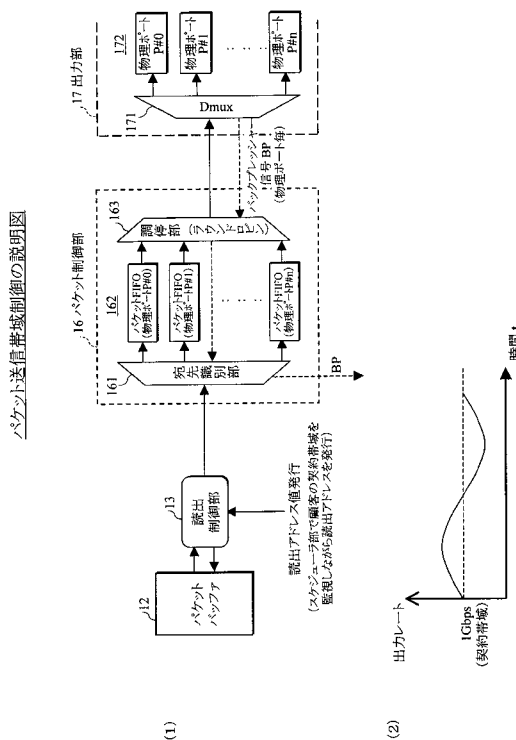


【図 30】

パケット受信時の各メモリ内容(従来例:その5)

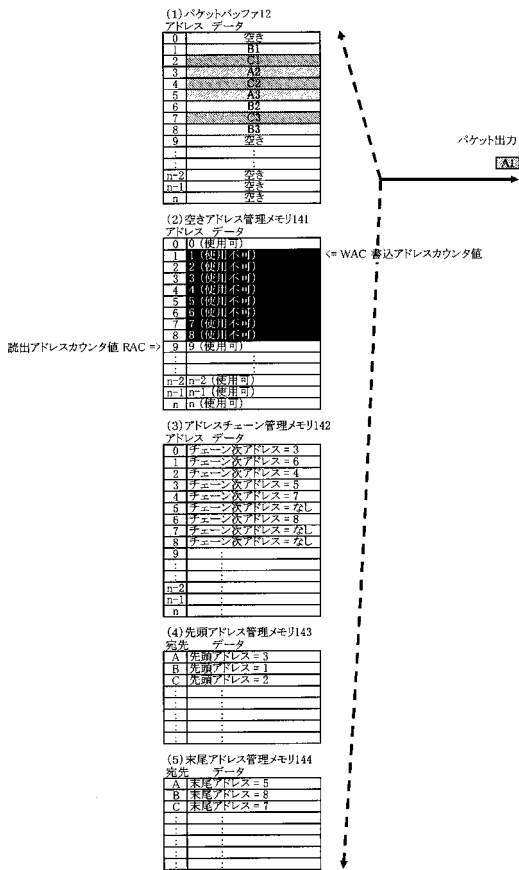


【図 35】



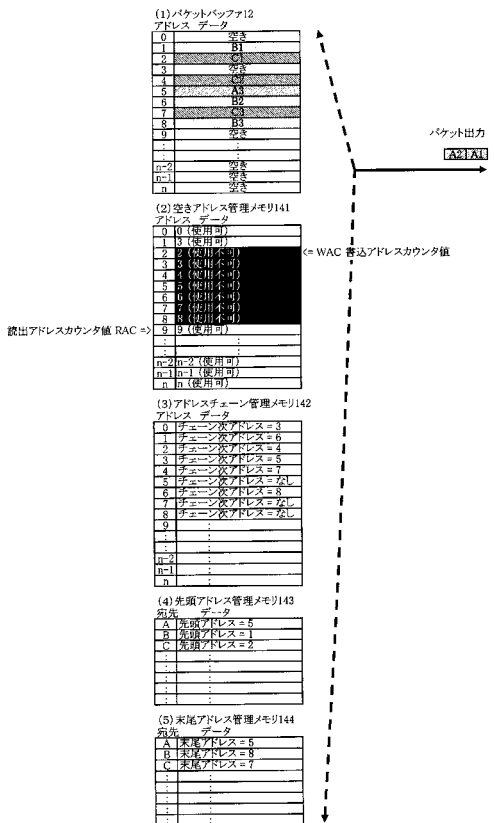
【図 36】

パケット送信時の各メモリ内容 (従来例: その1)



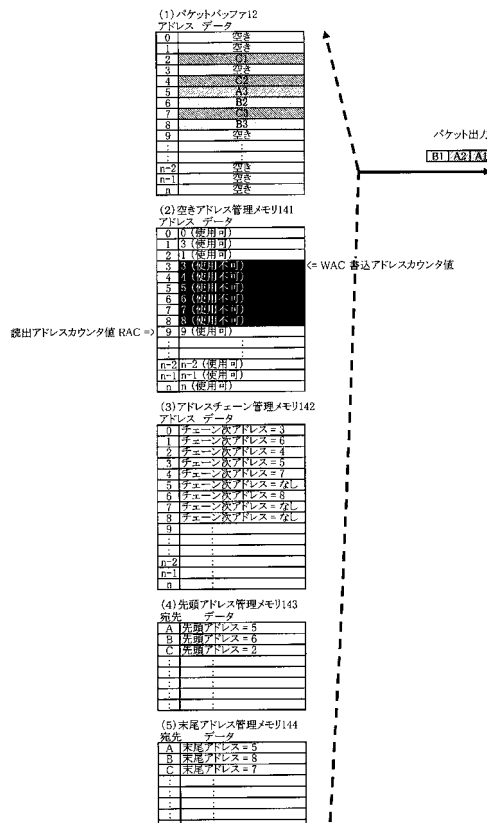
【図 37】

パケット送信時の各メモリ内容 (従来例: その2)



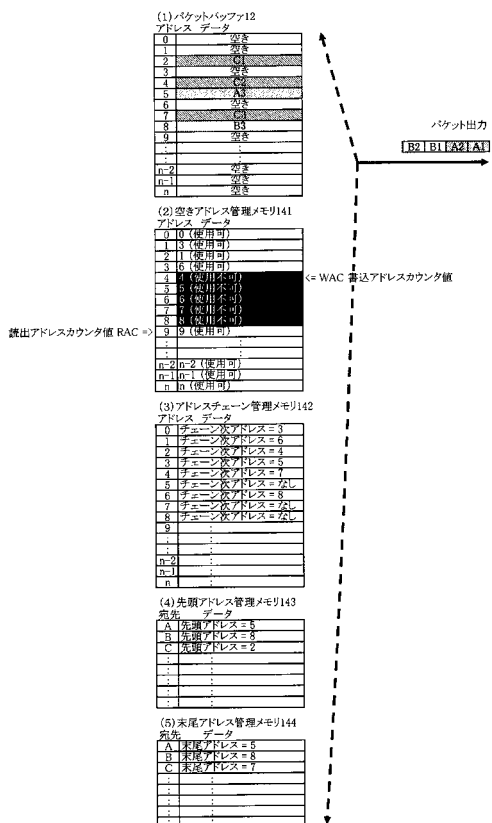
【図 38】

パケット送信時の各メモリ内容 (従来例: その3)



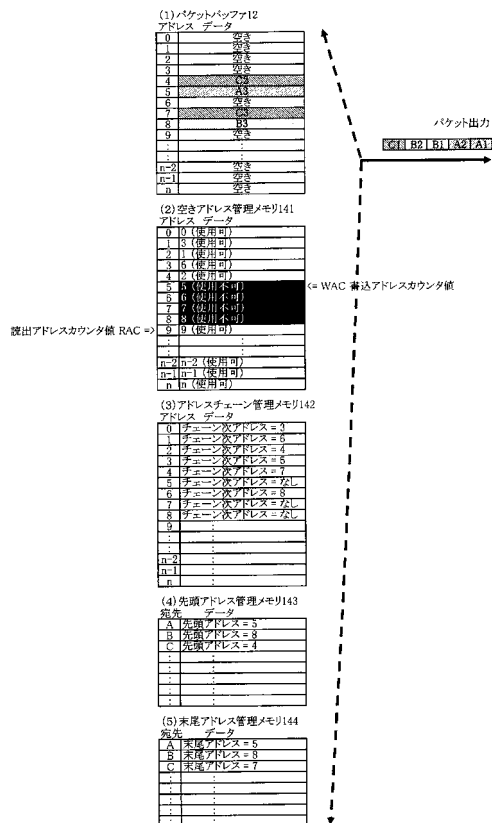
【図39】

パケット送信時の各メモリ内容(従来例:その4)



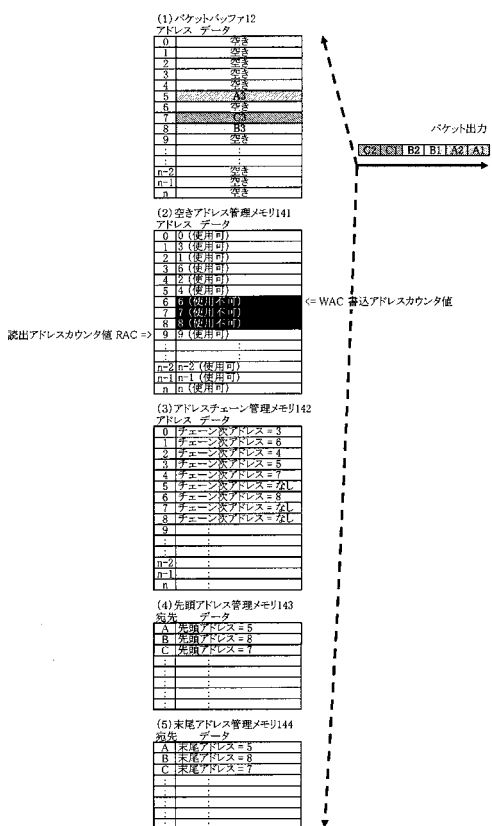
【図40】

パケット送信時の各メモリ内容(従来例:その5)



【図41】

パケット送信時の各メモリ内容(従来例:その6)



フロントページの続き

- (72)発明者 小川 雅之
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
- (72)発明者 裏野 博司
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 衣嶋 文彦

- (56)参考文献 特開平06-164641(JP,A)
特開平07-321823(JP,A)
特開平11-122257(JP,A)
特開2002-281080(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H04L 12/56