



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97197232. X

[45] 授权公告日 2004 年 5 月 5 日

[11] 授权公告号 CN 1148789C

[22] 申请日 1997. 1. 23 [21] 申请号 97197232. X

[30] 优先权

[32] 1996. 7. 3 [33] US [31] 08/675,093

[32] 1996. 7. 3 [33] US [31] 08/675,559

[32] 1996. 11. 1 [33] US [31] 08/742,861

[86] 国际申请 PCT/US1997/001002 1997. 1. 23

[87] 国际公布 WO98/000859 英 1998. 1. 8

[85] 进入国家阶段日期 1999. 2. 11

[71] 专利权人 泰格尔公司

地址 美国加利福尼亚州

[72] 发明人 斯蒂芬·P·德奥尼拉斯

艾尔弗德·科弗 帕里托什·雷乔拉

审查员 张莉_1

[74] 专利代理机构 北京市柳沈律师事务所

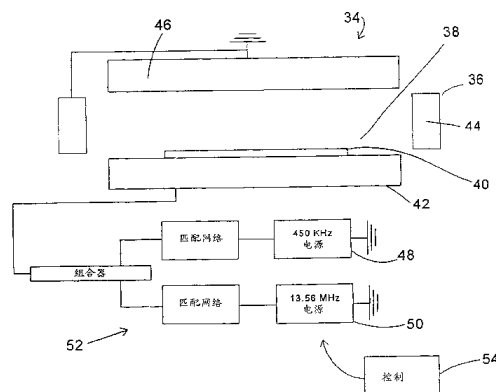
代理人 黄 敏

权利要求书 5 页 说明书 8 页 附图 10 页

[54] 发明名称 腐蚀半导体晶片的方法和装置

[57] 摘要

一种使用物理腐蚀和化学腐蚀工艺两步骤的腐蚀半导体晶片(40)以便产生高密度 DRAM 和 FRAM 要求的垂直侧壁(20)的方法和装置(6)。



1. 一种腐蚀晶片的方法，包括步骤：

物理地腐蚀然后化学地腐蚀该晶片上的膜，以便得到带有垂直的侧壁

5 外形的晶片结构，

其中，物理腐蚀的步骤中的压力高于化学腐蚀步骤中的压力。

2. 根据权利要求 1 的方法，包括步骤：

其中物理地腐蚀然后化学地腐蚀的所述步骤提供了最少残留物的垂直的侧壁外形。

10 3. 根据权利要求 1 的方法，其中物理地腐蚀晶片的步骤使用 10SCCM 到 50SCCM 的氩气和 2SCCM 到 50SCCM 的氯气。

4. 根据权利要求 1 的方法，其中物理地腐蚀晶片的步骤发生在 2 毫米到 10 毫米。

15 5. 根据权利要求 1 的方法，其中物理地腐蚀的所述步骤发生在晶片设置在靠近电极的室内，电极提供有 450KHz 和 13.56MHZ 的功率。

6. 根据权利要求 1 的方法，其中物理地腐蚀的所述步骤发生在晶片设置在靠近电极的室内，电极提供有或 500KHz 以下的第一电源和一个 MHz 或以上的第二电源。

20 7. 根据权利要求 1 的方法，其中物理地腐蚀的所述步骤发生在晶片设置在靠近电极的室内，电极提供有在千赫范围内工作的第一电源和在兆赫范围内工作的第二电源。

8. 根据权利要求 7 的方法，其中所述第一电源提供了在 50 瓦到 200 瓦的范围内的功率，所述第二电源提供了在 500 瓦到 1100 瓦的范围内的功率。

25 9. 根据权利要求 7 的方法，其中所述电极是下电极，所述方法在同样有与下电极的边缘靠近设置的侧面外围电极，和在上电极上面并隔开的上电极，其中所述侧面外围电极为电接地或电浮置中的一个，所述上电极为电接地或电浮置中的一个的室中进行。

30 10. 根据权利要求 1 的方法，其中所述物理的腐蚀步骤在 80℃ 下进行。

11. 根据权利要求 1 的方法，其中所述物理的腐蚀步骤在终点检测时

间的三分之二和终点检测时间之间进行。

12. 根据权利要求 3 的方法, 其中腐蚀晶片的步骤使用零 SCCM 到 50SCCM 的氩气和 5SCCM 到 100SCCM 范围内的氯气。

13. 根据权利要求 4 的方法, 其中化学地腐蚀晶片的步骤发生在 2 毫
5 毛到 10 毫毛。

14. 根据权利要求 7 的方法, 其中发生化学腐蚀的步骤的电极由工作在千赫范围内的第一电源提供从没有功率到 50 瓦的功率和工作在兆赫范围内的第二电源的功率。

15. 根据权利要求 14 的方法, 其中化学腐蚀步骤期间, 第二电源提供
10 有从 500 瓦到 1100 瓦范围内的功率。

16. 根据权利要求 7 的方法, 其中化学腐蚀步骤期间关断在千赫范围内工作的第一电源以便减少来自物理腐蚀的影响。

17. 根据权利要求 1 的方法, 其中对于 1000 埃厚的铂层, 物理腐蚀步骤需要 70 秒, 化学腐蚀步骤需要 60 秒到 120 秒, 对于 2000 埃厚的铂层,
15 物理腐蚀步骤需要 150 秒, 化学腐蚀步骤需要 60 秒到 120 秒。

18. 根据权利要求 1 的方法, 其中对于金属层, 物理腐蚀和化学腐蚀使用(1)氩气和氯气、(2)氩气、氯气和溴化氢(HBr)、或(3)氩气、氯气和羰基
20 气体、(4)以上任何化学物质和氧气(O₂)、(5)SF₆ 自己或与以上任何化学物质、(6)NF₃ 自己或与以上任何化学物质、(7)碳氟化合物(C_xF_y)自己或其它化学物质中的一个。

19. 根据权利要求 1 的方法, 其中对于介质层, 物理腐蚀和化学腐蚀使用(1)氩气和 CF₄、(2)氩气、CF₄ 和氯气、(3)氩气、CHF₃ 和氯气、(4)以上
25 任何组合与溴化氢(HBr)、(5)SF₆ 自己或与以上任何化学物质、(6)NF₃ 自己或与以上任何化学物质、(7)碳氟化合物(C_xF_y)自己或其它化学物质的化学物质和(8)氩气和氯气中的一个。

20. 根据权利要求 1 的方法, 其中在物理腐蚀期间提供电极的有在千赫范围内的第一电源和兆赫范围内的第二电源, 在化学腐蚀期间提供有在兆赫范围内的电源。

21. 一种腐蚀晶片的方法, 包括步骤:
30 使用离子研磨在晶片的结构上产生遮盖物; 以及
用化学腐蚀除去遮盖物。

22. 根据权利要求 23 的方法, 包括在铂、铌、二氧化铌、锆钛酸铅、钽、二氧化钽、钛酸锶钡、钛酸锶钽中至少一个材料上进行产生和除去的步骤。

23. 根据权利要求 23 的方法, 包括在高介质材料上进行产生和除去的
5 步骤。

24. 根据权利要求 23 的方法, 包括在介电常数超过 200 的材料上进行产生的步骤和除去步骤。

25. 一种腐蚀晶片的方法, 包括步骤:
在晶片的结构和侧壁遮盖物上产生垂直的侧壁外形; 以及
10 除去遮盖物同时留下垂直的侧壁外形。

26. 根据权利要求 27 的方法, 其中所述步骤是产生等于和大于 70° 的垂直的侧壁外形。

27. 根据权利要求 27 的方法, 其中
以物理腐蚀为主完成所述产生步骤; 以及
15 以化学腐蚀为主完成所述除去步骤。

28. 一种腐蚀晶片的方法, 包括步骤:
对晶片上的膜进行组合的物理腐蚀和化学腐蚀, 该步骤主要为物理腐
蚀步骤; 以及

随后对该膜进行组合的物理腐蚀和化学腐蚀, 随后的步骤主要为化学
20 腐蚀步骤,

其中, 主要为物理腐蚀步骤的步骤中的压力高于主要为化学腐蚀步骤的随后的步骤中的压力。

29. 在节距在 2.0 微米或以下优选小于 0.5 微米的半导体晶片上进行权
利要求 1 的方法。

25 30. 在节距在 2.0 微米或以下优选小于 0.5 微米的精细线几何图形的半
导体器件上进行权利要求 1 的方法。

31. 一种腐蚀半导体晶片的装置, 包括:
腐蚀室;
第一电极;
30 在千赫范围内工作的第一电源, 可选择地连接到第一电极;
在兆赫范围内工作的第二电源, 可选择地连接到第一电极;

与第一电极隔开的第二电极;

所述晶片紧邻第一电极放置; 以及

5 控制器, 在物理腐蚀操作期间, 选择性地使第一和第二电源向第一电极提供电源, 在随后的化学腐蚀操作期间, 选择性地使在兆赫范围内工作的第二电源向第一电极提供电源, 同时降低了来自千赫范围内工作的第一电源的功率输出。

32. 根据权利要求 33 的装置, 其中所述第二电极为接地或允许电浮置中的一个。

33. 根据权利要求 32 的装置, 包括:

10 位于第一和第二电极之间第一电极的周边附近的侧面外围电极; 以及其中所述侧面外围电极为接地或电漂浮置中的一个。

34. 根据权利要求 3 的方法, 其中物理腐蚀晶片的步骤使用优选 20SCCM 的氩气和 5SCCM 到 10SCCM 范围内的氯气。

15 35. 根据权利要求 3 的方法, 其中物理腐蚀晶片的步骤优选在 5 毫毛发生。

36. 根据权利要求 8 的方法, 其中第一电源优选提供在 100 瓦到 200 瓦范围内的功率, 第二电源提供在 500 瓦到 700 瓦范围内的功率。

37. 根据权利要求 1 的方法, 其中化学腐蚀晶片的步骤使用在零 SCCM 到 50SCCM 的氩气和 5SCCM 到 100SCCM 范围内的氯气。

20 38. 根据权利要求 3 的方法, 其中化学腐蚀晶片的步骤使用优选 20SCCM 的氩气和 10SCCM 到 15SCCM 范围内的氯气。

39. 根据权利要求 37 的方法, 其中化学腐蚀晶片的步骤使用优选 20SCCM 的氩气和 10SCCM 到 15SCCM 范围内的氯气。

25 40. 根据权利要求 13 的方法, 其中化学腐蚀晶片的步骤优选在 2 毫毛发生。

41. 根据权利要求 14 的方法, 其中化学腐蚀步骤发生时, 没有从工作在千赫范围内的第一电源向该电极提供功率。

42. 根据权利要求 1 的方法, 其中物理腐蚀步骤持续的时间为终点检测时间的一个百分数。

30 43. 根据权利要求 1 的方法, 其中物理腐蚀步骤持续的时间为腐蚀穿过膜所需要的时间周期的一个百分数。

44. 权利要求 1 的方法使用在(1)感性耦合的等离子体源反应器、(2)电子回旋共振反应器、和(3)高和低频率电源耦合到一个电极的三电极反应器中之一。

45. 权利要求 1 的方法使用在感性耦合和容性耦合的反应器中。

5 46. 权利要求 1 的方法使用在(1)感性耦合的等离子体源反应器和(2)容性耦合的反应器中之一。

腐蚀半导体晶片的方法和装置

5 技术领域

本发明涉及改进的等离子体腐蚀反应器装置和方法。

背景技术

在如高密度动态随机存取存储器(“DRAM”)和铁电随机存取存储器(“FRAM”)等的高密度半导体芯片的开发中使用一组新的形成膜(emerging film)非常有用。这些材料通过减少存储器衬底上各结构(feature)的尺寸提供更高容量的器件。因此, 需要增强的外形控制技术。

过去, 已使用了大量的技术来得到需要的半导体结构壁外形。一个技术是被归为物理腐蚀方法的离子研磨。采用该技术, 离子研磨束用于物理地溅射掉不需要的半导体器件层的那些部分, 在半导体器件上留下限定不同部件和导电条的需要的结构。虽然这种技术已产生了需要的外形, 但使用离子研磨技术的缺点是过程较慢, 并且这种技术往往会从需要的结构向上形成遮盖物(veil)或围墙(fence)。

光刻胶材料保护并限定由离子研磨技术产生的需要的结构。一旦光刻胶材料被剥离掉, 那么遮盖物或围墙将变为不需要并且很难除去的结构。

20 化学腐蚀是另一技术, 能除去光刻胶材料未保护的那部分半导体晶片层。这些方法虽然提供了比例如离子研磨更快的腐蚀, 但这些方法不需要具有由离子研磨提供的相同的外形控制。

因此, 需要提供一种腐蚀工艺和装置, 能快速并准确地处理在最先进的半导体产品中使用的最新出现的膜。

25 发明概述

本发明包括设计用于处理存在特有腐蚀问题的最新出现的膜的方法和装置。这种新膜包括当前在高密度 DRAM 器件的开发中使用的例如铂和钛酸锶钽(BST), 和当前在非易失性 FRAM 器件的开发中使用的铂和锆钛酸铅(PZT)或钛酸锶钽(Y-1)。在这些新膜中, BST、PZT 和 Y-1 具有例如允许开发较高的电路密度、细线几何图形需要的高介电常数。随着结构密度的增加, 需要更精确的垂直外形。

本发明涉及进行关键性的腐蚀，产生各向异性的外形(即，直的，垂直的侧壁)，具有高度选择性并对下层或其它晶片材料造成最小的损伤，并能在非均匀的区域上均匀地进行。

因此，本发明提供一种装置和方法，允许物理腐蚀然后化学腐蚀晶片，
5 以便得到具有非常有用的垂直侧壁外形的晶片结构，其中物理腐蚀步骤中的压力高于化学腐蚀步骤中的压力。本发明提供一种能在连续区域上进行的方法和装置，首先侧重如借助离子研磨的物理腐蚀，然后侧重化学腐蚀，其中侧重物理腐蚀的步骤中的压力高于侧重化学腐蚀步骤中的压力。

这种技术特有的不直观之处在于工艺的离子研磨部分产生需要的垂直
10 外形，但附加地产生不希望的遮盖物。然而，有利的是，本发明提供一种在连续区域内进行化学腐蚀，化学腐蚀能满意地除去遮盖物。因此，此后，这种半导体晶片可以用如以上 U.S.专利申请 No.08/438,261 中出现的独一的漂洗-剥离-漂洗方法等的其它方法进行，以得到需要的结构、构形、密度和外形。由此，进行化学腐蚀工艺之后，漂洗晶片以便在剥离或灰化步骤中
15 剥离掉光刻胶材料之前除去任何可溶的残留物，随后进行半导体晶片的后剥离漂洗以除去残留物。

本方法在具有与放置半导体晶片之处相邻的电极的室中进行。电极提供有在兆赫范围内工作的第一电源和在千赫范围内工作的第二电源。在本方法的第一部分期间，两个电源都工作以增强离子研磨技术。在化学腐蚀
20 为本方法的第二部分期间，工作在千赫范围内的第二电源关闭，极大地降低了离子研磨的影响。

在本发明的另一特征中，使用了三电极室，其中下电极放置在靠近晶片处，并如上所述用两个电源供电。侧面外围电极接地或不浮置，与晶片间隔放置并固定其上的上电极接地或允许不浮动。

25 本发明的其它特征、目的和优点可以通过研究说明书、权利要求书和附图中得到。

附图说明

图 1 是使用离子研磨技术的半导体晶片结构的显微图，示出在原位的遮盖物或围墙与光刻胶。

30 图 2 是另一半导体结构的显微照片，详细地示出了离子研磨工艺并且除去光刻胶之后仍保留的遮盖物或围墙。

图 3 是如图 2 中发现的光刻胶仍在原位的结构的示意性表示。

图 4 是典型的化学腐蚀操作之后包括光刻胶的半导体结构的显微照片。

图 5 是如图 4 中发现的光刻胶仍在原位的结构示意性表示。

图 6 是本发明腐蚀装置实施例的示意性表示。

5 图 7 是已进行了本发明创造性的物理和化学腐蚀步骤之后半导体芯片结构的显微照片。

图 8 是进行灰化或剥离步骤以便除去光刻胶材料和残留物之后图 7 结构的显微照片。

图 9 为进行漂洗步骤以便限定出具有适当垂直外形的最终需要的结构
10 之后图 8 的半导体结构的显微照片。

图 10 是图 7 示出的光刻胶仍在原位的半导体结构的示意性表示。

图 11 是与用于化学腐蚀工艺的氯气流速相比，残留的遮盖物高度的示意性曲线。

图 12 示出了与提供电源的 RF 频率相比离子能量和离子密度的曲线。

15 图 13 是晶片处理装置的俯视平面图。

最佳实施例说明

如上所述，对于具有细线几何图形带致密结构形貌的新的形成 (emerging) 高密度 DRAM 和 FRAM 改进的外形很重要。通过节距可以测量结构的密度，节距定义为结构的宽度和结构之间空间间隔宽度之和。一般
20 来说，高密度结构具有约 2.0 微米以下，优选约 0.5 微米以下的节距。使用本发明可以制成具有这种节距的结构，也可以使用高介质的新出现的膜，例如锆钛酸铅(PZT)、钛酸锶钡(BST)和钛酸锶钽(Y-1)，介质膜的介电常数在 200 以上的范围内，一般在 200 和 1,400 之间。

这种高密度、形成的半导体结构使用如铂(Pt)、铱(Ir)、二氧化铱(IrO₂)、
25 锆钛酸铅(PZT)、钌(Ru)、二氧化钌(RuO₂)、钛酸锶钡(BST)、钛酸锶钽(Y-1)和其它新出现的膜等的材料。对于高密度结构，电极可以包括例如 PZT(介电常数约 1,400)或 BST 或 Y-1 溅射其间的铂，以便产生要求的高电容值。要在较小的空间最大程度地产生这种高电容结构，该结构具有在 70°到 85°范围的外形很重要，优选尽可能地接近法线的外形，并且在侧壁上没有残
30 留物很重要。

参考图 1、2 和 3，图示出了半导体晶片的结构的显微照片和示意图，

说明垂直侧壁具有沿其向上延伸的侧壁遮盖物或围墙。通过腐蚀工艺以溅射为主的离子研磨工艺产生这些遮盖物 20(图 3)。溅射到光刻胶 22 未保护的区域的材料淀积为所述遮盖物 20。从图 3 中可以看出, 这些遮盖物 20 往往覆盖了光刻胶材料 22。当光刻胶材料被剥离掉时, 留下的遮盖物如图 2 所示。这些遮盖物由来自图 3 所示已淀积在钛 26 层上的铂层 24 的铂组成。这些遮盖物为溅射的铂的重新淀积, 可以包括如二氧化硅、碳、卤族元素等的其它材料, 以及与腐蚀工艺有关的其它材料。这些遮盖物也可以包括来自包含半导体晶片中的其它膜和层的材料, 例如仅举例来说有 Ir、IrO₂、PZT、Ru、RuO₂、BST 和 Y-1。应该明白对于节距小于 0.5 微米的小节距图形, 由离子研磨引起的遮盖物最普遍, 由此以上工艺对于形成高密度 DRAM 和 FRAM 器件最有用。这种操作的优点是产生的侧壁竖立在 70°到 85°的范围内并且更高。

图 4 和 5 示出了通过化学腐蚀工艺产生的半导体结构的外形。从图 5 中可以看出, 铂结构 30 的侧壁 28 有较差的外形, 不适合于以上提到的先进的半导体器件要求的致密图形。化学腐蚀产生 40°到 50°的侧壁外形。在图 4 和 5 中, 光刻胶材料 32 在铂层 30 上, 层还没有被剥离掉。

本发明提供一种连续的腐蚀操作, 使用物理腐蚀(离子研磨)和化学腐蚀的优点, 以便产生具有如图 10 所示外形的半导体结构。本发明包括如图 6 所示的腐蚀装置(三电极反应器)34。腐蚀装置 34 包括外壳 36 和腐蚀室 38。晶片 40 定位在下电极 42 上。室 38 还包括侧面外围电极 44 和上电极 46。在优选实施例中, 侧面外围电极 44 可以接地或由于室 38 内等离子体增长的结果产生浮动电位。上电极 46 通常接地。在通常的操作中, 侧面外围电极 44 和上电极 46 都接地如图 6 所示。

优选两个电源, 第一电源 48 和第二电源 50 通过包括匹配网络和组合器的适当电路 52 连接到下电极 42。此外控制器 54 控制第一和第二 AC 电源 48,50 的顺序。通常, 第一电源工作在千赫范围内, 优选提供在约 450KHz, 通常在小于 500KHz 的范围内。第二电源工作在兆赫范围内, 通常在约 13.56MHZ, 当然本发明可以使用超过 1MHZ 以上并且为 13.56MHZ 倍数的其它频率。从图 12 中可以看出, 离子能量向千赫的范围增加, 同时离子密度向兆赫的范围增加。该特性在以下介绍的本发明的操作中很重要。

如上所述, 本发明提供了一种连续区的腐蚀, 从占主导的物理腐蚀(离子研磨)开始然后继续进行占主导的化学腐蚀。由于工艺的第一部分需要物理腐蚀, 并且物理腐蚀最终产生如图 3 所示的侧壁遮盖物, 这种工序很自然是非直观。一旦在工艺的某个范围或终点测量出物理腐蚀的第一步骤已完成, 那么工艺转换为通过引入不同功率输入的气体状态进行化学腐蚀的第二个步骤。第二个步骤对腐蚀掉遮盖物很有效, 同时保持侧壁外形, 以便产生如图 7 和 10 所示的半导体结构。在图 10 中, 铂层 70 具有基本上垂直的侧壁, 铂层 70 和光刻胶层 72 基本上没有与之毗连的遮盖物。优选化学腐蚀操作之后, 在光刻胶剥离操作之前漂洗半导体晶片, 以便在光刻胶剥离或灰化操作之前清洗掉如可溶于水的氯化物等的水溶性的化合物。光刻胶剥离操作之后, 进行剥离后溶剂漂洗操作。这些步骤显示在图 7、8 和 9 中, 将在下面讨论。这些步骤也在以上参考的专利申请中讨论过, 该专利申请的题目为集成的半导体晶片处理系统, 致力于专利的漂洗-剥离-漂洗操作, 在这里引入作为参考。

应该理解在优选的操作中, 在物理腐蚀的第一步骤期间, 也发生了化学腐蚀, 同样在化学腐蚀为主的第二步骤期间, 也发生了物理腐蚀或离子研磨。

通过例子, 在本发明方法的工序中, 使用氩可以完成离子研磨, 使用氯气可以完成化学腐蚀。在物理腐蚀(离子研磨)阶段的第一优选方法中, 以约 10SCCM(每分钟的标准立方米)到约 50SCCM 优选约 20SCCM, 将氩气提供到室 38(图 6), 以约 2SCCM 到约 50SCCM, 优选在约 5SCCM 到约 10SCCM 的范围内将氯气提供到室。在物理腐蚀期间在约 80 °C 的温度下室内的压力保持在约 2 到 10 毫毛优选约 5 毫毛。优选第一电源 48 在约 50 瓦到约 200 瓦的功率范围内在约 450KHz 下工作。第二电源 50 在约 500 瓦到约 1100 瓦的功率范围内在约 13.56KHz 下操作。一般来说, 物理腐蚀操作将进行约三分之二到 100%的终点的时间周期。对于 6" 到 8" 范围内的晶片铂为 1000Å 厚的铂结构的光学终点约 70 秒。对于 6" 到 8" 范围内的晶片铂为 2000Å 厚的这种结构的光学终点约 150 秒。当终点用做时间测量时, 进行试验物理腐蚀过程直到达到终点。此后, 根据在试验运行中确定的终点时间的分数得到制造周期。此外, 不必确定终点就可以得到物理腐蚀操作的时间。例如, 腐蚀穿透膜需要的时间周期可以确定, 然后该时间周期

的几分之一，例如时间周期约三分之二到约百分之百，可以用于物理腐蚀步骤。

一旦达到终点或终点的百分数，那么工艺转变为以化学腐蚀为主。在该情况中，氩气优选保持在约 20SCCM，氯气的流速优选增加到 15SCCM。

- 5 然而，对于化学腐蚀，氩气的流速从约零 SCCM 到约 50SCCM，氯气的流速从约 5SCCM 到约 100SCCM。

图 11 示出了将以埃为单位的最终的遮盖物高度与以 SCCM 为单位的氯气流速相对比的曲线图。随着氯气流速的增加，遮盖物高度降低，可以看出随着流速在或大于约 10SCCM，遮盖物基本上被浸蚀并且尺寸减小。在图 11 的曲线中，由 60 标识的线为面对开口区域的遮盖物。线 62 为结构间距约 0.8 微米的遮盖物。线 64 代表结构间距约 0.3 微米的遮盖物。

- 在化学腐蚀操作期间，压力降低到接近 2 毫毛到约 10 毫毛，优选约 2 毫毛。优选关闭在千赫范围内的第一电源 48，以便显著减小离子研磨的影响。实际上在化学腐蚀期间，第一电源工作在约 0 瓦到约 50 瓦的范围内。
- 15 从图 12 中可以看出，是千赫范围的电源通过增加离子能量驱动离子研磨操作。第二电源 30 保持在约 13.56MHZ，电源从约 500 瓦到约 1100 瓦。

在优选实施例 中，对于所述两步操作的化学腐蚀第二阶段，对于 1000 埃和 2000 埃的铂厚度都进行约 45 秒到约 120 秒的化学腐蚀工艺，以便基本上除去通过离子研磨工艺产生的遮盖物。

- 20 对于金属或导体的腐蚀，优选的化学物质包括(1)氩气和氯气、(2)氩气、氯气和溴化氢(HBr)、或(3)氩气、氯气和羰基气体、(4)以上任何化学物质和氧气(O₂)、(5)SF₆ 自己或与以上任何化学物质、(6)NF₃ 自己或与以上任何化学物质、(7)碳氟化合物(C_xF_y)自己或其它化学物质。对于腐蚀氧化物或介质，化学物质可以包括如(1)氩气和 CF₄、(2)氩气、CF₄ 和氯气、(3)氩气、CHF₃ 和氯气、(4)以上任何组合与溴化氢(HBr)、(5)SF₆ 自己或与以上任何化学物质、(6)NF₃ 自己或与以上任何化学物质、(7)碳氟化合物(C_xF_y)自己或其它化学物质以及(8)氩气和氯气等的组合物。
- 25

- 以上物理腐蚀和化学腐蚀的两步工艺的结果可以从图 7 的显微照片中看出，其中光刻胶由每个结构的中央峰标识出，一些遮盖物的残留物显示在它的每一侧。在该阶段，漂洗半导体结构以便除去任何可溶的化合物。
- 30 漂洗之后，半导体晶片暴露到剥离或灰化工艺以便除去光刻胶和与遮盖物

有关的残留物(图 8)。剥离操作优选用湿溶剂进行。溶剂浸蚀残留的遮盖物和光刻胶。剥离操作之后, 半导体晶片暴露到随后的漂洗操作产生图 9 示出的结构。

如上所述, 漂洗-剥离-漂洗操作可以通过例如图 13 所示的装置进行。

- 5 图 13 的系统包括真空负载锁定室 116、对准组件 118、两个腐蚀组件 120 和 122 以及剥离组件 124, 所有这些通过可关闭的开口连接到中央真空室 126, 通过计算机工艺控制系统(未示出)操作。负载锁定室 116 内有一个内部盒(cassette)起落机构, 用于保持晶片盒(进入盒)。真空室 126 有一个机械晶片装卸系统 138, 用于将晶片由一个室或组件转移到另一个。剥离组件
- 10 124 通过可关闭的开口 127 连接到大气压机械晶片装卸系统 132, 可关闭的开口 127 顺次连接到漂洗组件 125 和大气盒组件 134(退出盒)。通常使用的漂洗组件的一个例子为 Semitool Equinox 漂洗系统。大气压机械晶片装卸系统 132 起处理完成后保持晶片的自动盒组件 134 的作用。此外, 第二机械晶片装卸系统 132 在剥离组件 124 和漂洗组件 125 之间转移晶片。在漂洗
- 15 工艺期间, 设计漂洗组件 125 和机械晶片装卸系统 132 保持用于剥离的剥离组件 124 要求的晶片对准的程度。本发明的操作是自动的, 并通过计算机系统可以编程。

- 在操作中, 在腐蚀组件 120、122 的一个中进行腐蚀之后, 通过机械臂 132 将晶片由剥离组件 124 转移到发生第一次漂洗的漂洗组件 125。所述漂洗之后, 机械臂 132 将晶片送回到进行光刻胶剥离的剥离组件 124 中。剥离之后, 然后通过机械臂 132 将晶片送回到进行最后漂洗的漂洗组件 125 中。
- 20

应该明白本发明也可以使用硬掩模(氧化物等)以及带光刻胶的组合结构。此外除了这里指出的新出现的膜之外, 本发明可以使用大范围内的膜。

- 25 应该理解本发明可以使用以上指出的之外的反应器。仅通过例子, 本发明可以使用感应耦合的等离子体源反应器(ICP)。感应耦合的等离子体源反应器可以包括例如螺旋反应器和螺线反应器。以上的三电极反应器为容性耦合的反应器。此外, 本方法可以用在感性耦合和容性耦合的反应器中。本发明可以使用如 ECR、电子回旋共振反应器的其它反应器。

30 工业实用性

从以上可以看出, 本发明的装置和方法提供了一种包括第一物理腐蚀

步骤和第二化学腐蚀步骤的腐蚀操作,以便完成形成 DRAM 和 FRAM 要求的半导体晶片上致密图形需要的垂直外形。本发明的装置和方法允许形成垂直壁然后除去遮盖物。装置和方法能够处理最新的高密度半导体产品要求的新的新出现的膜。

- 5 通过附图和权利要求书的回顾可以得到本发明的其它特征、方案和目的。

应该明白可以开发本发明的其它实施例,并落入本发明和权利要求书的精神和范围内。

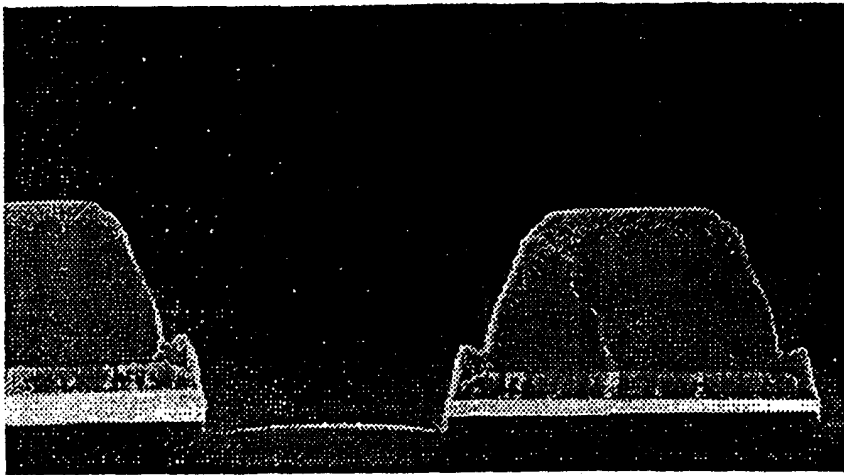


图 1

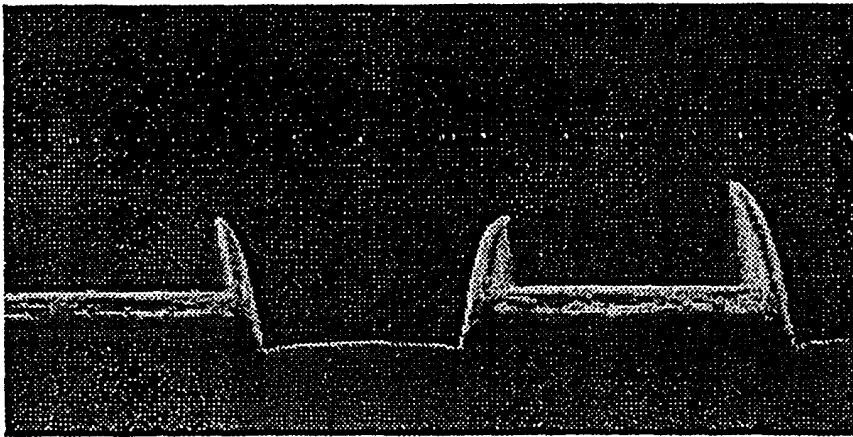


图 2

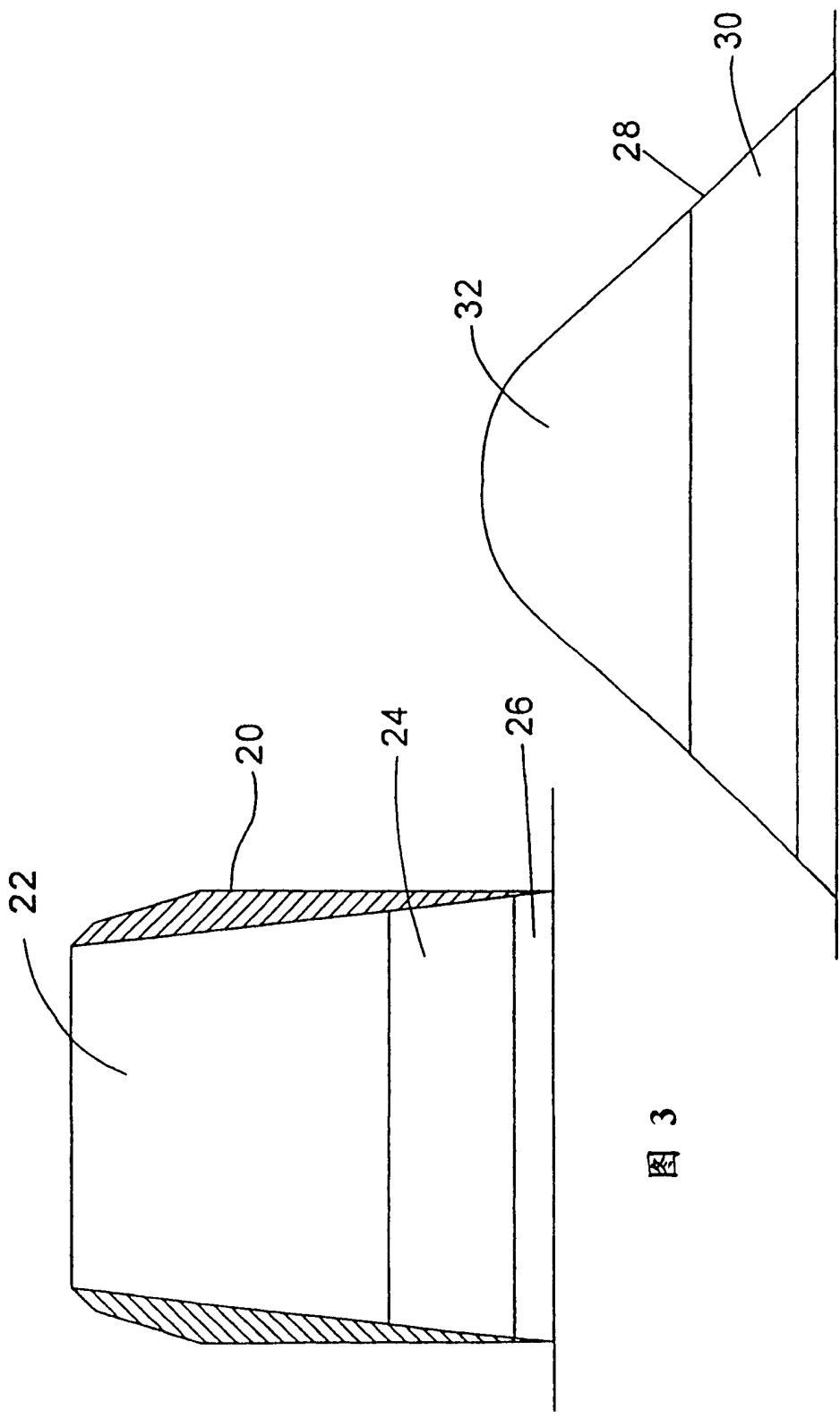


图 3

图 5

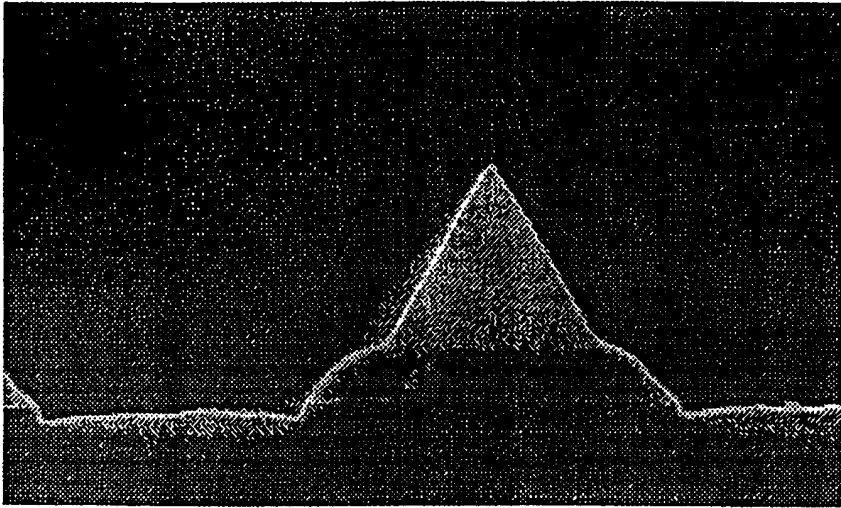


图 4

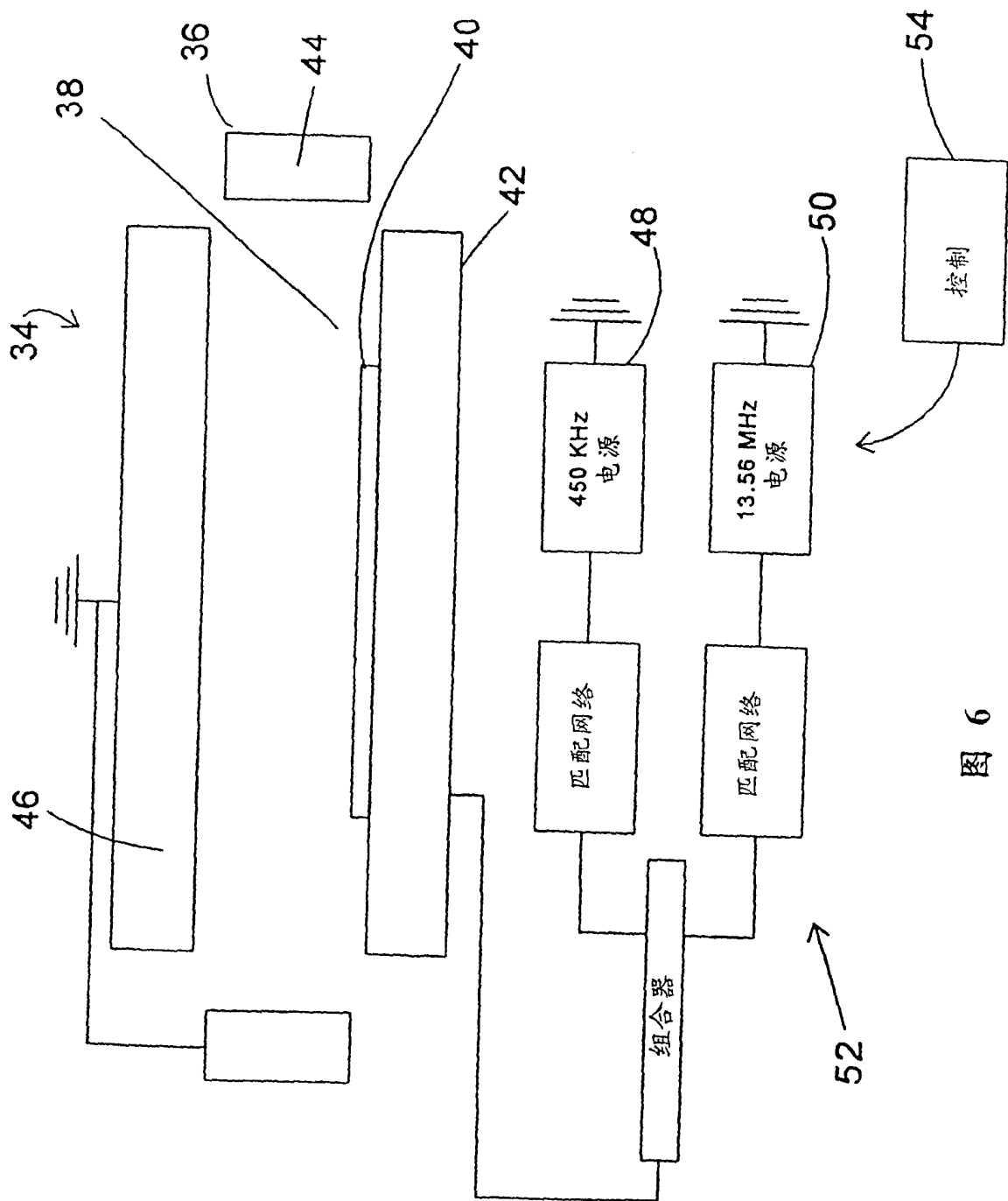


图 6

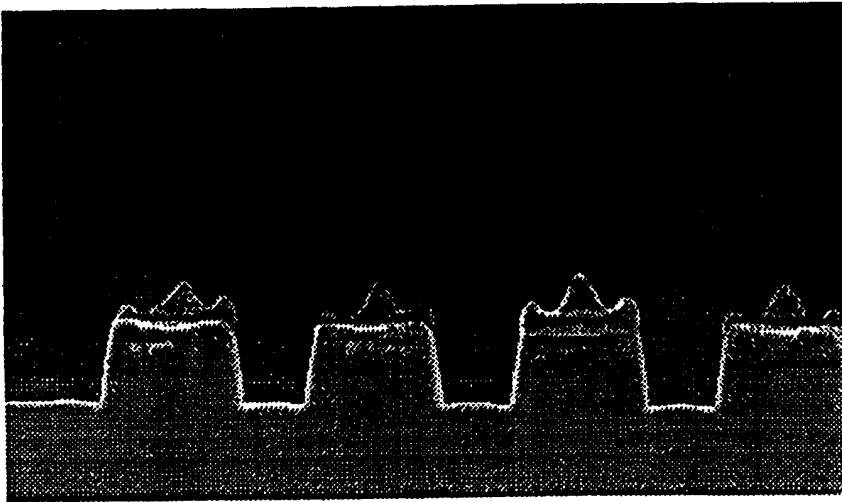


图 7



图 8

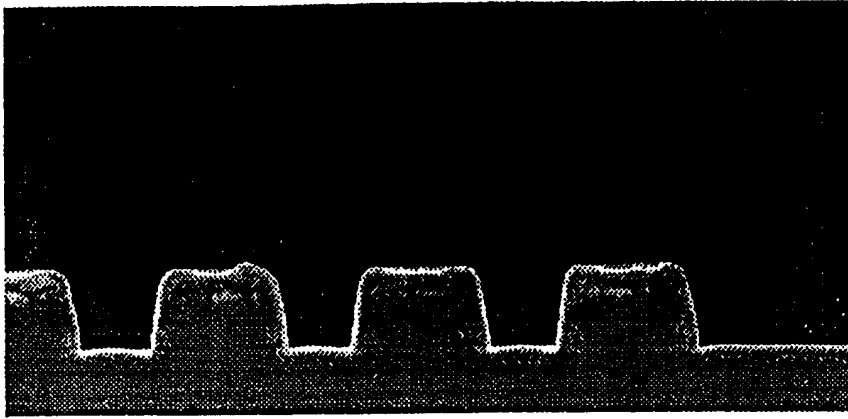


图 9

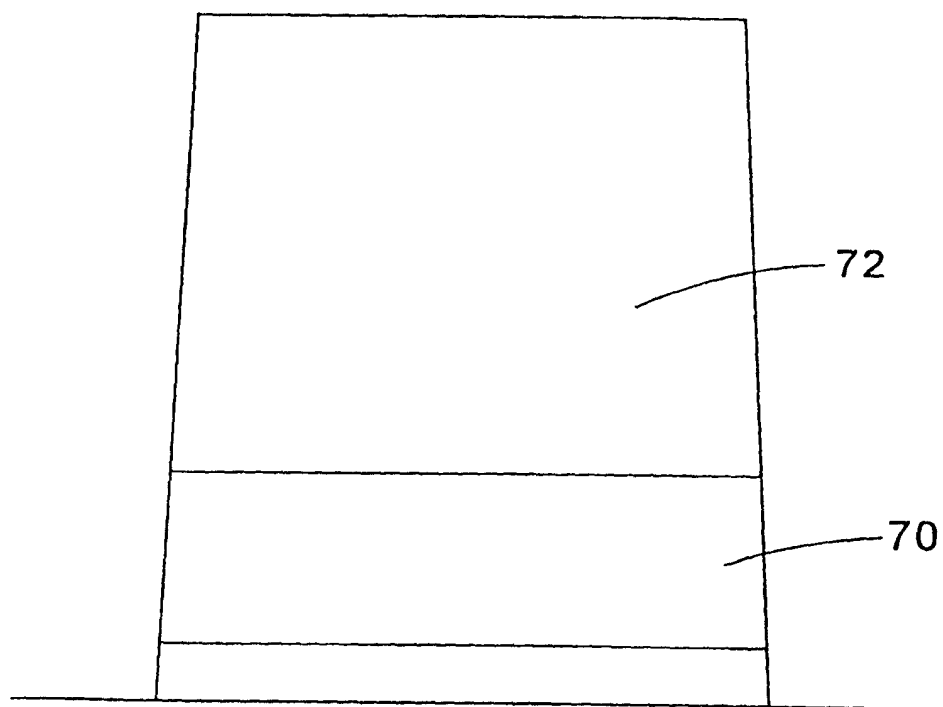


图 10

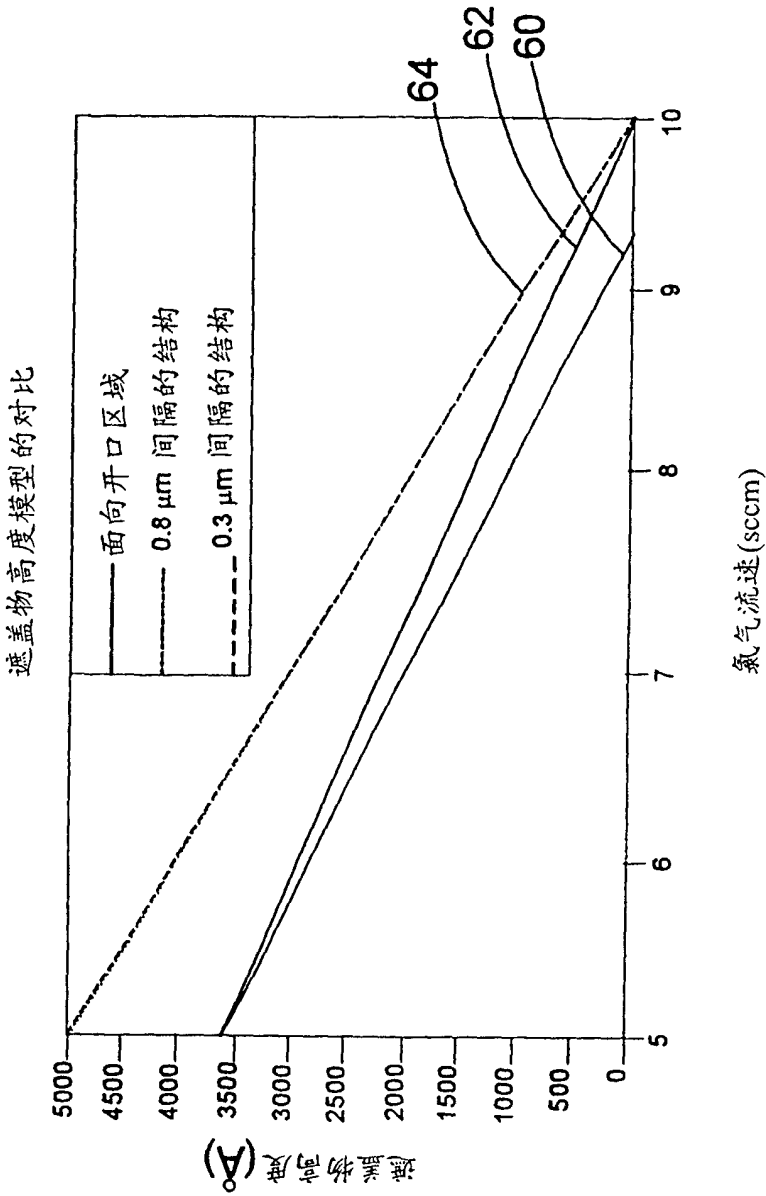


图 11

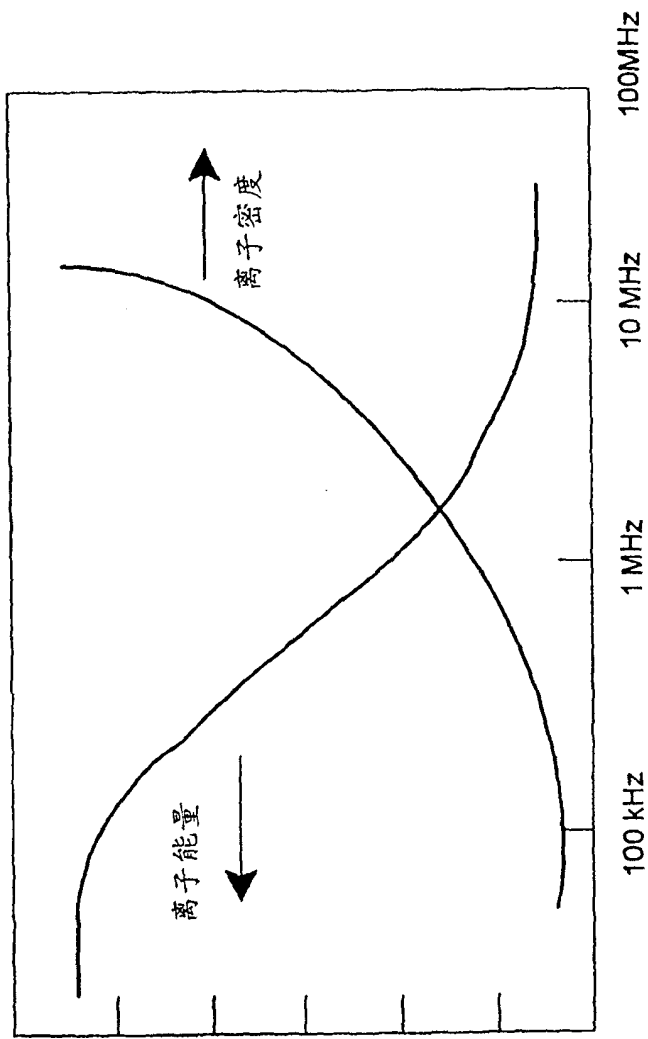


图 12

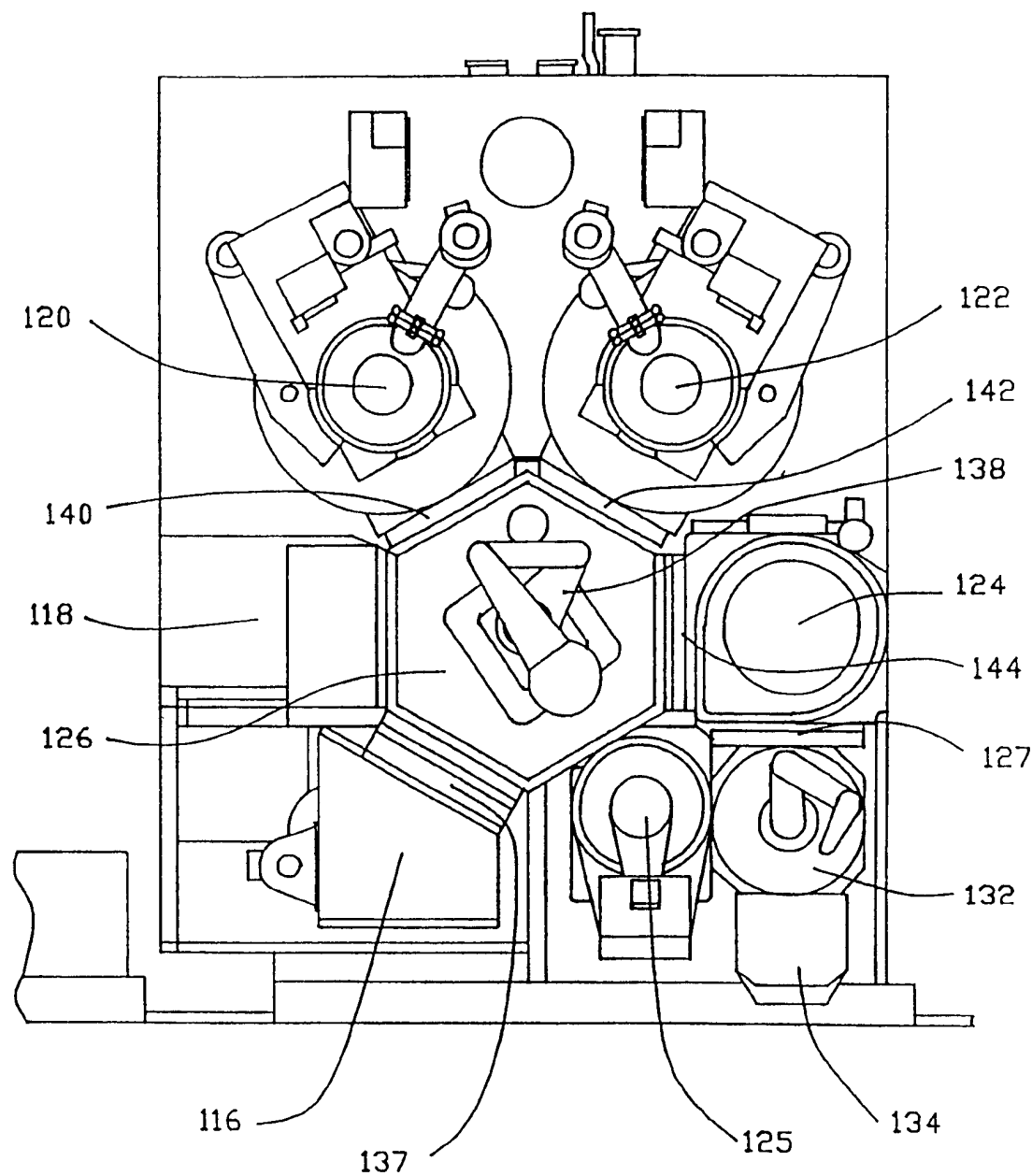


图 13