

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4490585号
(P4490585)

(45) 発行日 平成22年6月30日 (2010. 6. 30)

(24) 登録日 平成22年4月9日 (2010. 4. 9)

(51) Int.Cl.

F I

G 0 6 F 13/14 (2006.01)

G 0 6 F 13/14 3 1 0 J

G 0 6 F 13/14 3 2 0 B

請求項の数 14 (全 15 頁)

(21) 出願番号 特願2000-565469 (P2000-565469)
 (86) (22) 出願日 平成10年12月29日 (1998. 12. 29)
 (65) 公表番号 特表2002-522846 (P2002-522846A)
 (43) 公表日 平成14年7月23日 (2002. 7. 23)
 (86) 国際出願番号 PCT/US1998/027784
 (87) 国際公開番号 W02000/010094
 (87) 国際公開日 平成12年2月24日 (2000. 2. 24)
 審査請求日 平成17年11月24日 (2005. 11. 24)
 (31) 優先権主張番号 09/131, 446
 (32) 優先日 平成10年8月10日 (1998. 8. 10)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 09/131, 447
 (32) 優先日 平成10年8月10日 (1998. 8. 10)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 595168543
 マイクロン テクノロジー, インク,
 アメリカ合衆国, アイダホ州 83716
 -9632, ボイズ, サウス フェデ
 ラル ウェイ 8000
 (74) 代理人 100078282
 弁理士 山本 秀策
 (74) 代理人 100062409
 弁理士 安村 高明
 (74) 代理人 100113413
 弁理士 森下 夏樹
 (72) 発明者 クライン, ディーン エイ,
 アメリカ合衆国 アイダホ 83616,
 イーグル, パークフォレスト ウェイ
 1473

最終頁に続く

(54) 【発明の名称】 周辺ステータスについての内部レジスタを有するプロセッサまたはコア論理演算装置

(57) 【特許請求の範囲】

【請求項 1】

周辺機器についてステータス情報を維持するコンピュータシステムであって、
 該コンピュータシステムは、
 中央処理装置と、
 該中央処理装置に結合されているバスと、
 該バスに結合されている複数の周辺機器と、
 該中央処理装置と通信可能ように該中央処理装置に結合されているステータスレジスタ
 タであって、該複数の周辺機器についてのステータス情報を格納するステータスレジスタ
 と、

少なくとも1つの周辺機器と該中央処理装置との間に結合されているデージーチェーン
 式割込み構造であって、該少なくとも1つの周辺機器から割込み信号を該中央処理装置に
 送信するデージーチェーン式割込み構造と、

該バスと該ステータスレジスタとの間に結合されているアップデート回路であって、該
 複数の周辺機器から該バスを通じて受信されたステータス情報を含む信号に応答して該ス
 テータスレジスタをアップデートする機構を含むアップデート回路と

を備え、

該バスに結合されている複数の中央処理装置と、

該複数の中央処理装置のうちのそれぞれの中央処理装置と該バスとの間に結合されてい
 る複数のステータスレジスタであって、該バスに結合されている該少なくとも1つの周辺

10

20

機器についてのステータス情報を含む複数のステータスレジスタと
をさらに備える、コンピュータシステム。

【請求項 2】

コンピュータシステムのインターフェース回路内の装置であって、該装置は、該コンピュータシステム内の周辺機器のステータスの変化を示すようにステータスレジスタをアップデートし、

該装置は、

バスのアドレス線に結合されている複数のアドレス入力と、

該複数のアドレス入力内の高位ビットのセットに結合されているアドレス検出回路であって、該高位ビットのセットによって特定されるアドレスの指定された範囲内のアドレスを検出するアドレス検出回路と、

該複数のアドレス入力内の低位ビットのセットに結合されているデコーダ回路であって、該アドレスの指定された範囲内の特定のアドレスへの照会を検出するデコーダ回路とを備え、

該ステータスレジスタは、周辺機器による該アドレスの指定された範囲内の特定のアドレスへの照会が該デコーダ回路を通じて送られ、該ステータスレジスタ内の該周辺機器についてのステータス情報をアップデートするように、該デコーダ回路からの出力のセットに結合されており、該ステータスレジスタは、中央処理装置によって該ステータスレジスタが読み出され得るように、該中央処理装置に結合されている出力を含む、装置。

【請求項 3】

前記アドレス検出回路は、デコーダを含む、請求項 2 に記載の装置。

【請求項 4】

前記アドレス検出回路は、比較器を含む、請求項 2 に記載の装置。

【請求項 5】

前記インターフェース回路は、単一の半導体チップの内部に存在する、請求項 2 に記載の装置。

【請求項 6】

前記インターフェース回路は、単一の半導体チップセットの内部に存在する、請求項 2 に記載の装置。

【請求項 7】

前記バスは、プロセッサ - メモリバスを含む、請求項 2 に記載の装置。

【請求項 8】

前記バスは、周辺バスを含む、請求項 2 に記載の装置。

【請求項 9】

コンピュータシステム内の複数の周辺機器についてのステータス情報を管理する方法であって、

該方法は、

通信チャンネルを通じて、周辺機器からステータス情報を受信することと、

該周辺機器からの該ステータス情報に応答してステータスレジスタをアップデートすることであって、該ステータスレジスタは、中央処理装置と通信可能なように該中央処理装置に結合されている、ことと、

該中央処理装置で、該周辺装置から割込みを受信することと、

該割込みに応答して、該ステータスレジスタをテストして、該複数の周辺機器のうちのどの周辺機器がサービスを必要としているかを判定することと、

該サービスを必要としている周辺機器にサービスを供給することと

を包含し、

該ステータスレジスタと該コンピュータシステムの複数のキャッシュとの間のバスにおいて搬送される信号を通じて、該複数のキャッシュ間のコヒーレンシーが維持され、該バスは、該通信チャンネルと異なる、方法。

【請求項 10】

コンピュータシステム内の複数の周辺機器についてのステータス情報を管理する方法であって、

該方法は、

周辺機器から、該コンピュータシステム内のステータスレジスタに、第1のバスを通じてステータス情報を通信することであって、該ステータスレジスタは、中央処理装置と通信可能なように該中央処理装置に結合されており、該ステータス情報は、指定されたアドレスのセット内の特定のアドレスへのアクセスを含み、該アクセスされる特定のアドレスは、該複数の周辺機器のうちの特定の1つの周辺機器についての特定のステータスを表す、ことと、

該ステータスレジスタにおいて、該ステータス情報を受信することと、

10

該周辺機器のステータスを示すように該ステータスレジスタをアップデートすることと、

該周辺機器から、該中央処理装置に割込みを送信することと、

該中央処理装置において、該割込みを受信することと、

該割込みに応答して、該ステータスレジスタをテストして、該複数の周辺機器のうちのどの周辺機器がサービスを必要としているかを判定することと、

該サービスを必要としている周辺機器にサービスを供給することと

を包含する、方法。

【請求項11】

前記ステータスレジスタと前記コンピュータシステムの複数のキャッシュとの間の第2のバスにおいて搬送される信号を通じて、該複数のキャッシュ間のコヒーレンシーが維持され、該第2のバスは、前記第1のバスと異なる、請求項10に記載の方法。

20

【請求項12】

前記ステータス情報を受信することは、周辺機器からプロセッサ-メモリバスを通じてステータス情報を受信することを含む、請求項10に記載の方法。

【請求項13】

前記周辺機器のステータスを示すようにステータスレジスタをアップデートすることは、該ステータスレジスタ内のビットを修正することを含む、請求項10に記載の方法。

【請求項14】

前記周辺機器から割込みを受信することは、少なくとも1つの周辺機器と前記中央処理装置との間に結合されているデジーチェーン式割込み構造を通じて割込みを受信することを含む、請求項10に記載の方法。

30

【発明の詳細な説明】

【0001】

(背景)

(発明の分野)

本発明は、コンピュータシステム内の周辺機器、より具体的には、コア論理演算装置に位置する集中レジスタ、またはコンピュータシステムにおける周辺機器についてのステータス情報を維持する処理を有するシステムに関する。

【0002】

40

(関連技術)

コンピュータシステムは、典型的には、複数の周辺機器に結合され、典型的にはコンピュータシステムバスを介してこれらの周辺機器と通信する中央処理装置を含む。これらの周辺機器には、ディスクドライブおよびテープドライブ等のデータ格納デバイス、キーボードまたはマウス等のデータ入力デバイス、映像ディスプレイまたは音声スピーカ等のデータ出力デバイス、ネットワークインターフェースコントローラ等の通信デバイスが含まれ得る。中央処理装置と周辺機器との間でデータを転送するため、そうでない場合には周辺機器に命令し、操作するために、中央処理装置が周辺機器をしばしば監視する必要がある。この監視は、典型的には、中央処理装置による通常の処理に「割り込む」ために周辺機器が中央処理装置に送信する割込みによってトリガされる。割込み中、中央処理装置は

50

、一時的に通常の処理を停止し、「割込みサービスルーチン」として公知のコードを実行して、周辺機器が必要としているサービスを行う。割込みサービスルーチンが完了した後、中央処理装置は通常の処理を開始する。

【 0 0 0 3 】

多くのコンピュータシステムが、複数の周辺機器が同じ割込み信号をアクティブにし得る、共有の割込みアーキテクチャを用いる。一般的に用いられる共有の割込みアーキテクチャの1つは、周辺機器が1つ以上の割込み線を通じて共に「チェーンで縛られる」デージェチェーン式構造である。チェーン内の任意の周辺機器が割込み信号を発生し得、この割込み信号は、最終的に中央処理装置に達するまでチェーンを通過する。他の一般的に用いられる共有の割込みアーキテクチャにおいて、周辺機器は共通割込みバス線を共有する。周辺機器は、この割込みバス線をアサートすることによってプロセッサに割込みを信号発信し得る。

10

【 0 0 0 4 】

共有の割込みアーキテクチャは、いくつかの利点を有する。それは非常に単純なことで、典型的には、割込み信号を搬送する信号線を少数しか必要としないということである。また、拡張可能であり、典型的には、割込み信号用にさらなる線を必要とせずに、さらなる周辺装置がコンピュータシステムに組み込まれることが可能になる。

【 0 0 0 5 】

しかし、共有の割込みアーキテクチャは、大きな問題点を有する。それは、どの周辺機器が処理を必要としているのかを中央処理装置が判定する必要があることである。これは、全ての周辺機器が同じ割込み信号を発生し、中央処理装置はどの周辺機器がサービスを必要としているのか分からないからである。従って、中央処理装置は、典型的には、どの周辺機器がサービスを必要としているのか判定するために、周辺機器を「ポーリング」しなければならない。

20

【 0 0 0 6 】

このポーリング処理には、かなり時間がかかり得る。任意の所与の時間において、典型的には1つの周辺機器しかサービスを必要としていないにもかかわらず、中央処理装置は、コンピュータシステム内の全ての周辺機器をポーリングする必要を有し得る。周辺機器をポーリングするためにはCPUが複数のバストランザクションを行う必要があり、各バストランザクションが高性能計算システムにおいて多数のCPUサイクルを必要とし得るので、ポーリングはCPUの効率性を低減する。ポーリングによって、また、周辺バスが多数のポーリングアクセスに拘束される。さらに、ポーリングは、割込みを供給するために必要な時間を増加させる。これによって、適時の様式でサービスを必要とする周辺機器についての問題が生じる。例えば、ネットワークインターフェースコントローラは、入来データのバッファがオーバーフローすることを防ぐ即時サービスを必要とし得る。この即時サービスは、ポーリングによって遅れ得る。

30

【 0 0 0 7 】

周辺機器のステータスを判定するために必要な時間およびバスの活動量を減少する共有の割込みアーキテクチャ内の周辺機器からステータス情報を引き出すシステムが必要とされる。

40

【 0 0 0 8 】

(要旨)

本発明の実施形態の1つは、コンピュータシステム内のプロセッサまたはコア論理演算装置内に位置するステータスレジスタ内のいくつかの周辺機器についてのステータス情報を維持するコンピュータシステムを提供する。この実施形態において、周辺機器は、ステータス情報をステータスレジスタに転送するバスマスター操作を行うことによって、ステータスが変化する場合、ステータスレジスタをアップデートする。周辺機器は、その後、割込みを発生して、サービスを必要としていることをプロセッサに示す。プロセッサがその割込みを処理する場合、プロセッサは、どの周辺機器が処理を必要としているのかを判定するためにステータスレジスタを読み出す必要がほとんどない。これは、ステータスレジ

50

スタがプロセッサまたはコア論理演算装置の内部にあるので、非常に素早い動作である。時間のかからない周辺機器のポーリングが、周辺機器のステータスを判定するために必要とされている。従って、本発明の実施形態の1つは、ステータスレジスタ内の周辺機器についてのステータス情報を維持する装置を提供する。この装置は、複数の周辺機器に結合されている周辺通信チャネルを含む。アップデート回路は、周辺通信チャネルとステータスレジスタとの間に結合されている。このアップデート回路は、周辺機器から周辺通信チャネルを通じて受信したステータス情報を含む信号に応答して、ステータスレジスタをアップデートする機構を含む。

【0009】

本発明の1つの実施形態において、通信チャネルはCPUバスを含む。この実施形態の変形例において、通信チャネルは、プロセッサ-メモリバスを含む。他の実施形態において、周辺通信チャネルはPCIバスを含む。

10

【0010】

本発明の1つの実施形態は、ステータスレジスタを読み出し、ステータスレジスタのコンテンツに基づいて適切な割込みサービスルーチンに自動的に分岐する専用プロセッサ命令を含む。

【0011】

本発明の1つの実施形態において、通信チャネルはコンピュータシステムバスを含む。この実施形態のさらなる変形例において、通信チャネルは、コンピュータシステム内の複数のキャッシュ間のコヒーレンシーを維持する信号を搬送する。

20

【0012】

本発明の1つの実施形態において、コンピュータシステムは、複数の中央処理装置、および中央処理装置と通信チャネルとの間に結合されている複数のステータスレジスタを含む。

【0013】

本発明の1つの実施形態において、コンピュータシステムは、複数の中央処理装置、および中央処理装置と周辺通信チャネルとの間に結合されている単一のステータスレジスタを含む。

【0014】

本発明の他の実施形態において、コンピュータシステムは、周辺機器を中央処理装置にコア論理演算装置を通じて結合するワイヤ-ORed割込み構造を含む。

30

【0015】

本発明の他の実施形態は、コンピュータシステム内の周辺機器のステータスの変化を示すようにステータスレジスタをアップデートする、コンピュータシステムのコア論理演算装置内の装置として特徴付けられ得る。この装置は、バスのアドレス線に結合されている、複数のアドレス入力を含み、バスは周辺機器に結合されている。この装置は、また、複数のアドレス入力内の高位ビットのセットに結合されているアドレス検出回路を含む。このアドレス検出回路は、高位ビットのセットによって特定されるアドレスの指定された範囲内のアドレスを検出するように構築される。この装置は、さらに、複数のアドレス入力内の低位ビットのセットに結合されているデコーダ回路を含む。このデコーダ回路は、アドレスの指定された範囲内の特定のアドレスへの照会を検出する。ステータスレジスタが検出回路からの出力のセットに結合されることにより、周辺機器によるアドレスの指定された範囲内の特定のアドレスへの照会がデコーダを通じて送られ、ステータスレジスタ内の周辺機器についてのステータス情報をアップデートする。ステータスレジスタは、また、中央処理装置に結合されている出力を含み、そのことにより、中央処理装置によってステータスレジスタが読み出され得る。

40

【0016】

この実施形態の変形例において、アドレス検出回路はデコーダを含む。この実施形態の他の変形例において、アドレス検出回路は比較器を含む。

【0017】

50

この実施形態の変形例において、コア論理演算装置が単一の半導体チップの内部に存在する。この実施形態のさらなる変形例において、コア論理演算装置が単一の半導体チップセットの内部に存在する。

【0018】

本発明の他の実施形態は、コンピュータシステム内の複数の周辺機器についてのステータス情報を管理する方法として特徴付けられ得る。この方法は、周辺機器で、周辺機器に関するステータス情報を受信するステップと、周辺機器から、コンピュータシステム内の中央処理装置に結合されているステータスレジスタと、通信チャネルを通じてステータス情報を通信するステップとを含む。この方法は、また、周辺機器から中央処理装置に割り込みを送信するステップを含む。

10

【0019】

(発明の詳細な説明)

以下の説明は、当業者が本発明を作成し、用いることを可能にするために提示され、特定の適用例および要件のコンテキストにおいて提供される。開示された実施形態の様々な改良例は、当業者にとって明らかであり、本明細書中に記載される概略的な原理は、本発明の精神および範囲から逸脱することなしに、他の実施形態および適用例に適用され得る。従って、本発明は、ここで示した実施形態によって限定されるものではなく、本明細書中で開示された原理および特徴と一致する最も広い範囲に合致する。

【0020】

(本発明の第1の実施形態の概要)

20

図1に、プロセッサ100が、周辺機器110、120、および130にそれぞれ位置するステータスレジスタ112、122および132を読み出す、従来技術によるコンピュータシステムを示す。プロセッサ100は、コア論理演算装置103を通じてメモリ101およびバス105に結合されている。プロセッサ100は、バス105を通じて周辺機器110、120、および130にアクセスし得る。割り込みに応答して、プロセッサ100は、周辺機器110、120および130のうちどれが処理を必要としているのかを判定するために、ステータスレジスタ112、122および132をポーリングする。このポーリングは、バス105を介する動作を複数必要とする。

【0021】

図2に、本発明の実施形態による、周辺機器のステータスを格納する、内部ステータスレジスタ102を有するプロセッサ100、または内部ステータスレジスタ107を有するコア論理演算装置103を含むコンピュータシステムを示す。図1に示したシステムと同様に、プロセッサ100は、コア論理演算装置103を通じてメモリ101およびバス105に結合されている。プロセッサ100は、バス105を通じて周辺機器110、120、および130にアクセスし得る。

30

【0022】

しかし、図2に示した実施形態は、多くの局面において、図1に示したシステムとは異なる。図2において、プロセッサ100は、割り込み中、ステータスレジスタ102または107に照会して、周辺機器110、120、および130のステータスを判定する。これは、ステータスレジスタ102または107が、それぞれ、プロセッサ100およびコア論理演算器103の内部にあるので、非常に素早い動作である。プロセッサ100によるステータスレジスタ102または107への照会は、周辺機器110、120、および130のポーリングにおいてバス105を介するアクセスを必要としない。

40

【0023】

代わりに、周辺機器110、120、および130は、ステータスレジスタ102または107内のステータス情報をアップデートする責任がある。このアップデートは、周辺機器のステータスが変化する場合にのみ起こる必要がある。ステータスレジスタをアップデートするために、周辺機器110等の周辺機器は、バス105のアドレス空間内の指定されたメモリ位置に書き込む。この指定アドレス空間内には、実際にはメモリがない。代わりに、ステータスレジスタに取り付けられたロジックが、これらの指定位置への照会を中

50

断し、これらの照会を用いてステータスレジスタを適切にアップデートして、示された周辺機器のステータスの変化を反映する。

【 0 0 2 4 】

コア論理演算装置 1 0 3 内のステータスレジスタ 1 0 7 は、プロセッサ 1 0 0 内のステータスレジスタ 1 0 2 の代替的な実施形態であることに留意されたい。コア論理演算装置 1 0 3 内のステータスレジスタ 1 0 7 への照会は、プロセッサ 1 0 0 内のステータスレジスタ 1 0 2 への照会程速くない。しかし、ステータスレジスタ 1 0 7 を実現するために、プロセッサ 1 0 0 に対する特別な改良が必要になることはない。

【 0 0 2 5 】

概して、プロセッサ 1 0 0 は、コンピュータシステム用の任意のタイプのコンピュータエンジンであり得る。これには、メインフレームプロセッサ、マイクロプロセッサ、およびマイクロコントローラが含まれるが、これらに限定されるわけではない。バス 1 0 5 は、プロセッサを、コンピュータシステム内の他のデバイス、例えば、周辺機器、メモリデバイス、および他のプロセッサに結合する任意のタイプの通信チャネルであり得る。これには、P C I バス等のバス、および共有メモリマルチプロセッサシステム内の複数のキャッシュ間のコヒーレンシーを保つ信号を含むバスが含まれるが、これらに限定されるわけではない。周辺機器 1 1 0、1 2 0、および 1 3 0 は、コンピュータシステムに結合され得る、任意のタイプの周辺機器であり得る。これらには、ディスクドライブおよびテープドライブ等のデータ格納デバイス、キーボードまたはマウス等のデータ入力デバイス、映像ディスプレイまたは音声スピーカー等のデータ出力デバイス、ならびにネットワークインターフェースコントローラ等の通信デバイスが含まれるが、これらに限定されるわけではない。

【 0 0 2 6 】

図 3 に、本発明の実施形態による、周辺機器のステータスを格納する、ステータスレジスタ 1 0 2、3 0 2、および 3 1 2 を含む複数のプロセッサ、あるいはコア論理演算装置 1 0 3 内の単一のステータスレジスタ 1 0 7 を含むコンピュータシステムを示す。この実施形態において、プロセッサ 1 0 0、3 0 0、および 3 1 0 は、それぞれ、キャッシュ 1 0 3、3 0 3 および 3 1 3 を含む。キャッシュ 1 0 3、3 0 3 および 3 1 3 は、それぞれ、プロセッサ 1 0 0、3 0 0、および 3 1 0 によって用いられるように、メモリ 3 2 0 からのコードのコピーおよびデータを格納する。プロセッサ 1 0 0、3 0 0、および 3 1 0 は、バス 3 2 0 に結合され、コア論理演算器 1 0 3 もバス 3 2 0 に結合される。コア論理演算器 1 0 3 は、バス 3 2 0 をメモリ 1 0 1 およびバス 1 0 5 に結合する。周辺機器 1 1 0、1 2 0、および 1 3 0 は、バス 1 0 5 に結合されている。

【 0 0 2 7 】

この実施形態において、バス 3 2 0 は、データ格納メモリ 3 2 0 間のコヒーレンシーを保つ信号、ならびにキャッシュ 1 0 3、3 0 3 および 3 1 3 に格納されるデータのコピーを含む。コヒーレンシーは、典型的には、エントリーに含まれるデータのコピーが他のキャッシュまたはメモリ 3 2 0 において修正される場合、キャッシュのエントリーを無効にすることによって維持される。プロセッサ 1 0 0、3 0 0、および 3 1 0 は、バス 3 2 0 での信号のセットを「スヌープ (s n o o p)」または傍受 (l i s t e n) するために「スヌープロジック」を用いて、ローカルプロセッサキャッシュのエントリーを無効にするかどうかを判定する。

【 0 0 2 8 】

この実施形態において、プロセッサ 1 0 0、3 0 0、および 3 1 0 は、さらに、周辺機器 1 1 0、1 2 0、および 1 3 0 に関するステータス情報を格納するステータスレジスタ 1 0 2、3 0 2 および 3 1 2 をそれぞれ含む。この実施形態において、ステータスレジスタ 1 0 2、3 0 2 および 3 1 2 は、「スヌープロジック」によってモニタリングされる信号をモニタリングして、キャッシュエントリーを無効にすることによって動作する。ステータスレジスタをアップデートするために、周辺機器 1 1 0 等の周辺機器は、バス 1 0 5 のアドレス空間内の指定メモリ位置に書き込む。

【 0 0 2 9 】

概して、メモリ 1 0 1 内の位置がアップデートされることによって、バス 1 0 5 での無効信号は、キャッシュ 1 0 3、3 0 3、および 3 1 3 内に存在し得るメモリ位置に格納されたデータの任意のコピーを無効にする。この指定アドレス空間には実際にはメモリがないので、無効信号は、常にキャッシュミスの原因となり得る。ステータスレジスタに取り付けられたロジックは、これらの指定位置への照会を中断し、これらの照会を用いてステータスレジスタを適切にアップデートして、示された周辺機器のステータスの変化を反映させる。この処理は、図 4 ~ 1 1 を参照しながら、以下でより詳細に説明される。

【 0 0 3 0 】

(コンピュータシステムの説明)

図 4 に、本発明の実施形態による、処理システムの構造を示す。例示した実施形態において、CPU 4 0 4 は、ノースブリッジ 4 0 8 を通じてメモリ 4 0 5 およびバス 4 3 0 に結合されている。メモリ 4 0 5 は、コンピュータシステムにおいて用いられ得る任意のタイプの半導体メモリであり得る。バス 4 3 0 は、任意のタイプのコンピュータシステムバスであり得る。1 つの実施形態において、バス 4 3 0 は P C I バスを含む。バス 4 3 0 は、ディスプレイ 4 1 6 へ出力されるグラフィック画像を処理するグラフィックスモジュール 4 1 4 に結合されている。バス 4 3 0 は、さらに、音声信号を生成するサウンドカード 4 1 5 に結合されている。サウンドカード 4 1 5 は、スピーカー 4 1 7 に結合され、サウンドカード 4 1 5 によって生成される音声信号は、スピーカー 4 1 7 を通じて出力される。

【 0 0 3 1 】

例示した実施形態において、CPU 4 0 4 は、さらに、ノースブリッジ 4 0 8 を通じてサウスブリッジ 4 1 0 に結合されている。ノースブリッジ 4 0 8 およびサウスブリッジ 4 1 0 は、コンピュータシステム用の「コア論理演算」の一部分を形成する。このコア論理演算は、コンピュータシステム内の構成要素の動作を結びつけ、調整する。サウスブリッジ 4 1 0 は、任意のタイプの不揮発性格納デバイスを含み得るディスク 4 0 6 に結合されている。これには、磁気、光学、磁気光学、およびフラッシュメモリ格納デバイスが含まれるが、これらに限定されるわけではない。サウスブリッジ 4 1 0 は、また、任意のタイプのコンピュータシステムバスであり得るバス 4 3 2 に結合されている。1 つの実施形態において、バス 4 3 2 は、I S A バスを含む。バス 4 3 2 は、CPU 4 0 4 が、バス 4 3 2 に結合されている B I O S ROM 4 1 2 およびモデム 4 2 2 と通信することを可能にする。モデム 4 2 2 は、任意のタイプのモデムであり得、コンピュータシステムはそのモデムを通じて電話回線を介して通信し得る。

【 0 0 3 2 】

図 4 に、CPU 4 0 4 内のステータスレジスタ 1 0 2、ならびにノースブリッジ 4 0 8 内のステータスレジスタ 1 0 7 を示す。他の実施形態において、ステータスレジスタ 1 0 2 は、CPU 4 0 4 またはノースブリッジ 4 0 8 内ではなく、コンピュータシステム内に独立型レジスタを含み得る。

【 0 0 3 3 】

(ステータスレジスタの説明)

図 5 に、本発明の実施形態による、ステータスレジスタ 1 0 7 (またはステータスレジスタ 1 0 2) の構造を示す。例示した実施形態において、ステータスレジスタ 1 0 7 (またはステータスレジスタ 1 0 2) は、コンピュータシステム内の周辺機器についてのステータス情報を含む複数のビットを含む。これらのビットは、ステータスデバイス 1 5 0 2、ステータスデバイス 2 5 0 4、ステータスデバイス 3 5 0 6、およびステータスデバイス N 5 0 8 を含む。ステータスビットが設定される場合、これは、対応するデバイスがサービスを必要としていることを示す。本発明の他の実施形態において、ステータスレジスタ 1 0 7 (またはステータスレジスタ 1 0 2) は、各デバイスについて 1 ビットより多いステータス情報を含む。これらのビットは、特定のデバイスがサービスを必要としているという単なる事実を越えて、各デバイスについてさらなるステータス情報を含む。例えば、ステータス情報は、デバイスが必要としているサービスのタイプを特定し得る。

10

20

30

40

50

【 0 0 3 4 】

図 6 に、本発明の実施形態による、メモリマッピングによってどのようにステータスレジスタのアップデートが完了されるかを示す。この実施形態において、アドレス空間 6 0 0 は、図 1 のバス 1 0 5 のようなバスのアドレス線についてのアドレス空間である。アドレス空間 6 0 0 は、B I O S 画像 6 1 0 をアドレス空間 6 0 0 の下の端部に含む。B I O S 画像 6 1 0 は、低レベル動作システム機能を実現するコードを含む。アドレス空間 6 0 0 は、さらに、アドレス空間 6 0 0 の上の端部に物理的メモリ 6 3 0 を含む。物理的メモリ 6 3 0 は、プロセッサによってプログラムを実行するために用いられるコードおよびデータを含む。B I O S 画像 6 1 0 と物理的メモリ 6 3 0 との間の、アドレス空間 6 0 0 のセクションは、ステータスレジスタ 1 0 7 (またはステータスレジスタ 1 0 2) をアップデートするために指定される。これらのアドレス位置には実際にはメモリがない。しかし、これらの位置へのアクセスは、ステータスレジスタ 1 0 7 (またはステータスレジスタ 1 0 2) のコンテンツをアップデートする。例えば、アドレス 6 4 0 へのアクセスは、デバイス 1 がサービスを必要としていることを示すように、デバイス 1 5 0 2 についてステータスピットを設定し、アドレス 6 4 2 へのアクセスは、デバイス 1 がサービスを必要としないことを示すようにビット 5 0 2 をリセットする。同様に、アドレス 6 4 4、6 4 8、および 6 5 2 へのアクセスが、それぞれ、ステータスピット 5 0 4、5 0 6、および 5 0 8 を設定し、アドレス 6 4 6、6 5 0、および 6 5 4 へのアクセスが同じステータスピットをリセットする。

10

【 0 0 3 5 】

20

(ステータスレジスタ位置の説明)

図 7 に、本発明の実施形態による、プロセッサ 1 0 0 内の機能装置の一部を示す。例示した実施形態において、プロセッサ 1 0 0 は、計算動作を行う、整数の A L U (演算論理装置) 7 0 2 および浮動小数点装置 7 0 4 を含む。プロセッサ 1 0 0 は、また、プロセッサ 1 0 0 内の機能装置の動作を調整し得るコントローラ 7 0 6 を含む。プロセッサ 1 0 0 内の複数の装置が、バス 1 0 5 に結合されている。これらは、計算動作中、プロセッサ 1 0 0 によって用いられる命令およびデータを含む、L 1 キャッシュ 7 0 8 を格納する。いくつかの実施形態において、L 1 キャッシュ 7 0 8 は、別個の命令およびデータキャッシュを含む。スヌープロジック 7 1 0 が、また、バス 1 0 5 に結合されている。スヌープロジック 7 1 0 は、「スヌープ」情報を含むバス 1 0 5 の信号を受信する。スヌープロジック 7 1 0 は、このスヌープ情報を用いて、L 1 キャッシュ 7 0 8 内のエントリーを無効にする。プロセッサ 1 0 5 は、さらに、プロセッサ 1 0 5 内の計算動作についてのデータ値を一時的に格納するレジスタ 7 1 2 を含む。レジスタ 7 1 2 は、さらに、図 2 のステータスレジスタ 1 0 2 を含む。

30

【 0 0 3 6 】

図 8 に、本発明の実施形態による、ノースブリッジ 4 0 8 の内部構造の一部を示す。この実施形態において、ステータスレジスタ 1 0 7 は、ノースブリッジ 4 0 8 内のステータスレジスタ装置 7 1 2 にある。ノースブリッジ 4 0 8 は、さらに、データを C P U 4 0 4 と、メモリ 4 0 5 と、バス 4 3 0 との間で切り換えるスイッチ 8 0 5 を含む。この実施形態において、ステータスレジスタ装置 7 1 2 は、バス 4 3 0 のアクセスを受信して、アドレス 6 2 0 の指定された範囲へのアクセスを検出する。

40

【 0 0 3 7 】

(ステータスレジスタの 1 つの実施形態の説明)

図 9 に、本発明の実施形態による、ステータスレジスタ装置 7 1 2 の内部構造の一部分を示す。この実施形態において、バス 1 0 5 からのアドレス線が、ステータスレジスタ装置 7 1 2 内のロジックによってモニタリングされて、指定されたアドレス 6 2 0 への照会が検出される。より具体的には、バス 1 0 5 からの高位アドレスビットがデコーダ 9 0 0 の入力に送られる。高位アドレスビット 9 0 2 が指定されたアドレス 6 2 0 のアドレスを特定する場合、デコーダ 9 0 0 は、デコーダ 9 1 0 のイネーブル入力に送られるレジスタビット信号 9 0 6 を発生する。他の実施形態において、高位アドレスビット 9 0 2 は、同じ

50

アドレス検出機能を行う比較器回路に送られる。概して、任意の一般的に公知のアドレス検出回路部が用いられて、指定された範囲 620 内のアドレスが検出され得る。低位アドレスビット 904 がデコーダ 910 の入力に送られる。これらの低位アドレスビットが用いられて、デコーダ 910 の様々な出力が選択される。これらの出力は、ステータスレジスタ 107 (またはステータスレジスタ 102) においてビットを、設定するか、またはリセットするかのいずれかである。例示した実施形態において、ステータスレジスタ 107 (またはステータスレジスタ 102) の各ビットは、図 9 に示すように、環状に接続された 2 つの NAND ゲートを含む双安定回路に格納される。NAND ゲートの各対は、デコーダ 910 からの 2 つの入力を有する。上部の入力がローにアサートされる場合、ビットは設定され、下部の入力がローにアサートされる場合、ビットがリセットされる。例えば、アドレス 640 へのアクセスによって、デコーダ 910 の上部の出力がローにアサートされ、それによって、対応するビットが 1 つの値にアサートされる。対照的に、アドレス 642 へのアクセスによって、デコーダ 910 の次の下部の出力がローにアサートされて、同じビットをリセットする。最終的に、ステータス読み出し信号 912 がアサートされる場合、取り付けられたドライバが、アクティブにされて、ステータスレジスタ 102、あるいはステータスレジスタ 107 (またはステータスレジスタ 102) からビットを読み出す。この実施形態は、ステータスレジスタ 107 (またはステータスレジスタ 102) の多数の可能な構造のうちの 1 つを例示する。概して、任意の他の一般的に公知のレジスタ構造が用いられ得る。

【0038】

(ステータスレジスタの動作の説明)

図 10 は、本発明の実施形態による、周辺機器がどのようにステータスレジスタ 102 (または 107) をアップデートするかを示すフローチャートである。この実施形態において、周辺機器は、状態 1000 で開始し、状態 1002 に進む。状態 1002 において、周辺機器は、そのステータスの変化を検出する。このステータスの変化は、いくつかのサービスが必要であることを示し得る。例えば、データは、プロセッサ 100 にすぐに転送される状態であり得る。その後、周辺機器は、状態 1004 へと進む。状態 1004 において、周辺機器は、バス 105 でバスマスター動作を行って、デバイスがサービスを必要としていることを示すように、ステータスレジスタ 102 (または 107) をアップデートする。その後、周辺機器は、状態 1006 に進む。状態 1006 において、周辺機器は、割込みを発生して、周辺機器がサービスを必要としていることをプロセッサ 100 に示す。その後、周辺機器は、状態 1008、すなわち、終了状態に進む。

【0039】

図 11 は、本発明の実施形態による、プロセッサ 100 がどのようにステータスレジスタ 102 (または 107) からの情報を用いて割込みサービスルーチンをトリガするかを示すフローチャートである。プロセッサ 100 は、状態 1100 で開始し、状態 1102 に進む。状態 1102 において、プロセッサ 100 は、バス 105 に結合されている周辺機器のうちの 1 つから割込みを受信する。その後、プロセッサ 100 は、プロセッサ 100 が割込みを処理するために状態を保存する、状態 1104 に進む。その後、プロセッサ 100 は、状態 1106 に進む。状態 1106 において、プロセッサ 100 は、割込みベクトルが示した位置からの割込み命令を取り出す。その後、プロセッサ 100 は、状態 1108 に進む。状態 1108 において、プロセッサ 100 は、ステータスレジスタ 102 (または 107) のコンテンツを検査するために、ステータスレジスタ 102 (または 107) をプロセッサレジスタにコピーする。その後、システムは、状態 1110 に進む。

【0040】

状態 1110 において、プロセッサ 100 は、ステータスレジスタ 102 (または 107) のコンテンツに基づいて、各種の割込みサービスルーチン 1112、1114、および 1116 に分岐している。この分岐は、実際には、ステータスレジスタ 107 をテストし、適切な条件付き分岐を行うために、複数の命令を必要とし得る。デバイス 1 が処理を必要としていることをステータスレジスタ 102 (または 107) が示す場合、プロセッサ

１００は状態１１１２、すなわち、デバイス１にサービスを提供する割込みサービスルーチンの開始である状態に分岐する。この割込みサービスルーチンは、概して、図示しない多数の割込みサービス命令を含む。割込みサービスルーチンが完了した後、プロセッサ１００は、状態１１１８、すなわち、終了状態に進む。デバイス２が処理を必要としていることをステータスレジスタ１０２（または１０７）が示す場合、プロセッサ１００は状態１１１４、すなわち、デバイス２にサービスを提供する割込みサービスルーチンの開始である状態に分岐する。この割込みサービスルーチンが完了した後、プロセッサ１００は、状態１１１８、すなわち、終了状態に進む。デバイスＮが処理を必要としていることをステータスレジスタ１０２（または１０７）が示す場合、プロセッサ１００は状態１１１６、すなわち、デバイスＮにサービスを提供する割込みサービスルーチンの開始である状態に分岐する。この割込みサービスルーチンが完了した後、プロセッサ１００は、状態１１１８、すなわち、終了状態に進む。

10

【００４１】

本発明の１つの実施形態において、ステータスレジスタ１０２（または１０７）の特定のビットへの周辺機器のマッピングの処理、および特定の周辺機器への特定の割込みサービスルーチンの割り当ての処理は、システム初期化の間、初期化ルーチンとして行われる。本発明の１つの実施形態において、これらの機能を行うためのコードは、システム起動の間、読み出されるリードオンリーメモリ内に存在する。

【００４２】

（定義）

20

（コア論理演算） - プロセッサをメモリおよび周辺バスにインターフェースさせ、他の機能を行うコンピュータシステム内の回路部。

【００４３】

（スヌープバス） - 信号を搬送して、複数のプロセッサを含むコンピュータシステム内の複数のキャッシュ間の一致性またはコヒーレンシーを維持するバス。

【００４４】

前述の本発明の実施形態の説明は、例示および説明するためにのみ、提示されてきた。この説明は、全てを網羅するものではなく、本発明を開示されている形態に限定しない。当然、当業者にとって、多くの改良例および変形例が明らかである。

【図面の簡単な説明】

30

【図１】 図１は、プロセッサ１００が、それぞれ、周辺機器１１０、１２０、および１３０に位置するステータスレジスタ１１２、１２２および１３２を読み出す、従来技術によるコンピュータシステムを示す図である。

【図２】 図２は、本発明の実施形態による、周辺機器のステータスを格納する、内部ステータスレジスタ１０２を有するプロセッサ１００、または内部ステータスレジスタ１０７を有するコア論理演算装置１０３を含むコンピュータシステムを示す図である。

【図３】 図３は、本発明の実施形態による、周辺機器のステータスを格納する、ステータスレジスタ１０２、３０２、および３１２を含む複数のプロセッサ、あるいはコア論理演算装置１０３内の単一のステータスレジスタ１０７を含むコンピュータシステムを示す図である。

40

【図４】 図４は、本発明の実施形態による、処理システムの構造を示す図である。

【図５】 図５は、本発明の実施形態による、ステータスレジスタ１０２またはステータスレジスタ１０７の構造を示す図である。

【図６】 図６は、本発明の実施形態による、メモリマッピングによってどのようにステータスレジスタのアップデートが完了されるかを示す図である。

【図７】 図７は、本発明の実施形態による、プロセッサ１００内の機能装置の一部を示す図である。

【図８】 図８は、本発明の実施形態による、ノースブリッジ４０８の内部構造の一部を示す図である。

【図９】 図９は、本発明の実施形態による、ステータスレジスタ装置７１２の内部構造

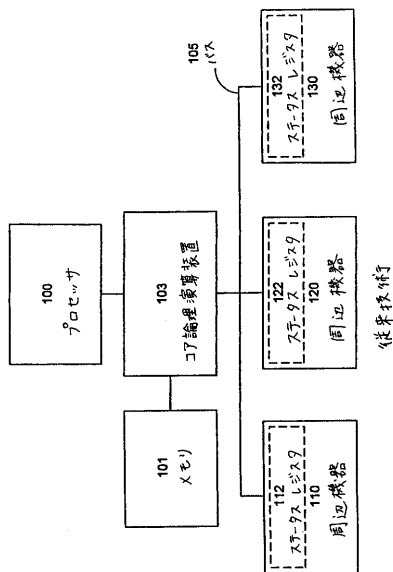
50

の一部を示す図である。

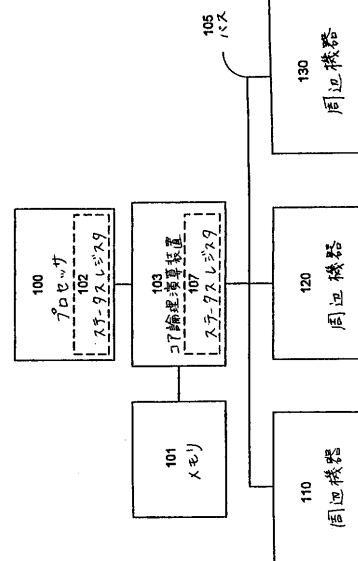
【図１０】 図１０は、本発明の実施形態による、周辺機器がどのようにステータスレジスタ１０２または１０７をアップデートするかを示すフローチャートである。

【図１１】 図１１は、本発明の実施形態による、プロセッサ１００がどのようにステータスレジスタ１０２または１０７からの情報を用いて適切な割り込みサービスルーチンを実行するかを示すフローチャートである。

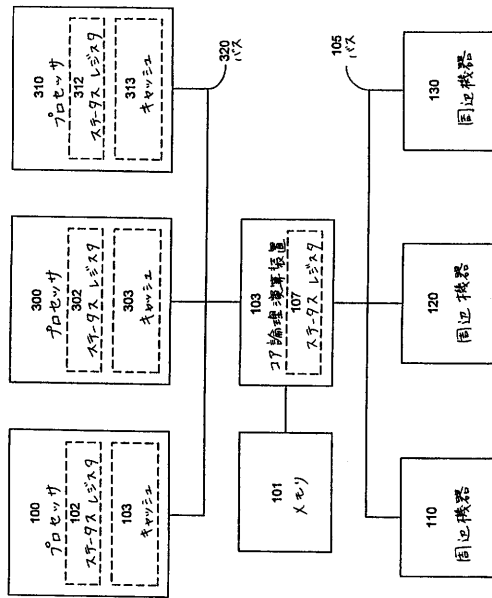
【図１】



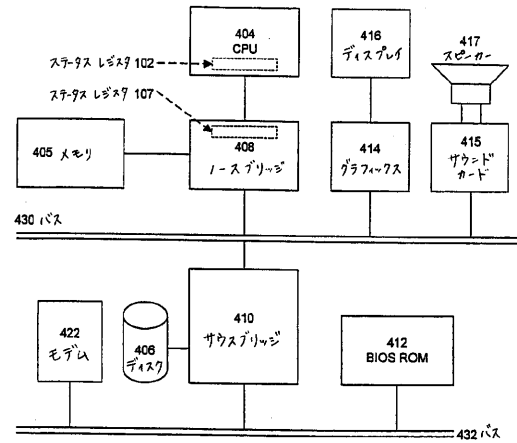
【図２】



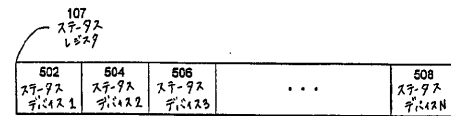
【図 3】



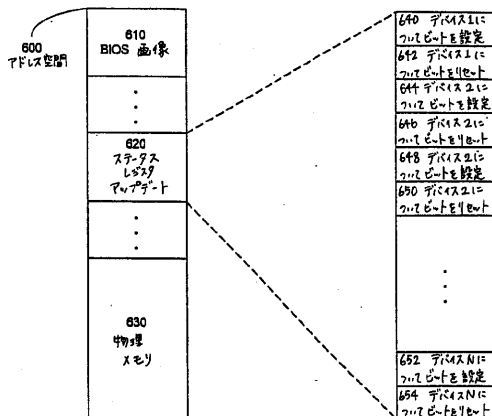
【図 4】



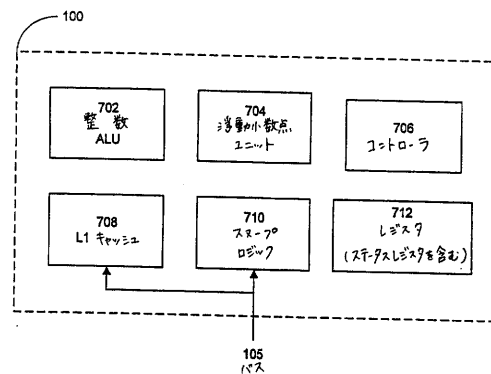
【図 5】



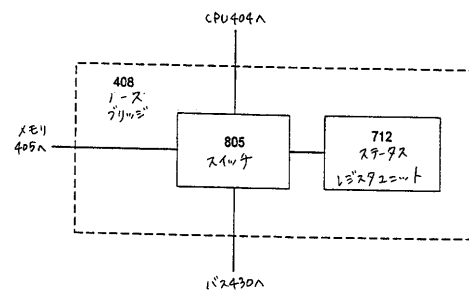
【図 6】



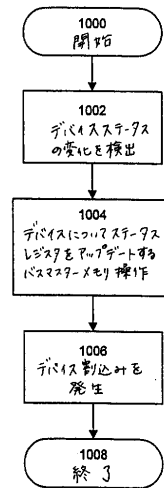
【図 7】



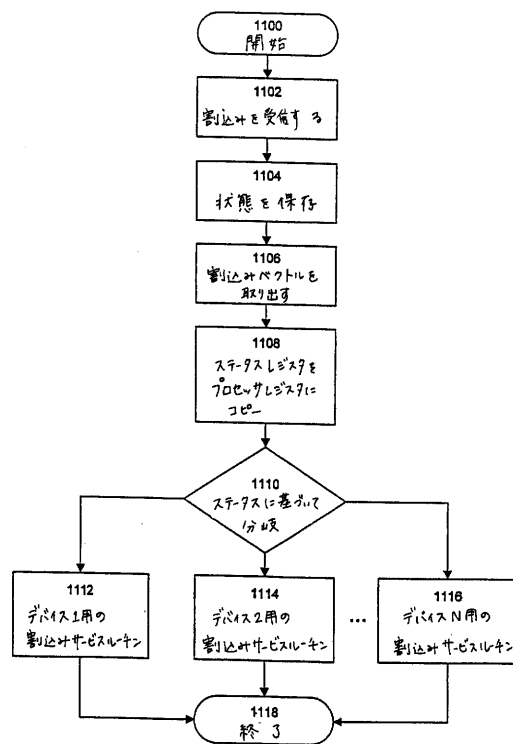
【図 8】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

- (31)優先権主張番号 09/131,497
(32)優先日 平成10年8月10日(1998.8.10)
(33)優先権主張国 米国(US)
(31)優先権主張番号 09/131,922
(32)優先日 平成10年8月10日(1998.8.10)
(33)優先権主張国 米国(US)

前置審査

審査官 横山 佳弘

- (56)参考文献 特開平02-230356(JP,A)
特開平09-091152(JP,A)
特開昭61-058037(JP,A)
特開平10-021182(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G06F 13/14

G06F 13/24