



(12) 发明专利

(10) 授权公告号 CN 101395901 B

(45) 授权公告日 2015. 09. 02

(21) 申请号 200480013924. X

(22) 申请日 2004. 05. 06

(30) 优先权数据

10/445, 256 2003. 05. 23 US

(85) PCT国际申请进入国家阶段日

2005. 11. 21

(86) PCT国际申请的申请数据

PCT/US2004/014139 2004. 05. 06

(87) PCT国际申请的公布数据

W02004/107727 EN 2004. 12. 09

(73) 专利权人 坎德拉微系统公司

地址 新加坡新加坡市

(72) 发明人 H·N·泰

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 杨凯 王勇

(51) Int. Cl.

H04N 5/374(2011. 01)

H04N 5/341(2011. 01)

H04N 5/345(2011. 01)

H04N 5/347(2011. 01)

H04N 5/355(2011. 01)

H04N 5/357(2011. 01)

(56) 对比文件

US 6111604 A, 2000. 08. 29, 图1, 第3栏第43行至第4栏第47行.

US 2001026325 A1, 2001. 10. 04, 第0077-0135段.

US 2002/0118894 A1, 2002. 08. 29, 说明书第0038-0050段.

JP 特开 2000-92384 A, 2000. 03. 31, 说明书第 0020-0031 段, 图 1.

JP 特开 2000-92384 A, 2000. 03. 31, 说明书第 0020-0031 段, 图 1.

审查员 寇利敏

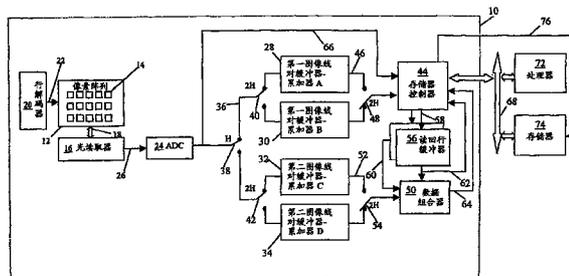
权利要求书2页 说明书10页 附图25页

(54) 发明名称

具备时间重叠图像输出的图像传感器

(57) 摘要

一种图像传感器系统, 具有生成第一图像和第二图像的图像传感器。第一和第二图像以时间重叠方式传送到处理器。举例来说, 图像可以以交错方式传递到处理器或在分开的专用总线上提供。



CN 101395901 B

1. 一种图像传感器系统,包括:

产生第一图像和第二图像的图像传感器,所述图像传感器以时间重叠方式传送第一图像和第二图像,其中,所述图像传感器以逐行扫描的方式从其所包括的像素阵列提取所述第一图像;

处理器,耦合至所述图像传感器并以时间重叠方式接收所述第一和第二图像,其中由于所述第二图像的曝光时间所导致的延迟,所述第二图像比所述第一图像晚到达所述处理器;以及

耦合至所述处理器的非易失性存储装置,所述非易失性存储装置包含使所述处理器以时间重叠方式接收所述第一和第二图像的程序。

2. 如权利要求 1 所述的系统,其特征在于,还包括耦合至所述处理器的存储装置,其中所述处理器包含将所述第一和第二图像以时间重叠方式传递到所述存储装置的 DMA 控制器。

3. 如权利要求 1 所述的系统,其特征在于,还包括将所述图像传感器耦合至所述处理器的第一总线。

4. 如权利要求 3 所述的系统,其特征在于,还包括将所述图像传感器耦合至所述处理器的第二总线,所述第一图像通过所述第一总线传送且所述第二图像通过所述第二总线传送。

5. 如权利要求 3 所述的系统,其特征在于,所述第一和第二图像以交错方式传送到所述处理器。

6. 如权利要求 2 所述的系统,其特征在于,还包括将所述存储装置耦合至所述图像传感器的第一总线。

7. 一种图像传感器系统,包括:

以时间重叠方式产生和传送第一图像和第二图像的图像传感器部件,其中,所述图像传感器部件以逐行扫描的方式从其像素阵列提取所述第一图像;

以时间重叠方式接收所述第一和第二图像并处理所述第一和第二图像的处理器部件,其中由于所述第二图像的曝光时间所导致的延迟,所述第二图像比所述第一图像晚到达所述处理器部件;以及

非易失性存储器部件,用于存储使所述处理器部件以时间重叠方式接收所述第一和第二图像的程序。

8. 如权利要求 7 所述的系统,其特征在于,还包括用于存储所述第一和第二图像的存储器部件,其中所述处理器部件包含将所述第一和第二图像以时间重叠方式传递到所述存储器部件的 DMA 控制器。

9. 如权利要求 7 所述的系统,其特征在于,还包括将所述图像传感器部件耦合至所述处理器部件的第一总线。

10. 如权利要求 9 所述的系统,其特征在于,还包括将所述图像传感器部件耦合至所述处理器部件的第二总线,所述第一图像通过所述第一总线传送且所述第二图像通过所述第二总线传送。

11. 如权利要求 9 所述的系统,其特征在于,所述处理器部件以交错方式接收所述第一和第二图像。

12. 如权利要求 8 所述的系统,其特征在于,还包括将所述存储器部件耦合至所述图像传感器部件的第一总线。

13. 一种用于传递第一图像和第二图像的方法,包括:

从图像传感器的像素阵列产生第一图像,其中,所述图像传感器以逐行扫描的方式从其像素阵列提取所述第一图像;

从所述像素阵列产生第二图像;

以时间重叠方式将所述第一和第二图像从所述图像传感器传递到处理器,其中由于所述第二图像的曝光时间所导致的延迟,所述第二图像比所述第一图像晚到达所述处理器;以及

至少将由所述处理器接收的所述第一图像传递到存储器。

14. 如权利要求 13 所述的方法,其特征在于,第一和第二图像以交错方式传递到所述处理器中。

15. 一种耦合至传送第一图像和第二图像的图像传感器的处理器,包括:

以时间重叠方式接收第一图像和第二图像的处理器,其中由于所述第二图像的曝光时间所导致的延迟,所述第二图像比所述第一图像晚到达所述接收第一图像和第二图像的处理器,其中所述接收第一图像和第二图像的处理器按照使所述接收第一图像和第二图像的处理器以时间重叠方式接收第一和第二图像的程序来工作,且其中,所述图像传感器以逐行传送的方式传送所述第一图像与第二图像至所述接收第一图像和第二图像的处理器。

16. 如权利要求 15 所述的处理器,其特征在于,所述接收第一图像和第二图像的处理器具有耦合至外部存储器的存储器总线,并包含将所述第一和第二图像以时间重叠方式传递到所述外部存储器的 DMA 控制器。

17. 如权利要求 15 所述的处理器,其特征在于,所述处理器包括耦合至所述图像传感器的第一总线。

18. 如权利要求 17 所述的处理器,其特征在于,所述处理器包括耦合至所述图像传感器的第二总线,所述第一图像通过所述第一总线传送且所述第二图像通过所述第二总线传送。

19. 如权利要求 17 所述的处理器,其特征在于,所述接收第一图像和第二图像的处理器以交错方式接收所述第一和第二图像。

20. 如权利要求 16 所述的处理器,其中所述第一和第二图像通过所述存储器总线传送到所述外部存储器。

21. 如权利要求 20 所述的处理器,其中通过所述存储器总线将所述第一和第二图像从所述外部存储器取回到所述接收第一图像和第二图像的处理器,并且所述第一和第二图像由所述处理器组合。

具备时间重叠图像输出的图像传感器

[0001] 交叉相关申请的引用

[0002] 本申请是国际专利申请,要求 2003 年 5 月 23 日提交的美国专利申请 10/445256 的优先权。

[0003] 发明背景

[0004] 1. 发明领域

[0005] 一般来讲,所公开的主题涉及半导体图像传感器领域。

[0006] 2. 背景信息

[0007] 摄影器材、如数码相机和数码摄像机包含电子图像传感器,该传感器捕获光线以分别处理成静态或视频图像。有两种主要类型的电子图像传感器,电荷耦合器件 (CCD) 和互补金属氧化物半导体 (CMOS) 传感器。CCD 图像传感器具有相对较高的信噪比 (SNR),可提供优质图像。此外,CCD 可制成具有相对较小的像素阵列,同时符合大部分相机和视频分辨率要求。像素是图像的最小分立元素。由于这些原因,大部分市场上可买到的相机和摄像机中使用 CCD。

[0008] CMOS 传感器比 CCD 器件速度更快且消耗更少的电力。此外,CMOS 制造工艺被用于制造许多种类的集成电路。因此,CMOS 传感器比 CCD 传感器拥有更充裕的制造能力。

[0009] 至今,仍未开发出具有与市场上可买到的 CCD 传感器同样 SNR 和像素间距要求的 CMOS 传感器。像素间距是相邻像素中心之间的距离。希望提供一种 CMOS 传感器,具有相对较高的 SNR,同时提供商业上可接受的像素间距。

[0010] 图像传感器通常连接至外部处理器和外部存储器。外部存储器存储来自图像传感器的数据。处理器处理存储的数据。为了提高画质,有时希望捕获同一画面的两个不同的图像。对于 CCD 传感器,在捕获第一图像和捕获第二图像之间存在固有的延迟。在此延迟期间,图像可能移动。此图像移动可能会降低最终画面的质量。希望减少从像素阵列捕获和传输图像所需的时间。还希望提供可利用外部存储器的低噪声、高速、高分辨率的图像传感器。

[0011] 发明概述

[0012] 一种图像传感器系统,包括以时间重叠方式将第一图像和第二图像传输到处理器的图像传感器。

[0013] 附图概述

[0014] 图 1 是图像传感器的实施例的示意图;

[0015] 图 2 是在外部存储器中存储静态图像的像素数据的方法的图解;

[0016] 图 3 是提取和组合静态图像的像素数据的方法的图解;

[0017] 图 4 是提取和组合像素数据的备选方法的图解;

[0018] 图 5 是提取和组合像素数据的备选方法的图解;

[0019] 图 6 是提取和组合像素数据的备选方法的图解;

[0020] 图 7 是提取和组合像素数据的备选方法的图解;

[0021] 图 8 是说明存储和组合视频图像的像素数据的方法的图解;

- [0022] 图 9 是说明存储和组合视频图像的像素数据的方法的又一图解；
- [0023] 图 10 是说明转换像素数据的分辨率的方法的图解；
- [0024] 图 11 是说明转换像素数据的分辨率的备选方法的图解；
- [0025] 图 12 是说明转换像素数据的分辨率的备选方法的图解；
- [0026] 图 13 是图像传感器的像素的实施例的示意图；
- [0027] 图 14 是图像传感器的光读取器电路的实施例的示意图；
- [0028] 图 15 是图像传感器的操作的第一模式的流程图；
- [0029] 图 16 是图像传感器的操作的第一模式的时序图；
- [0030] 图 17 是说明像素的光电二极管两端的信号电平的图解；
- [0031] 图 18 是生成图 16 的时序图的逻辑电路的示意图；
- [0032] 图 19 是生成像素行的 RST 信号的逻辑电路的示意图；
- [0033] 图 20 是图 19 中所示逻辑电路的时序图；
- [0034] 图 21 是说明图像传感器的操作的第二模式的流程图；
- [0035] 图 22 是图像传感器的操作的第二模式的时序图；
- [0036] 图 23a 是图像传感器系统的备选实施例的示意图；
- [0037] 图 23b 是图像传感器系统的备选实施例的示意图；
- [0038] 图 24 是图像传感器系统的备选实施例的示意图；
- [0039] 图 25 是图像传感器系统的备选实施例的示意图；
- [0040] 图 26 是外部处理器的备选实施例的示意图；
- [0041] 图 27 是图像传感器系统的备选实施例的示意图；
- [0042] 图 28 是图 27 中所示处理器的处理器实施例的示意图；
- [0043] 图 29 是图 28 中所示处理器的 DMA 控制器的实施例的示意图。

[0044] 详细说明

[0045] 所公开的是一种图像传感器系统，具有生成第一图像和第二图像的图像传感器。第一和第二图像以时间重叠方式传输到处理器。举例来说，图像可以以交错方式传输到处理器或在分开的专用总线上提供。

[0046] 整个图像传感器最好是通过 CMOS 制造工艺和电路来制造。CMOS 图像传感器具有高速、低功耗、小像素间距和高 SNR 的特性。

[0047] 更具体地按照参考编号参照附图，图 1 说明图像传感器 10。图像传感器 10 包括像素阵列 12，其中包含多个独立的光电检测像素 14。像素 14 排列成行和列的二维阵列。

[0048] 像素阵列 12 通过总线 18 耦合至光读取器电路 16 并通过控制线 22 耦合至行解码器 20。行解码器 20 可以选择像素阵列 12 的各个行。光读取器 16 则可以读取所选行中的特定离散列。结合在一起，行解码器 20 和光读取器 16 允许读取阵列 12 中的各个像素 14。

[0049] 光读取器 16 可以通过输出线 26 耦合至模数转换器 24 (ADC)。ADC24 产生数字位串，对应于由光读取器 16 和所选像素 14 提供的信号的振幅。

[0050] ADC24 通过线路 36 和开关 38、40 和 42 耦合至一对第一图像缓冲器 28 和 30，以及一对第二图像缓冲器 32 和 34。第一图像缓冲器 28 和 30 通过线路 46 和开关 48 耦合至存储器控制器 44。存储器控制器 44 可更一般地称作数据接口。第二图像缓冲器 32 和 34 通过线路 52 和开关 54 耦合至数据组合器 50。存储器控制器 44 和数据组合器 50 分别通过

线路 58 和 60 连接至读回缓冲器 56。读回缓冲器 56 的输出通过线路 62 连接至控制器 44。数据组合器 50 通过线路 64 连接至存储器控制器 44。此外,控制器 44 通过线路 66 连接至 ADC24。

[0051] 存储器控制器 44 通过控制器总线 70 耦合至外部总线 68。外部总线 68 耦合至外部处理器 72 和外部存储器 74。总线 70、处理器 72 和存储器 74 在现有的数码相机、相机和手机中很常见。

[0052] 为了捕获静态画面图像,光读取器 16 从像素阵列 12 逐行提取画面的第一图像。开关 38 处于将 ADC24 连接至第一图像缓冲器 28 和 30 的状态。开关 40 和 48 经过设置,使得数据进入一个缓冲器 28 或 30 以及通过存储器控制器 44 从其他缓冲器 30 或 28 提取。例如,第二行像素可以存储在缓冲器 30 中,而第一行像素数据通过存储器控制器 44 从缓冲器 28 提取并存储在外部存储器 74 中。

[0053] 在画面的第二图像的第一行可获得时,选择开关 38 以交替地将第一图像数据和第二图像数据分别存储在第一图像缓冲器 28 和 30 以及第二图像缓冲器 32 和 34 中。可以选择开关 48 和 54 以交错方式交替地将第一和第二图像数据存储到外部存储器 74 中。此过程如图 2 所述。

[0054] 有多种方法用于提取和组合第一和第二图像数据。如图 3 所示,在一种方法中,第一和第二图像的每一行从外部存储器 74 以存储器数据速率被提取,并存储在读回缓冲器 56 中,在数据组合器 50 中组合,并以处理器数据速率传输到处理器 72。或者,第一和第二图像可以存储在读回缓冲器 56 中,然后以交错或接连方式提供给处理器 72,而不在组合器 50 中组合图像。此技术允许处理器 72 以不同的方法处理数据方式。

[0055] 图 4 说明外部处理器 72 组合像素数据的备选方法。从外部存储器 74 提取第一图像的一行并以存储器数据速率存储在读回缓冲器 56 中,然后以处理器数据速率传输到外部处理器 72。然后,从外部存储器 74 提取第二图像的一行,存储在读回缓冲器 56 中,并传输到外部处理器 72。对第一和第二图像的每一行继续此程序。或者,可以从外部存储器 74 提取整个第一图像,存储在读回缓冲器 56 中并传输到外部处理器 72,每次一行,如图 5 所示。然后,从外部存储器 74 提取第二图像的每一行,存储在读回缓冲器 56 中,并传输到外部处理器 72。

[0056] 如果处理器数据速率与存储器数据速率一样,处理器 72 会以交错或接连方式直接从外部存储器 74 提取像素数据速率,分别如图 6 和图 7 所示。对于所有上述技术,存储器控制器 44 为图像传感器 10、处理器 72 和存储器 74 之间的数据传输提供仲裁。为了减少图像传感器 10 中的噪声,控制器 44 最好在光读取器 16 没有提取输出信号时传输数据。

[0057] 为了捕获视频画面,画面的第一图像的像素数据行可以存储在外部存储器 74 中。在画面的第二图像的第一行可获得时,以存储器数据速率从存储器 74 提取第一图像的第一行,并在数据组合器 50 中组合,如图 8 和图 9 所示。组合的数据以处理器数据速率传输到外部处理器 72。如图 9 所示,外部存储器以存储器数据速率同时输出和输入第一图像的像素数据行。

[0058] 对于视频捕捉,缓冲器 28、30、32 和 34 可以执行输入像素数据的分辨率转换。有两种常见视频标准:NTSC 和 PAL。NTSC 需要 480 条水平线。PAL 需要 590 条水平线。为了提供高静态图像分辨率,像素阵列 12 可包含多达 1500 条水平线。图像传感器将输出数据

转换为标准格式。通过板上转换,图像传感器减少处理器 72 的开销。

[0059] 图 10 说明转换分辨率和减少数据量的技术。减少数据会降低图像传感器的噪声和功耗。另外,减少数据会降低对外部存储器的存储要求。第一种方法将 4 个邻接列和 4 个邻接行的像素减少为 2 列和 2 行的像素。像素阵列 12 包括 4 乘 4 的像素组,其中包含按 Bayer 模式排列的红 (R)、绿 (G) 和蓝 (B) 像素。根据以下等式,4 乘 4 阵列减少为 2 乘 2 阵列:

$$[0060] \quad R = 1/4 * (R_1 + R_2 + R_3 + R_4) \quad (1)$$

$$[0061] \quad B = 1/4 * (B_1 + B_2 + B_3 + B_4) \quad (2)$$

$$[0062] \quad G_b = 1/2 * (G_1 + G_2) \quad (3)$$

$$[0063] \quad G_r = 1/2 * (G_3 + G_4) \quad (4)$$

[0064] 净效应是 75% 的数据速率减少,以 Bayer 模式排列。

[0065] 图 11 说明分辨率转换的备选方法。第二种技术提供与 MPEG-2 兼容的 4:2:0 编码。转换使用以下等式执行:

$$[0066] \quad R = 1/4 * (R_1 + R_2 + R_3 + R_4) \quad (5)$$

$$[0067] \quad B = 1/4 * (B_1 + B_2 + B_3 + B_4) \quad (6)$$

$$[0068] \quad G_b = 1/2 * (G_1 + G_2) \quad (7)$$

$$[0069] \quad G_r = 1/2 * (G_3 + G_4) \quad (8)$$

$$[0070] \quad G_{bb} = 1/2 * (G_5 + G_6) \quad (9)$$

$$[0071] \quad G_{rr} = 1/2 * (G_7 + G_8) \quad (10)$$

[0072] 净效应是 62.5% 的数据速率减少。

[0073] 图 12 说明又一种备选的分辨率转换方法。第三种方法使用以下等式提供 4:2:2 编码技术:

$$[0074] \quad G_{12} = 1/2 * (G_1 + G_2) \quad (11)$$

$$[0075] \quad G_{34} = 1/2 * (G_3 + G_4) \quad (12)$$

$$[0076] \quad G_{56} = 1/2 * (G_5 + G_6) \quad (13)$$

$$[0077] \quad G_{78} = 1/2 * (G_7 + G_8) \quad (14)$$

$$[0078] \quad R_{12} = 1/2 * (R_1 + R_2) \quad (15)$$

$$[0079] \quad R_{34} = 1/2 * (R_3 + R_4) \quad (16)$$

$$[0080] \quad B_{12} = 1/2 * (B_1 + B_2) \quad (17)$$

$$[0081] \quad B_{34} = 1/2 * (B_3 + B_4) \quad (18)$$

[0082] 净效应是 50% 的数据速率减少。

[0083] 为节省能量,存储器控制器 44 可在外部存储器 74 没有接收或发送数据时将其断电。为实现此功能,可将控制器 44 的电源控制引脚 76 连接至 SDRAM 的 CKE 引脚(见图 1)。

[0084] 图 13 说明像素阵列 12 的像素 14 的单元结构的实施例。像素 14 可包含光电检测器 100。举例来说,光电检测器 100 可以是光电二极管。光电检测器 100 可连接至重置晶体管 112。光电检测器 100 还可通过电平移动晶体管 116 耦合至选择晶体管 114。晶体管 112、114 和 116 可以是场效应晶体管 (FET)。

[0085] 重置晶体管 112 的栅极可以连接至 RST 线 118。晶体管 112 的漏极节点可以连接至 IN 线 120。选择晶体管 114 的栅极可以连接至 SEL 线 122。晶体管 114 的源极节点可以

连接至 OUT 线 124。RST118 和 SEL 线 122 可对于像素阵列 12 中的整行像素是公共的。同样，IN120 和 OUT124 线可对于像素阵列 12 中的整列像素是公共的。RST 线 118 和 SEL 线 122 连接至行解码器 20，并且是控制线 22 的一部分。

[0086] 图 14 说明光读取器电路 16 的实施例。光读取器 16 可包括多个双采样电容电路 150，每个连接至像素阵列 12 的 OUT 线 124。每个双采样电路 150 可包括第一电容 152 和第二电容 154。第一电容 152 分别通过开关 158 和 160 耦合至 OUT 线 124 和地 GND1156。第二电容 154 分别通过开关 162 和 164 耦合至 OUT 线 124 和地 GND1。开关 158 和 160 由控制线 SAM1166 控制。开关 162 和 164 由控制线 SAM2168 控制。电容 152 和 154 可以通过闭合开关 170 连接在一起，从而执行电压减去。开关 170 由控制线 SUB172 控制。

[0087] 双采样电路 150 通过多个第一开关 182 和多个第二开关 184 连接至运算放大器 180。放大器 180 的负端 - 通过第一开关 182 耦合至第一电容 152，正端 + 通过第二开关 184 耦合至第二电容 154。运算放大器 180 的正输出 + 连接至输出线 OP188 和负输出 - 连接至输出线 OM186。输出线 186 和 188 连接至 ADC24（见图 1）。

[0088] 运算放大器 180 提供放大信号，该信号是连接至放大器 180 的采样电路 150 的第一电容 152 中存储的电压和第二电容 154 中存储的电压之间的差值。放大器 180 的增益可以通过调节可变电容 190 而改变。可变电容 190 可通过闭合 - 对开关 192 放电。开关 192 可连接至相应的控制线（未示出）。虽然表示和描述的是单个放大器，但是应该理解，光读取器电路 16 中可使用一个以上的放大器。

[0089] 图 15 和 16 说明图像传感器 10 在也称为低噪声模式的第一模式中的操作。在过程框 300 中，将参考信号写入像素阵列的每个像素 14，然后将第一参考输出信号存储在光读取器 16 中。参照图 13 和 16，这可以通过将 RST118 和 IN120 线从低电压切换到高电压以使晶体管 112 导通来实现。RST 线 118 为整行被驱动为高。IN 线 120 为整列被驱动为高。在优选实施例中，在 IN 线 120 初始低时，RST 线 118 首先被驱动为高。

[0090] RST 线 118 可以连接至三态缓冲器（未示出），该缓冲器在 IN 线 120 切换到高状态时切换到三态。这允许栅极电压浮动到高于 IN 线 120 上电压的值。这导致晶体管 112 进入三极管区。在三极管区，光电二极管 100 上的电压大约与 IN 线 120 上的电压一样。产生更高栅极电压允许光电检测器重置在接近 Vdd 的电平。先有技术的 CMOS 传感器将光电检测器重置为 $V_{dd}-V_{gs}$ 的电平，其中 V_{gs} 可高达 1V。

[0091] SEL 线 122 也被切换到高电压电平以使晶体管 114 导通。光电二极管 100 的电压通过电平移动晶体管 116 和选择晶体管 114 提供给 OUT 线 124。光读取器 16（见图 14）的 SAM1 控制线 166 被选择，以将 OUT 线 124 上的电压存储在第一电容 152 中。

[0092] 参照图 15，在过程框 302 中，像素阵列的像素则被重置且重置输出信号则被存储在光读取器 16 中。参照图 13 和 16，这可以通过将 RST 线 118 驱动为低以使晶体管 112 截止并重置像素 14 来实现。使晶体管 112 截止会产生重置噪声、电荷注入和驻留在光电二极管 100 上的时钟馈通电压。如图 17 所示，在晶体管 112 重置时，噪声会减小光电检测器 100 上的电压。

[0093] SAM2 线 168 被驱动为高，SEL 线 122 被驱动为低，然后再次被驱动为高，这样光电二极管 100 的电平移动电压作为重置输出信号被存储在光读取器电路 16 的第二电容 154 中。过程框 300 和 302 对阵列 12 中的每个像素 14 重复。

[0094] 参照图 15,在过程框 304 中,随后从第一参考输出信号减去重置输出信号以产生噪声输出信号,随后被 ADC24 转换为数字位串。根据图 2、3、8 或 9 中所述的技术之一,数字输出数据存储在外部存储器 74 中。噪声信号对应于第一图像像素数据。参照图 14,减去过程可以通过闭合光读取器电路 16(图 14)的开关 182、184 和 170 以从第一电容 152 上的电压减去第二电容 154 上的电压来实现。

[0095] 参照图 15,在框 306 中,光响应输出信号从像素阵列 12 的像素 14 采样并存储在光读取器电路 16 中。光响应输出信号对应于图像传感器 10 检测到的光图像。参照图 13、14 和 16,这可以通过使 IN120、SEL122 和 SAM2 线 168 处于高状态并使 RST118 处于低状态来实现。光读取器电路 16 的第二电容 152 存储光电二极管 100 的电平移动电压作为光响应输出信号。

[0096] 参照图 15,在框 308 中,第二参考输出信号随后在像素 14 中产生并存储在光读取器电路 16 中。参考图 13、14 和 16,这可以通过与产生和存储第一参考输出信号相似的方法来实现。RST 线 118 被首先驱动为高,然后进入三态。随后将 IN 线 120 驱动为高以使晶体管 112 进入三极管区,这样光电二极管 100 上的电压为 IN 线 120 上的电压。SEL122 和 SAM2168 线随后被驱动为高以将第二参考输出电压存储在光读取器电路 16 的第一电容 154 中。过程框 306 和 308 对阵列 12 中的每个像素 14 重复。

[0097] 参照图 15,在框 310 中,从第二参考输出信号减去光响应输出信号以产生标准化的光响应输出信号。标准化的光响应输出信号被转换为数字位串以创建标准化的光输出数据,该数据存储在第二图像缓冲器 32 和 34 中。标准化的光响应输出信号对应于第二图像像素数据。参照图 13、14 和 16,减去过程可以通过闭合光读取器 16 的开关 170、182 和 184 以从第二电容 154 上的电压减去第一电容 152 上的电压来实现。差值随后被放大器 180 放大并由 ADC24 转换为数字位串作为光响应数据。

[0098] 参照图 15,在框 312 中,从外部存储器提取噪声数据。在框 314 中,根据图 3、4、5、6、7 或 8 中所示的技术之一,噪声数据与标准化光输出数据组合(减去)。噪声数据对应于第一图像,而标准化光输出数据对应于第二图像。第二参考输出信号与第一参考输出信号相同或大致相同,使得本技术从标准化光响应信号中减去由于重置噪声、电荷注入和时钟馈通而产生的噪声数据。这提高了最终图像数据的信噪比。图像传感器使用仅有三个晶体管的像素执行此噪声消除。因此,本图像传感器提供噪声消除,同时保持相对较小的像素间距。此过程使用外部处理器 72 和外部存储器 74 实现。

[0099] 所述过程按顺序在像素阵列 12 中的各像素行执行。如图 16 所示,在像素阵列中的第 $n-1$ 行产生标准化光响应信号时,第 n 行可能正在产生噪声信号,其中 1 是以行周期的倍数计的曝光持续时间。

[0100] 各种控制信号 RST、SEL、IN、SAM1、SAM2 和 SUB 可以在一般被称为行解码器 20 的电路产生。图 18 说明按照图 16 的时序图产生 IN、SEL、SAM1、SAM2 和 RST 信号的逻辑的实施例。该逻辑可以包括多个比较器 350,其中一个输入连接至计数器 352 和另一个输入连接至包含较低计数值和较高计数值的硬连线信号。计数器 352 顺序地产生计数。比较器 350 比较当前计数与较低和较高计数值。如果当前计数处于较低和较高计数值之间,比较器 350 输出逻辑 1。

[0101] 比较器 350 连接至多个“与”门 356 和“或”门 358。“或”门 358 连接至锁存器

360。锁存器 360 提供相应的 IN、SEL、SAM1、SAM2 和 RST 信号。“与”门 356 还连接至模式线 364。要按照图 16 所示的时序图操作,模式线 364 设置为逻辑 1。

[0102] 锁存器 360 根据由“与”门 356、“或”门 358、比较器 350 和计数器 352 的当前计数建立的逻辑在逻辑 0 和逻辑 1 之间切换。例如,耦合至 IN 锁存器的比较器所用的硬连线信号可能包含计数值 6 和计数值 24。如果计数器的计数大于或等于 6 但小于 24,则比较器 350 将提供使 IN 锁存器 360 输出逻辑 1 的逻辑 1。较低和较高计数值建立图 16 所示的脉冲的序列和持续时间。模式线 364 可以切换至使图像传感器以第二模式工作的逻辑 0。

[0103] 传感器 10 可能具有多个重置 RST(n) 驱动器 370,每个驱动器 370 连接至一行像素。图 19 和 20 说明示范驱动器电路 370 和电路 370 的操作。每个驱动器 370 可具有一对“或非”门 372,它们连接至图 18 所示的 RST 和 SAM1 锁存器。“或非”门控制三态缓冲器 374 的状态。三态缓冲器 374 连接至一行像素中的重置晶体管。三态缓冲器的输入连接至“与”门 376,“与”门 376 连接至 RST 锁存器和行使能 ROWEN(n) 线。

[0104] 图 21 和 22 说明图像传感器在也称为扩展动态范围模式的第二模式中的操作。在这种模式中,图像提供足够的光能量,使得 SNR 即使没有图 15 和 16 中所述的噪声消除技术也是足够的。然而可以理解,在图像传感器 10 处于扩展动态范围模式中时可以使用图 15 和 16 中所示的噪声消除技术。扩展动态模式同时具有短曝光周期和长曝光周期。参照图 21,在框 400 中,每个像素 14 被重置以开始短曝光周期。图像传感器的模式可以由处理器 72 设置以确定传感器应该处于低噪声模式还是扩展动态范围模式。

[0105] 在框 402 中,短曝光输出信号在选定的像素中产生并存储在光读取器电路 16 的第二电容 154 中。

[0106] 在框 404 中,选定的像素随后被重置。光电二极管 100 的电平移动重置电压存储在光读取器电路 16 的第一电容 152 中作为重置输出信号。短曝光输出信号被从光读取器电路 16 中的重置输出信号减去。短曝光信号和重置信号之间的差值由 ADC24 转换为二进制位串并根据图 2、3、8 或 9 中所示的技术之一存储在外部存储器 74 中。短曝光数据对应于第一图像像素数据。然后再重置每个像素以开始长曝光周期。

[0107] 在框 406 中,光读取器电路 16 将来自像素的长曝光输出信号存储在第二电容 154 中。在框 408 中,像素被重置且光读取器电路 16 将重置输出信号存储在第一电容 152 中。长曝光输出信号被从重置输出信号减去、放大并由 ADC24 转换为二进制位串作为长曝光数据。

[0108] 参考图 21,在框 410 中,从外部存储器提取短曝光数据。在框 412 中,根据图 3、4、5、6、7 或 8 中所示的技术之一,短曝光数据与长曝光数据组合。数据可以按多种不同的方式组合。外部处理器 72 可以先使用长曝光数据分析图像。如果图像太亮,光电二极管可能会饱和。这通常会导致图像“褪色”。处理器 72 可以处理长曝光数据以确定图像是否褪色,如果是,处理器 72 则可以使用短曝光图像数据。处理器 72 也可以同时使用长和短曝光数据以补偿检测到的图像的饱和部分。

[0109] 举例来说,图像开始可以设置为全零。然后处理器 72 分析长曝光数据。如果长曝光数据不超过阈值,则使用长曝光数据的所有 N 位取代图像的 N 个最低有效位 (LSB)。如果长曝光数据超过阈值,则使用短曝光数据的所有 N 位取代图像的 N 个最高有效位 (MSB)。此技术将动态范围增大 M 位,其中 M 是由等式 $1 = 2^M$ 定义的长短曝光的曝光持续时间比中

的指数。根据映射等式 $Y = 2^N \log_2(X) / (N+M)$ ，取代的图像可经过对数映射以获得 N 位的最终图片。

[0110] 图 22 说明长短曝光数据的数据产生和提取的定时。从像素阵列 12 读取输出信号与从存储器 74 提取信号重叠。图 22 说明数据产生和提取的定时，其中第 n 行像素开始短曝光，第 (n-k) 行结束短曝光周期并开始长曝光周期，第 (n-k-1) 行像素结束长曝光周期。其中 k 是以行周期的倍数计的短曝光持续时间，l 是以行周期的倍数计的长曝光持续时间。

[0111] 在第 (n-k-1) 像素阵列正在完成长曝光周期的同时，存储器控制器 44 开始为行 (n-k-1) 中的像素提取短曝光数据。在行周期开始时，光读取器电路 16 从像素阵列 12 的第 (n-k) 行提取短曝光输出信号，如信号 SAM1、SAM2、SEL(n-k) 和 RST(n-k) 的使能所示。然后，光读取器电路 16 提取第 (n-k-1) 行的长曝光数据。

[0112] 图像传感器 10 的双模式可以补偿图像中的变化亮度。在图像亮度低时，来自像素的输出信号相对低。这通常会减小由传感器提供的结果数据的信噪比，假定平均噪声相对恒定。图 15 和 16 所示的噪声补偿方案提高输出数据的信噪比，使得图像传感器即使在目标图像相对较暗时也可提供优质的图片。相反，在目标图像太亮时，图 21 和 22 所示的扩展动态范围模式会补偿这种亮度以提供优质的图片。

[0113] 图 23a 说明图像传感器的又一实施例，具备连接至外部处理器 72 的处理器总线 70' 和连接至外部存储器 74 的单独的存储器总线 70"。在这样配置下，处理器 72 可以在存储器 74 存储和传输数据时访问数据。此实施例还允许处理器总线 70' 的时钟速率比图 1 所示实施例的总线 68 更慢。

[0114] 图 23b 说明又一实施例，其中处理器 72 耦合至分开的数据接口 500，而外部存储器 74 连接至单独的存储器控制器 44。

[0115] 图 24 说明图像传感器的又一实施例，具有连接至缓冲器 28、30、32 和 34 的数据接口 500。接口 500 通过处理器总线 502 连接至外部处理器 72。在此配置中，外部存储器 74 通过单独的存储器总线 504 连接至处理器 72。对于静态图像和视频捕捉这两者，第一和第二图像以交错方式提供给外部处理器。

[0116] 图 25 公开了不带缓冲器 28、30、32 和 34 的图像传感器的又一实施例。在此实施例中，ADC24 直接连接至外部处理器 72。处理器 72 可以执行计算步骤，例如组合（减去）噪声数据与标准化光输出数据，或短曝光数据与长曝光数据。

[0117] 图 26 公开了包含 DMA 控制器 510、缓冲存储器 512 和图像处理单元 514 的外部处理器。图像传感器 10 连接至 DMA 控制器 510。处理器的 DMA 控制器 510 将第一和第二图像数据以交错或接连方式传输到存储器 74。DMA 控制器 510 还可以将图像数据传输到缓冲存储器 512 由图像处理单元 514 进行处理。

[0118] 图 27 说明图像传感器系统 550 的又一实施例。系统 550 包括通过第一总线 556 和第二总线 558 耦合至处理器 554 的图像传感器 552。处理器 554 也可以通过存储器总线 562 耦合至存储装置 560，并通过非易失性存储器总线 566 耦合至非易失性存储装置 564。

[0119] 图像传感器 552 产生第一图像和第二图像。举例来说，第一图像在系统处于低噪声模式时可以是数字化的标准化噪声输出信号，或扩展动态范围模式的短曝光数据。同样，第二图像可以是低噪声模式的数字化的标准化光响应输出信号，或扩展动态范围模式的长曝光数据。

[0120] 图像传感器 552 以时间重叠方式将第一和第二图像传输到处理器 554。在第二图像通过第二总线 558 传输的同时第一图像可以通过第一总线 556 传输。应该理解,时间重叠方式表示在第一图像数据仍由图像传感器 552 传输时,第二图像数据正被传输到处理器 554。举例来说,图像传感器 552 可通过将第一和第二图像在单个总线上交错,或在专用总线 556 和 558 上传输这两种图像,将图像传输到处理器。图像传感器 552 可以从内部数据接口、存储器控制器、直接从 ADC 或任何其他板载处理器和 / 或存储器接口传输图像数据。

[0121] 处理器 554 可以使第一图像存储在存储装置 560 中,并在以后与第二图像重新组合。或者,存储装置 560 可以存储整个第一和第二图像。然后,可以由处理器 554 提取和组合第一和第二图像。作为又一种备选方案,存储装置 560 可以仅存储第二图像的一部分。

[0122] 非易失性存储装置 564 可以是包含嵌入式固件的只读存储器 (“ROM”)。该固件可以包含使处理器 554 以时间重叠方式接收第一和第二图像的程序。举例来说,程序可以使处理器 554 以交错的方式接收图像。或者,处理器 554 可以配置为具有固件和硬件的组合,或纯硬件实现,用于以时间重叠方式接收图像数据。

[0123] 如图 28 所示,双总线系统 550 的处理器 554 可以包含板载 DMA 控制器 566、缓冲存储器 568 和类似图 26 所示处理器的处理单元 570。DMA 控制器 566 可以使图像数据从存储装置 560 存储和提取。

[0124] 图 29 说明具有多个缓冲器 572、574、576 和 578 的双端口 DMA 控制器 566 的实施例。缓冲器 572 和 574,576 和 578 分别通过开关 580 和 582 耦合至总线 556 和 558。缓冲器 572 和 574,576 和 578 通过开关 584、586 和 588 耦合至存储器总线 562。这些缓冲器和开关可类似于图 1 所示的图像传感器的缓冲器 28、30、32 和 34 以及开关 38、40、42、48 和 54 来工作。

[0125] DMA 控制器 566 可以具备逻辑电路 590,使第一图像数据存储在缓冲器 572 和 574 中,第二图像数据存储在缓冲器 576 和 578 中。缓冲器 574 和 578 可以存储分别来自总线 556 和 558 的数据,而存储装置 560 存储分别来自缓冲器 572 和 576 的第一图像数据和第二图像数据。然后,缓冲器 572 和 576 可以存储来自总线 556 和 558 的数据,而缓冲器 574 和 578 提供数据给存储器 560。缓冲器 572、574、576 和 578 可以在存储来自总线 556 和 558 的数据与提供数据给存储装置 560 之间交替。DMA 控制器 566 可以控制图像数据在存储装置 560 内的存储位置。

[0126] 虽然未示出,图 23a、23b 和 25 中所示的图像传感器系统也可以具有双总线配置。图 23a 和 23b 中所示的实施例可以具有用于处理器 72 和 / 或存储器 74 的双总线。

[0127] 本发明人的意图是只有包含术语“部件”的权利要求应根据 35U. S. C. § 112 第六段来解释。

[0128] 虽然某些示范实施例已经在附图中描述和显示,但是应该理解,这些实施例对广义发明只是说明性而不是限制性的,并且本发明不限于所显示和描述的特定结构和配置,因为本领域的技术人员可以想出各种其他修改。

[0129] 例如,虽然显示和描述了涉及图像整行的交错技术,但是应该理解,数据可以以涉及少于一整行或多于一行的方式交错。举例来说,可以传输图像 A 的第一行的一半,再传输图像 B 的第一行的一半,再传输图像 A 的第一行的另一半,如此类推。同样,可以传输图像 A 的前两行,再传输图像 B 的前两行,再传输图像 A 的第三和第四行,如此类推。

[0130] 此外,处理器 72 和 / 或 554 可以是 Texas Instruments 提供的数字信号处理器,部件名称为 TMS320DSC21、TMS320DSC25、TMS320DM270 或 TMS320DM310,或者是这些部件的修改形式。

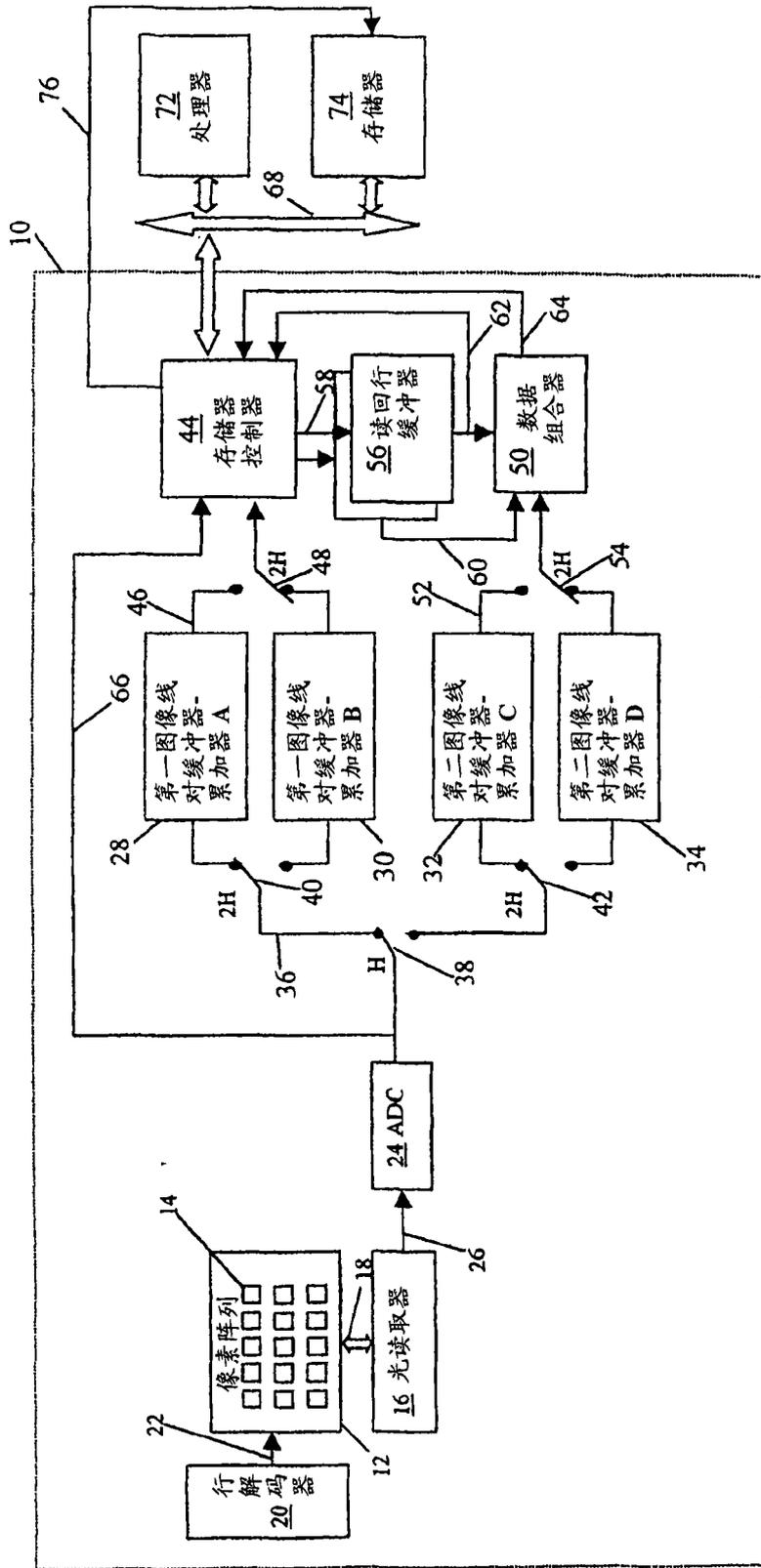


图 1

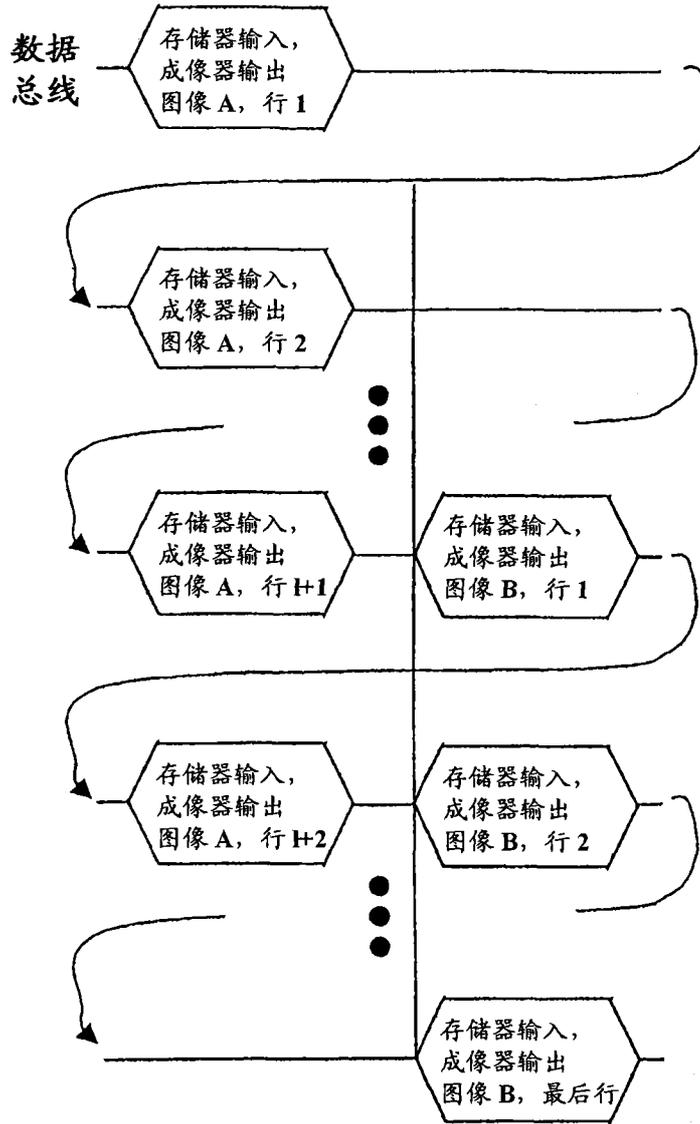


图 2

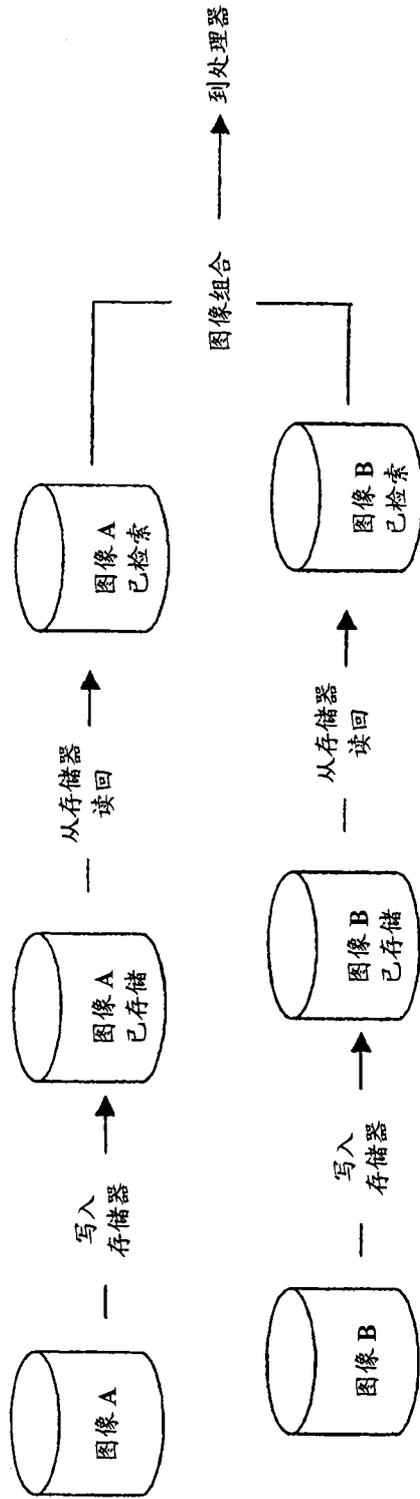


图 3

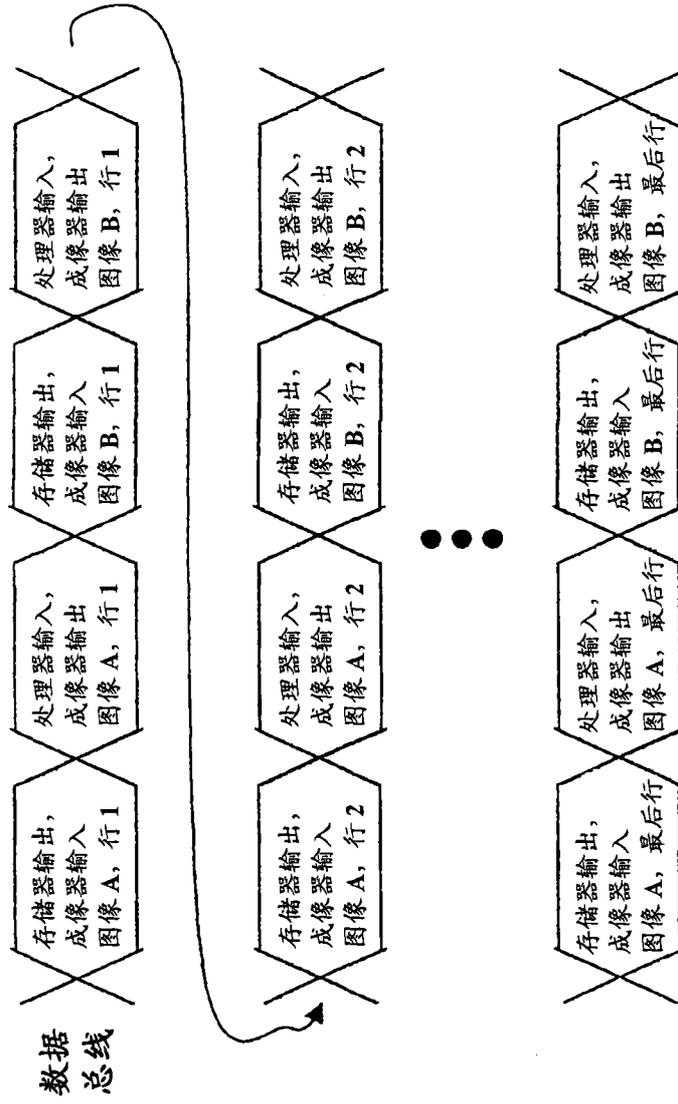


图 4

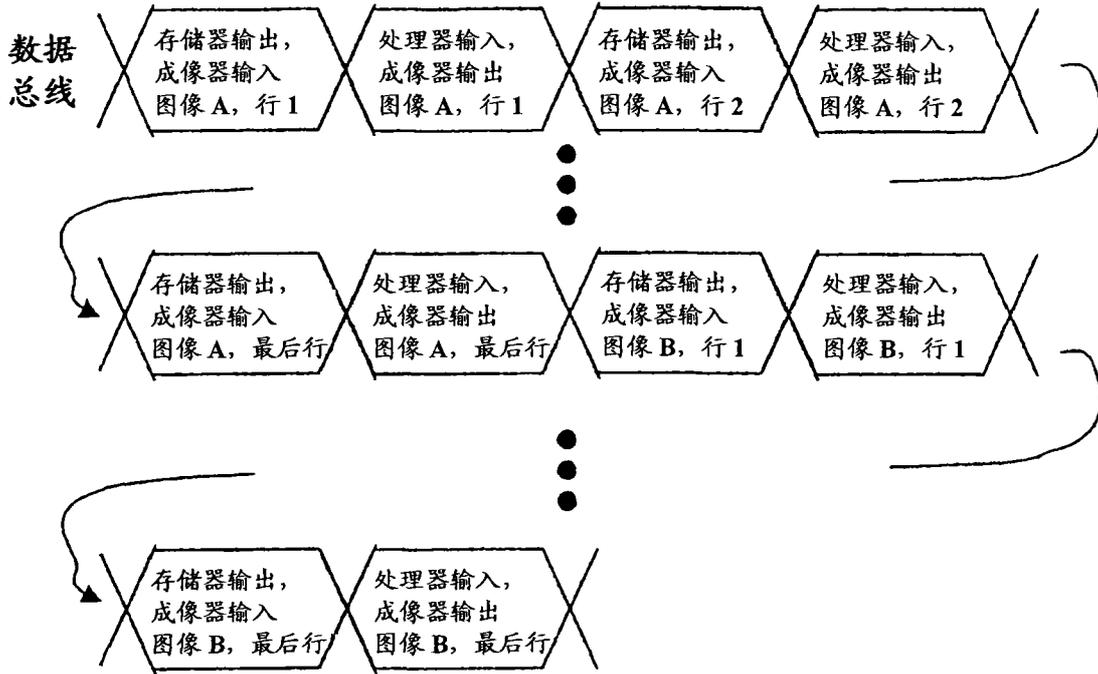


图 5

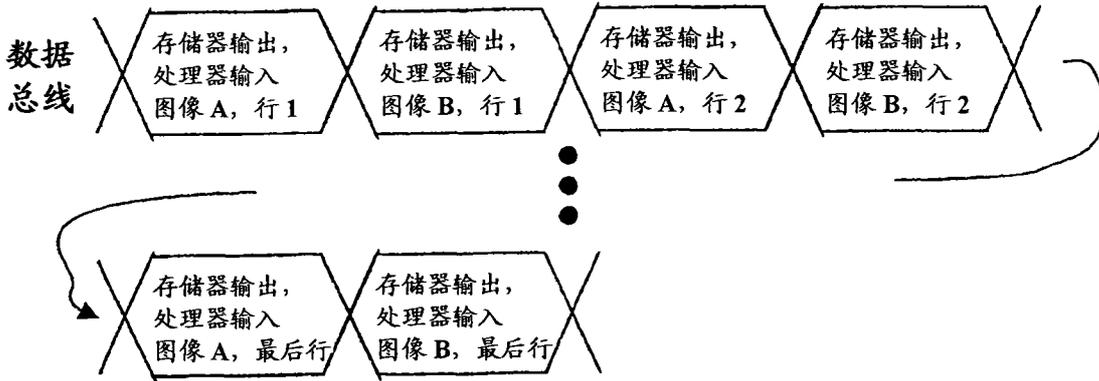


图 6

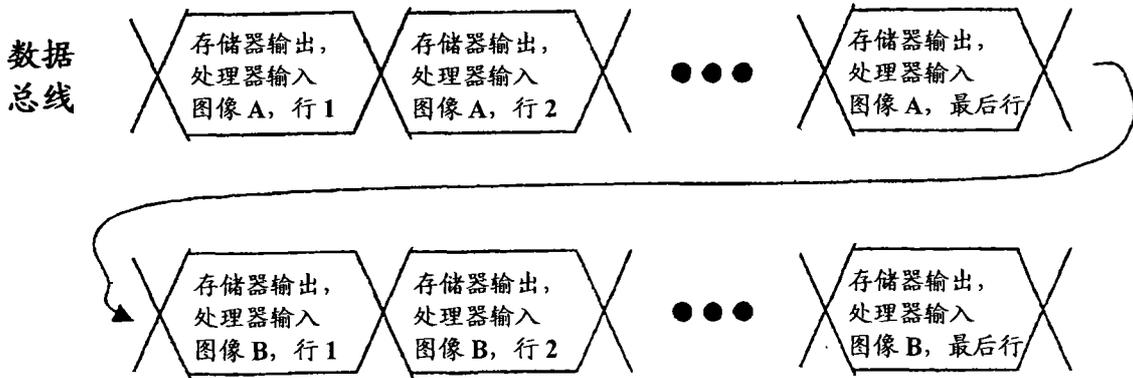
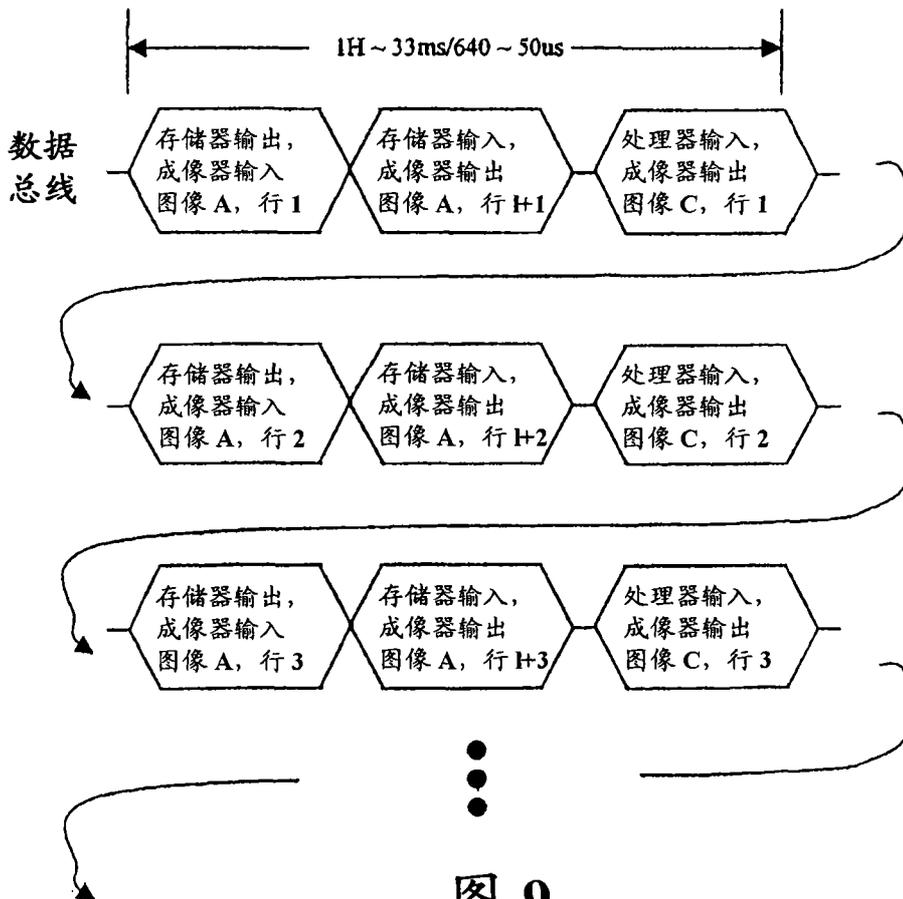
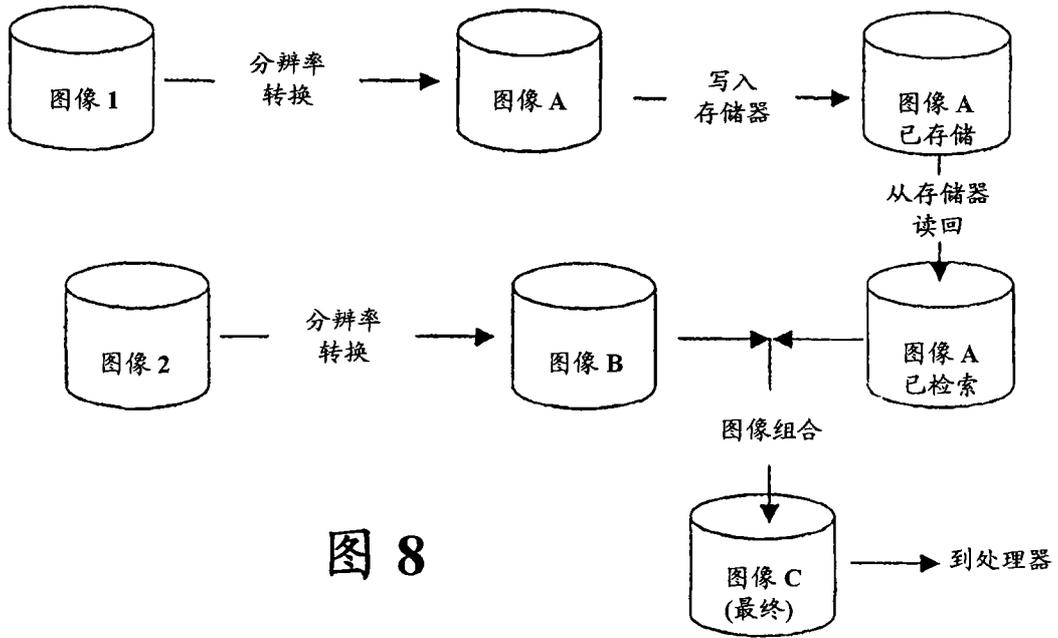


图 7



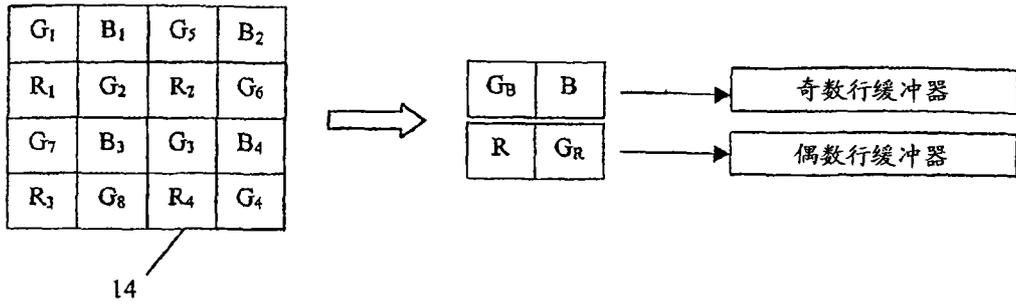


图 10

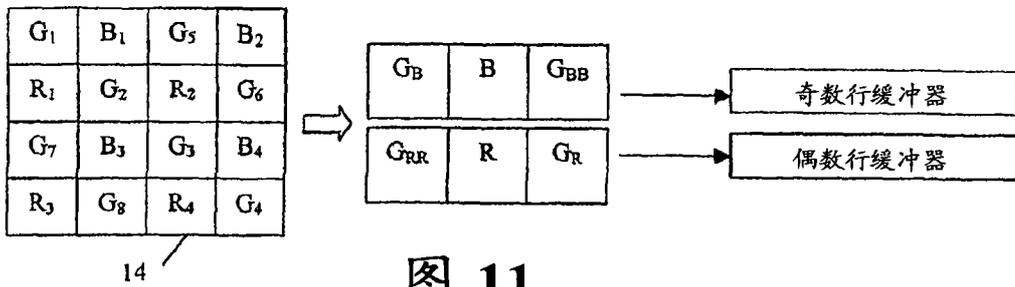


图 11

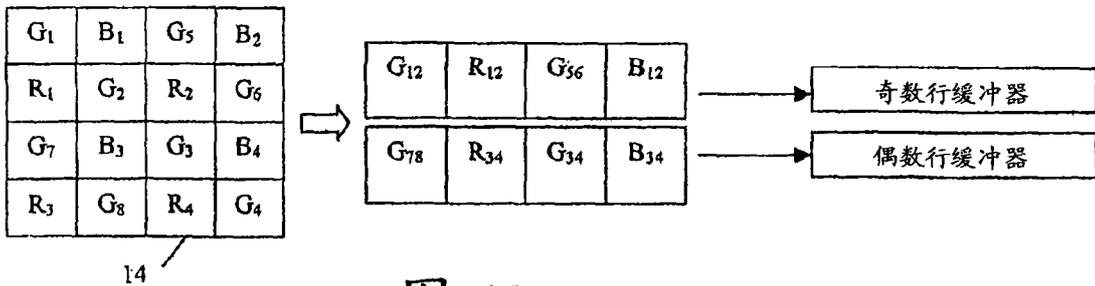


图 12

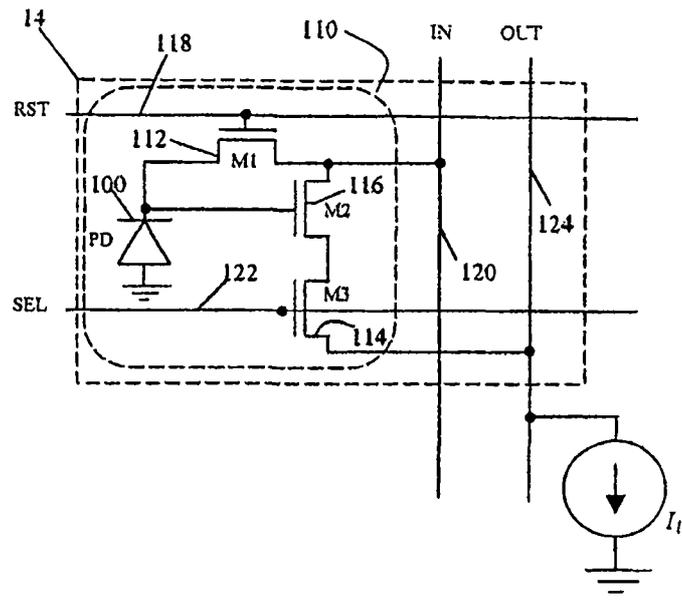


图 13

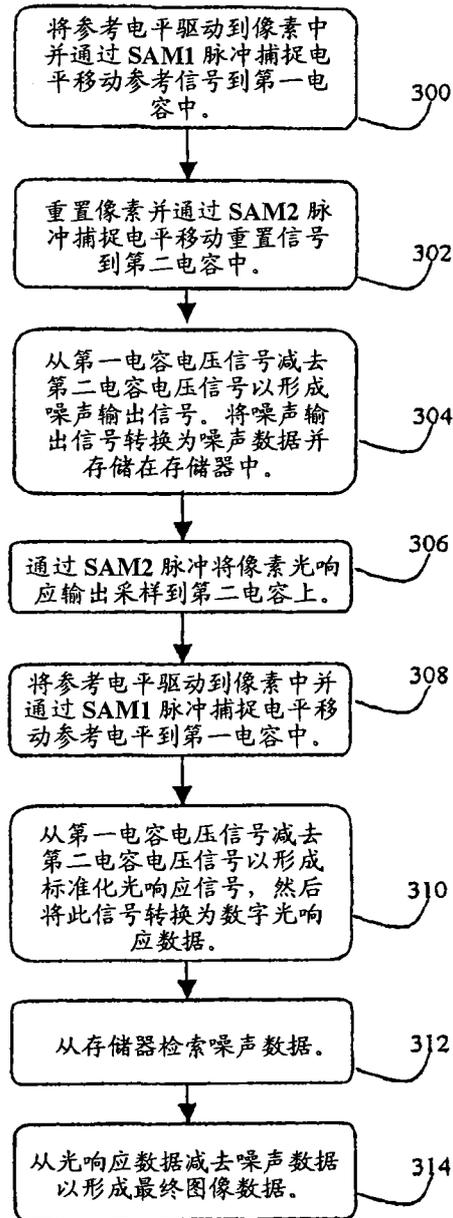


图 15

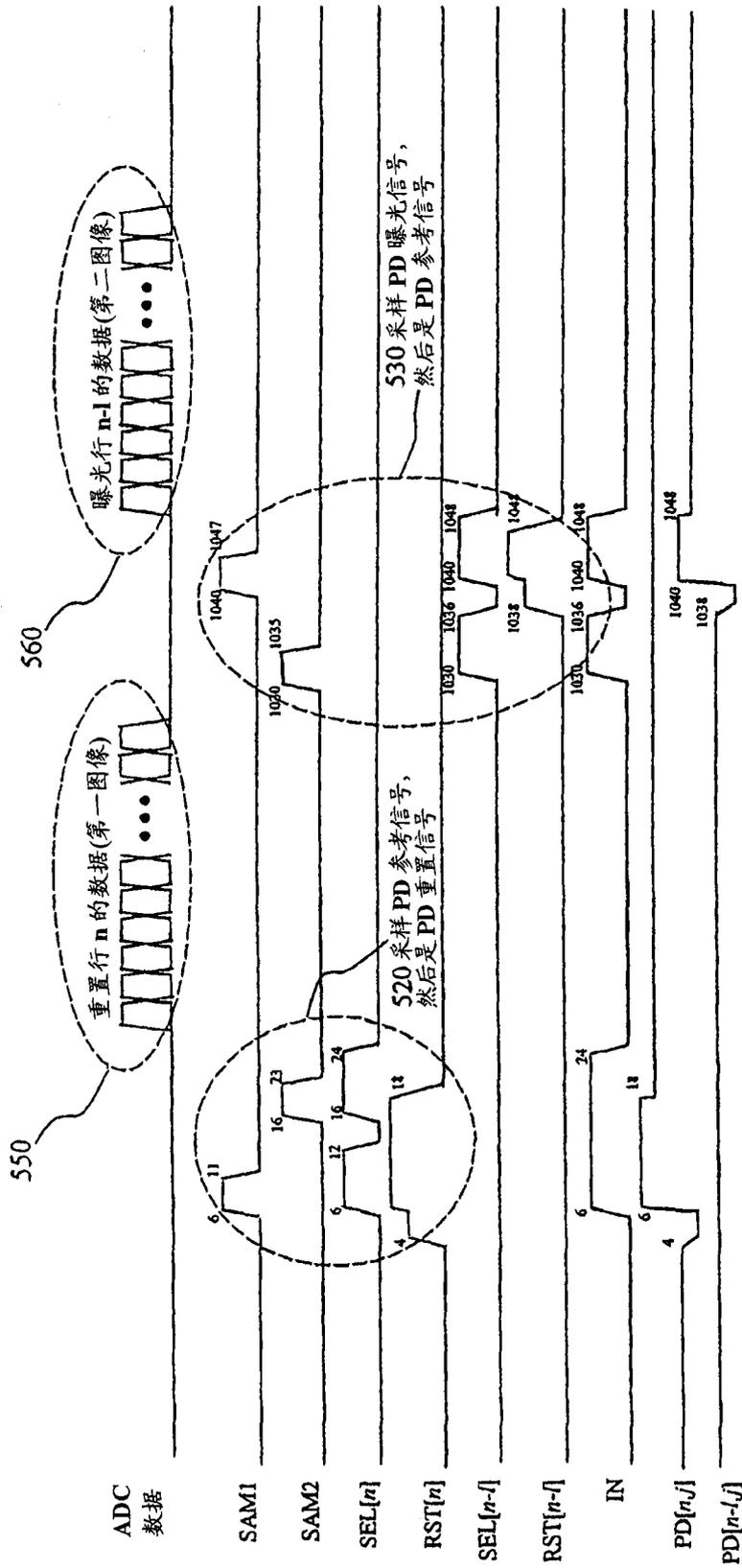


图 16

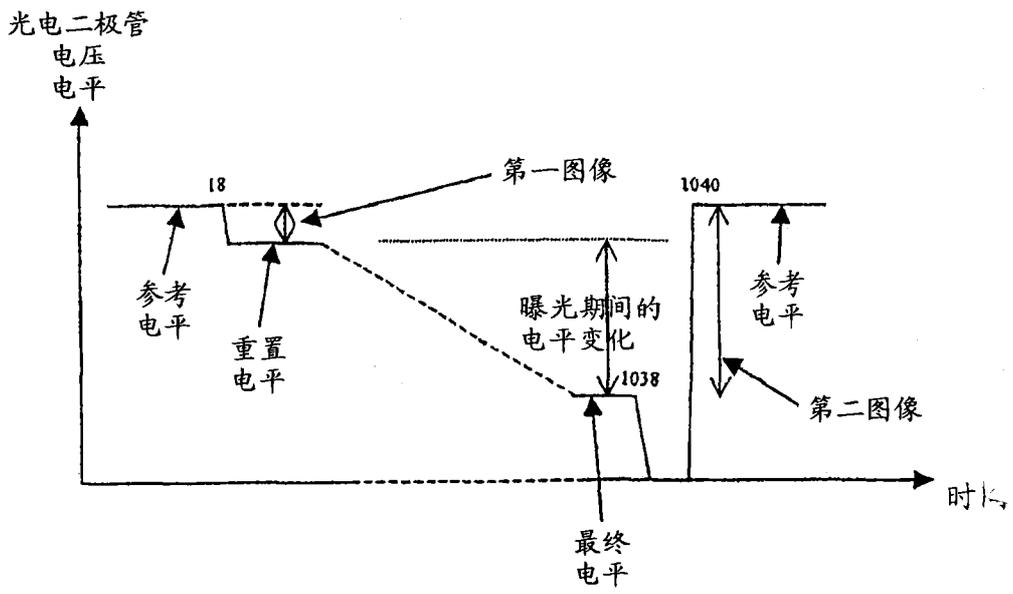


图 17

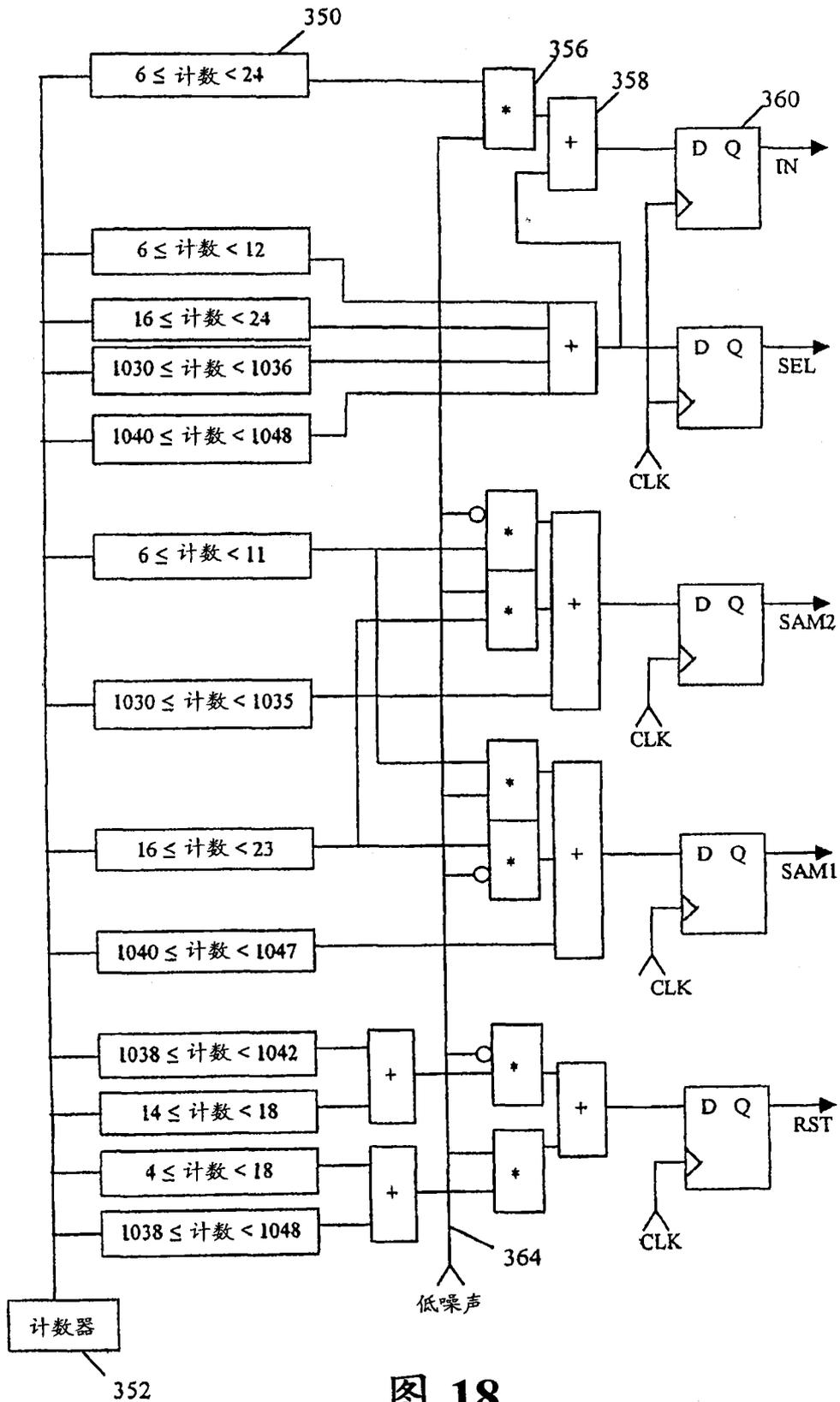


图 18

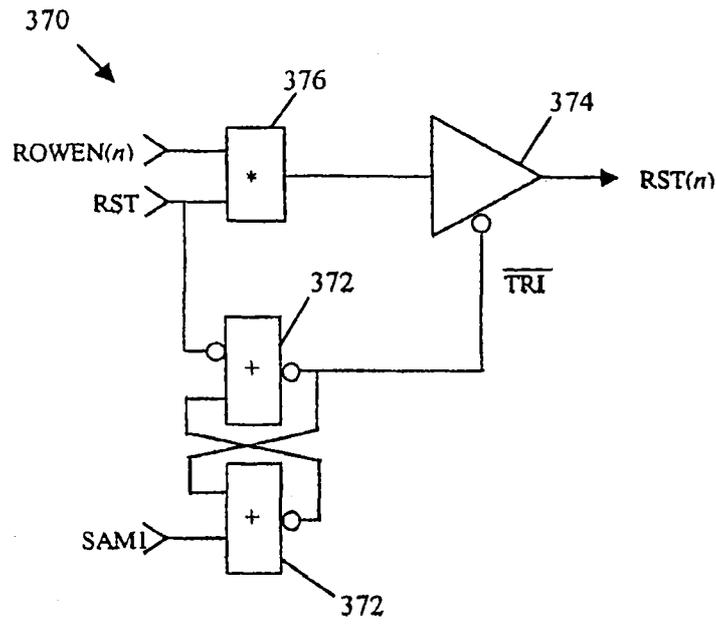


图 19

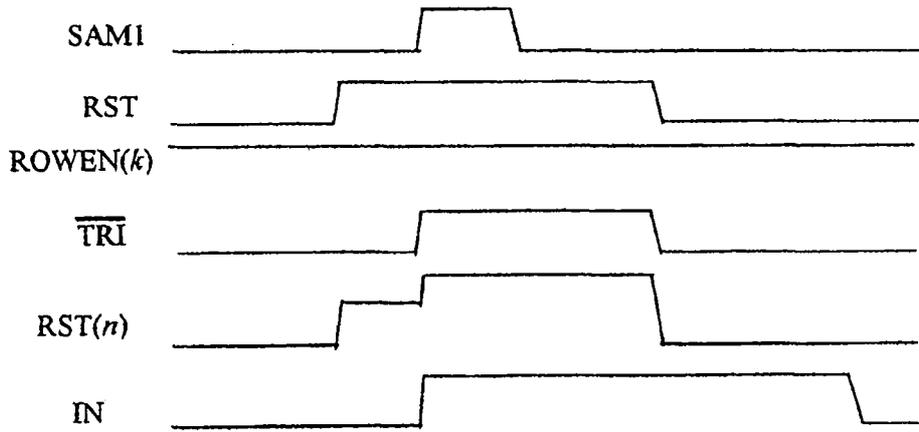


图 20

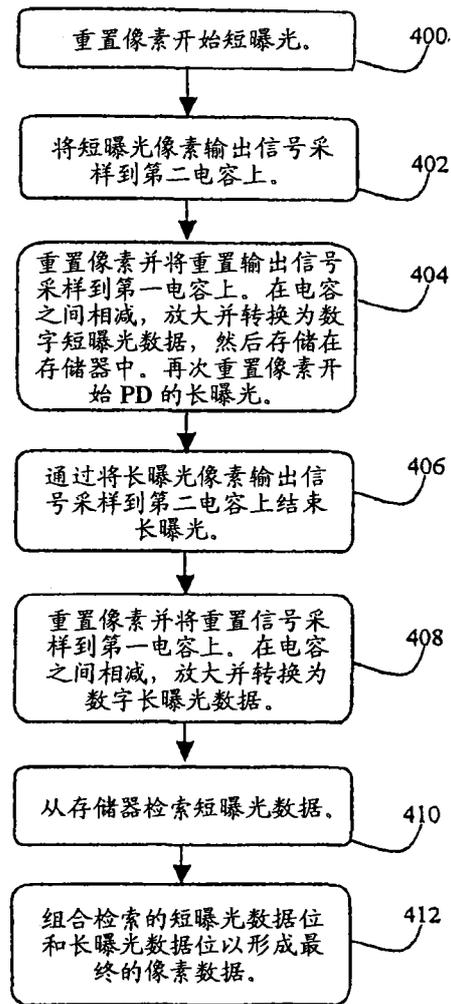


图 21

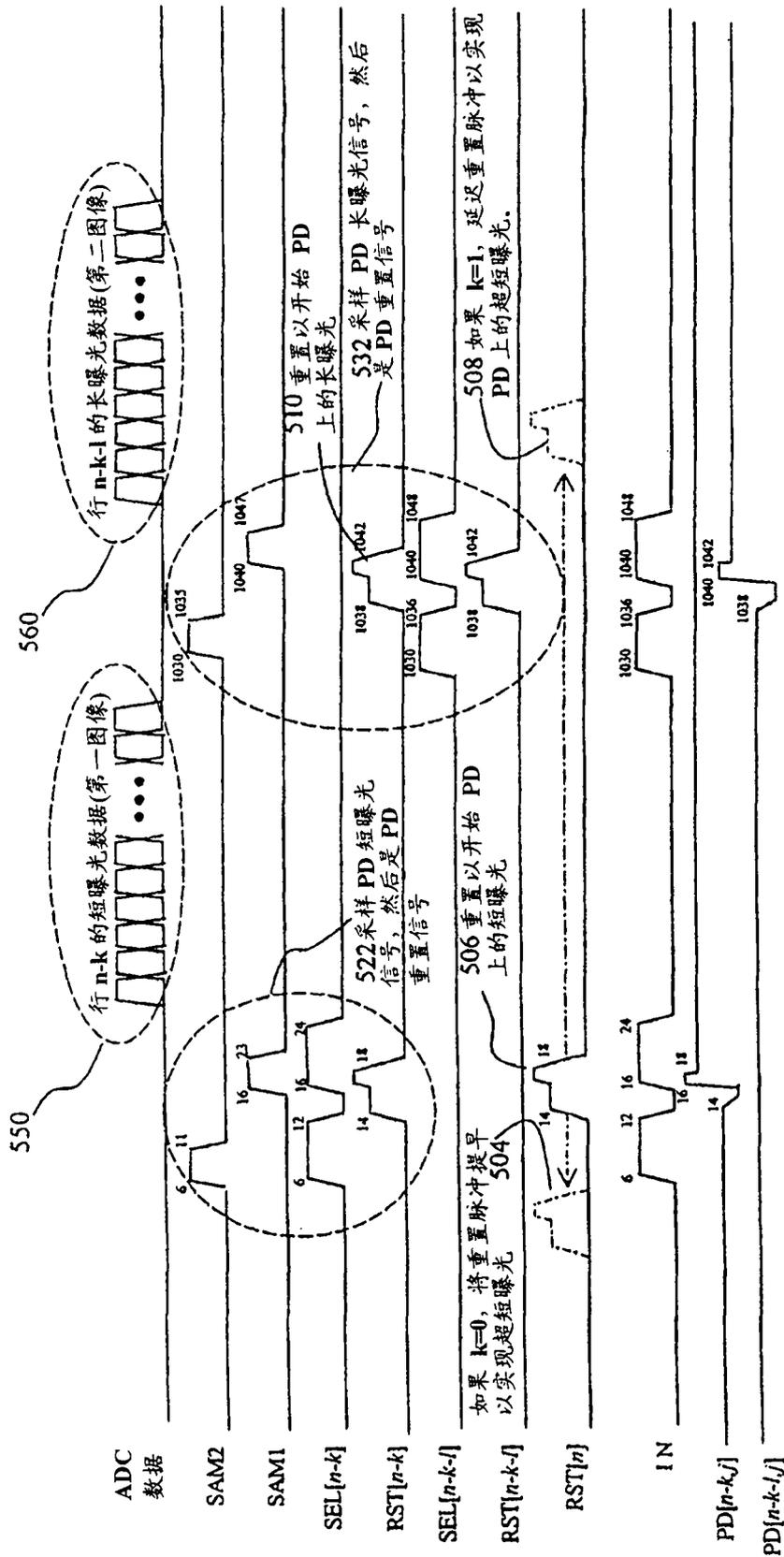


图 22

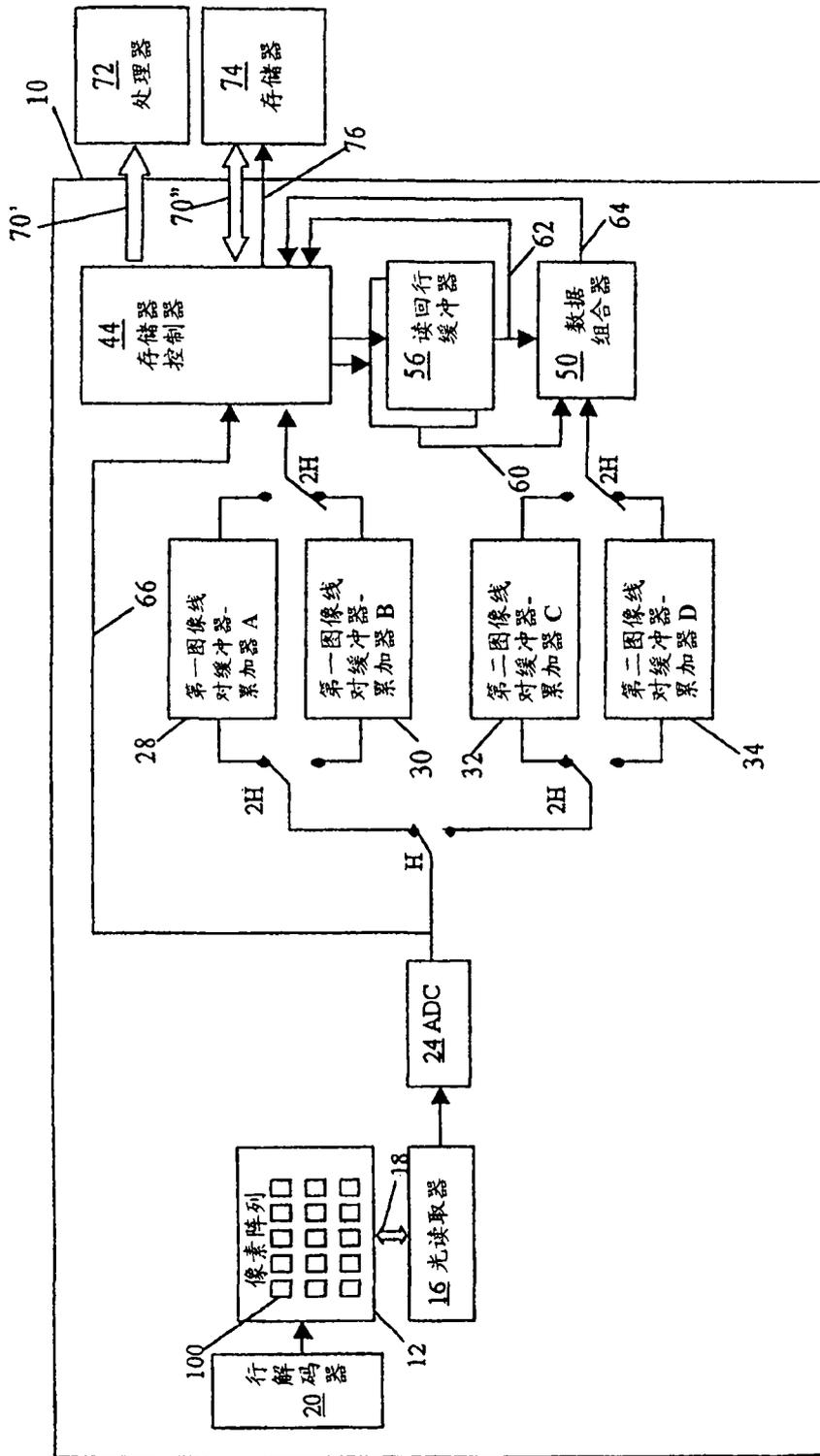


图 23a

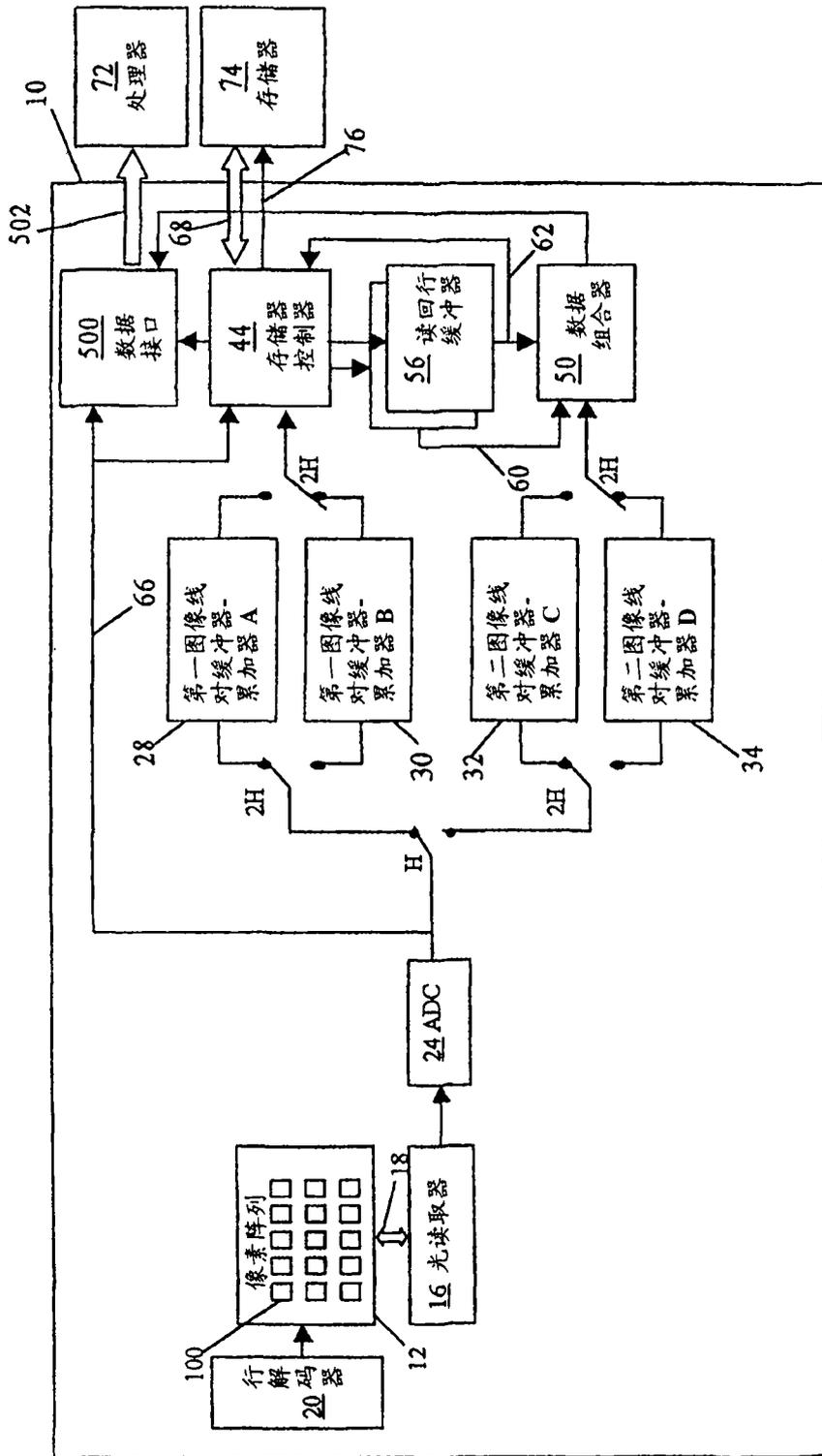


图 23b

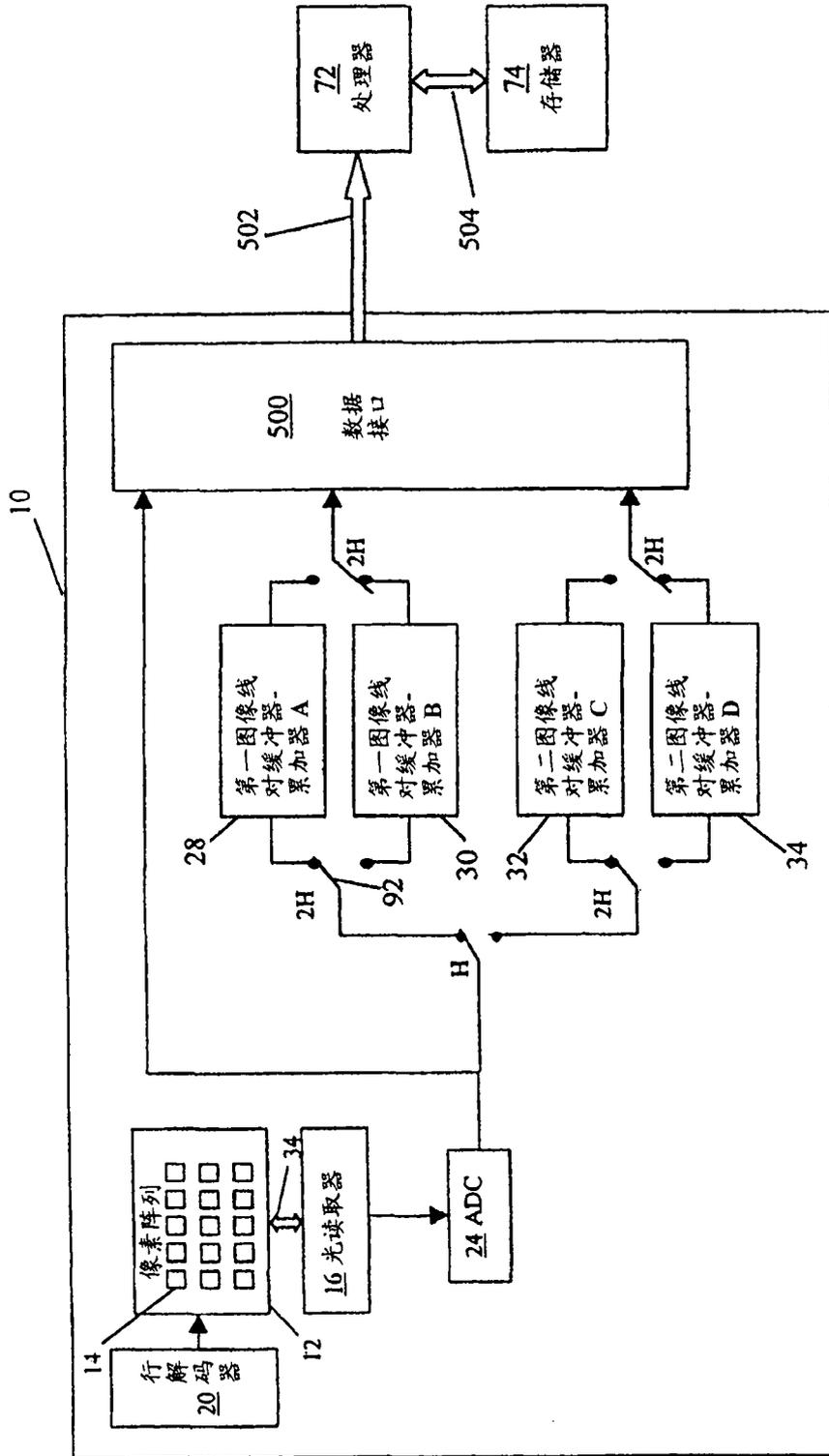


图 24

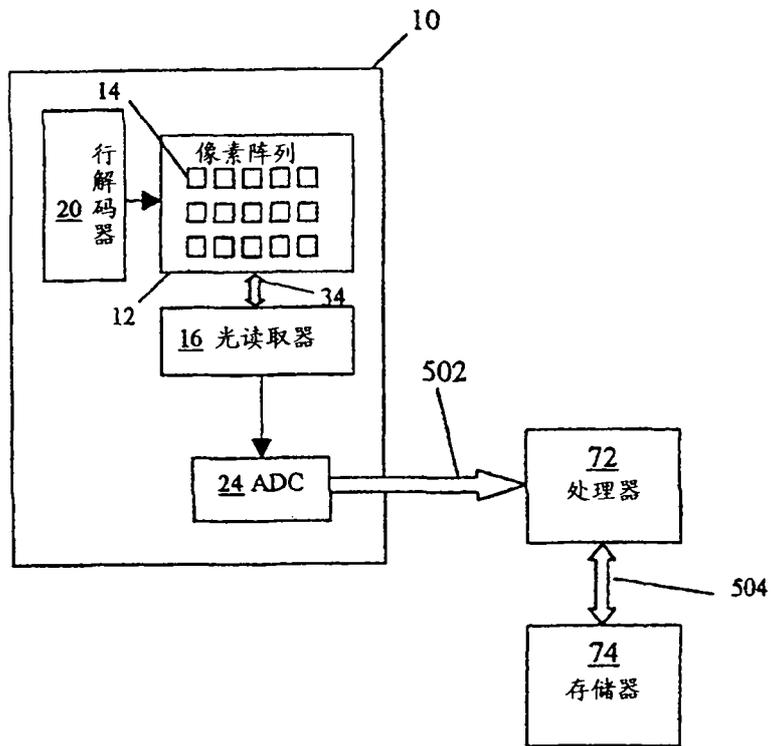


图 25

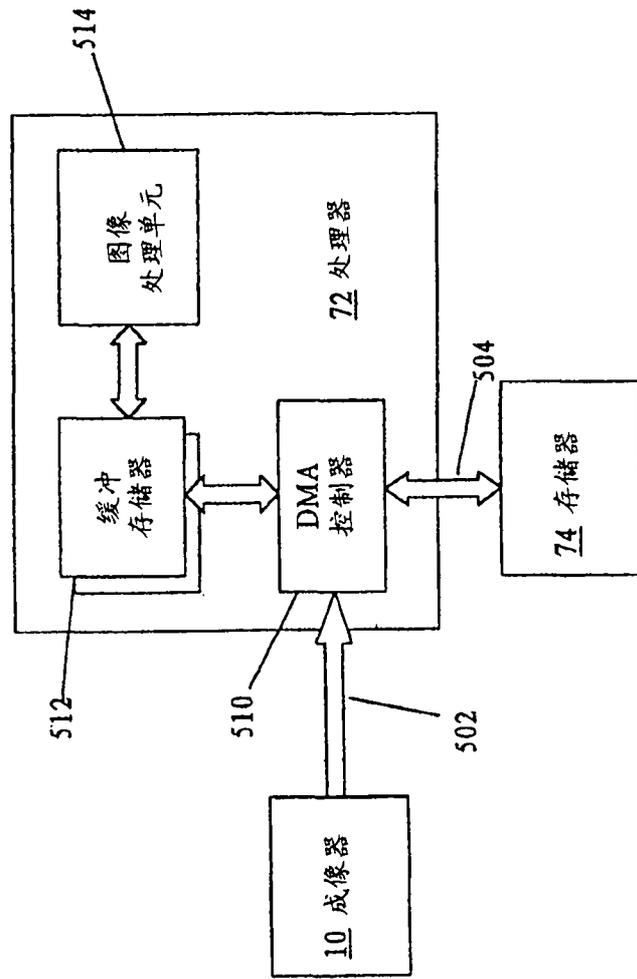


图 26

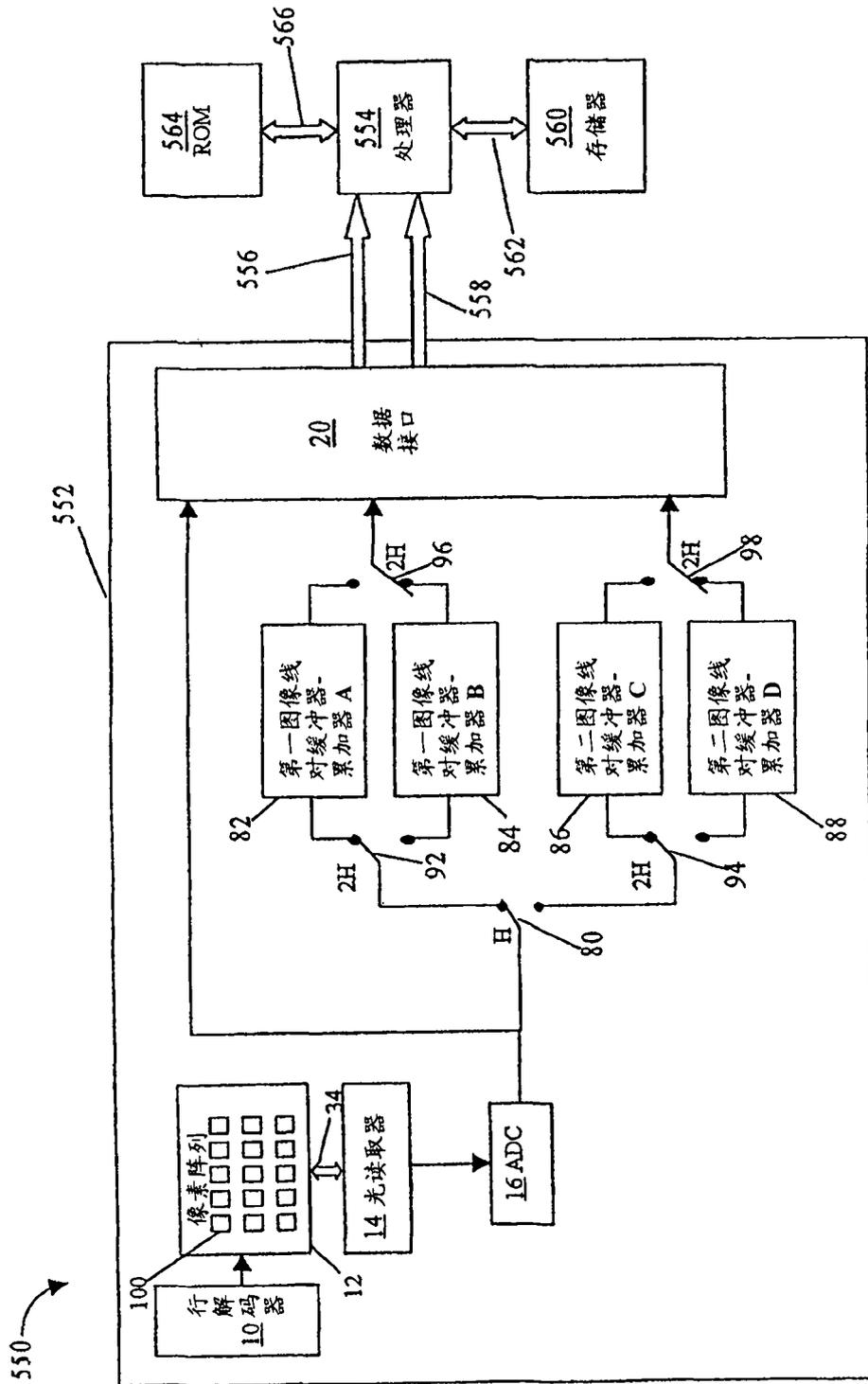


图 27

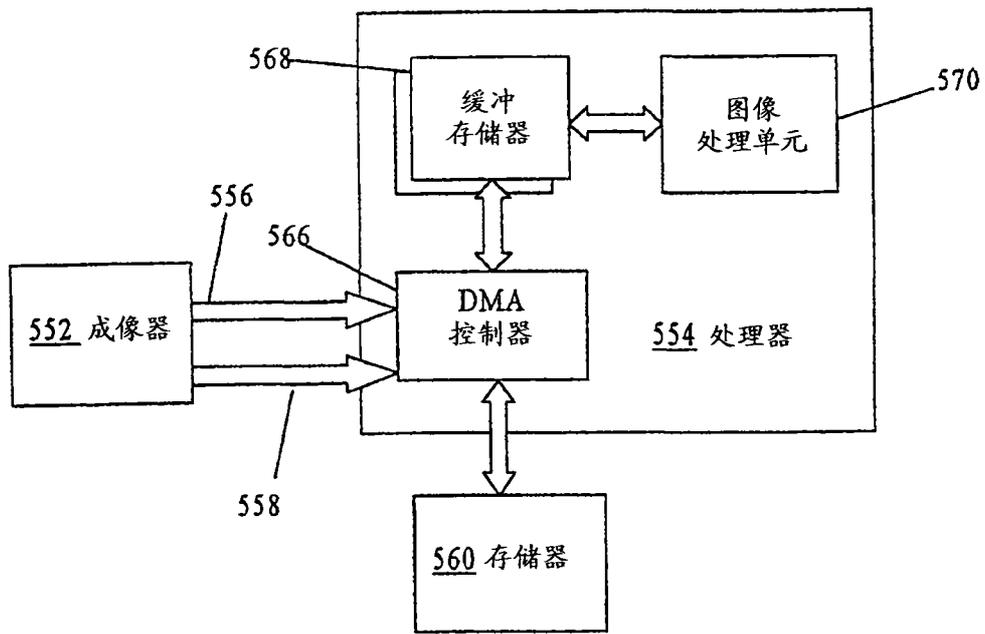


图 28

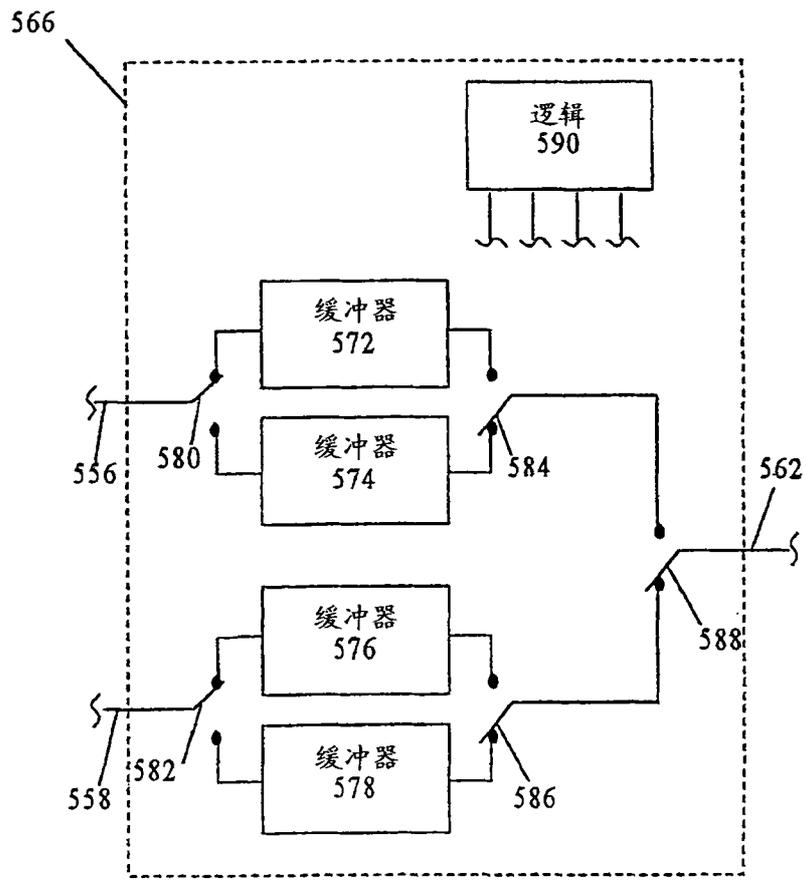


图 29