



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I565067 B

(45) 公告日：中華民國 106 (2017) 年 01 月 01 日

(21) 申請案號：101123714 (22) 申請日：中華民國 101 (2012) 年 07 月 02 日

(51) Int. Cl. : H01L29/78 (2006.01) H01L21/336 (2006.01)

(30) 優先權：2011/07/08 日本 2011-152016

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72) 發明人：遠藤佑太 ENDO, YUTA (JP) ; 肥塚純一 KOEZUKA, JUNICHI (JP) ; 佐藤優一
SATO, YUICHI (JP)

(74) 代理人：林志剛

(56) 參考文獻：

TW	200841475A	TW	201029184A1
US	2007/0210313A1	US	2010/0117071A1
WO	2007/055299A1		

審查人員：姚真華

申請專利範圍項數：17 項 圖式數：25 共 100 頁

(54) 名稱

半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

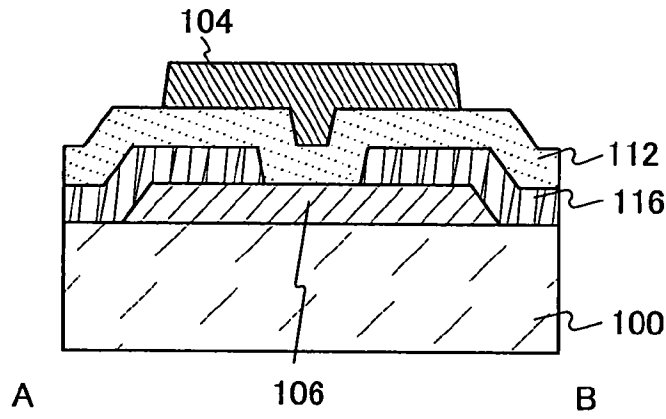
(57) 摘要

本發明的目的是提供一種場效應遷移率高、臨界電壓的偏差小且可靠性高的使用氧化物半導體膜的電晶體的半導體裝置。本發明是一種具有電晶體的半導體裝置，該電晶體包括藉由加熱處理釋放氧的絕緣基板以及設置在該絕緣基板上的氧化物半導體膜，其中，在該氧化物半導體膜形成通道。藉由加熱處理釋放氧的絕緣基板可以藉由對絕緣基板的至少設置氧化物半導體膜的一側進行氧離子的注入來製造。

An object of an embodiment of the present invention is to provide a semiconductor device which includes a transistor including an oxide semiconductor with high field-effect mobility, a small variation in threshold voltage, and high reliability. The semiconductor device includes a transistor which includes an insulating substrate from which oxygen is released by heat treatment and an oxide semiconductor film over the insulating substrate. A channel is formed in the oxide semiconductor film. The insulating substrate from which oxygen is released by heat treatment can be manufactured by implanting oxygen ions into at least a region of an insulating substrate on the side provided with the oxide semiconductor film.

指定代表圖：

圖 1B



符號簡單說明：

100 . . . 基板

104 . . . 閘極電極

106 . . . 氧化物半導體膜

112 . . . 閘極絕緣膜

116 . . . 一對電極

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：101123714

※申請日：101年07月02日

※IPC分類：

H01L 29/178 2006.01

H01L 21/336 2006.01

一、發明名稱：(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

二、中文發明摘要：

本發明的目的是提供一種場效應遷移率高、臨界電壓的偏差小且可靠性高的使用氧化物半導體膜的電晶體的半導體裝置。本發明是一種具有電晶體的半導體裝置，該電晶體包括藉由加熱處理釋放氧的絕緣基板以及設置在該絕緣基板上的氧化物半導體膜，其中，在該氧化物半導體膜形成通道。藉由加熱處理釋放氧的絕緣基板可以藉由對絕緣基板的至少設置氧化物半導體膜的一側進行氧離子的注入來製造。

三、英文發明摘要：

An object of an embodiment of the present invention is to provide a semiconductor device which includes a transistor including an oxide semiconductor with high field-effect mobility, a small variation in threshold voltage, and high reliability. The semiconductor device includes a transistor which includes an insulating substrate from which oxygen is released by heat treatment and an oxide semiconductor film over the insulating substrate. A channel is formed in the oxide semiconductor film. The insulating substrate from which oxygen is released by heat treatment can be manufactured by implanting oxygen ions into at least a region of an insulating substrate on the side provided with the oxide semiconductor film.

四、指定代表圖：

(一) 本案指定代表圖為：第(1B)圖。

(二) 本代表圖之元件符號簡單說明：

100：基板

104：閘極電極

106：氧化物半導體膜

112：閘極絕緣膜

116：一對電極

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有包括電晶體等半導體元件的電路的半導體裝置。例如，本發明關於：安裝在電源電路中的功率裝置；包括記憶體、晶閘管、轉換器、影像感測器等的半導體積體電路；以液晶顯示面板為代表的電光裝置；具有發光元件的發光顯示裝置；以及作為部件安裝有上述裝置的電子裝置。

注意，在本說明書中，半導體裝置是指能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、發光顯示裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

如以液晶顯示裝置為典型那樣，形成在玻璃基板等上的電晶體大多由非晶矽、多晶矽等構成。雖然使用非晶矽的電晶體的場效應遷移率低，但是能夠應對玻璃基板的大面積化。另一方面，雖然使用多晶矽的電晶體的場效應遷移率高，但是卻有不適於玻璃基板的大面積化的缺點。

除了使用矽的電晶體以外，近年來還使用氧化物半導體製造電晶體，並將這種電晶體應用於電子裝置或光學裝置的技術受到注目。例如，專利文獻 1 及專利文獻 2 公開了如下技術：即，使用氧化鋅或 In-Ga-Zn-O 類氧化物作為氧化物半導體來製造電晶體並將該電晶體用作顯示裝置的像素的切換元件等的技術。

與使用非晶矽的電晶體相比，使用氧化物半導體膜的電晶體具有高場效應遷移率，因此可以顯著提高顯示裝置的性能。

[專利文獻 1]日本專利申請公開第 2007-123861 號公報

[專利文獻 2]日本專利申請公開第 2007-96055 號公報

使用氧化物半導體膜的電晶體雖然具有高場效應遷移率，但是有時沒有充分的可靠性。

【發明內容】

因此，本發明的目的之一是提供具有高場效應遷移率的使用氧化物半導體膜的電晶體。此外，本發明的目的之一是提供其臨界電壓的偏差小的使用氧化物半導體膜的電晶體。另外，本發明的目的之一是提供具有高可靠性的半導體裝置。

本發明的一個實施例是一種包括電晶體的半導體裝置，該電晶體包括藉由加熱處理釋放氧的絕緣基板以及設置在該絕緣基板上的氧化物半導體膜，並且在該氧化物半導體膜中形成通道的電晶體。

起因於氧化物半導體膜中的氧缺損，有時電晶體的臨界電壓向負方向漂移。氧化物半導體膜中的氧缺損被認為形成深的能階，其一部分生成電子或俘獲電洞。藉由從絕緣基板向氧化物半導體膜供應充分的氧，能夠降低氧化物半導體膜中的氧缺損，該氧缺損是使臨界電壓向負方向漂移的主要原因之一。

此外，藉由從絕緣基板被供應氧（也稱為過氧化），能夠降低氧化物半導體膜與絕緣基板的介面能階密度。其結果是，可以抑制起因於電晶體的工作等在氧化物半導體膜與絕緣基板的介面處載子被俘獲，而可以得到電特性的劣化少的電晶體。

藉由將氧離子植入到絕緣基板中的至少設置有氧化物半導體膜的一側，可以製造藉由加熱處理釋放氧的絕緣基板。

例如，根據本發明的一個實施例的半導體裝置包括藉由加熱處理釋放氧的絕緣基板、設置在絕緣基板上的氧化物半導體膜、以與氧化物半導體膜接觸的方式形成的一對電極、以覆蓋氧化物半導體膜及一對電極的方式設置的閘極絕緣膜以及隔著閘極絕緣膜以與氧化物半導體膜重疊的方式設置的閘極電極。

此外，根據本發明的一個實施例的半導體裝置包括藉由加熱處理釋放氧的絕緣基板、設置在絕緣基板上的具有低電阻區及高電阻區的氧化物半導體膜、設置在氧化物半導體膜上的閘極絕緣膜以及隔著閘極絕緣膜以與氧化物半導體膜重疊的方式設置的閘極電極。

藉由對氧化物半導體膜的一部分作為低電阻化處理例如進行離子植入、離子摻雜或電漿處理，可以形成氧化物半導體膜的低電阻區。

當進行氧化物半導體膜的低電阻化處理時，如果將閘極電極用作掩模且進行離子植入、離子摻雜或電漿處理，

則不需要用來分別製造低電阻區和高電阻區的光微影製程，而降低成本並且提高生產率。

此外，將不被低電阻化的氧化物半導體膜的區域設定為高電阻區。

上述氧化物半導體膜利用濺射法、分子束外延(MBE: Molecular Beam Epitaxy)法、原子層沉積(ALD: Atomic Layer Deposition)法或者脈衝雷射沉積(PLD: Pulse Laser Deposition)法形成。

所述氧化物半導體膜藉由在絕緣基板上形成氧化物半導體膜之後進行加熱處理或/及藉由進行加熱處理同時形成氧化物半導體膜，可以降低起因於氧缺損的能階。注意，較佳的是，進行加熱處理同時形成氧化物半導體膜，且進行成膜之後進行加熱處理。

像這樣，可以獲得具有在氧化物半導體中形成通道的電晶體的半導體裝置，該電晶體具有高場效應遷移率，其臨界電壓的偏差小且在具有高可靠性。

【實施方式】

下面，參照圖式對本發明的實施例進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。另外，本發明不應該被解釋為僅限於以下所示的實施例的記載內容。注意，當使用圖式說明發明結構時，在不同的圖式之間共同使用相同元件符號來

表示相同部分。另外，有時使用相同的陰影圖案表示相同部分，而不特別附加標記。

以下對本發明進行說明。對在本說明書中使用的用詞進行簡單說明。首先關於電晶體的源極及汲極，在本說明書中，當將它們中的一方稱為汲極時將另一方稱為源極，並且不根據電位的高低區別源極和汲極。從而，在本說明書中，可以將稱作源極的部分換稱為汲極。此外，在只記載“源極”時表示源極電極和源極區中的任一個。另外，在只記載“汲極”時表示汲極電極和汲極區中的任一個。

電壓大多指某個電位與標準電位(例如，源極電位或者接地電位)之間的電位差。由此，可以將電壓換稱為電位。

在本說明書中，即使當描述為“連接”時，在現實的電路中，有時也沒有物理連接的部分，而只是佈線延伸的情況。此外，也可以其間包括電阻元件等不對電路的工作起到明顯的作用的元件。

注意，為了方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書中的序數詞不表示特定發明的事項的固有名稱。

實施例 1

在本實施例中，使用圖 1A 和圖 1B 說明本發明的一個實施例的半導體裝置的電晶體的一個例子。

圖 1A 是電晶體的俯視圖。圖 1A 所示的沿著鏈式線

A-B 的剖面對應於圖 1B 所示的 A-B 剖面。

在此，詳細說明圖 1B 所示的 A-B 剖面。

圖 1A 和圖 1B 所示的電晶體包括：基板 100；基板 100 上的氧化物半導體膜 106；氧化物半導體膜 106 上且至少其一部分與氧化物半導體膜 106 接觸的一對電極 116；氧化物半導體膜 106 及一對電極 116 上的閘極絕緣膜 112；以及隔著閘極絕緣膜 112 重疊於氧化物半導體膜 106 的閘極電極 104。

基板 100 使用藉由加熱處理釋放氧的基板。

“藉由加熱處理釋放氧”是指當利用 TDS(Thermal Desorption Spectroscopy: 熱脫附譜法)分析時，換算為氧原子的氧的釋放量為 $3.0 \times 10^{14} \text{ atoms/cm}^2$ 以上， $1.0 \times 10^{15} \text{ atoms/cm}^2$ 以上， $3.0 \times 10^{15} \text{ atoms/cm}^2$ 以上， $5.0 \times 10^{15} \text{ atoms/cm}^2$ 以上，或者 $1.0 \times 10^{16} \text{ atoms/cm}^2$ 以上。

此外，在 TDS 分析中，在如下範圍測量氧的釋放量：基板溫度為 150°C 以上且 700°C 以下，較佳為 200°C 以上且 650°C 以下，更佳為 250°C 以上且 470°C 以下的範圍。這是因為例如可以預測到在基板溫度低於 150°C 時發生的氧的釋放主要起因於附著在基板表面的穩定性較低的氧。此外，藉由將基板溫度設定為 700°C 以下，也評價切合電晶體的製造製程的氧的釋放量。

以下，說明利用 TDS 分析測定氧的釋放量的方法。

進行 TDS 分析時的氣體的總釋放量與釋放氣體的離子強度的積分值成正比。藉由比較該積分值與標準樣本，能

夠計算出氣體的總釋放量。

例如，根據作為標準樣本的含有既定密度的氫的矽晶圓的 TDS 分析結果以及絕緣膜的 TDS 分析結果，可以藉由公式 1 求出絕緣膜中的氧分子的釋放量(N_{O_2})。在此，假設藉由 TDS 分析而獲得的被檢出為質量電荷比(m/z)32 的所有氣體來自氧分子。作為 $m/z=32$ 的氣體還有 CH_3OH ，但由於存在的可能性低，所以在此不加考慮。此外，含有氧原子的同位素的 $m/z=17$ 的氧原子及 $m/z=18$ 的氧原子的氧分子由於在自然界中的存在比率極低，所以不加考慮。

[公式1]

$$N_{O_2} = \frac{N_{H_2}}{S_{H_2}} \times S_{O_2} \times \alpha$$

N_{H_2} 是將從標準樣本脫離的氫分子換算成密度的值。
 S_{H_2} 是藉由 TDS 分析標準樣本時的離子強度的積分值。在此，標準樣本的基準值是 N_{H_2}/S_{H_2} 。 S_{O_2} 是藉由 TDS 分析絕緣膜時的離子強度的積分值。 α 是影響到 TDS 分析中的離子強度的係數。關於公式 1 的詳細說明，可以參照日本專利申請公開平 6-275697 公報。注意，上述絕緣膜的氧的釋放量是使用由電子科學株式會社製造的熱脫附譜裝置 EMD-WA1000S/W，並以含有 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子的矽晶圓為標準樣本而測定的。

此外，在 TDS 分析中，氧的一部分作為氧原子而被檢出。氧分子和氧原子的比率可以根據氧分子的電離率算出

。此外，由於上述 α 含有氧分子的電離率，所以藉由評估氧分子的釋放量，可以估算出氧原子的釋放量。

此外， N_2 為氧分子的釋放量。當將氧分子的釋放量換算為氧原子的釋放量時，氧分子的釋放量的 2 倍是氧原子的釋放量。

另外，有時起因於氧化物半導體膜中的氧缺損，電晶體的臨界電壓向負方向漂移。氧化物半導體膜中的氧缺損被認為形成深的能階，其一部分生成電子或俘獲電洞。在根據本發明的一個實施例的電晶體中，從基板 100 向氧化物半導體膜 106 供應充分的氧，能夠降低氧化物半導體膜 106 中的氧缺損，該氧缺損是使臨界電壓向負方向漂移的主要原因之一。

此外，藉由從基板 100 被供應氧，能夠降低氧化物半導體膜 106 與基板 100 的介面能階密度。其結果是，可以抑制起因於電晶體的工作等而在氧化物半導體膜 106 與基板 100 的介面處載子被俘獲，並且可以得到電特性的劣化少的電晶體。

此外，藉由從基板 100 釋放氧，有時使包括在基板 100 中的藉由加熱處理釋放的氧的量降低，但是因為電晶體設置在基板 100 上所以氧的外擴散被抑制而其變化極小。

對基板 100 的材料沒有大的限制，但是基板 100 至少是具有絕緣性的絕緣基板。此外，還具有能夠承受後面的加熱處理的程度的耐熱性。例如，作為基板 100，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。另

外，只要具有能夠承受後面的加熱處理的程度的耐熱性，則可以使用塑膠基板。

作為基板 100，當電晶體的製造面的平坦性高時，後面形成的氧化物半導體膜 106 容易具有結晶性，所以是較佳的。

明確地說，使用其平均粗糙度 (Ra) 為 1nm 以下，較佳為 0.3nm 以下的基板 100。在此，Ra 是為為了可以應用於曲面而將在 JIS B0601:2001(ISO4287:1997) 中定義的算術平均粗糙度擴大為三維來得到的值，可以將 Ra 表示為“將從基準面到指定面的偏差的絕對值平均來得到的值”，並且 Ra 以如下公式 2 定義。

[公式2]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

在此，測定面是指成為粗糙度測定的對象的面。將其設定為由 $((x_1, y_1, f(x_1, y_1))(x_1, y_2, f(x_1, y_2))(x_2, y_1, f(x_2, y_1))(x_2, y_2, f(x_2, y_2)))$ 四個點表示的四角的區域，並且將指定面投影在 xy 平面的長方形的面積為 S_0 ，指定面的平均高度為 Z_0 。可以利用原子力顯微鏡 (AFM: Atomic Force Microscope) 對 Ra 進行評價。

作為氧化物半導體膜 106，例如可以使用：二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材

料、In-Ga-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Al-Zn-O 類材料、In-Sn-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料、In-Hf-Zn-O 類材料、In-La-Zn-O 類材料、In-Ce-Zn-O 類材料、In-Pr-Zn-O 類材料、In-Nd-Zn-O 類材料、In-Sm-Zn-O 類材料、In-Eu-Zn-O 類材料、In-Gd-Zn-O 類材料、In-Tb-Zn-O 類材料、In-Dy-Zn-O 類材料、In-Ho-Zn-O 類材料、In-Er-Zn-O 類材料、In-Tm-Zn-O 類材料、In-Yb-Zn-O 類材料、In-Lu-Zn-O 類材料、In-Ni-Zn-O 類材料；四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料、In-Hf-Ga-Zn-O 類材料、In-Al-Ga-Zn-O 類材料、In-Sn-Al-Zn-O 類材料、In-Sn-Hf-Zn-O 類材料、In-Hf-Al-Zn-O 系材料。

在此，In-Ga-Zn-O 類材料是指具有以 In、Ga 及 Zn 為主要成分的氧化物，對 In、Ga 及 Zn 的原子數比沒有限制。

在將 In-Zn-O 類材料用於氧化物半導體膜 106 時，原子數比是 $In/Zn=0.5$ 以上且 50 以下，較佳是 $In/Zn=1$ 以上且 20 以下，更佳是 $In/Zn=1.5$ 以上且 15 以下。藉由將 Zn 的原子數比設定為上述範圍內，可以提高電晶體的場效應遷移率。這裏，較佳的是化合物的原子數比當 $In : Zn : O = X : Y : Z$ 時，滿足 $Z > 1.5X + Y$ 。

作為氧化物半導體膜 106，也可以使用由化學式 $InMO_3(ZnO)_m (m > 0)$ 表示的材料。這裏，M 是指選自 Zn、Ga、Al、Mn、Sn、Hf 和 Co 中的一種或多種金屬元素。例如，作為 M，也可以使用：Ga；Ga 及 Al；Ga 及 Mn；或 Ga 及 Co 等。

作為氧化物半導體膜 106，為了降低電晶體的截止電流，選擇能隙為 2.5eV 以上，較佳為 2.8eV 以上，更佳為 3.0eV 以上的材料。但是也可以使用示出其能隙處於上述範圍中的半導體特性的材料代替氧化物半導體膜。

對氧化物半導體來說是雜質的氫的一部分成為施體而產生載子。因此，氧化物半導體膜 106 中的氫濃度低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，進一步佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

因為鹼金屬不是構成氧化物半導體的元素，所以是雜質。在鹼土金屬不是構成氧化物半導體的元素的情況下，鹼土金屬也是雜質。尤其是，鹼金屬中的鈉 (Na) 擴散到接觸於氧化物半導體膜的該絕緣膜中而成為 Na^+ 。另外，在氧化物半導體膜內，Na 使構成氧化物半導體的金屬與氧的接合斷裂，或擠進其接合之中。其結果是，例如，引起因臨界電壓漂移到負方向而導致的常導通化、場效應遷移率的降低等電晶體特性的劣化，而且還產生特性偏差。因此，較佳為降低氧化物半導體膜中的上述雜質的濃度。明確而言，在二次離子質譜分析法 (SIMS: Secondary Ion Mass Spectrometry) 中，將 Na 濃度設定為 $5 \times 10^{16} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下，更佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。同樣地，將鋰 (Li) 濃度的測定值設定為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。同樣地，將鉀 (K) 濃度的測定值設定為 $5 \times 10^{15} \text{ atoms/cm}^3$ 以下，較佳為 $1 \times 10^{15} \text{ atoms/cm}^3$ 以下。

氧化物半導體膜 106 是降低氫、鹼金屬及鹼土金屬等

而其雜質濃度極低的氧化物半導體膜。因此，將氧化物半導體膜 106 用於通道區的電晶體可以減小截止電流。

藉由使用上面所示的氧化物半導體膜 106 可以減小電晶體的截止電流。明確而言，藉由使用氧化物半導體膜 106，例如，可以使當通道長度為 $3\mu\text{m}$ 、通道寬度為 $1\mu\text{m}$ 時的電晶體的截止電流為 $1\times 10^{-18}\text{A}$ 以下、 $1\times 10^{-21}\text{A}$ 以下或 $1\times 10^{-24}\text{A}$ 以下。

此外，在使用 In-Sn-Zn-O 類材料的電晶體可以較容易獲得高場效應遷移率。明確地說，可以使電晶體的場效應遷移率為 $31\text{cm}^2/\text{Vs}$ 以上、 $40\text{cm}^2/\text{Vs}$ 以上、 $60\text{cm}^2/\text{Vs}$ 以上、 $80\text{cm}^2/\text{Vs}$ 以上或 $100\text{cm}^2/\text{Vs}$ 以上。此外，即使使用 In-Sn-Zn-O 類材料以外(例如，In-Ga-Zn-O 類材料)，藉由降低缺陷密度也可以提高場效應遷移率。

以下，使用圖 21 至圖 24C 說明電晶體的場效應遷移率。

除了氧化物半導體之外，電晶體的場效應遷移率因各種理由而被測量為比本來要獲得的場效應遷移率低。作為使場效應遷移率降低的原因，有半導體內部的缺陷以及半導體和絕緣膜之間中的介面的缺陷。在此，使用 Levinson 模型理論性地導出假定在半導體內部沒有缺陷時的場效應遷移率。

當以本來的電晶體的場效應遷移率為 μ_0 ，且假定在半導體中存在某種位能障壁(晶界等)時測量出的場效應遷移率 μ 可以由公式 3 表示其關係。

[公式3]

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

在此， E 是位能障壁的高度， k 是玻爾茲曼常數， T 是絕對溫度。此外，當假定在 Levinson 模型中位能障壁的高度 E 取決於缺陷，可以位能障壁的高度 E 由公式 4 表示。

[公式4]

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_{gs}}$$

在此， e 是元電荷， N 是通道內的每單位面積的平均缺陷密度， ϵ 是半導體的介電常數， n 是在每通道的單位面積的載子密度， C_{ox} 是每單位面積的閘極絕緣膜電容， V_{gs} 是閘極電壓， t 是通道的厚度。注意，在採用厚度為 30 nm 以下的半導體層的情況下，通道的厚度可以與半導體層的厚度相同。

線性區中的汲極電流 I_{ds} 可以由公式 5 表示。

[公式5]

$$\frac{I_{ds}}{V_{gs}} = \frac{W\mu V_{gs} V_{ds} C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

在此， L 是通道長度， W 是通道寬度，在此， L 及 W 是 $10\mu\text{m}$ 。此外， V_{ds} 是汲極電壓。

當對公式 5 的兩邊取對數時，由公式 6 表示。

[公式6]

$$\ln\left(\frac{I_{ds}}{V_{gs}}\right) = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_{ds} C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT\epsilon C_{ox} V_{gs}}$$

因為公式 6 的右邊是閘極電壓 V_{gs} 的函數，所以可以根據以縱軸為 $\ln(I_{ds}/V_{gs})$ 並以橫軸為 $1/V_{gs}$ 繪製實測值而得到的圖表的直線的傾斜度求得缺陷密度 N 。也就是說，根據電晶體的 $V_{gs}-I_{ds}$ 特性可以得到半導體中的缺陷密度 N 。

半導體中的缺陷密度 N 依賴於進行成膜時的基板加熱溫度。當作爲半導體，使用利用 In 、 Sn 及 Zn 的比率爲 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ [原子數比] 的 In-Sn-Zn-O 靶材形成的氧化物半導體時，氧化物半導體中的缺陷密度 N 是 $1 \times 10^{12}/\text{cm}^2$ 左右。

當根據上述氧化物半導體中的缺陷密度 N ，使用公式 3 及公式 4 進行計算時，本來的電晶體的場效應遷移率 μ_0 成爲 $120\text{cm}^2/\text{Vs}$ 。因此，在氧化物半導體中以及與氧化物半導體接觸的閘極絕緣膜之間的介面沒有缺陷的理想的電晶體的場效應遷移率 μ_0 成爲 $120\text{cm}^2/\text{Vs}$ 。但是，在缺陷多的氧化物半導體中，電晶體的場效應遷移率 μ 爲 $30\text{cm}^2/\text{Vs}$ 左右。

此外，即使半導體內部沒有缺陷，由於通道區域和

閘極絕緣膜之間的介面散射電晶體的傳輸特性也受到影響。離閘極絕緣膜介面有 x 的距離的位置上的場效應遷移率 μ_1 可以由公式 7 表示。

[公式7]

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{l}\right)$$

在此， D 是由閘極電極的電場強度， B 是常數，且 l 是產生介面散射的影響的深度。 B 及 l 可以根據電晶體的電特性的實測結果求得。根據上述使用氧化物半導體的電晶體的電特性的實際的測量，可以求得 $B=4.75 \times 10^7 \text{ cm/s}$ ， $l=10 \text{ nm}$ 。可知當 D 增加，即閘極電壓 V_{gs} 增高時，公式 7 的第二項也增加，所以場效應遷移率 μ_1 降低。

圖 21 示出計算氧化物半導體中及與氧化物半導體接觸的閘極絕緣膜之間的介面沒有缺陷的理想的電晶體的場效應遷移率 μ_2 而得到的結果。另外，在計算中，使用 Synopsys 公司製造的 Sentaurus Device，並且作為氧化物半導體，將能隙設定為 2.8 eV ，將電子親和力設定為 4.7 eV ，將相對介電常數設定為 15，並將厚度設定為 15 nm 。再者，將閘極的功函數設定為 5.5 eV ，並且將源極及汲極的功函數設定為 4.6 eV 。另外，將閘極絕緣膜的厚度設定為 100 nm ，並且將相對介電常數設定為 4.1。另外通道長度和通道寬度都為 $10 \mu\text{m}$ ，而汲極電壓 V_{ds} 為 0.1 V 。

如圖 21 所示，可知雖然當閘極電壓 V_{gs} 在 1 V 附近時

場效應遷移率 μ_2 示出 $100\text{cm}^2/\text{Vs}$ 以上的峰值，但是當閘極電壓 V_{gs} 更高時，介面散射的影響變大，場效應遷移率 μ_2 降低。

圖 22A 至圖 24C 示出對使這種理想的電晶體微型化的情況進行計算的結果。此外，在計算中具有圖 25A 至圖 25C 所示的結構的電晶體被假定。

接著，說明圖 25A 至圖 25C 所示的電晶體的結構。圖 25A 是電晶體的俯視圖。對應於圖 25A 所示的鏈式線 A-B 的剖面圖是圖 25B。

圖 25B 所示的電晶體包括：設置在基板 100 上的基底絕緣膜 3002；設置在基底絕緣膜 3002 周圍的保護膜 3020；設置在基底絕緣膜 3002 及保護膜 3020 上且包括高電阻區 3006a 及低電阻區 3006b 的氧化物半導體膜 3006；設置在氧化物半導體膜 3006 上的閘極絕緣膜 3012；隔著閘極絕緣膜 3012 重疊於氧化物半導體膜 3006 設置的閘極電極 3004；接觸於閘極電極 3004 的側面設置的側壁絕緣膜 3024；氧化物半導體膜 3006 且至少其一部分接觸於氧化物半導體膜 3006 設置的一對電極 3016；覆蓋閘極電極 3004、側壁絕緣膜 3024 以及一對電極 3016 設置的保護絕緣膜 3018；以及藉由設置在保護絕緣膜 3018 中的開口部接觸於一對電極 3016 而設置的佈線 3022。

在此，將低電阻區 3006b 的電阻率設定為 $2 \times 10^{-3} \Omega\text{cm}$ ，將閘極電極 3004 的寬度設定為 33nm，將側壁絕緣膜 3024 的寬度設定為 5nm，將通道寬度設定為 40nm。此外

，爲了方便起見，將通道區記載爲“高電阻區 3006a”的名稱，但是在此將通道區假定爲本質半導體。

在計算中，使用 Synopsys 公司製造的 Sentaurus Device。圖 22A 至圖 22C 示出圖 25B 所示的結構的電晶體的汲極電流 I_{ds} (實線)及場效應遷移率 μ (虛線)的閘極電壓 V_{gs} 依賴性。在此，將汲極電壓 V_{ds} 設定爲 1V 來計算汲極電流 I_{ds} ，並且將汲極電壓 V_{ds} 設定爲 0.1V 來計算場效應遷移率 μ 。在此，圖 22A 示出閘極絕緣膜的厚度爲 15nm 的情況，圖 22B 示出閘極絕緣膜的厚度爲 10nm 的情況，並且圖 22C 示出閘極絕緣膜的厚度爲 5nm 的情況。

由圖 22A 至圖 22C 可知，閘極絕緣膜越薄，截止狀態(在此是指閘極電壓 V_{gs} 在於從 -3V 到 0V 的範圍)下的汲極電流 I_{ds} 越低。另一方面，場效應遷移率 μ 的峰值以及導通狀態(在此是指閘極電壓 V_{gs} 在於從 0V 到 3V 的範圍)下的汲極電流 I_{ds} 沒有明顯的變化。根據圖 22A 至圖 22C 可知當閘極電壓 V_{gs} 爲 1V 附近時汲極電流 I_{ds} 超過半導體裝置的記憶體等所需要的 $10\mu\text{A}$ 。

同樣地，對圖 25C 所示的電晶體進行計算。圖 25C 所示的電晶體與圖 25B 所示的電晶體的不同之處爲：具有包括高電阻區 3007a 及低電阻區 3007b 的氧化物半導體膜 3007。明確地說，在圖 25C 所示的電晶體中，與側壁絕緣膜 3024 重疊的氧化物半導體膜 3007 的區域包括在高電阻區 3007a。就是說，該電晶體是具有其寬度等於側壁絕緣膜 3024 的寬度的偏置(offset)區的電晶體。此外，將偏置

區的寬度稱為偏置長度 (L_{off}) (參照圖 25A)。此外，為了方便起見，將 L_{off} 設定為其左右具有同樣的寬度。

圖 23A 至圖 23C 示出在圖 25C 所示的電晶體中當 L_{off} 為 5nm 時的汲極電流 I_{ds} (實線) 及場效應遷移率 μ (虛線) 的閘極電壓 V_{gs} 依賴性。另外，將汲極電壓 V_{ds} 設定為 1V 來計算汲極電流 I_{ds} ，並且將汲極電壓 V_{ds} 設定為 0.1V 來計算場效應遷移率 μ 。在此，圖 23A 示出閘極絕緣膜的厚度為 15nm 的情況，圖 23B 示出閘極絕緣膜的厚度為 10nm 的情況，並且圖 23C 示出閘極絕緣膜的厚度為 5nm 的情況。

另外，圖 24A 至圖 24C 是在圖 25C 所示的電晶體的結構中當 L_{off} 為 15nm 時的汲極電流 I_{ds} (實線) 及場效應遷移率 μ (虛線) 的閘極電壓 V_{gs} 依賴性。將汲極電壓 V_{ds} 設定為 1V 來計算汲極電流 I_{ds} ，並且將汲極電壓 V_{ds} 設定為 0.1V 來計算場效應遷移率 μ 。在此，圖 24A 示出閘極絕緣膜的厚度為 15nm 的情況，圖 24B 示出閘極絕緣膜的厚度為 10nm 的情況，並且圖 24C 示出閘極絕緣膜的厚度為 5nm 的情況。

由圖 23A 至圖 24C 所示的計算結果，與圖 22A 至圖 22C 同樣，閘極絕緣膜越薄，截止狀態 (在此是指閘極電壓 V_{gs} 在於從 -3V 到 0V 的範圍) 下的汲極電流 I_{ds} 越低。另一方面，可知場效應遷移率 μ 的峰值以及導通狀態 (在此是指閘極電壓 V_{gs} 在於從 0V 到 3V 的範圍) 下的汲極電流 I_{ds} 沒有明顯的變化。

另外，可知在圖 22A 至圖 22C 中場效應遷移率 μ 的峰值為 $80\text{cm}^2/\text{Vs}$ 左右，而在圖 23A 至圖 23C 中場效應遷移率 μ 的峰值為 $60\text{cm}^2/\text{Vs}$ 左右，且在圖 24A 至圖 24C 中場效應遷移率 μ 的峰值為 $40\text{cm}^2/\text{Vs}$ 左右，並且 L_{off} 越增加，場效應遷移率 μ 的峰值越降低。截止狀態下的汲極電流 I_{ds} 也具有同樣的傾向。另一方面，雖然導通狀態的汲極電流 I_{ds} 隨著 L_{off} 的增加而降低，但是該減少與截止狀態的汲極電流 I_{ds} 的降低相比則要平緩得多。另外，根據任何計算結果都可知在閘極電壓 V_{gs} 為 1V 附近，汲極電流 I_{ds} 超過記憶體等所需要的 $10\mu\text{A}$ 。

到此為止結束關於電晶體的場效應遷移率的說明。

氧化物半導體膜 106 處於單晶、多晶(也稱為 polycrystal)或非晶等狀態。

較佳氧化物半導體膜 106 是 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor: C 軸配向結晶氧化物半導體)膜。

CAAC-OS 膜不是完全的單晶，也不是完全的非晶。CAAC-OS 膜是在非晶相中具有結晶部及非晶部的結晶-非晶混合相結構的氧化物半導體膜。另外，在很多情況下，該結晶部的尺寸為能夠容納在一邊短於 100nm 的立方體內的尺寸。另外，在使用透射電子顯微鏡(TEM: Transmission Electron Microscope)觀察時的影像中，包括在 CAAC-OS 膜中的非晶部與結晶部的邊界不明確。另外，不能利用 TEM 在 CAAC-OS 膜中觀察到晶界(也稱為 grain boundary)

。因此，在 CAAC-OS 膜中，起因於晶界的電子遷移率的降低得到抑制。

包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，在從垂直於 ab 面的方向看時具有三角形或六角形的原子排列，且在從垂直於 c 軸的方向看時，金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。另外，不同結晶部的 a 軸及 b 軸的方向也可以彼此不同。在本說明書中，在只記載“垂直”時，也包括 85° 以上且 95° 以下的範圍。另外，在只記載“平行”時，也包括 -5° 以上且 5° 以下的範圍。

另外，在 CAAC-OS 膜中，結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的 formed 過程中，在從氧化物半導體膜的表面一側進行結晶生長時，與被形成面近旁相比，有時在表面近旁結晶部所占的比例高。另外，藉由對 CAAC-OS 膜添加雜質，有時在該雜質添加區中結晶部產生非晶化。

因為包括在 CAAC-OS 膜中的結晶部的 c 軸在平行於 CAAC-OS 膜的被形成面的法線向量或表面的法線向量的方向上一致，所以有時根據 CAAC-OS 膜的形狀(被形成面的剖面形狀或表面的剖面形狀)朝向彼此不同的方向。另外，結晶部的 c 軸方向是平行於形成 CAAC-OS 膜時的被形成面的法線向量或表面的法線向量。藉由進行成膜或在成膜之後進行加熱處理等的晶化處理來形成結晶部。

使用 CAAC-OS 膜的電晶體可以降低因照射可見光或紫外光而產生的電特性變動。因此，該電晶體的可靠性高。

以下，參照圖 17A 至圖 20B 詳細說明 CAAC-OS 膜的結晶結構的一個例子。另外，在沒有特別的說明時，在圖 17A 至圖 20B 中，以垂直方向為 c 軸方向，並以與 c 軸方向正交的面為 ab 面。另外，在只說“上一半”或“下一半”時，其是指以 ab 面為邊界時的上一半或下一半。另外，在圖 17A 至圖 17E 中，使用圓圈圈上的 O 示出四配位 O，而使用雙重圓圈圈上的 O 示出三配位 O。

圖 17A 示出具有有一個六配位 In 以及靠近 In 的六個四配位氧原子(以下稱為四配位 O)的結構。這裏，將對於一個金屬原子只示出靠近其的氧原子的結構稱為小組。雖然圖 17A 所示的結構採用八面體結構，但是為了容易理解示出平面結構。另外，在圖 17A 的上一半及下一半中分別具有三個四配位 O。圖 17A 所示的小組的電荷為 0。

圖 17B 示出具有有一個五配位 Ga、靠近 Ga 的三個三配位氧原子(以下稱為三配位 O)以及靠近 Ga 的兩個四配位 O 的結構。三配位 O 都存在於 ab 面上。在圖 17B 的上一半及下一半分別具有有一個四配位 O。另外，因為 In 也採用五配位，所以也有可能採用圖 17B 所示的結構。圖 17B 所示的小組的電荷為 0。

圖 17C 示出具有有一個四配位 Zn 以及靠近 Zn 的四個四配位 O 的結構。在圖 17C 的上一半具有有一個四配位 O，並且在下一半具有有三個四配位 O。或者，也可以在圖 17C 的

上一半具有三個四配位 O，並且在下一半具有一個四配位 O。圖 17C 所示的小組的電荷為 0。

圖 17D 示出具有有一個六配位 S_n 以及靠近 S_n 的六個四配位 O 的結構。在圖 17D 的上一半具有三個四配位 O，並且在下一半具有三個四配位 O。圖 17D 所示的小組的電荷為 +1。

圖 17E 示出包括兩個 Zn 的小組。在圖 17E 的上一半具有一個四配位 O，並且在下一半具有一個四配位 O。圖 17E 所示的小組的電荷為 -1。

在此，將多個小組的集合體稱為中組，而將多個中組的集合體稱為大組(也稱為單元元件)。

這裏，說明這些小組彼此接合的規則。圖 17A 所示的六配位 In 的上一半的三個 O 在下方向上分別具有三個靠近的 In，而 In 的下一半的三個 O 在上方向上分別具有三個靠近的 In。圖 17B 所示的五配位 Ga 的上一半的一個 O 在下方向上具有一個靠近的 Ga，而 Ga 的下一半的一個 O 在上方向上具有一個靠近的 Ga。圖 17C 所示的四配位 Zn 的上一半的一個 O 在下方向上具有一個靠近的 Zn，而 Zn 的下一半的三個 O 在上方向上分別具有三個靠近的 Zn。像這樣，金屬原子的上方向上的四配位 O 的個數與位於該 O 的下方向上的靠近的金屬原子的個數相等。與此同樣，金屬原子的下方向的四配位 O 的個數與位於該 O 的上方向上的靠近的金屬原子的個數相等。因為 O 為四配位，所以位於下方向上的靠近的金屬原子的個數和位於上方向上

的靠近的金屬原子的個數的總和成爲 4。因此，在位於一金屬原子的上方向上的四配位 O 的個數和位於另一金屬原子的下方向上的四配位 O 的個數的總和爲 4 時，具有金屬原子的兩種小組可以彼此接合。例如，在六配位金屬原子 (In 或 Sn) 藉由下一半的四配位 O 接合時，因爲四配位 O 的個數爲 3，所以其與五配位金屬原子 (Ga 或 In) 和四配位金屬原子 (Zn) 中的任何一種接合。

具有這些配位數的金屬原子在 c 軸方向上藉由四配位 O 接合。另外，除此以外，以使層結構的總和電荷成爲 0 的方式使多個小組接合構成中組。

圖 18A 示出構成 In-Sn-Zn-O 類材料的層結構的中組的模型圖。圖 18B 示出由三個中組構成的大組。另外，圖 18C 示出從 c 軸方向上觀察圖 18B 的層結構時的原子排列。

在圖 18A 中，爲了容易理解，省略三配位 O，關於四配位 O 只示出其個數，例如，以 ③ 表示 Sn 的上一半及下一半分別具有三個四配位 O。與此同樣，在圖 18A 中，以 ① 表示 In 的上一半及下一半分別具有一個四配位 O。與此同樣，在圖 18A 中示出：下一半具有一個四配位 O 而上一半具有三個四配位 O 的 Zn；以及上一半具有一個四配位 O 而下一半具有三個四配位 O 的 Zn。

在圖 18A 中，構成 In-Sn-Zn-O 類材料的層結構的中組具有如下結構：在從上面按順序說明時，上一半及下一半分別具有三個四配位 O 的 Sn 與上一半及下一半分別具有一個四配位 O 的 In 接合；該 In 與上一半具有三個四配

位 O 的 Zn 接合；藉由該 Zn 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合；該 In 與上一半具有一個四配位 O 的由兩個 Zn 構成的小組接合；藉由該小組的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 Sn 接合。多個上述中組彼此接合而構成大組。

這裏，三配位 O 及四配位 O 的一個接合的電荷分別可以被認為是 -0.667 及 -0.5。例如，In(六配位或五配位)、Zn(四配位)以及 Sn(五配位或六配位)的電荷分別為 +3、+2 以及 +4。因此，包含 Sn 的小組的電荷為 +1。因此，為了形成包含 Sn 的層結構，需要消除電荷 +1 的電荷 -1。作為具有電荷 -1 的結構，可以舉出圖 17E 所示的包含兩個 Zn 的小組。例如，因為如果對於一個包含 Sn 的小組有一個包含兩個 Zn 的小組則電荷被消除，而可以使層結構的總電荷為 0。

明確而言，藉由反復圖 18B 所示的大組來可以得到 In-Sn-Zn-O 類材料的結晶 ($\text{In}_2\text{SnZn}_3\text{O}_8$)。注意，可以得到的 In-Sn-Zn-O 類材料的層結構可以由組成式 $\text{In}_2\text{SnZnO}_6(\text{ZnO})_m$ (m 是自然數) 表示。

此外，使用如下材料時也與上述相同：四元金屬氧化物的 In-Sn-Ga-Zn-O 類材料；三元金屬氧化物的 In-Ga-Zn-O 類材料、In-Al-Zn-O 類材料、Sn-Ga-Zn-O 類材料、Al-Ga-Zn-O 類材料、Sn-Al-Zn-O 類材料、In-Hf-Zn-O 類材料、In-La-Zn-O 類材料、In-Ce-Zn-O 類材料、In-Pr-Zn-O

類材料、In-Nd-Zn-O 類材料、In-Sm-Zn-O 類材料、In-Eu-Zn-O 類材料、In-Gd-Zn-O 類材料、In-Tb-Zn-O 類材料、In-Dy-Zn-O 類材料、In-Ho-Zn-O 類材料、In-Er-Zn-O 類材料、In-Tm-Zn-O 類材料、In-Yb-Zn-O 類材料、In-Lu-Zn-O 類材料、In-Ni-Zn-O 類材料；二元金屬氧化物的 In-Zn-O 類材料、Sn-Zn-O 類材料、Al-Zn-O 類材料、Zn-Mg-O 類材料、Sn-Mg-O 類材料、In-Mg-O 類材料、In-Ga-O 類材料等。

例如，圖 19A 示出構成 In-Ga-Zn-O 類材料的層結構的中組的模型圖。

在圖 19A 中，構成 In-Ga-Zn-O 類材料的層結構的中組具有如下結構：在從上面按順序說明時，上一半和下一半分別有三個四配位 O 的 In 與上一半具有一個四配位的 O 的 Zn 接合；藉由該 Zn 的下一半的三個四配位 O 與上一半及下一半分別具有一個四配位 O 的 Ga 接合；藉由該 Ga 的下一半的一個四配位 O 與上一半及下一半分別具有三個四配位 O 的 In 接合。多個上述中組彼此接合而構成大組。

圖 19B 示出由三個中組構成的大組。另外，圖 19C 示出從 c 軸方向上觀察圖 19B 的層結構時的原子排列。

在此，因為 In(六配位或五配位)、Zn(四配位)、Ga(五配位)的電荷分別是 +3、+2、+3，所以包含 In、Zn 及 Ga 中的任一個的小組的電荷為 0。因此，組合這些小組而成的中組的總電荷一直為 0。

此外，構成 In-Ga-Zn-O 類材料的層結構的中組不侷限於圖 19A 所示的中組，而有可能是組合 In、Ga、Zn 的

排列不同的中組而成的大組。

明確而言，藉由反復圖 19B 所示的大組來可以得到 In-Ga-Zn-O 類材料的結晶。注意，可以得到的 In-Ga-Zn-O 類材料的層結構可以由組成式 $\text{InGaO}_3(\text{ZnO})_n$ (n 是自然數) 表示。

當 $n=1$ (InGaZnO_4) 時，例如有可能具有圖 20A 所示的結晶結構。另外，在圖 20A 所示的結晶結構中，如圖 17B 所示，Ga 及 In 採用五配位，而有可能採用以 In 取代 Ga 的結構。

此外，當 $n=2$ ($\text{InGaZn}_2\text{O}_5$) 時，例如有可能具有圖 20B 所示的結晶結構。另外，在圖 20B 所示的結晶結構中，如圖 17B 所示，Ga 及 In 採用五配位，而也可以採用以 In 取代 Ga 的結構。

到此為止結束關於 CAAC-OS 膜的結晶結構的說明。

再次開始圖 1A 和圖 1B 的說明。閘極電極 104 可以採用單層結構或疊層結構，且可以從 Al、Ti、Cr、Co、Ni、Cu、Y、Zr、Mo、Ag、Ta 及 W；它們的氮化物及氧化物；以及它們的合金中選擇一種以上，以單層或疊層的方式使用它們。

另外，在圖 1A 和圖 1B 中閘極電極 104 不是完全覆蓋氧化物半導體膜 106 的形狀，但是也可以藉由閘極電極 104 採用完全覆蓋氧化物半導體膜 106 的形狀，抑制由光導致的氧化物半導體膜 106 的劣化以及電荷的產生。

根據電晶體的工作一對電極 116 起到源極電極或汲極

電極的作用。

一對電極 116 可以使用與閘極電極 104 同樣的材料。

在將包含 Cu 的膜用於一對電極 116 的情況下，當在與一對電極 116 同一的層中設置佈線時降低佈線的電阻，在大型顯示裝置等中也可以減少佈線延遲等的產生。在將 Cu 用於一對電極 116 的情況下，由於緊密性會根據基板 100 的材質而降低，所以較佳為採用與基板 100 的緊密性好的膜和 Cu 膜的疊層結構。作為與基板 100 的緊密性好的膜，可以使用包含 Ti、Mo、Mn、Cu 或 Al 等的膜。例如，可以使用 Ti 膜、氮化鈦膜、Ti-Mo 合金膜或者 Cu-Mn-Al 合金膜。

作為閘極絕緣膜 112，可以以單層或疊層使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧化鉛、氧化鈮、氧化銻或 YSZ(使用氧化鈮實現穩定化的氧化銻)等。此外，閘極絕緣膜 112 較佳為使用藉由加熱處理釋放氧的膜。藉由使用藉由加熱處理釋放氧的膜，可以修復產生在氧化物半導體膜 106 的缺損，而可以抑制電晶體的電特性的劣化。

氧氮化矽是指在其組成上氧含量多於氮含量的物質，例如，包含 50 原子%以上且 70 原子%以下的氧、0.5 原子%以上且 15 原子%以下的氮、25 原子%以上且 35 原子%以下的矽以及 0 原子%以上且 10 原子%以下的氫的物質。另外，氮氧化矽是指在其組成上氮含量多於氧含量的物質，例如，包含 5 原子%以上且 30 原子%以下的氧、20 原子%

以上且 55 原子%以下的氮、25 原子%以上且 35 原子%以下的矽以及 10 原子%以上且 25 原子%以下的氫的物質。但是，上述範圍是使用盧瑟福背散射分析(RBS: Rutherford Backscattering Spectrometry)或氫前方散射分析(HFS: Hydrogen Forward scattering Spectrometry)進行測量時的範圍。此外，構成元素的組成爲其總計不超過 100 原子%的值。

圖 1A 和圖 1B 所示的電晶體藉由將藉由加熱處理釋放氧的基板用於基板 100，可以爲具有良好的電特性的電晶體而不設置氧化物半導體膜 106 的基底膜。

此外，藉由採用不設置基底膜的結構，不產生基板和基底膜之間的介面能階。因此，可以降低起因於該介面能階的電晶體的電特性的劣化，而可以得到可靠性高的電晶體。

但是，這不是在基板 100 上設置基底膜的結構除外的。例如，也可以在基板 100 上設置具有氧透過性的基底膜。明確地說，在基板 100 上設置 1nm 以上且 100nm 以下，較佳爲 1nm 以上且 50nm 以下的氧化矽膜或氧氮化矽膜。

然而，即使是具有低氧透過性的材料，只要是極薄膜也有時透過氧。明確地說，也可以使用 1nm 以上且小於 15nm，較佳爲 1nm 以上且小於 10nm 的包括選自氧化鋁、氧化鎵、氧化鎂、氧化鈦、氧化釩、氧化鈮、氧化鋯、氧化鋳、氧化鈮、氧化鋁、氧化銮、氧化錫、氧化釩、氧化釷、氧化釷、氧化鈳和氧化鎢中的一種以上的膜代替上述具有氧透過性的膜。

如此，當在藉由加熱處理釋放氧的基板上設置具有氧透過性的基底膜時，基板和基底膜之間的介面能階密度由藉由加熱處理釋放了氧抑制。

此外，藉由具有基底膜，可以防止從基板 100 雜質擴散到氧化物半導體膜 106 中。

接著，使用圖 5A 至圖 5D 說明圖 1A 和圖 1B 所示的電晶體的製造方法。

首先，對基板 100 的電晶體的製造面注入氧離子(參照圖 5A)。

關於氧離子植入的條件，以氧離子的注入濃度的峰值深度為 10nm 以下且小於 120nm，較佳為 40nm 以上且 70nm 以下的方式決定氧離子植入條件，即可。藉由將氧離子的注入濃度的峰值深度設定為所述範圍，可以使氧的釋放溫度為 200℃ 以上且 700℃ 以下，較佳為 250℃ 以上且 550℃ 以下。

例如，在以下條件下進行氧離子植入。將加速電壓設定為 5keV 以上且低於 50keV，較佳為 20keV 以上且 30keV 以下。將氧離子的注入量設定為 3.0×10^{14} 離子/cm² 以上，較佳為 1.0×10^{15} 離子/cm² 以上，更佳為 3.0×10^{15} 離子/cm² 以上，進一步佳為 5.0×10^{15} 離子/cm² 以上，再佳為 1.0×10^{16} 離子/cm² 以上。注意，過多的氧離子的注入量導致生產率的降低，因此例如將氧離子的注入量設定為 1.0×10^{17} 離子/cm² 以下。但是加速電壓低於 5keV 的範圍不除外。當光束電流穩定時，可以使加速電壓設定為低於

5 keV。

或者，關於氧離子植入的條件，以氧離子的注入濃度的峰值深度為 120nm 以上且 1000nm 以下，較佳為 200nm 以上且 500nm 以下的方式決定氧離子植入條件，即可。藉由將氧離子的注入濃度的峰值深度設定為上述範圍，可以使氧的釋放溫度為 250℃ 以上且 1000℃ 以下，較佳為 350℃ 以上且 700℃ 以下。此外，也可以將氧離子的注入濃度的峰值深度設定為深於上述範圍，但是這有可能導致氧釋放溫度為基板 100 的應變點以上。因此，可以考慮製程的最大加熱溫度來適當地選擇氧離子的注入濃度的峰值深度。

例如，在以下條件下進行氧離子植入。將加速電壓設定為 50keV 以上且 500keV 以下，較佳為 100keV 以上且 300keV 以下。將氧離子的注入量設定為 3.0×10^{14} 離子/cm² 以上，較佳為 1.0×10^{15} 離子/cm² 以上，更佳為 3.0×10^{15} 離子/cm² 以上，進一步較為 5.0×10^{15} 離子/cm² 以上，再佳為 1.0×10^{16} 離子/cm² 以上。注意，過多的氧離子的注入量導致生產率的降低，因此例如將氧離子的注入量設定為 1.0×10^{17} 離子/cm² 以下。

此外，為了提高加速電壓可以調整氧離子的價態。例如，當加速電壓為 5keV 以上且 320keV 以下時，可以使用其化合價為 1 的氧離子(O⁺)，當加速電壓為 10keV 以上且 640keV 以下時，可以使用其化合價為 2 的氧離子(O²⁺)，並且當加速電壓為 15keV 以上且 960keV 以下時，可以使用其化合價為 3 的氧離子(O³⁺)。注意，這個加速電壓的範

圍是基準，也可以組合所示的範圍之外的加速電壓和氧離子的化合價而適用。

注入到基板 100 的氧離子藉由進行加熱處理可以將與被注入的氧離子量等量的氧分子或氧原子釋放。

藉由對基板 100 注入氧離子，從基板 100 的水的釋放量降低。這一個原因是當進行氧離子植入時濺射基板 100 表面的水。水是使利用氧化物半導體膜的電晶體的可靠性降低的主要原因，所以較佳的是被降低。

此外，藉由對基板 100 注入氧離子，從基板 100 的碳的釋放量降低。這一個原因是當進行氧離子植入時濺射基板 100 表面的有機物。碳有可能是阻礙氧化物半導體膜的結晶化的主要原因，所以較佳的是被降低。

氧離子的注入深度影響到藉由加熱處理的氧釋放的易發性。因此，由加速電壓可以調整藉由加熱處理的氧釋放的易發性。從一個側面來看時，氧釋放的易發性可以換稱為釋放氧的溫度。因此，氧離子的注入深度越深，即氧離子植入時的加速電壓越高，釋放氧的溫度越高。與此同樣，氧離子的注入深度越淺，即氧離子植入時的加速電壓越低，釋放氧的溫度越低。注意，氧釋放的易發性不只依賴於釋放氧的溫度。例如，也有助於到釋放氧所需要的時間。

藉由提高釋放氧的溫度，可以在需要高溫的電晶體的製造中，抑制製程途中的氧的釋放。此外，藉由降低釋放氧的溫度，可以在電晶體的製程中，即使在低溫下也將氧供應到氧化物半導體膜。

因為可以調整氧的釋放溫度，所以在製造電晶體時，製程的選擇性增高。明確地說，可以自由地選擇製程中的最大加熱溫度，其結果是，可以抑制電晶體的電特性的偏差，且以高良率及高生產率獲得電晶體。此外，也可以提高電晶體的可靠性。

另外，也可以在基板 100 上設置具有氧透過性的基底膜。具有氧透過性的基底膜可以利用濺射法、MBE 法、PLD 法或 ALD 法等形式。具有氧透過性的基底膜可以在注入氧離子之前形成。或者，也可以在注入氧離子之後形成。當設置具有氧透過性的基底膜之後進行氧離子植入時，較佳以對基板 100 的所希望的深度注入氧離子的方式增大氧離子植入的加速電壓。

基板 100 的平坦性越高越好。因此，也可以進行基板 100 的平坦化處理。作為平坦化處理，有化學機械拋光 (CMP: Chemical Mechanical Polishing) 或反濺射法等。

反濺射法是指如下方法：通常的濺射是使離子碰撞濺射靶材，反之，反濺射藉由使離子碰撞被處理表面來改變被處理表面的性質。作為使離子碰撞被處理表面的方法，有在稀有氣體(氦、氖、氬、氪及氙等)氛圍下對被處理表面一側施加高頻電壓來在被處理物附近生成電漿的方法等。另外，也可以使用氮或氧等的氛圍代替稀有氣體氛圍。反濺射法不侷限於濺射裝置，也可以使用電漿 CVD 設備、乾蝕刻裝置等進行同樣的處理。

另外，較佳對基板 100 預先進行雜質的降低處理。作

為雜質的降低處理，例如較佳進行加熱處理、電漿處理和藥液處理等中的一種以上。此外，在雜質濃度低的環境下進行雜質的降低處理。

接著，形成氧化物半導體膜 136(參照圖 5B)。氧化物半導體膜 136 可以利用濺射法、MBE 法、PLD 法或 ALD 法等形式。較佳為使用濺射法。

以下說明利用濺射法形成氧化物半導體膜 136 的方法。例如，使用包含所述可以適用於氧化物半導體膜 106 的材料的靶材，使成膜氣體包含稀有氣體、氧和氮中的一種以上形成氧化物半導體膜 136。

在此，為了將氧化物半導體膜 136 設定為結晶化度高的 CAAC-OS 膜或多晶膜，重要的是當基板 100 的平坦性充分高時，使成膜功率高，使成膜壓力低，使 T-S 之間距離短並且使基板加熱溫度(T_{sub})高。

明確地說，將每單位面積的成膜功率設定為 $5W/cm^2$ 以上且 $50W/cm^2$ 以下；將成膜壓力設定為 $0.01Pa$ 以上且 $0.4Pa$ 以下，較佳為 $0.05Pa$ 以上且 $0.3Pa$ 以下；將 T-S 之間距離設定為 $10mm$ 以上且 $200mm$ 以下，較佳為 $20mm$ 以上且 $80mm$ 以下；將 T_{sub} 設定為 $100^\circ C$ 以上且 $500^\circ C$ 以下，較佳為 $150^\circ C$ 以上且 $450^\circ C$ 以下。

此外，較佳的是儘量降低氧化物半導體膜 136 中的雜質濃度。為了降低氧化物半導體膜 136 中的雜質濃度，提高材料的純度和降低沉積室的內部洩漏及外部洩漏是有效的。

較佳在形成氧化物半導體膜 136 之後進行第一加熱處理。藉由進行第一熱處理，可以提高氧化物半導體膜 136 的結晶化度或者/以及降低氧化物半導體膜 136 中的雜質濃度。

在氧化氛圍、惰性氛圍、減壓氛圍或乾燥空氣氛圍下，以 150℃ 以上且 650℃ 以下的溫度，較佳以 250℃ 以上且 500℃ 以下的溫度，更佳以 300℃ 以上且 450℃ 以下的溫度進行第一加熱處理。作為第一加熱處理，可以使用電阻加熱方式、加熱燈管(heat lamp)方式以及加熱氣體方式等。

氧化氛圍是指包含氧化氣體的氛圍。氧化氣體是氧、臭氧或一氧化二氮等，較佳的是，氧化氣體不包含水、氫等。例如，將導入到熱處理裝置的氧、臭氧或一氧化二氮的純度設定為 8N(99.999999%)以上，較佳為設定為 9N(99.9999999%)以上。作為氧化氛圍，也可以將氧化氣體和惰性氣體混合而使用。在該情況下，使用至少包含 10ppm 以上的氧化氣體的氛圍。

在此，惰性氛圍是指以氮或稀有氣體等惰性氣體為主要成分的氛圍。明確而言，使用氧化氣體等的反應氣體小於 10ppm 的氛圍。

減壓氛圍是指處理室中的壓力為 10Pa 以下的氛圍。

乾燥空氣氛圍是指露點為 -40℃ 以下，較佳露點為 -50℃ 以下的氛圍。

接著，對氧化物半導體膜 136 進行加工來形成島狀氧化物半導體膜 106(參照圖 5C)。注意，“進行加工”是指

例如使用藉由光微影法形成的光阻掩罩進行蝕刻處理，獲得具有所希望的形狀的膜。

接著，在氧化物半導體膜 106 上形成導電膜，對其進行加工來形成至少其一部分與氧化物半導體膜 106 接觸的一對電極 116。接著，在氧化物半導體膜 106 及一對電極 116 上形成閘極絕緣膜 112(參照圖 5D)。藉由濺射法、電漿 CVD 法、PLD 法、ALD 法、蒸鍍法或印刷法等使用上述材料形成成爲一對電極 116 的導電膜及閘極絕緣膜 112，即可。

接著，藉由在閘極絕緣膜 112 上形成導電膜且對其進行加工來形成與氧化物半導體膜 106 重疊的閘極電極 104，製造圖 1A 和圖 1B 所示的電晶體。藉由濺射法、電漿 CVD 法、PLD 法、ALD 法、蒸鍍法或印刷法等使用上述材料形成成爲閘極電極 104 的導電膜，即可。

較佳對由上述製程獲得的電晶體進行第二加熱處理。在氧化氛圍、惰性氛圍、減壓氛圍或乾燥空氣氛圍下以低於第一加熱處理的溫度進行第二加熱處理，即可。藉由進行第二加熱處理，可以降低起因於電晶體的製造製程中產生的氧化物半導體膜 106 中的氧缺損的能階以及基板 100 與氧化物半導體膜 106 之間的介面能階密度。

如上所述，藉由在藉由加熱處理釋放氧的基板上具有氧化物半導體膜，可以製造具有良好的電特性且可靠性高的電晶體。

接著，使用圖 2A 和圖 2B 說明具有與圖 1A 和圖 1B

所示的電晶體不同的結構的電晶體。

圖 2A 和圖 2B 是電晶體的俯視圖及剖面圖。圖 2A 所示的沿著鏈式線 A-B 的剖面對應於圖 2B 所示的 A-B 剖面。

以下，詳細說明圖 2B 所示的 A-B 剖面。

圖 2A 和圖 2B 所示電晶體包括：基板 100；基板 100 上的一對電極 216；一對電極 216 上且至少其一部分接觸於一對電極 216 的氧化物半導體膜 206；氧化物半導體膜 206 及一對電極 216 上的閘極絕緣膜 212；以及隔著閘極絕緣膜 212 重疊於氧化物半導體膜 206 的閘極電極 204。

另外，一對電極 216、氧化物半導體膜 206、閘極絕緣膜 212 及閘極電極 204 分別由與一對電極 116、氧化物半導體膜 106、閘極絕緣膜 112 及閘極電極 104 同樣的材料形成，即可。

此外，在圖 2A 和圖 2B 中，不採用閘極電極 204 具有完全覆蓋氧化物半導體膜 206 的形狀，但是也可以藉由採用閘極電極 204 具有完全覆蓋氧化物半導體膜 206 的形狀，抑制氧化物半導體膜 206 的因光而導致的劣化以及電荷的產生。

圖 2A 和圖 2B 所示的電晶體藉由將藉由加熱處理釋放氧的基板用於基板 100，可以為不設置氧化物半導體膜 206 的基底膜也具有有良好的電特性的電晶體。

此外，藉由採用不設置基底膜的結構，不產生基板 100 與基底膜之間的介面能階。因此，可以降低起因於該介面能階的電晶體的電特性的劣化，而可以得到可靠性高

的電晶體。

但是，這不是在基板 100 上設置基底膜的結構除外的。

接著，使用圖 6A 至圖 6D 說明圖 2A 和圖 2B 所示的電晶體的製造方法。

首先，對基板 100 的電晶體的製造面注入氧離子。(參照圖 6A)。關於氧離子的注入方法，參照圖 5A 至圖 5D 的說明。

此外，也可以在基板 100 上設置具有氧透過性的基底膜。具有氧透過性的基底膜可以在注入氧離子之前形成。或者，也可以在注入氧離子之後形成。

接著，在基板 100 上形成一對電極 216(參照圖 6B)。

在此，說明在形成一對電極 216 之前注入氧離子的情況，但是不侷限於此。例如，也可以在形成一對電極 216 之後對基板 100 注入氧離子。

接著，在一對電極 216 上形成氧化物半導體膜。較佳在形成氧化物半導體膜之後，進行第一加熱處理。接著，對所述氧化物半導體膜進行加工來形成至少其一部分與一對電極 216 接觸的氧化物半導體膜 206(參照圖 6C)。

另外，在氧化物半導體膜 206 中，不重疊於一對電極 216 的區域成爲通道形成區。

接著，在氧化物半導體膜 206 以及一對電極 216 上形成閘極絕緣膜 212(參照圖 6D)。

接著，藉由形成隔著閘極絕緣膜 212 而重疊於氧化物半導體膜 206 的閘極電極 204，製造圖 2A 和圖 2B 所示的

電晶體。

較佳對由上述製程獲得的電晶體進行第二加熱處理。藉由進行第二加熱處理，可以降低起因於電晶體的製造製程中產生的氧化物半導體膜 206 中的氧缺損的能階以及基板 100 與氧化物半導體膜 206 之間的介面能階密度。

如上所述，藉由在藉由加熱處理釋放氧的基板上具有氧化物半導體膜的通道形成區，可以製造具有良好的電特性且可靠性高的電晶體。

接著，使用圖 3A 至圖 3C 說明具有與圖 1A 和圖 1B 以及圖 2A 和圖 2B 所示的電晶體不同的結構的電晶體。

圖 3A 至圖 3C 是電晶體的俯視圖及剖面圖。圖 3A 所示的沿著鏈式線 A-B 的剖面對應於圖 3B 所示的 A-B 剖面。

以下，詳細說明圖 3B 所示的 A-B 剖面。

圖 3B 所示的電晶體包括：基板 100；基板 100 上的具有高電阻區 306a 及低電阻區 306b 的氧化物半導體膜 306；氧化物半導體膜 306 上的閘極絕緣膜 312；隔著閘極絕緣膜 312 重疊於氧化物半導體膜 306 的閘極電極 304；閘極電極 304 及閘極絕緣膜 312 上的保護膜 318；以及保護膜 318 上且藉由設置在閘極絕緣膜 312 及保護膜 318 中的開口部以與低電阻區 306b 接觸的方式設置的佈線 322。

此外，氧化物半導體膜 306、閘極電極 304 以及閘極絕緣膜 312 分別由與氧化物半導體膜 106、閘極電極 104 以及閘極絕緣膜 112 同樣的材料形成，即可。

可以將高電阻區 306a 設定為與閘極電極 304 大致相

同的俯視形狀。此外，低電阻區 306b 除了氧化物半導體膜 306 的主要成分以外，還可以包含選自氫、氮、硼、氮、氟、氖、鋁、磷、氫、砷、氮、銦、錫、銻和氬中的一種以上的元素。

保護膜 318 使用與閘極絕緣膜 112 同樣的材料設置即可。或者，保護膜 318 可以使用樹脂材料等形成。另外，保護膜 318 也可以藉由層疊多個材料設置。

佈線 322 由與一對電極 116 同樣的材料設置即可。

此外，也可以藉由對圖 3B 所示的電晶體的閘極電極 304 設置側壁絕緣膜 320，採用圖 3C 所示的電晶體。圖 3C 所示的電晶體與圖 3B 所示的電晶體的不同之處為：與側壁絕緣膜 320 重疊的氧化物半導體膜 306 的區域包括在高電阻區 306a 中。藉由採用這種結構，圖 3C 所示的電晶體可以降低熱載子劣化等電晶體的劣化。

圖 3A 至圖 3C 所示的電晶體藉由將藉由加熱處理釋放氧的基板用於基板 100，可以為具有良好的電特性的電晶體而不設置氧化物半導體膜 306 的基底膜。

此外，藉由採用不設置基底膜的結構，不產生基板 100 與基底膜之間的介面能階。因此，可以降低起因於該介面能階的電晶體的電特性的劣化，而可以得到可靠性高的電晶體。

但是，這不是在基板 100 上設置基底膜的結構除外的。

接著，使用圖 7A 至圖 7D 說明圖 3A 至圖 3C 所示的電晶體的製造方法。

首先，對基板 100 的電晶體的製造面注入氧離子。(參照圖 7A)。關於氧離子的注入方法，參照圖 5A 至圖 5D 的說明。

此外，也可以在基板 100 上設置具有氧透過性的基底膜。具有氧透過性的基底膜可以在注入氧離子之前形成。或者，也可以在注入氧離子之後形成。

接著，在基板 100 上形成氧化物半導體膜。較佳在形成氧化物半導體膜之後，進行第一加熱處理。接著，對上述氧化物半導體膜進行加工形成氧化物半導體膜 106(參照圖 7B)。

接著，在氧化物半導體膜 106 及基板 100 上形成閘極絕緣膜 312。然後，形成隔著閘極絕緣膜 312 重疊於氧化物半導體膜 306 的閘極電極 304(參照圖 7C)。

此外，為了形成圖 3C 所示的電晶體，在形成閘極電極 304 之後形成側壁絕緣膜 320，即可。

在形成覆蓋閘極電極 304 的絕緣膜之後，藉由對該絕緣膜進行各向異性高的蝕刻，自對準地形成側壁絕緣膜 320 即可。作為各向異性高的蝕刻，例如較佳使用乾蝕刻法。作為用於乾蝕刻法的蝕刻氣體，例如可以舉出三氟甲烷、八氟環丁烷、四氟化碳等包含氟的氣體。也可以對蝕刻氣體添加稀有氣體或氫。作為乾蝕刻法，較佳為使用對基板施加高頻電壓的反應性離子蝕刻法(RIE法)。

接著，將閘極電極 304 用作掩模對氧化物半導體膜 106 的一部分進行低電阻化處理。作為低電阻化處理，例

如可以在包含選自氫、氮、硼、氮、氟、氖、鋁、磷、氫、砷、氬、銻、錫、銻和氬中的一種以上的元素的氛圍下進行離子植入、離子摻雜或電漿處理。然後，藉由進行第三加熱處理，在氧化物半導體膜 306 中的被進行離子植入、離子摻雜或電漿處理的區域中形成低電阻區 306b。注意，高電阻區 306a 是沒有由離子植入、離子摻雜或電漿處理產生低電阻化的區域(參照圖 7D)。此外，當具有側壁絕緣膜 320 時，可以將閘極電極 304 及側壁絕緣膜 320 用作掩模進行離子植入、離子摻雜及電漿處理。可以利用與第一加熱處理同樣的方法進行第三加熱處理。

此外，也可以在進行上述離子植入、離子摻雜或電漿處理之前，將閘極絕緣膜 312 加工為與閘極電極 304 同樣的俯視形狀。在此情況下，因為氧化物半導體膜 106 的一部分露出，所以使氧化物半導體膜 106 的一部分直接暴露於電漿中。

接著，在氧化物半導體膜 306 及閘極電極 304 上形成保護膜 318，並且在閘極絕緣膜 312 及保護膜 318 中形成露出低電阻區 306b 的開口部。接著，藉由形成接觸於氧化物半導體膜 306 的佈線 322，製造圖 3A 至圖 3C 所示的電晶體。

較佳對由上述製程獲得的電晶體進行第二加熱處理。藉由進行第二加熱處理，可以降低起因於電晶體的製造製程中產生的氧化物半導體膜 306 中的氧缺損的能階以及基板 100 與氧化物半導體膜 306 之間的介面能階密度。

如上所述，藉由在藉由加熱處理釋放氧的基板上具有氧化物半導體膜，可以製造具有良好的電特性且可靠性高的電晶體。

接著，使用圖 4A 至圖 4C 說明具有與圖 3A 至圖 3C 所示的電晶體不同的結構的電晶體。

圖 4A 至圖 4C 是電晶體的俯視圖及剖面圖。圖 4A 所示的沿著鏈式線 A-B 的剖面對應於圖 4B 所示的 A-B 剖面。

以下，詳細說明圖 4B 所示的 A-B 剖面。

圖 4B 所示的電晶體包括：具有溝槽部分的基板 101；以填埋基板 101 的溝槽部分的方式設置的絕緣膜 302；設置在基板 101 及絕緣膜 302 上的具有高電阻區 306a 及低電阻區 306b 的氧化物半導體膜 306；設置在氧化物半導體膜 306 及絕緣膜 302 上的閘極絕緣膜 312；隔著閘極絕緣膜 312 與氧化物半導體膜 306 重疊的閘極電極 304；設置在閘極絕緣膜 312 及閘極電極 304 上的保護膜 318；以及藉由設置在閘極絕緣膜 312 及保護膜 318 中的開口部以與低電阻區 306b 接觸的方式設置的佈線 322。

注意，圖 4B 所示的電晶體與圖 3B 所示的電晶體的不同之處為：在氧化物半導體膜 306 下具有絕緣膜 302。

基板 101 可以利用與基板 100 同樣的方法及材料形成。

絕緣膜 302 在氧化物半導體膜 306 下，尤其是在低電阻區 306b 下設置。

絕緣膜 302 至少不是藉由加熱處理釋放氧的絕緣膜。絕緣膜 302 較佳為不使藉由第一加熱處理及第二加熱處理

從基板 101 釋放的氧透過到低電阻區 306b 中的絕緣膜。就是說，絕緣膜 302 是具有低氧透過性或沒有氧透過性的絕緣膜。或者，絕緣膜 302 是如下絕緣膜，即在 150°C 以上且 650°C 以下的溫度範圍中的氧擴散係數為基板 101 的擴散係數以下。

作為絕緣膜 302，例如可以使用包含選自氧化鋁、氧化鎵、氧化鎂、氧化鈦、氧化鈮、氧化釷、氧化鋇、氧化鋯、氧化鋇、氧化鈾、氧化鈾、氧化錫、氧化釷、氧化釷、氧化釷、氧化釷、氧化釷和氧化釷中的一種以上的元素的材料。較佳的是，使用廉價且氧透過性低的包含氧化鋁的材料。此外，絕緣膜 302 既可以是單層，又可以是疊層。

因此，將絕緣膜 302 的厚度設定為 15nm 以上且 300nm 以下，較佳為 50nm 以上且 200nm 以下。不言而喻，絕緣膜 302 的厚度越厚氧透過性越低。注意，因為過厚的厚度會導致生產率的降低，所以選擇適當的厚度即可。

藉由絕緣膜 302 設置在低電阻區 306b 下，可以抑制由對低電阻區 306b 的氧的供應(也稱為加氧化)產生高電阻化，可以保持低電阻。因此，圖 4B 所示的電晶體具有高導通電流。

另外，因為高電阻區 306a 藉由加熱處理從基板 101 被供應氧，所以圖 4B 所示的電晶體具有高可靠性。

圖 4C 所示的電晶體包括：基板 100；設置在基板 100 上的絕緣膜 303；設置在基板 100 及絕緣膜 303 上的具有高電阻區 307a 及低電阻區 307b 的氧化物半導體膜 307；

設置在氧化物半導體膜 307 及絕緣膜 303 上的閘極絕緣膜 313；隔著閘極絕緣膜 313 與氧化物半導體膜 307 重疊的閘極電極 305；設置在閘極絕緣膜 313 及閘極電極 305 上的保護膜 319；以及藉由設置在閘極絕緣膜 313 及保護膜 319 中的開口部以與低電阻區 307b 接觸的方式設置的佈線 323。

另外，絕緣膜 303、氧化物半導體膜 307、閘極絕緣膜 313、閘極電極 305、保護膜 319 及佈線 323 分別可以由與絕緣膜 302、氧化物半導體膜 306、閘極絕緣膜 312、閘極電極 304、保護膜 318 及佈線 322 同樣的材料設置。

圖 4C 所示的電晶體與圖 4B 所示的電晶體的不同之處為：在基板 100 上設置絕緣膜 303。

藉由絕緣膜 303 設置在低電阻區 307b 下，可以抑制由對低電阻區 307b 的氧的供應(也稱為加氧化)產生高電阻化，可以保持低電阻。因此，圖 4C 所示的電晶體具有高導通電流。

圖 4A 至圖 4C 所示的電晶體藉由將藉由加熱處理釋放氧的基板用於基板 101，可以為具有良好的電特性的電晶體而不設置氧化物半導體膜 307 的基底膜。

此外，藉由採用不設置基底膜的結構，不產生基板 101 與基底膜之間的介面能階。因此，可以降低起因於該介面能階的電晶體的電特性的劣化，而可以得到可靠性高的電晶體。

但是，這不是在基板 101 上設置基底膜的結構除外的。

接著，使用圖 8A 至圖 8C 說明圖 4B 所示的電晶體的製造方法。

首先，對基板 100 進行加工形成具有溝槽部分的基板 101(參照圖 8A)。

接著，對基板 101 的電晶體的製造面注入氧離子。(參照圖 8B)。關於氧離子的注入方法，參照圖 5A 至圖 5D 的說明。

此外，也可以在基板 101 上設置具有氧透過性的基底膜。具有氧透過性的基底膜可以在注入氧離子之前形成。或者，也可以在注入氧離子之後形成。

注意，在此說明在形成基板 101 之後注入氧離子的情況，但是不侷限於此。例如，也可以在對基板 100 注入氧離子之後，對基板 100 進行加工來形成基板 101。在此情況下，既可以在基板 100 上設置具有氧透過性的基底膜之後進行氧離子植入，又可以在進行氧離子植入之後在基板 100 上設置具有氧透過性的基底膜。

或者，也可以在基板 100 上設置具有氧透過性的基底膜之後對基板 100 進行加工來形成基板 101，然後注入氧離子。

接著，在基板 101 上形成絕緣膜，對該絕緣膜的凸部選擇性地進行蝕刻(也稱為拋光)來形成填埋基板 101 的溝槽部分的絕緣膜 302(參照圖 8C)。拋光使用 CMP 處理等進行，既可。此外，在此，以基板 101 的頂面的一部分和絕緣膜 302 的頂面形成一個連續的面的方式設置，但是不

侷限於此。例如，在圖 8C 所示的剖面圖中，基板 101 的頂面的高度既可以高於絕緣膜 302 的頂面的高度，又可以低於絕緣膜 302 的頂面的高度。

以後的製程可以參照圖 7A 至圖 7D 的說明。藉由上述步驟，製造圖 4B 所示的電晶體。

接著，使用圖 9A 至圖 9D 說明圖 4C 所示的電晶體的製造方法。

首先，對基板 100 注入氧離子。(參照圖 9A)。關於氧離子的注入方法，參照圖 5A 至圖 5D 的說明。

接著，在基板 100 上形成絕緣膜，對該絕緣膜進行加工來形成絕緣膜 303(參照圖 9B)。

在此說明在形成成爲絕緣膜 303 的絕緣膜之前注入氧離子的情況，但是不侷限於此。例如，也可以在形成成爲絕緣膜 303 的絕緣膜之後或在形成絕緣膜 303 之後對基板 100 注入氧離子。

接著，形成氧化物半導體膜，對該氧化物半導體膜進行加工來形成氧化物半導體膜 107。

接著，在氧化物半導體膜 107 及絕緣膜 303 上形成閘極絕緣膜 313。然後，形成隔著閘極絕緣膜 313 重疊於氧化物半導體膜 107 的閘極電極 305(參照圖 9C)。

此外，也可以在形成閘極電極 305 之後形成側壁絕緣膜。關於側壁絕緣膜，可以參照圖 3C 所示的電晶體的側壁絕緣膜 320 的說明。

接著，藉由將閘極電極 305 用作掩模對氧化物半導體

膜 107 的一部分進行低電阻化處理，形成具有高電阻區 307a 及低電阻區 307b 的氧化物半導體膜 307(參照圖 9D)。

接著，在氧化物半導體膜 307 及閘極電極 305 上形成保護膜 319，並且在閘極絕緣膜 313 及保護膜 319 中形成露出低電阻區 307b 的開口部。接著，藉由形成接觸於氧化物半導體膜 307 的佈線 323，製造圖 4C 所示的電晶體。

較佳對由上述製程獲得的電晶體進行第二加熱處理。藉由進行第二加熱處理，可以降低起因於電晶體的製造製程中產生的氧化物半導體膜 307 中的氧缺損的能階以及基板 101 與氧化物半導體膜 307 之間的介面能階密度。

如上所述，藉由在藉由加熱處理釋放氧的基板上具有氧化物半導體膜的通道形成區，可以製造具有良好的電特性且可靠性高的電晶體。

本實施例可以與其他實施例適當地組合而實施。

實施例 2

在本實施例中，說明使用實施例 1 所示的電晶體製造的液晶顯示裝置。注意，在本實施例中說明將本發明的一個實施例應用於液晶顯示裝置的例子，但是不侷限於此。例如，所屬技術領域的普通技術人員可以很容易地想到將本發明的一個實施例應用於發光裝置之一的 EL(Electro Luminescence：電致發光)顯示裝置。

圖 10 示出主動矩陣型驅動方式的液晶顯示裝置的電路圖。液晶顯示裝置包括源極線 SL₁ 至 SL_a、閘極線

GL₁ 至 GL_b 以及多個像素 2200。像素 2200 包括電晶體 2230、電容器 2220 以及液晶元件 2210。多個這樣像素 2200 聚集在一起，而構成液晶顯示裝置的像素部。注意，當簡單地指出源極線或閘極線時，有時也記載為源極線 SL 或閘極線 GL。

電晶體 2230 使用本發明的一個實施例的實施例 1 所示的電晶體。因為實施例 1 所示的電晶體是電特性良好的使用氧化物半導體的電晶體，所以可以獲得高顯示品質的顯示裝置。

閘極線 GL 連接到電晶體 2230 的閘極，源極線 SL 連接到電晶體 2230 的源極，電晶體 2230 的汲極連接到電容器 2220 的一個電容電極及液晶元件 2210 的一個像素電極。電容器 2220 的另一個電容電極及液晶元件 2210 的另一個像素電極連接到共用電極。此外，共用電極可以與閘極線 GL 設置在同一層且以同一材料設置。

另外，閘極線 GL 連接到閘極驅動電路。閘極驅動電路也可以包含實施例 1 所示的電晶體。

另外，源極線 SL 連接到源極驅動電路。源極驅動電路也可以包含實施例 1 所示的電晶體。

此外，也可以將閘極驅動電路和源極驅動電路中的任何一個或兩者形成在另行準備的基板上，並利用 COG (Chip On Glass：玻璃上晶片)、引線接合或 TAB(Tape Automated Bonding：卷帶式自動接合)等方法連接。

此外，由於電晶體容易因靜電等而損壞，因此較佳為

設置保護電路。保護電路較佳為使用非線性元件來構成。

在以成為電晶體 2230 的臨界電壓以上的方式對閘極線 GL 施加電壓時，從源極線 SL 供應的電荷成為電晶體 2230 的汲極電流，而電荷積蓄在電容器 2220 中。在進行一行的充電之後，該行中的電晶體 2230 處於截止狀態，而不被施加源自源極線 SL 的電壓，但是利用積蓄在電容器 2220 中的電荷可以維持所需要的電壓。然後，轉移到下一行的電容器 2220 的充電。這樣，進行從第一行到第 b 行的充電。汲極電流是指在電晶體中從汲極藉由通道流到源極的電流。當閘極電壓大於臨界電壓時汲極電流流過。

另外，在將截止電流小的電晶體用於電晶體 2230 時，可以延長維持電壓的期間。利用這個效果，可以在動作少的影像(包括靜態影像)中，降低顯示的改寫頻率，且進一步降低耗電量。此外，由於可以使電容器 2220 的電容更小，因此可以降低充電所需要的耗電量。

如上所述，根據本發明的一個實施例，可以提供一種顯示品質高且耗電量小的液晶顯示裝置。

本實施例可以與其他實施例適當地組合。

實施例 3

在本實施例中，說明使用實施例 1 所示的電晶體製造半導體記憶體裝置的例子。

作為揮發性半導體記憶體裝置的典型例子，可以舉出藉由選擇構成記憶元件的電晶體對電容器儲存電荷來儲存

資訊的 DRAM(Dynamic Random Access Memory：動態隨機存取記憶體)、使用正反器等電路保持儲存資料的 SRAM(Static Random Access Memory：靜態隨機存取記憶體)。

作為不揮發性半導體記憶體裝置的典型例子，可以舉出在電晶體的閘極與通道區之間具有節點，藉由在該節點中保持電荷來進行儲存的快閃記憶體記憶體。

可以將實施例 1 所示的電晶體用於包含在上述半導體記憶體裝置中的電晶體的一部分。

首先，使用圖 11A 和圖 11B 說明構成使用實施例 1 所示的電晶體的半導體記憶體裝置的記憶單元。

記憶單元具有位元線 BL、字線 WL、放大器 SAmp、電晶體 Tr 和電容器 C(參照圖 11A)。

已知電容器 C 所保持的電壓根據電晶體 Tr 的截止電流如圖 11B 所示那樣隨著時間逐漸地降低。當初從 V0 充電至 V1 的電壓隨著時間的推移降低到讀出 data1 的極限的 VA。將該期間稱為保持期間 T₁。即，當使用 2 位準記憶單元時，需要在保持期間 T₁ 中進行更新。

這裏，藉由使用實施例 1 所示的電晶體作為電晶體 Tr，由於截止電流小，因此可以延長保持期間 T₁。即，由於可以減小更新頻率，可以減少耗電量。例如，當由使用被高純度化且截止電流為 1×10^{-21} A 以下，較佳為 1×10^{-24} A 以下的氧化物半導體膜的電晶體構成記憶單元時，可以在不供應電力的情況下保持資料數日至數十年。

如上所述，藉由本發明的一個實施例可以獲得可靠性

高且耗電量小的半導體記憶體裝置。

接著，參照圖 12A 和圖 12B 說明與圖 11A 和圖 11B 不同的構成使用實施例 1 所示的電晶體的半導體記憶體裝置的記憶單元的例子。

圖 12A 是記憶單元的電路圖。記憶單元具有：電晶體 Tr_1 ；與電晶體 Tr_1 的閘極連接的字線 WL_1 ；與電晶體 Tr_1 的源極連接的源極線 SL_1 ；電晶體 Tr_2 ；與電晶體 Tr_2 的源極連接的源極線 SL_2 ；與電晶體 Tr_2 的汲極連接的汲極線 DL_2 ；電容器 C ；與電容器 C 的一端連接的電容線 CL ；以及與電容器 C 的另一端、電晶體 Tr_1 的汲極及電晶體 Tr_2 的閘極連接的節點 N 。

另外，圖 12A 所示的記憶單元是利用根據節點 N 的電位電晶體 Tr_2 的臨界電壓發生變動的現象的記憶單元。例如，圖 12B 是說明電容線 CL 的電壓 V_{CL} 與流過電晶體 Tr_2 的汲極電流 I_{ds_2} 的關係的圖。

這裏，節點 N 可以藉由電晶體 Tr_1 調整電壓。例如，將源極線 SL_1 的電位設定為電源電位 VDD 。此時，藉由將字線 WL_1 的電位設定為電晶體 Tr_1 的臨界電壓 V_{th} 加電源電位 VDD 的電位以上，可以將節點 N 的電壓設定為 HIGH。另外，藉由將字線 WL_1 的電位設定為電晶體 Tr_1 的臨界值電位 V_{th} 以下，可以將節點 N 的電位設定為 LOW。

由此，可以得到 $N=LOW$ 時所示的 $V_{CL}-I_{ds_2}$ 曲線或 $N=HIGH$ 時所示的 $V_{CL}-I_{ds_2}$ 曲線。即， $N=LOW$ 時，

$V_{CL}=0V$ 時汲極電流 I_{ds_2} 較小，所以成爲資料 0；而在 $N=HIGH$ 時， $V_{CL}=0V$ 時汲極電流 I_{ds_2} 較大，所以成爲資料 1。如此，可以儲存資料。

這裏，當使用實施例 1 所示的電晶體作爲電晶體 Tr_1 時，可以使該電晶體的截止電流極小，由此可以抑制儲存於節點 N 的電荷非意圖地在電晶體 Tr_1 的源極與汲極之間洩漏。因此可以長期保持資料。另外，根據本發明的一個實施例的電晶體 Tr_1 的臨界電壓被控制，因此電晶體 Tr_1 能夠減少寫入所需要的電壓，與快閃記憶體等相比，能夠減少耗電量。

另外，也可以使用實施例 1 所示的電晶體作爲電晶體 Tr_2 。

如上所述，藉由本發明的一個實施例，可以獲得在長期間可靠性高且耗電量小的半導體記憶體裝置。

本實施例可以與其他的實施例適當地組合而實施。

實施例 4

可以至少在其一部分使用實施例 1 所示的電晶體或實施例 3 所示的半導體記憶體裝置來構成 CPU(Central Processing Unit 中央處理單元)。

圖 13A 是示出 CPU 的具體結構的塊圖。圖 13A 所示的 CPU 在基板 1190 上包括：算術邏輯單元 (ALU: Arithmetic logic unit) 1191；ALU 控制器 1192；指令解碼器 1193；中斷控制器 1194；時序控制器 1195；暫存器 1196；暫存器

控制器 1197；匯流排界面(匯流排 I/F)1198；可改寫的 ROM 1199；以及 ROM 介面(ROM I/F)1189。作為基板 1190，使用半導體基板、SOI 基板及玻璃基板。ROM 1199 和 ROM 介面 1189 可以設置在另一晶片上。當然，圖 13A 所示的 CPU 只是將其結構簡化而示出的一個例子，並且實際上的 CPU 根據其用途具有多種結構。

藉由匯流排界面 1198 輸入到 CPU 的指令輸入到指令解碼器 1193 且被進行解碼之後，輸入到 ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197 和時序控制器 1195。

根據被解碼的指令，ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 進行各種控制。明確地說，ALU 控制器 1192 產生用來控制 ALU1191 的工作的信號。另外，當 CPU 在執行程式時，中斷控制器 1194 根據其優先度或掩模狀態而判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求，且處理該要求。暫存器控制器 1197 產生暫存器 1196 的位址，並根據 CPU 的狀態進行從暫存器 1196 的讀出或對暫存器 1196 的寫入。

另外，時序控制器 1195 產生控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具備根據基準時脈信號 CLK1 產生內部時脈信號 CLK2 的內部時脈產生部，將時脈信號 CLK2 供應到上述各種電路。

在圖 13A 所示的 CPU 中，在暫存器 1196 中設置有記憶元件。作為暫存器 1196 中的記憶元件，可以使用實施例 3 所示的半導體記憶體裝置。

在圖 13A 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指示，進行暫存器 1196 中的保持工作。就是說，在暫存器 1196 所具有的記憶元件中，利用正反器進行資料的保持或利用電容器進行資料的保持。當利用正反器進行資料的保持時，進行對暫存器 1196 中的記憶元件的電源電壓的供應。當利用電容器進行資料保持時，進行對電容器的資料改寫，而可以停止對暫存器 1196 中的記憶元件的電源電壓的供應。

如圖 13B 或圖 13C 所示那樣，藉由在記憶元件群與被供應有電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，可以使電源停止。以下說明圖 13B 及圖 13C 的電路。

在圖 13B 及圖 13C 中示出將實施例 1 所示的電晶體用於控制對記憶元件的電源電位的供應的切換元件的結構的一個例子。

圖 13B 所示的記憶體裝置包括切換元件 1141 以及具有多個記憶元件 1142 的記憶元件群 1143。明確地說，作為記憶元件 1142 的每一個，可以使用實施例 3 所示的記憶元件。藉由切換元件 1141，高位準的電源電位 VDD 供應到記憶元件群 1143 所具有的記憶元件 1142 的每一個。並且，信號 IN 的電位和低位準的電源電位 VSS 的電位供

應到記憶元件群 1143 所具有的記憶元件 1142 的每一個。

在圖 13B 中，作為切換元件 1141，使用其活性層具有氧化物半導體等能隙大的半導體的電晶體，該電晶體的開關受控於供應到其閘極的信號 SigA。

此外，在圖 13B 中，示出切換元件 1141 只有一個電晶體的結構，但是不侷限於此，也可以具有多個電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯連接，又可以將上述多個電晶體串聯連接，還可以組並聯和串聯而連接。

另外，圖 13C 示出記憶體裝置的一個例子，其中藉由切換元件 1141 低位準的電源電位 VSS 供應到記憶元件群 1143 所具有的記憶元件 1142 的每一個。藉由切換元件 1141 可以控制對記憶元件群 1143 所具有的記憶元件 1142 的每一個的低位準的電源電位 VSS 的供應。

在記憶元件群與被施加電源電位 VDD 或電源電位 VSS 的節點之間設置切換元件，當暫時停止 CPU 的工作，停止電源電壓的供應時也可以保持資料，且可以降低耗電量。例如，在個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊的期間中也可以停止 CPU 的工作，由此可以降低耗電量。

在此，以 CPU 為例子進行了說明，但是也可以應用於 DSP(Digital Signal Processor：數位信號處理器)、定製 LSI、FPGA(Field Programmable Gate Array：現場可編程閘陣列)等的 LSI。

本實施例可以與上述實施例適當地組合而實施。

實施例 5

在本實施例中，說明應用實施例 1 至實施例 4 的電子裝置的例子。

圖 14A 是可攜式資訊終端。圖 14A 所示的可攜式資訊終端具備外殼 9300、按鈕 9301、麥克風 9302、顯示部 9303、揚聲器 9304、影像拍攝裝置 9305，並且具有作為行動電話機的功能。可以將本發明的一個實施例應用於顯示部 9303 及影像拍攝裝置 9305。此外，雖然未圖示，也可以將本發明的一個實施例應用於主體內部的運算裝置、無線電路或儲存電路。

圖 14B 是顯示器。圖 14B 所示的顯示裝置具備外殼 9310 以及顯示部 9311。可以將本發明的一個實施例應用於顯示部 9311。藉由適用本發明的一個實施例，即使增大顯示部 9311 的尺寸，也可以得到高顯示品質的顯示器。

圖 14C 是數位相機。圖 14C 所示的數位相機具備外殼 9320、按鈕 9321、麥克風 9322、顯示部 9323。可以將本發明的一個實施例應用於顯示部 9323。此外，雖然未圖示，但是也可以將本發明的一個實施例應用於儲存電路或影像感測器。

藉由使用本發明的一個實施例，可以提高電氣設備的功能以及可靠性。

本實施例可以與其他實施例適當地組合。

範例 1

在本範例中，將注入氧離子的玻璃基板用作樣本評價氧的釋放量。

另外，氧的釋放量是使用電子科學株式會社製造的熱脫附裝置 EMD-WA1000S/W，以包含 $1 \times 10^{16} \text{ atoms/cm}^3$ 的氫原子的矽晶圓為標準樣本而測量的。

作為樣本，使用將 0.7mm 厚的旭硝子公司製造的“AN100”無鹼玻璃加工為 $10\text{mm} \times 10\text{mm}$ 的玻璃基板。

氧離子的注入條件為如下，以 25keV 的加速電壓注入 1.0×10^{16} 離子/cm² 的 $^{16}\text{O}^+$ 離子。

圖 15 示出以 5keV 或 25keV 的加速電壓注入 1.0×10^{16} 離子/cm² 的 $^{16}\text{O}^+$ 的計算結果。在計算中，使用 TRIM(Transport of Ion in Matter: 物質中的離子輸送)。另外，將被注入層的密度假定為 2.51g/cm^3 。

如圖 15 所示那樣，越提高加速電壓， ^{16}O 的注入深度的峰值位置越深，而可知根據加速電壓可以調整 ^{16}O 的注入深度。

^{16}O 的注入深度影響到藉由加熱處理的氧釋放的容易性。就是說，由計算可知根據加速電壓可以調整藉由加熱處理的氧釋放的容易性。

圖 16A 至圖 16C 示出以質量電荷比為 $m/z=32$ (參照圖 16A)、 $m/z=18$ (參照圖 16B)以及 $m/z=12$ (參照圖 16C)檢測出的氣體的 TDS 分析結果。注意，在圖 16A 至圖 16C 中

，虛線表示不進行氧離子植入的玻璃基板的 TDS 分析結果，實線表示進行氧離子植入的玻璃基板的 TDS 分析結果。

在基板溫度 250°C 以上且 470°C 以下的範圍內，在以質量電荷比為 $m/z=32$ 檢測出的氣體的 TDS 分析結果中，從不進行氧離子植入的玻璃基板沒有檢測出特殊的釋放。另一方面，在上述溫度範圍內，在以質量電荷比為 $m/z=32$ 檢測出的氣體的 TDS 分析結果中，從進行了氧離子植入的玻璃基板檢測出峰值。注意，在本實施例中由於分析裝置及樣本的關係，到基板溫度 470°C 的範圍內進行 TDS 分析，但是根據氧離子植入條件，有時在高於 470°C 的溫度下檢測出峰值。即使在高於 470°C 的溫度下檢測出峰值，也這不是太大的問題。

由於只在進行氧離子植入的玻璃基板中檢測出氧的釋放，可知在基板溫度 250°C 以上且 470°C 以下的範圍內，在以質量電荷比為 $m/z=32$ 檢測出的氣體的檢測出的峰值的大部分起因於氧原子及氧分子。

換算為氧原子的從 TDS 分析結果導出的氧的釋放量是 $6.6 \times 10^{15} \text{ atoms/cm}^2$ 。當考慮到測量範圍之外的高於基板溫度 470°C 的溫度下的釋放量時，可以認為該值與氧離子植入量幾乎等量。就是說，可知由氧離子植入添加到玻璃基板的氧藉由加熱處理大部分被釋放。因此，可知利用氧離子植入量可以調整從基板的氧釋放量。注意，被釋放的氧不一定是與注入的氧離子同一的，有可能玻璃基板中的氧取代注入的氧離子。

此外，獲得如下結果，即與不進行氧離子植入的玻璃基板相比，在基板溫度 190℃ 以上且 300℃ 以下的範圍內，進行了氧離子植入的玻璃基板的以質量電荷比為 $m/z=18$ 檢測出的氣體的釋放量少。就是說，可知藉由進行氧離子植入，藉由加熱處理的以質量電荷比為 $m/z=18$ (估計為 H_2O) 檢測出的氣體的釋放量降低。

在使用氧化物半導體膜的電晶體中，水因包含氫而成爲雜質，並成爲臨界電壓變動的主要原因。藉由進行氧離子的注入，從玻璃基板的水的釋放量降低，因此可以提高電晶體的電特性。

與此同樣，獲得如下結果，即與不進行氧離子植入的玻璃基板相比，在基板溫度 100℃ 以上且 450℃ 以下的範圍內，進行了氧離子植入的玻璃基板的以質量電荷比為 $m/z=12$ 檢測出的氣體的釋放量少。就是說，可知藉由進行氧離子植入，藉由加熱處理以質量電荷比為 $m/z=12$ (估計為 C) 檢測出的氣體的釋放量降低。

在使用氧化物半導體膜的電晶體中，碳不是主要成分而是雜質。因爲根據碳的濃度碳阻礙氧化物半導體膜的結晶化，所以爲了形成 CAAC-OS 膜或多晶膜的氧化物半導體膜，碳的濃度越降低越好。藉由進行氧離子的注入，從玻璃基板的碳的釋放量降低，因此可以提高電晶體的電特性。

如本範例所示那樣，藉由對基板進行氧離子植入，從基板的氧釋放量增多，並且水及碳的釋放量降低。

【圖式簡單說明】

在圖式中：

圖 1A 和圖 1B 是示出半導體裝置的一個例子的俯視圖及剖面圖；

圖 2A 和圖 2B 是示出半導體裝置的一個例子的俯視圖及剖面圖；

圖 3A 至圖 3C 是示出半導體裝置的一個例子的俯視圖及剖面圖；

圖 4A 至圖 4C 是示出半導體裝置的一個例子的俯視圖及剖面圖；

圖 5A 至圖 5D 是示出半導體裝置的製造方法的一個例子的剖面圖；

圖 6A 至圖 6D 是示出半導體裝置的製造方法的一個例子的剖面圖；

圖 7A 至圖 7D 是示出半導體裝置的製造方法的一個例子的剖面圖；

圖 8A 至圖 8C 是示出半導體裝置的製造方法的一個例子的剖面圖；

圖 9A 至圖 9D 是示出半導體裝置的製造方法的一個例子的剖面圖；

圖 10 是示出使用本發明的一個實施例的電晶體的液晶顯示裝置的一個例子的電路圖；

圖 11A 和圖 11B 是示出使用根據本發明的一個實施例

的電晶體的半導體記憶體裝置的一個例子的電路圖及示出電特性的圖；

圖 12A 和圖 12B 是示出使用根據本發明的一個實施例的電晶體的半導體記憶體裝置的一個例子的電路圖及示出電特性的圖；

圖 13A 至圖 13C 是示出使用根據本發明的一個實施例的電晶體的 CPU 的具體例子的方塊圖及其一部分的電路圖；

圖 14A 至圖 14C 是示出根據本發明的一個實施例的電子裝置的一個例子的透視圖；

圖 15 是示出對玻璃基板的 ^{16}O 離子植入的向深度方向的分佈的計算結果；

圖 16A 至圖 16C 是示出從玻璃基板釋放的氧強度 TDS 結果；

圖 17A 至圖 17E 是說明根據本發明的一個實施例的氧化物半導體的結晶結構的圖；

圖 18A 至圖 18C 是說明根據本發明的一個實施例的氧化物半導體的結晶結構的圖；

圖 19A 至圖 19C 是說明根據本發明的一個實施例的氧化物半導體的結晶結構的圖；

圖 20A 和圖 20B 是說明根據本發明的一個實施例的氧化物半導體的結晶結構的圖；

圖 21 是說明藉由計算獲得的場效應遷移率的閘極電壓 V_{gs} 依賴性的圖；

圖 22A 至圖 22C 是說明藉由計算獲得的汲極電流 I_d 及場效應遷移率的閘極電壓 V_{gs} 依賴性的圖；

圖 23A 至圖 23C 是說明藉由計算獲得的汲極電流 I_{ds} 及場效應遷移率的閘極電壓 V_{gs} 依賴性的圖；

圖 24A 至圖 24C 是說明藉由計算獲得的汲極電流 I_{ds} 及場效應遷移率的閘極電壓 V_{gs} 依賴性的圖；以及

圖 25A 至圖 25C 是用於計算的電晶體的俯視圖及剖面圖。

【主要元件符號說明】

- 100：基板
- 101：基板
- 104：閘極電極
- 106：氧化物半導體膜
- 107：氧化物半導體膜
- 112：閘極絕緣膜
- 116：一對電極
- 136：氧化物半導體膜
- 204：閘極電極
- 206：氧化物半導體膜
- 212：閘極絕緣膜
- 216：一對電極
- 302：絕緣膜
- 303：絕緣膜

- 304 : 閘極電極
- 305 : 閘極電極
- 306 : 氧化物半導體膜
- 306a : 高電阻區
- 306b : 低電阻區
- 307 : 氧化物半導體膜
- 307a : 高電阻區
- 307b : 低電阻區
- 312 : 閘極絕緣膜
- 313 : 閘極絕緣膜
- 318 : 保護膜
- 319 : 保護膜
- 320 : 側壁絕緣膜
- 322 : 佈線
- 323 : 佈線

- 1141 : 切換元件
- 1142 : 記憶元件
- 1143 : 記憶元件群
- 1189 : ROM 介面
- 1190 : 基板
- 1191 : ALU
- 1192 : ALU 控制器
- 1193 : 指令解碼器
- 1194 : 中斷控制器

- 1195：時序控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排界面
- 1199：ROM
- 2200：像素
- 2210：液晶元件
- 2220：電容器
- 2230：電晶體
- 3002：基底絕緣膜
- 3004：閘極電極
- 3006：氧化物半導體膜
- 3006a：高電阻區
- 3006b：低電阻區
- 3007：氧化物半導體膜
- 3007a：高電阻區
- 3007b：低電阻區
- 3012：閘極絕緣膜
- 3016：一對電極
- 3018：保護絕緣膜
- 3020：保護膜
- 3022：佈線
- 3024：側壁絕緣膜
- 9300：外殼

- 9301 : 按鈕
- 9302 : 麥克風
- 9303 : 顯示部
- 9304 : 揚聲器
- 9305 : 影像拍攝器
- 9310 : 外殼
- 9311 : 顯示部
- 9320 : 外殼
- 9321 : 按鈕
- 9322 : 麥克風
- 9323 : 顯示部

I565067
修正頁(※) 照 41
年 月 日

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包含：

藉由熱脫附譜法檢測出質量電荷比 32 的氣體的絕緣基板；

該絕緣基板上的氧化物半導體膜；

至少一部分與該氧化物半導體膜接觸的一對電極；

覆蓋該氧化物半導體膜及該一對電極的閘極絕緣膜；

以及

隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極，

其中，換算為氧原子的藉由熱脫附譜法檢測出的氣體量為大於或等於 3.0×10^{14} atoms/cm²。

2. 根據申請專利範圍第 1 項之半導體裝置，其中該一對電極設置在該絕緣基板與該氧化物半導體膜之間。

3. 根據申請專利範圍第 1 項之半導體裝置，其中該一對電極設置在該氧化物半導體膜與該閘極絕緣膜之間。

4. 一種半導體裝置，包含：

藉由熱脫附譜法檢測出質量電荷比 32 的氣體的絕緣基板；

該絕緣基板上的氧化物半導體膜，該氧化物半導體膜包含第一區域及第二區域；

該氧化物半導體膜上的閘極絕緣膜；以及

隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極，

其中，換算為氧原子的藉由熱脫附譜法檢測出的氣體量為大於或等於 $3.0 \times 10^{14} \text{ atoms/cm}^2$ ，以及

其中，該第一區域的電阻低於該第二區域的電阻。

5. 根據申請專利範圍第 4 項之半導體裝置，還包含該絕緣基板與該氧化物半導體膜的該第一區域之間的絕緣膜。

6. 根據申請專利範圍第 1 或 4 項之半導體裝置，其中該閘極絕緣膜包含藉由加熱處理釋放氧的絕緣膜。

7. 根據申請專利範圍第 1 或 4 項之半導體裝置，還包含在該絕緣基板上用作該氧化物半導體膜的基底的基底膜。

8. 根據申請專利範圍第 1 或 4 項之半導體裝置，其中該絕緣基板是選自由玻璃基板、陶瓷基板、石英基板、藍寶石基板以及塑膠基板所組成之群。

9. 一種半導體裝置的製造方法，包含如下步驟：

對絕緣基板注入氧離子；

在該被注入氧離子的絕緣基板上形成氧化物半導體膜；

形成至少一部分與該氧化物半導體膜接觸的一對電極；

形成覆蓋該氧化物半導體膜及該一對電極的閘極絕緣膜；以及

形成隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極，

其中，藉由熱脫附譜法檢測出質量電荷比 32 的該絕緣基板中的氣體，以及

其中，換算為氧原子的藉由該熱脫附譜法檢測出的氣

體量為大於或等於 $3.0 \times 10^{14} \text{ atoms/cm}^2$ 。

10. 一種半導體裝置的製造方法，包含如下步驟：

對絕緣基板注入氧離子；

在該被注入氧離子的絕緣基板上形成一對電極；

形成至少一部分與該一對電極接觸的氧化物半導體膜；

形成覆蓋該氧化物半導體膜及該一對電極的閘極絕緣膜；以及

形成隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極，

其中，藉由熱脫附譜法檢測出質量電荷比 32 的該絕緣基板中的氣體，以及

其中，換算為氧原子的藉由該熱脫附譜法檢測出的氣體量為大於或等於 $3.0 \times 10^{14} \text{ atoms/cm}^2$ 。

11. 一種半導體裝置的製造方法，包含如下步驟：

對絕緣基板注入氧離子；

在該被注入氧離子的絕緣基板上形成氧化物半導體膜；

形成覆蓋該氧化物半導體膜的閘極絕緣膜；

形成隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極；以及

將該閘極電極用作掩模而進行降低該氧化物半導體膜的電阻的處理，

其中，藉由熱脫附譜法檢測出質量電荷比 32 的該絕緣基板中的氣體，以及

其中，換算為氧原子的藉由該熱脫附譜法檢測出的氣

體量為大於或等於 $3.0 \times 10^{14} \text{ atoms/cm}^2$ 。

12. 一種半導體裝置的製造方法，包含如下步驟：

對絕緣基板注入氧離子；

在該被注入氧離子的絕緣基板上形成氧化物半導體膜；

形成覆蓋該氧化物半導體膜的閘極絕緣膜；以及

形成隔著該閘極絕緣膜與該氧化物半導體膜重疊的閘極電極，

其中，藉由熱脫附譜法檢測出質量電荷比 32 的該絕緣基板中的氣體，以及

其中，換算為氧原子的藉由該熱脫附譜法檢測出的氣體量為大於或等於 $3.0 \times 10^{14} \text{ atoms/cm}^2$ 。

13. 根據申請專利範圍第 12 項之半導體裝置的製造方法，還包含如下步驟：在該被注入氧離子的絕緣基板上形成一對電極，

其中在形成該一對電極之後，該氧化物半導體膜形成以至少一部分與該一對電極接觸。

14. 根據申請專利範圍第 12 項之半導體裝置的製造方法，還包含如下步驟：在該被注入氧離子的絕緣基板上形成該氧化物半導體膜之後，形成至少一部分與該氧化物半導體膜接觸的一對電極。

15. 根據申請專利範圍第 12 項之半導體裝置的製造方法，其中在形成該閘極電極之後，將該閘極電極用作掩模而進行降低該氧化物半導體膜的電阻的處理。

16. 根據申請專利範圍第 9、10、11 和 12 項中任一項

之半導體裝置的製造方法，其中在該注入氧離子的製程中注入的該氧離子的量為大於或等於 1.0×10^{15} 離子/cm²。

17. 根據申請專利範圍第 9、10、11 和 12 項中任一項之半導體裝置的製造方法，其中該絕緣基板是選自由玻璃基板、陶瓷基板、石英基板、藍寶石基板以及塑膠基板所組成之群。

圖 1A

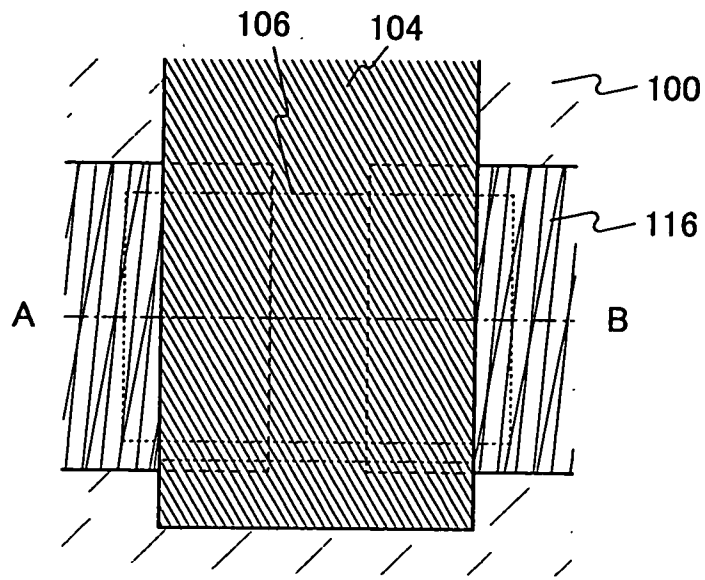


圖 1B

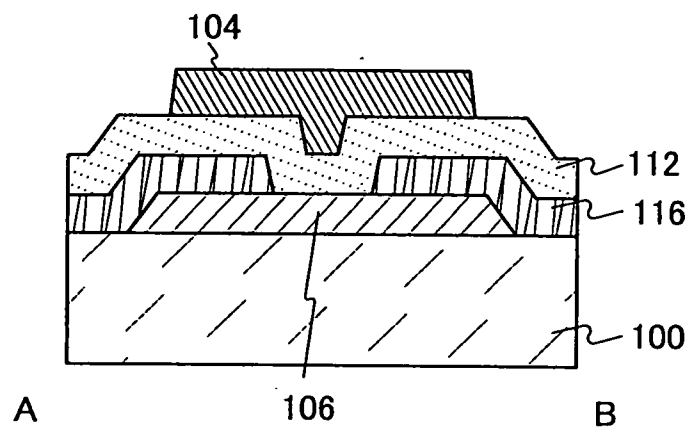


圖 2A

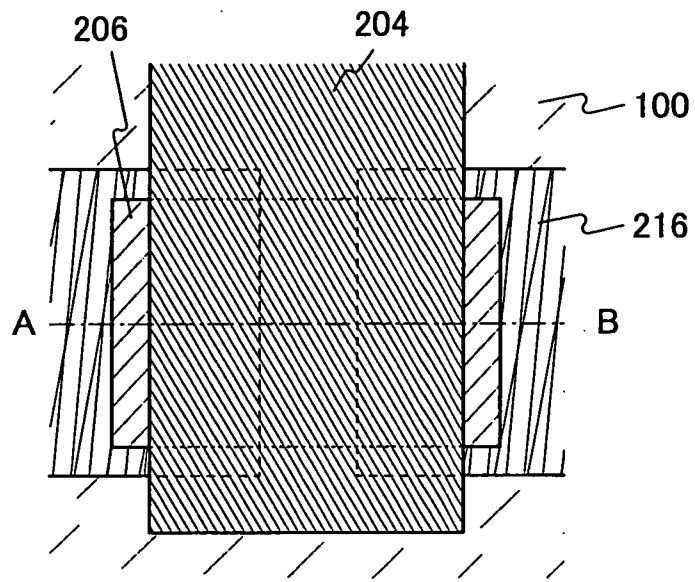


圖 2B

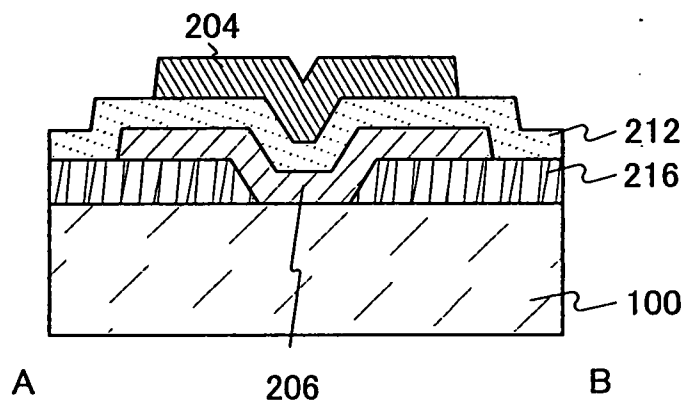


圖 3A

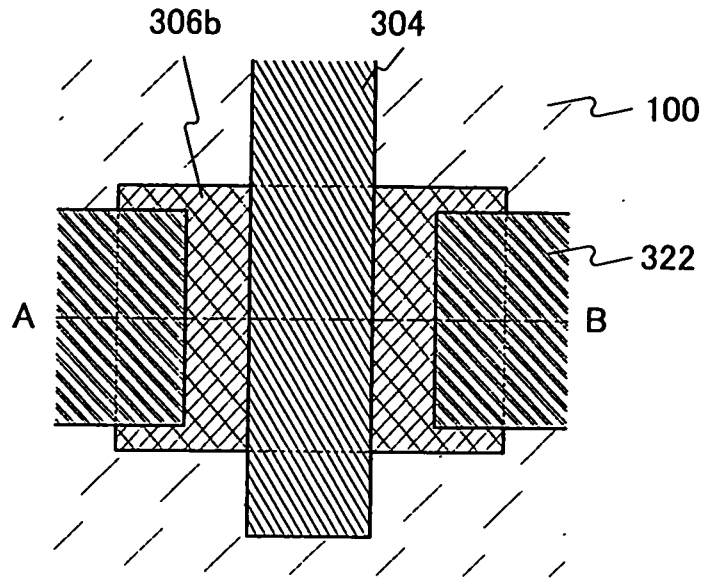


圖 3B

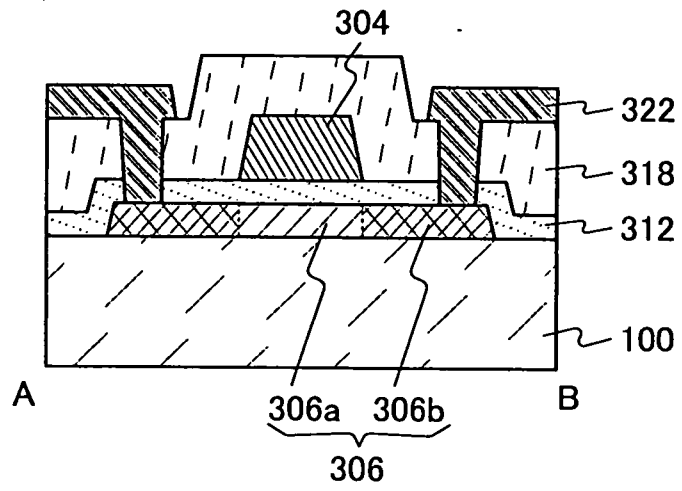


圖 3C

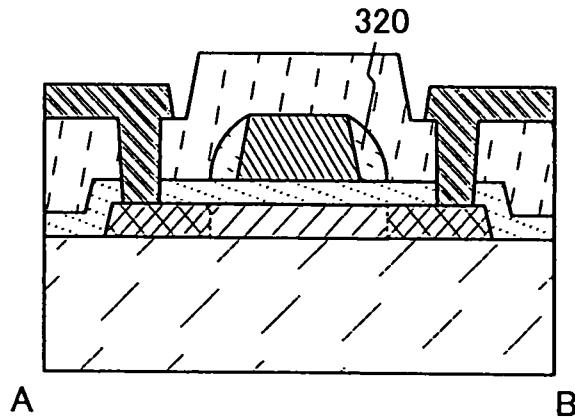


圖 4A

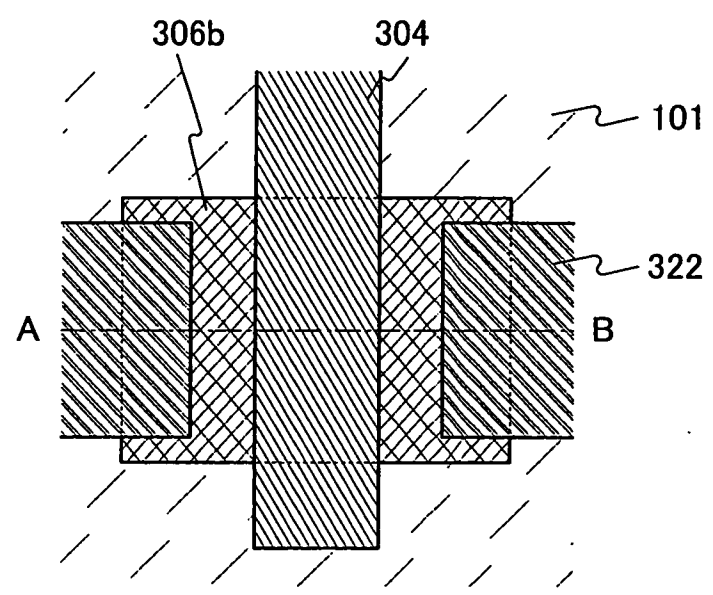


圖 4B

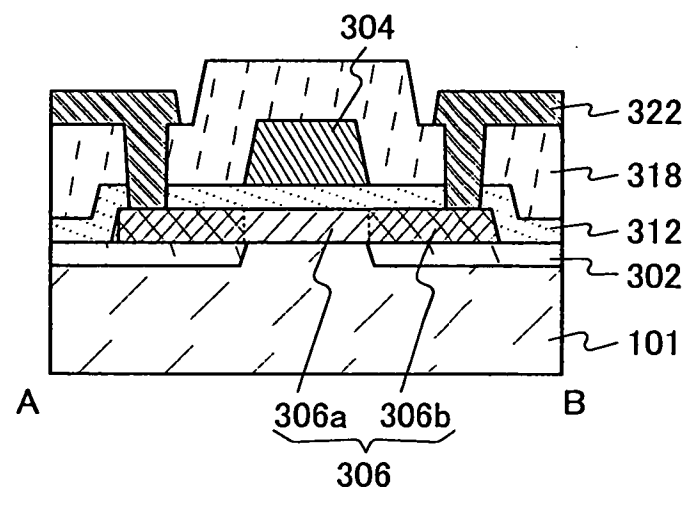


圖 4C

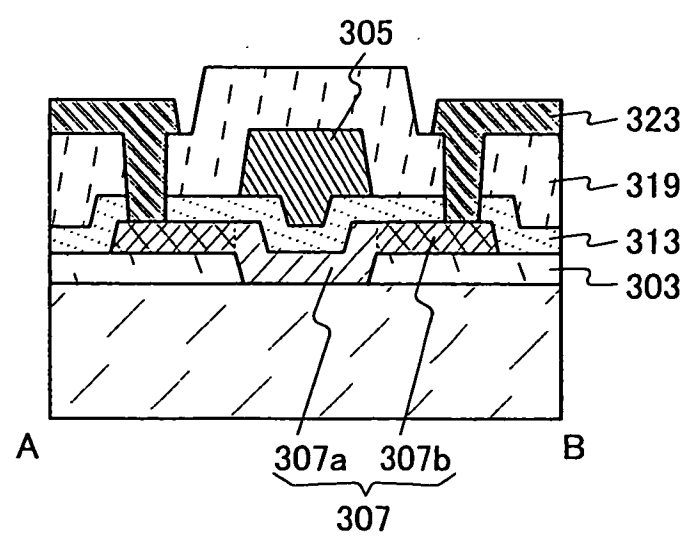


圖5A

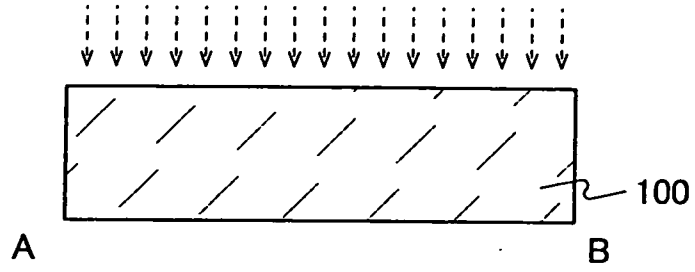


圖5B

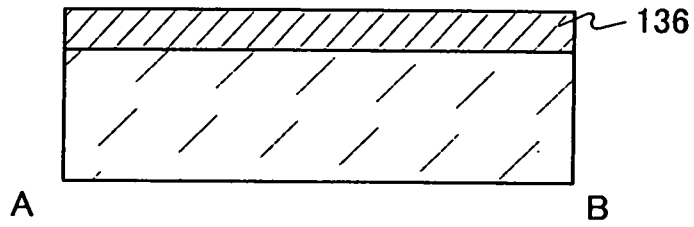


圖5C

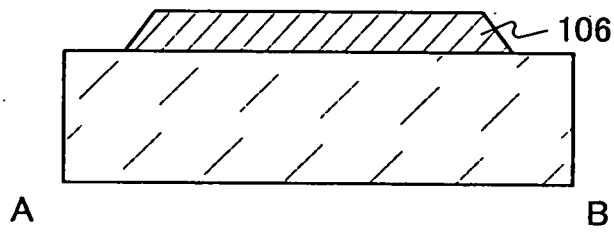


圖5D

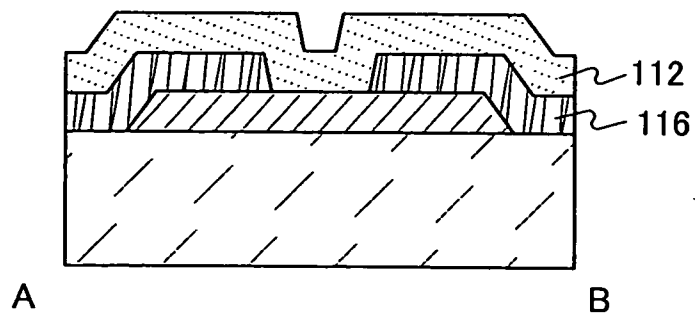


圖 6A

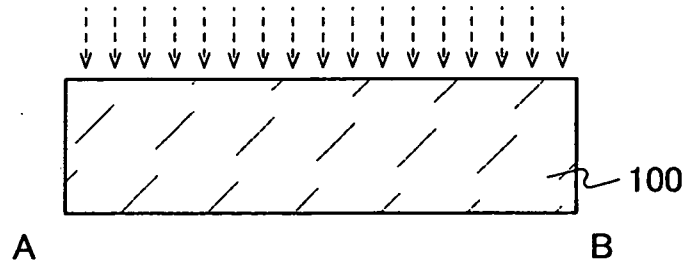


圖 6B

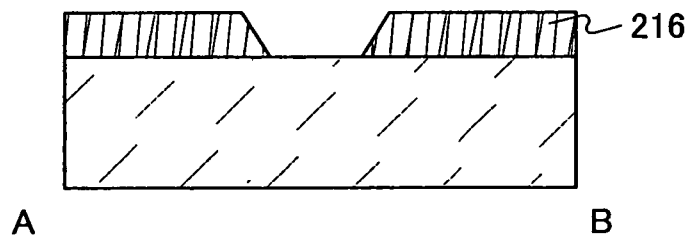


圖 6C

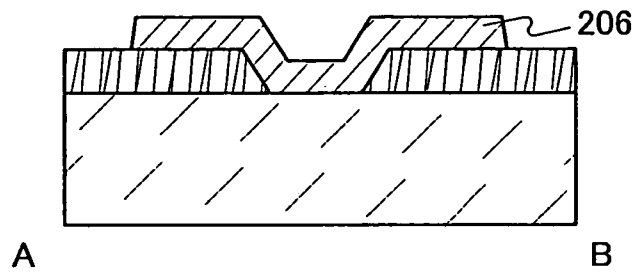


圖 6D

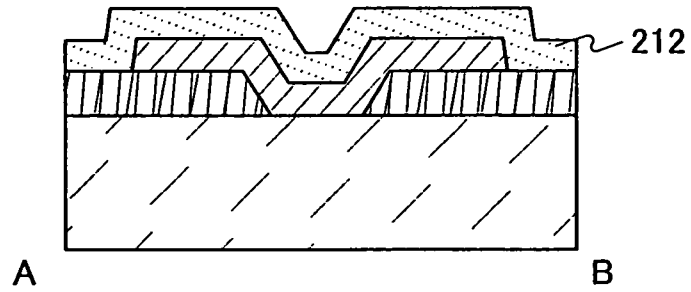


圖 7A

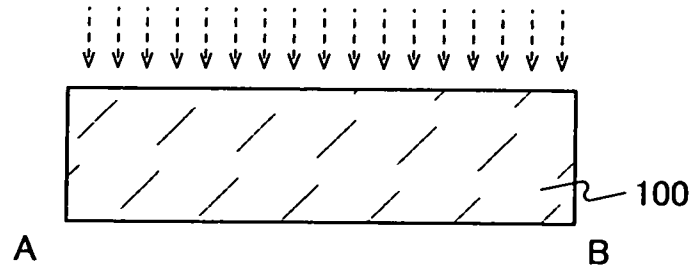


圖 7B

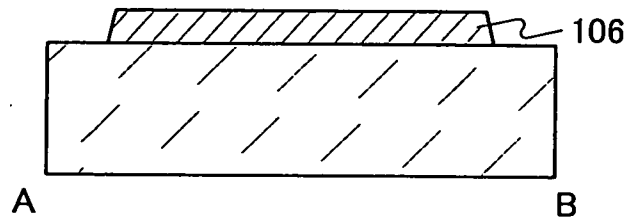


圖 7C

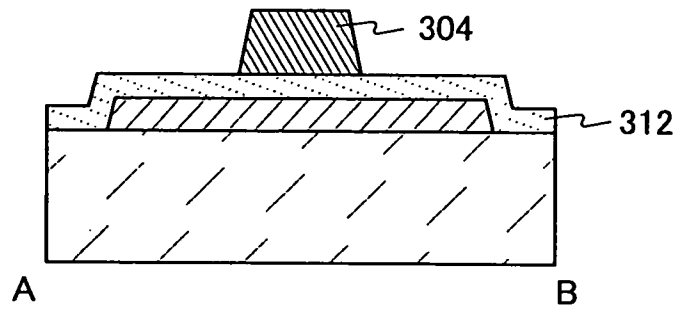


圖 7D

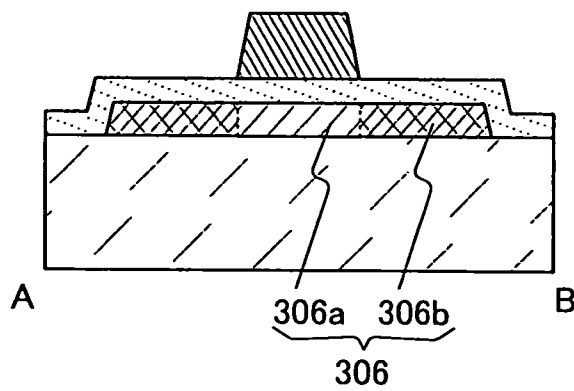


圖 8A

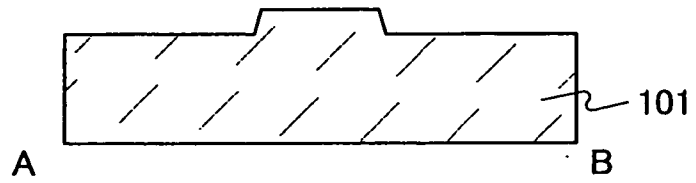


圖 8B

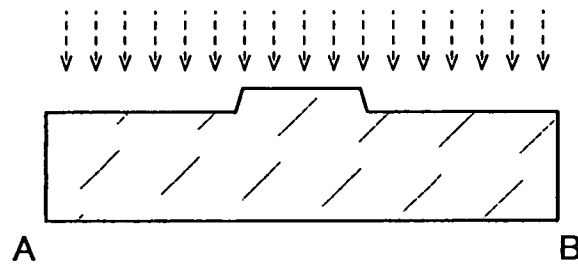


圖 8C

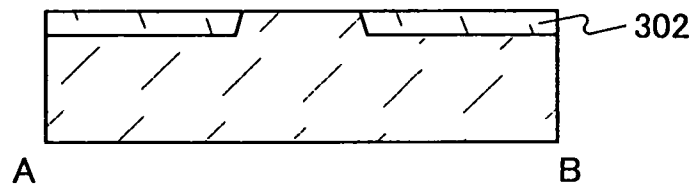


圖9A

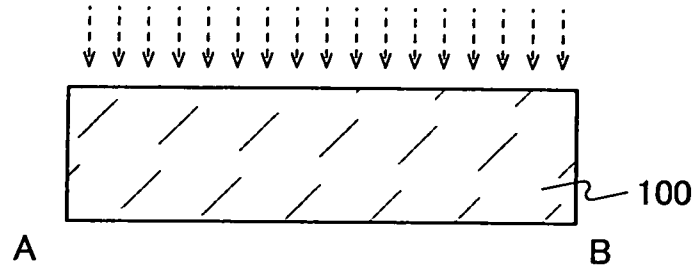


圖9B

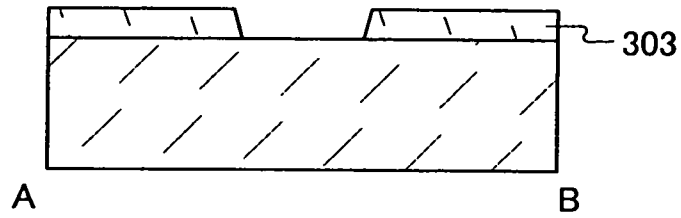


圖9C

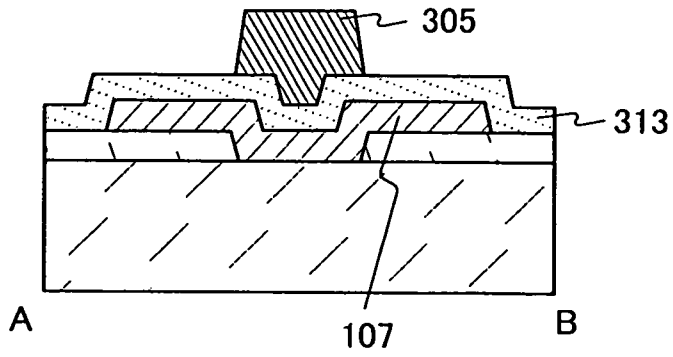


圖9D

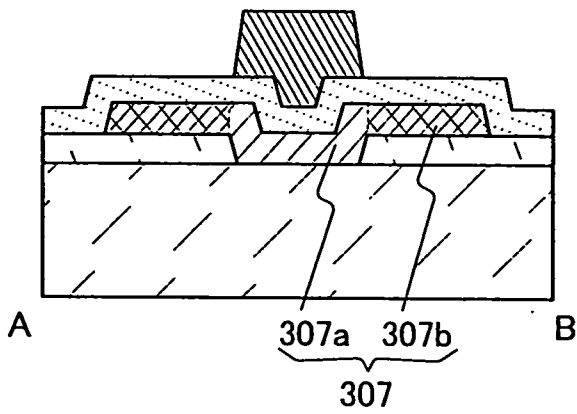


圖 10

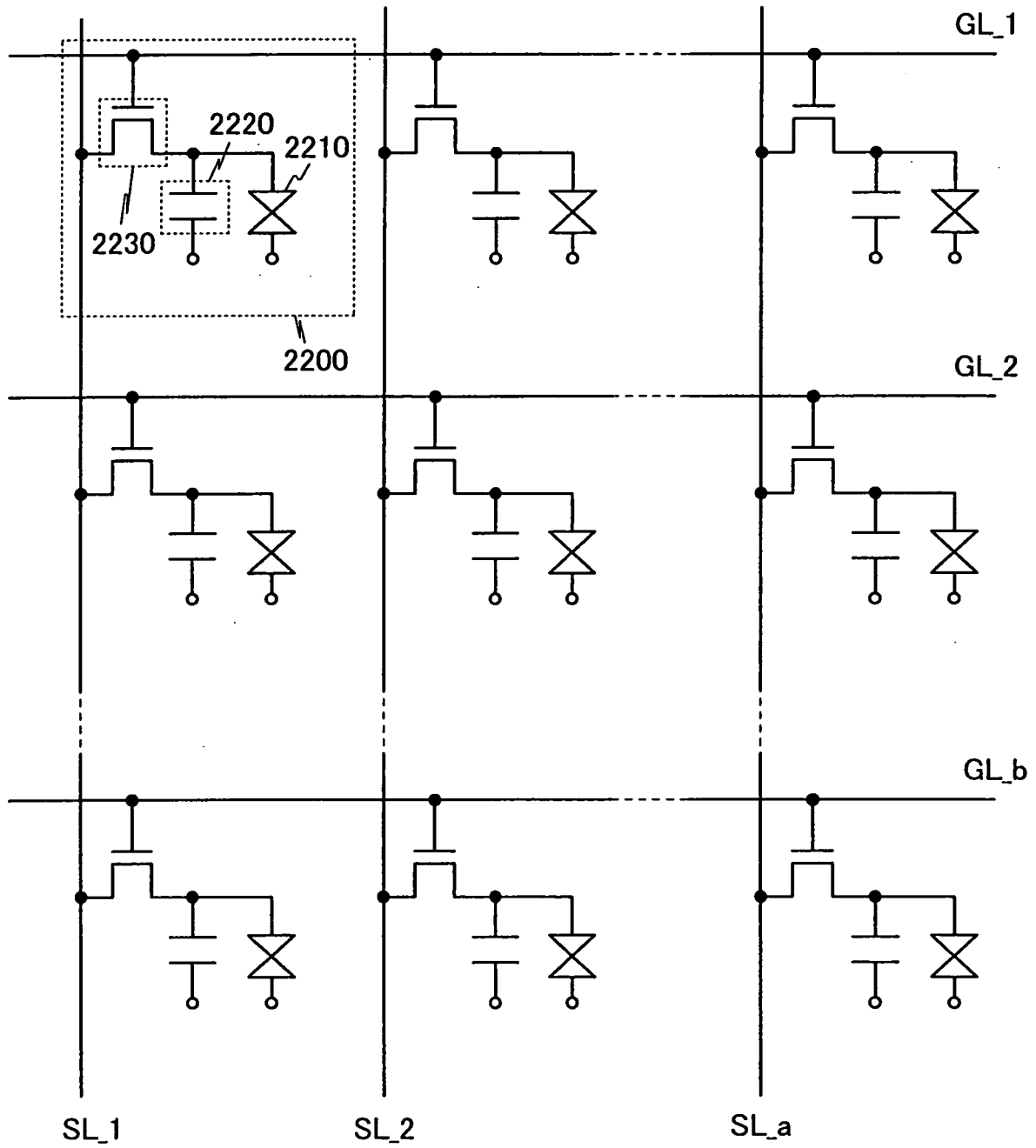


圖 11A

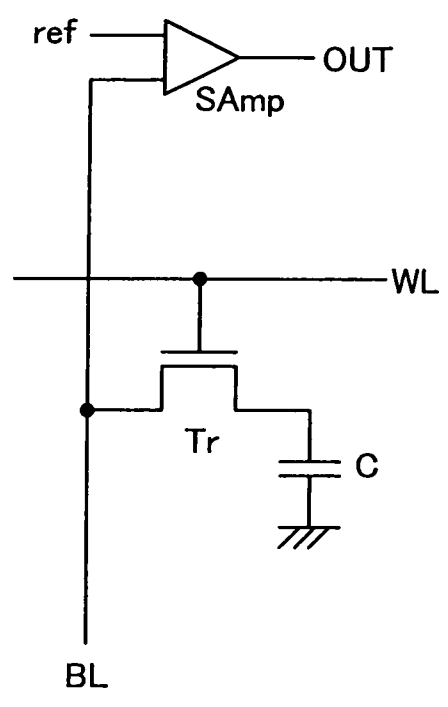


圖 11B

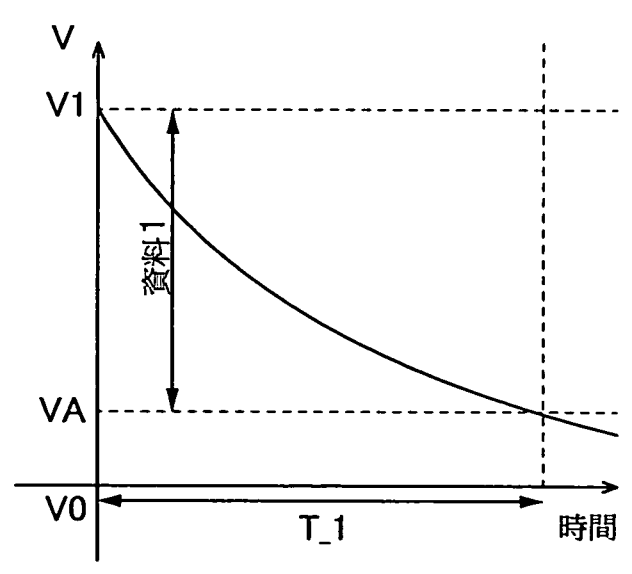


圖 12A

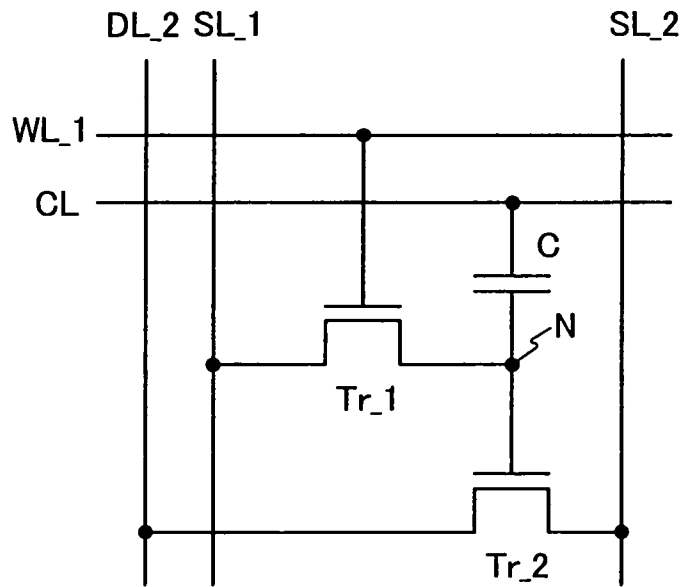


圖 12B

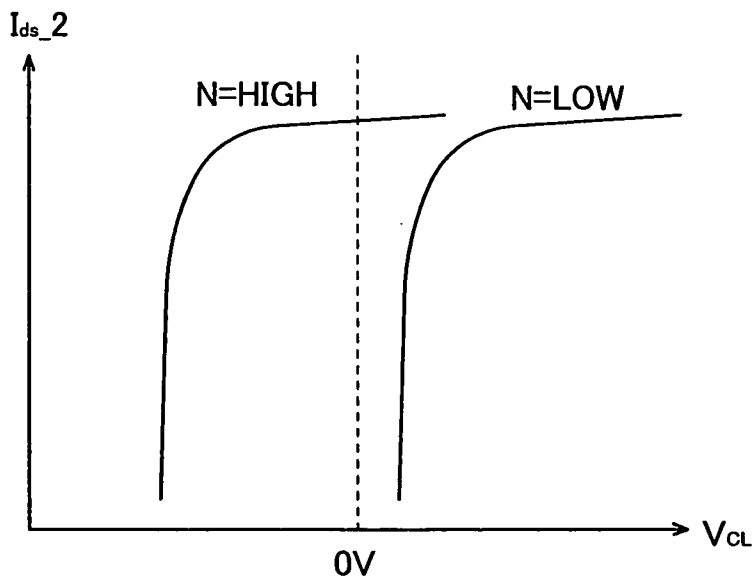


圖 13A

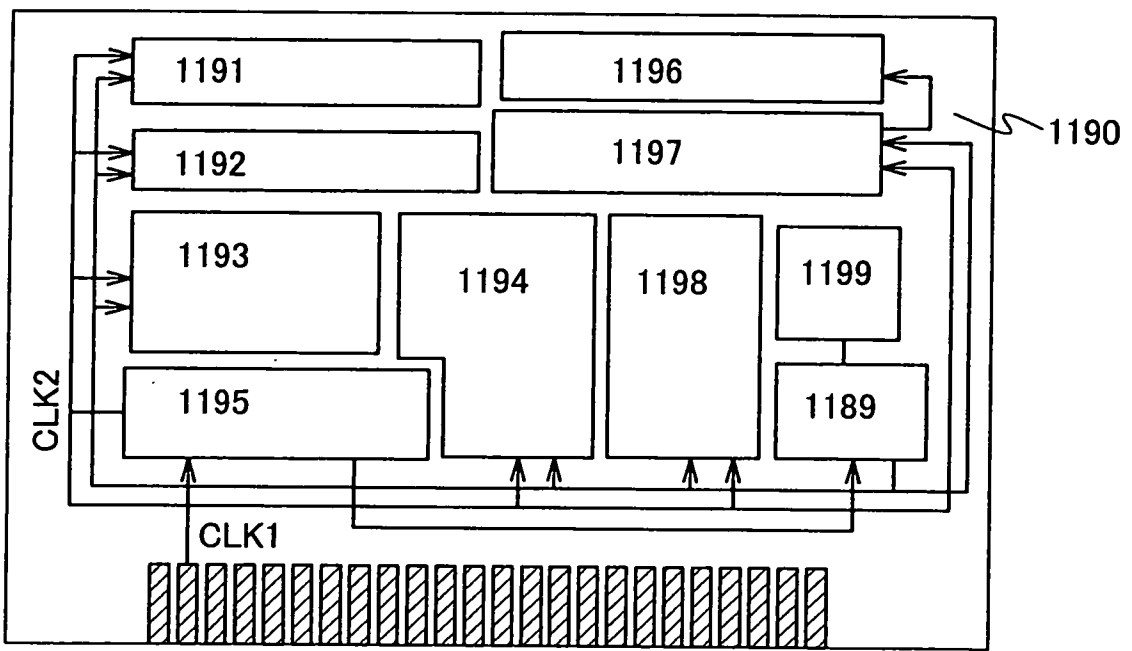


圖 13B

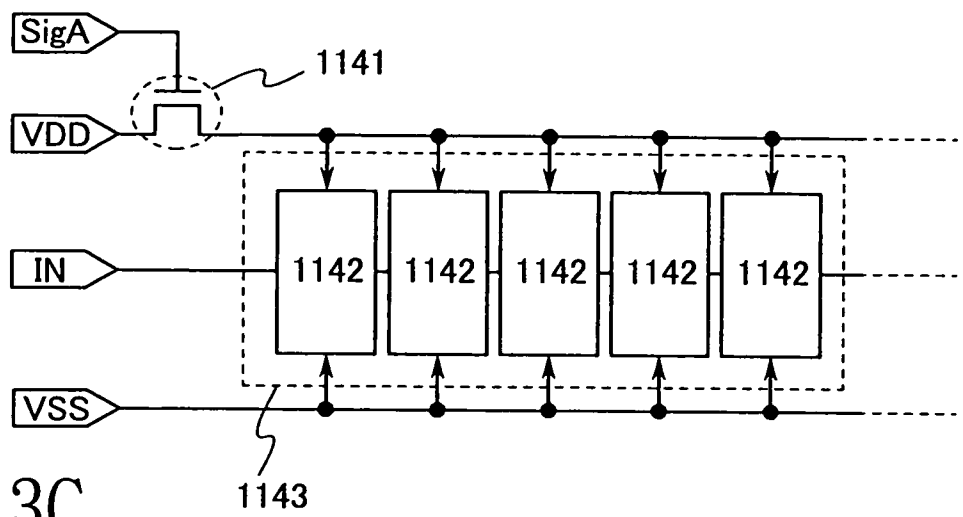


圖 13C

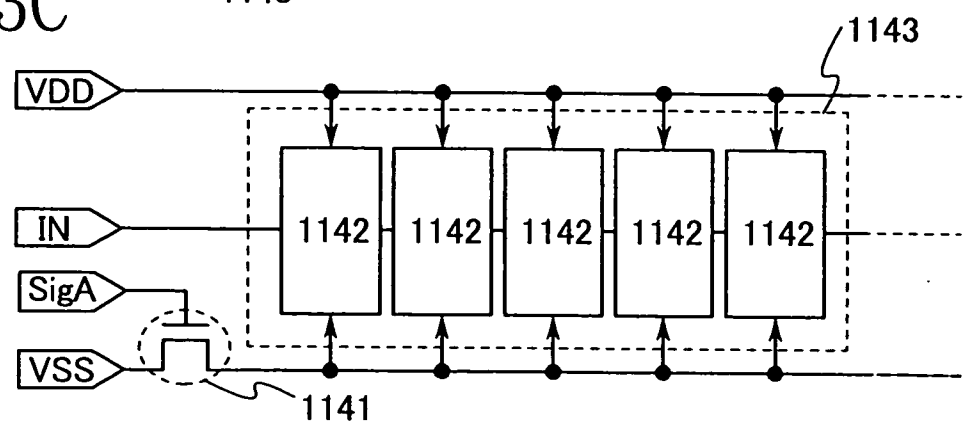


圖 14A

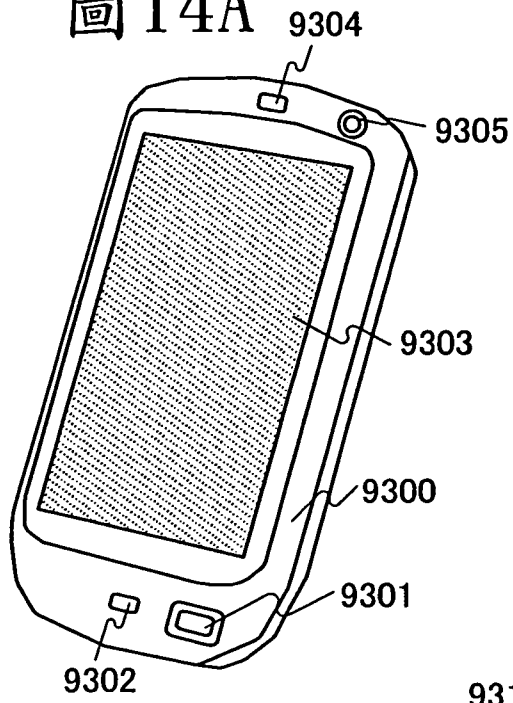


圖 14B

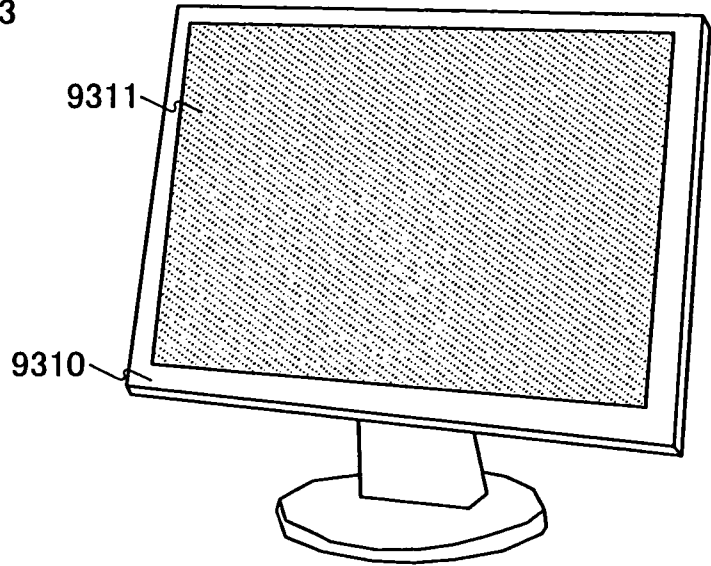


圖 14C

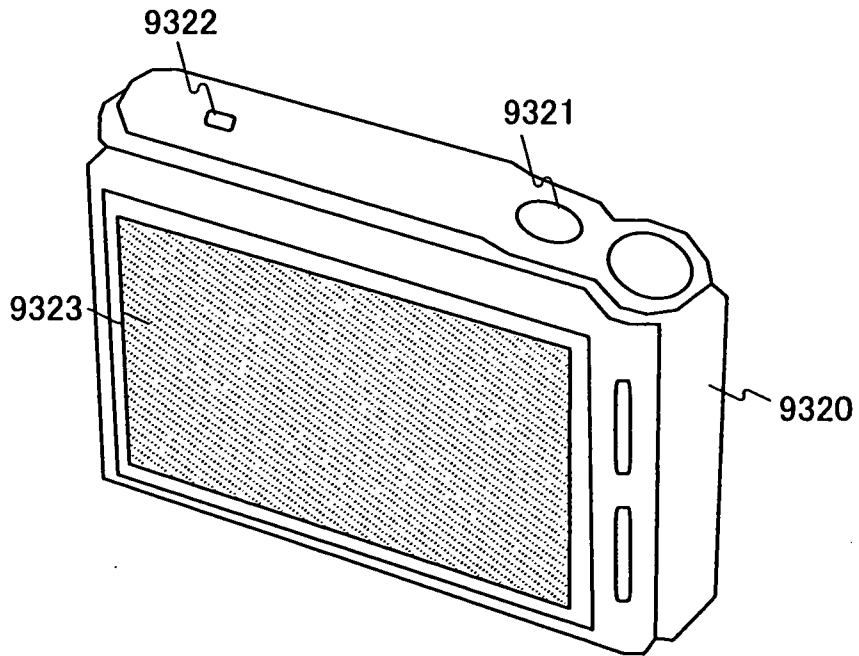


圖 15

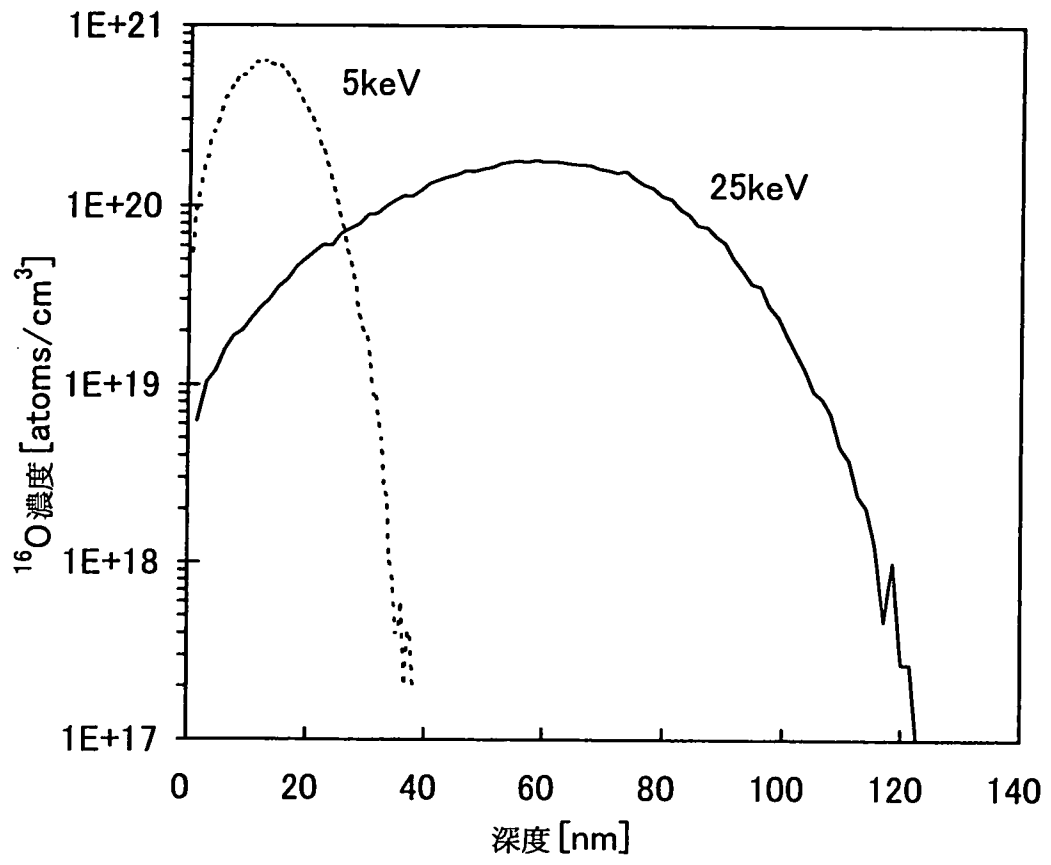


圖 16A

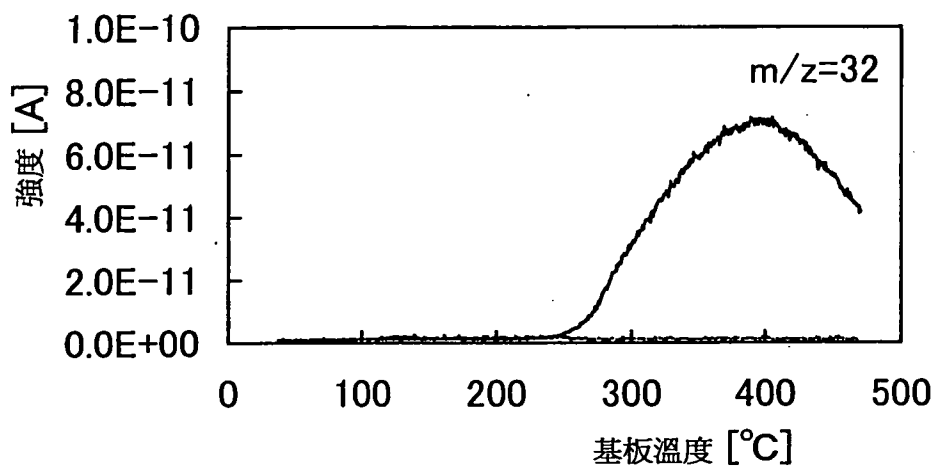


圖 16B

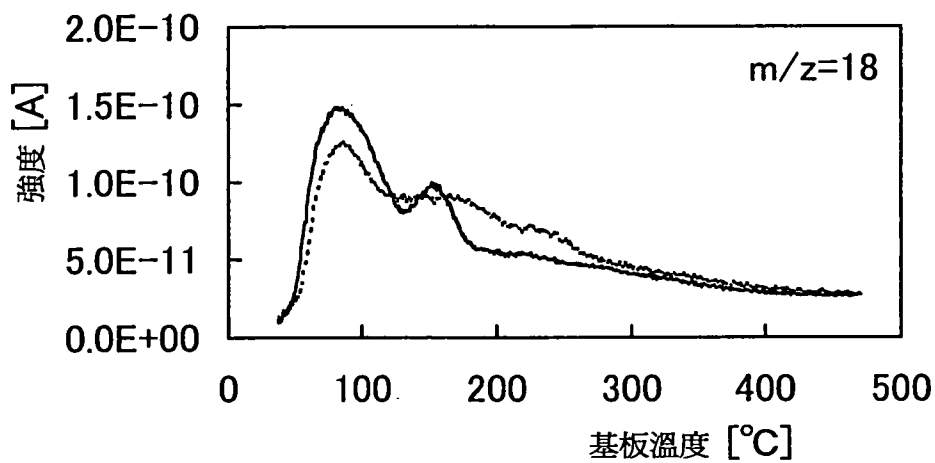


圖 16C

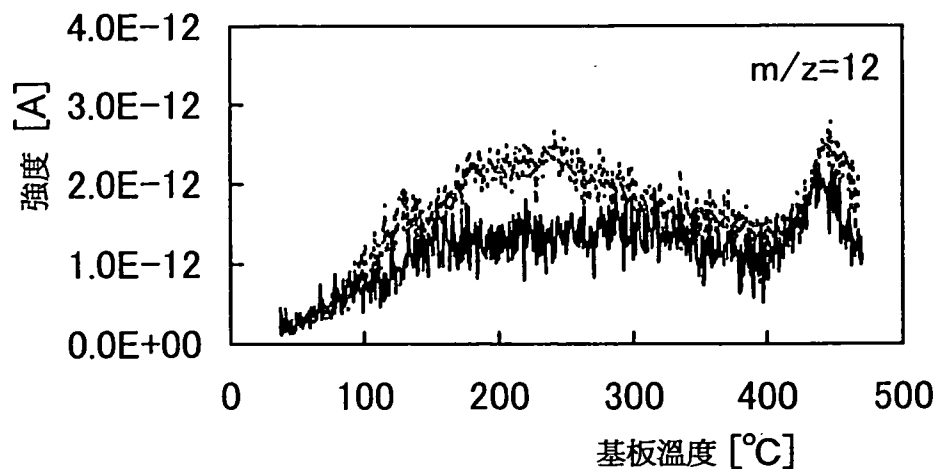


圖 17A

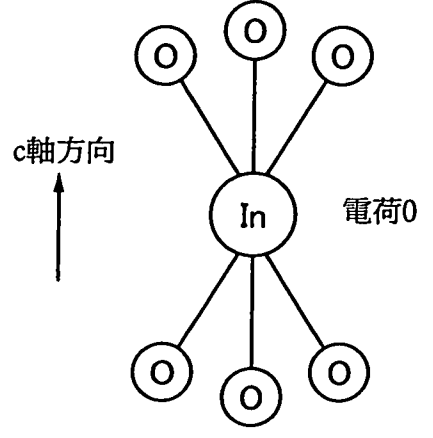


圖 17D

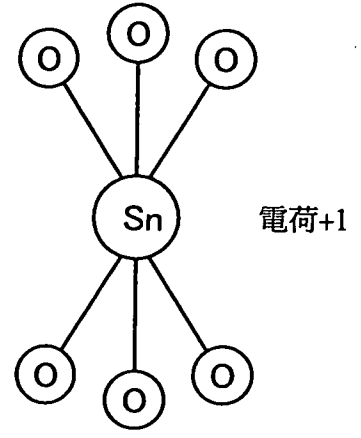


圖 17B

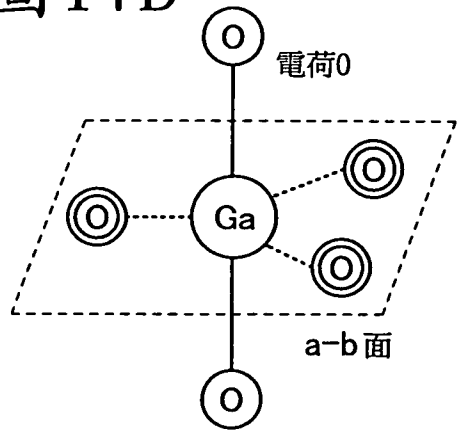


圖 17E

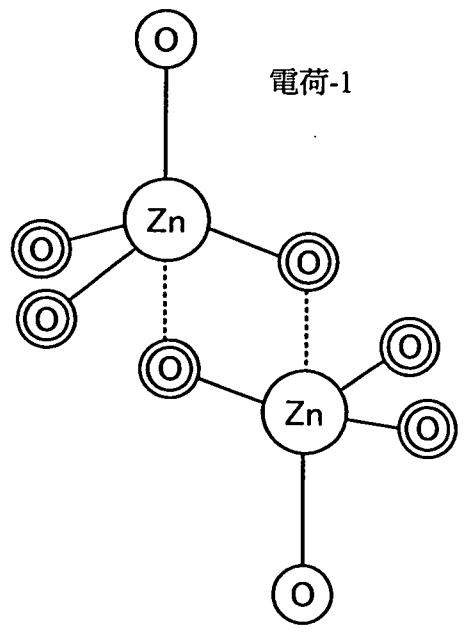


圖 17C

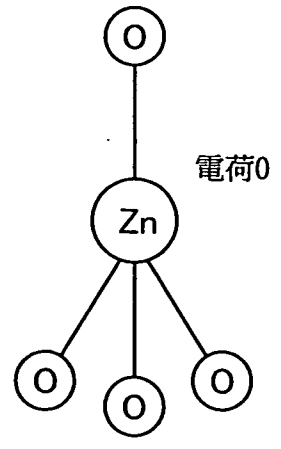


圖 18A

圖 18B

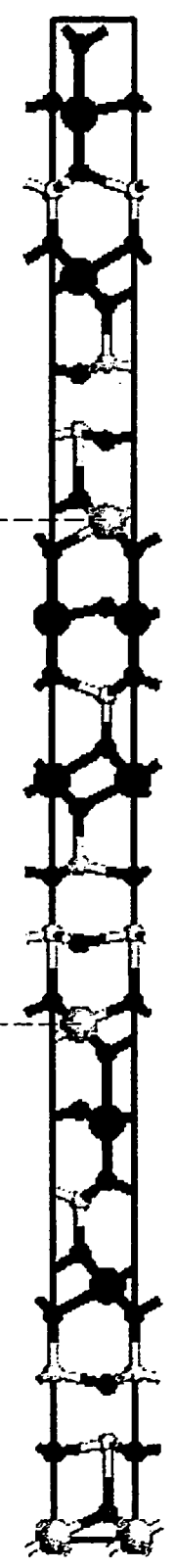
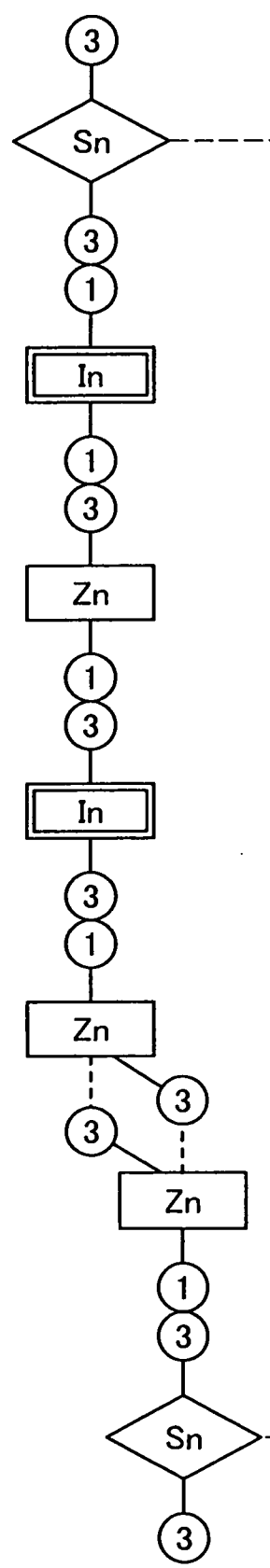
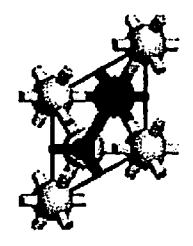


圖 18C



- In
- Sn
- Zn
- O

圖 19A

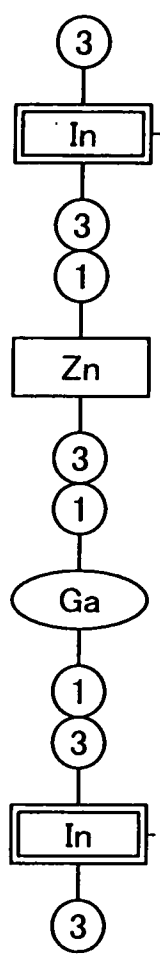


圖 19B

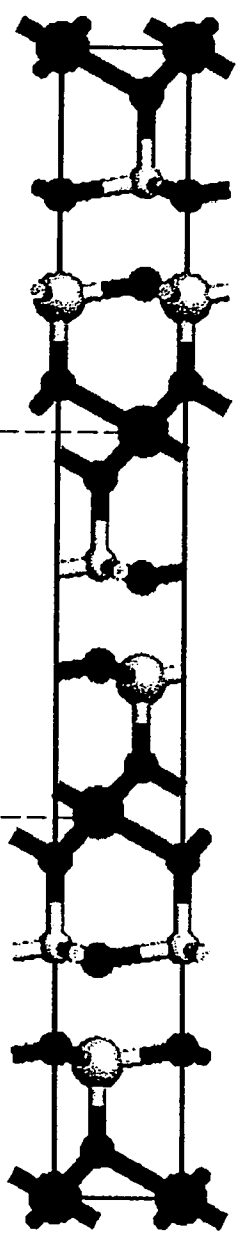
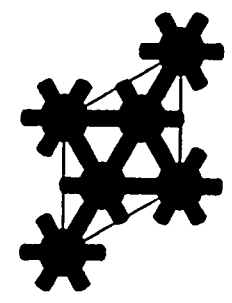


圖 19C



- In
- Ga
- Zn
- O

圖 20A

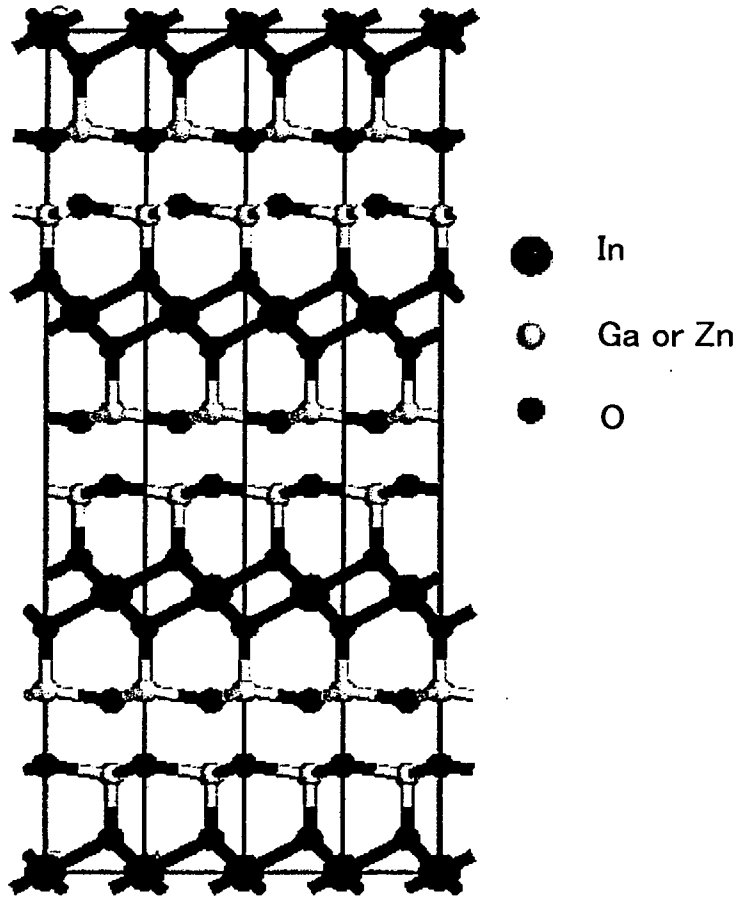


圖 20B

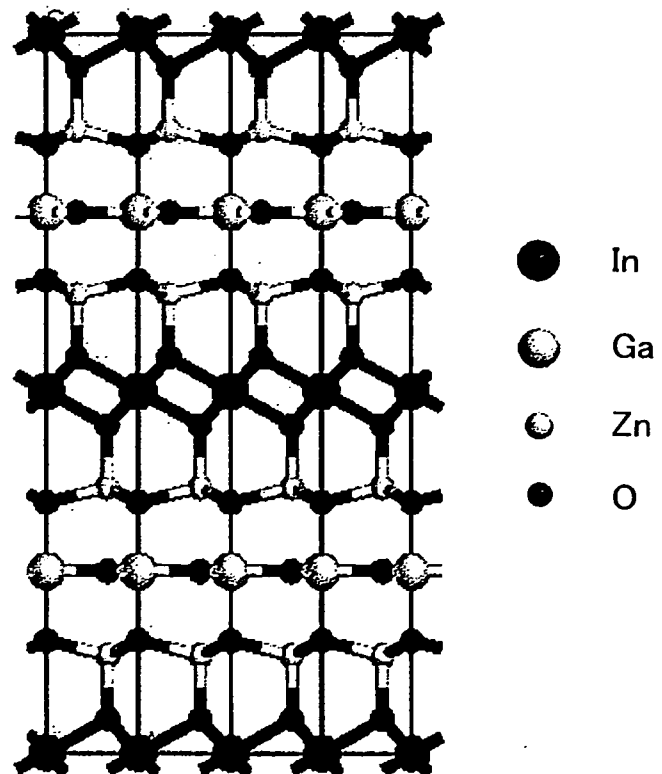


圖 21

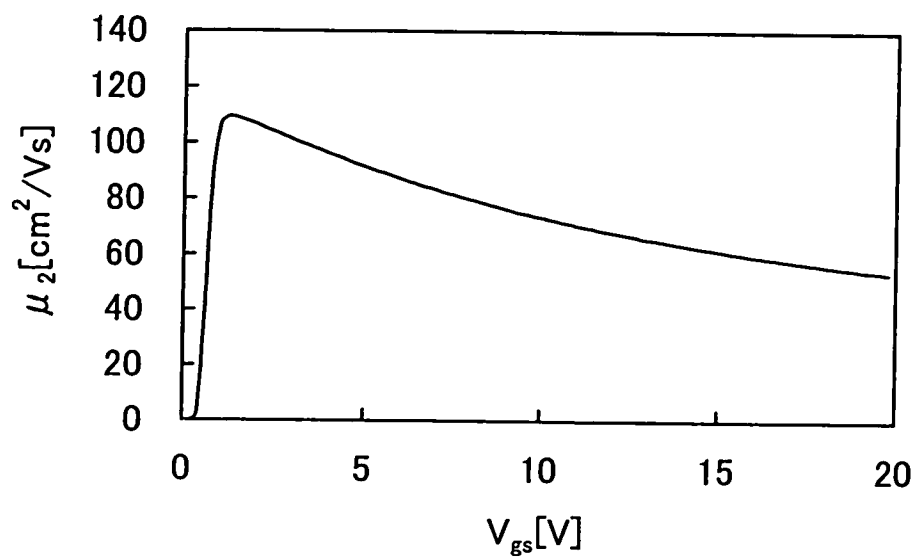


圖 22A

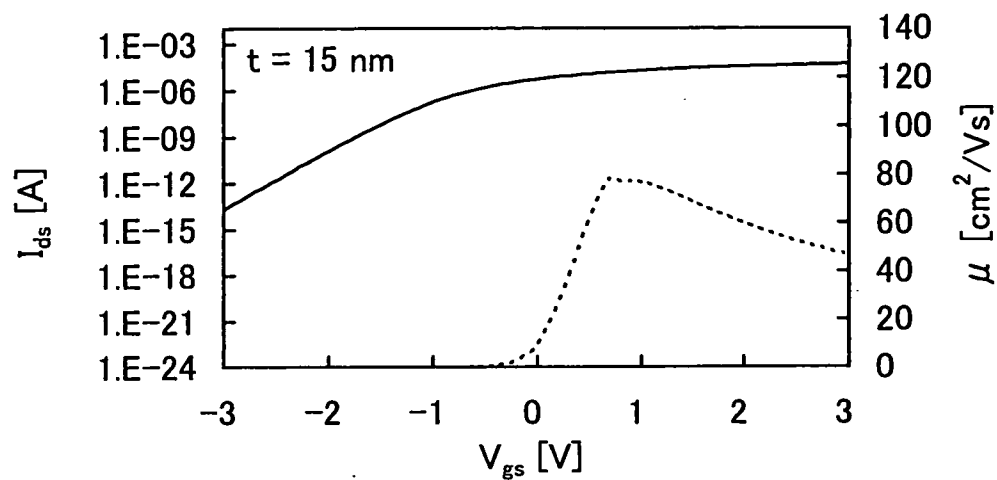


圖 22B

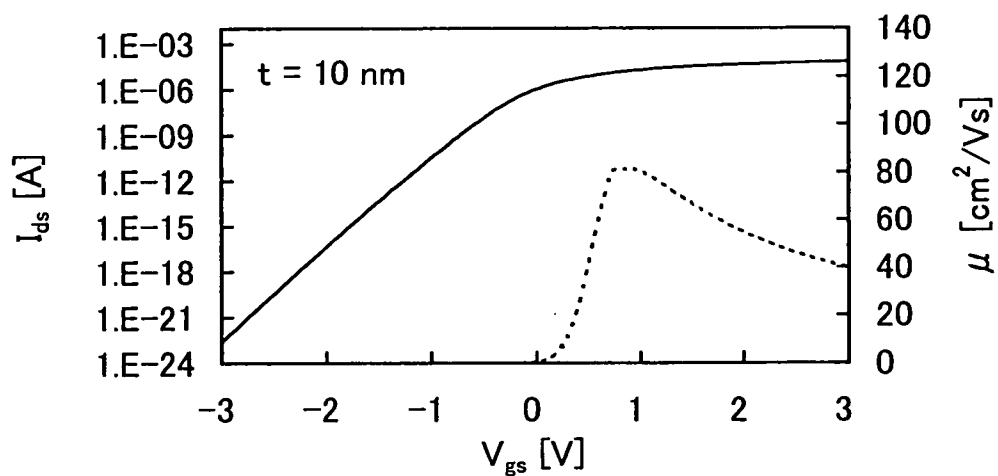


圖 22C

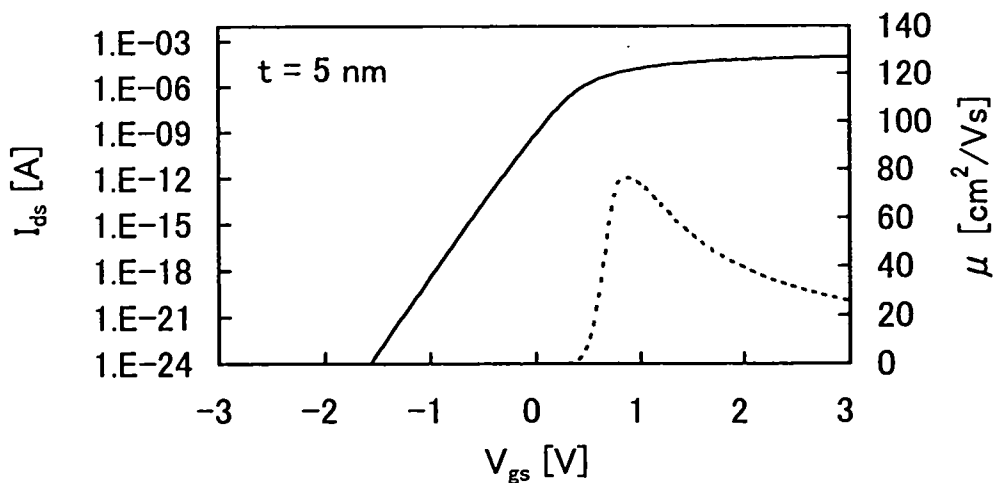


圖 23A

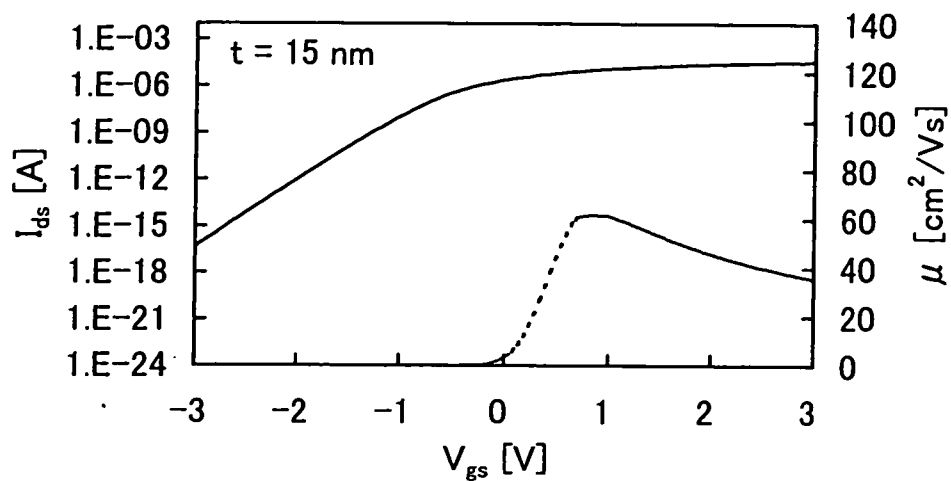


圖 23B

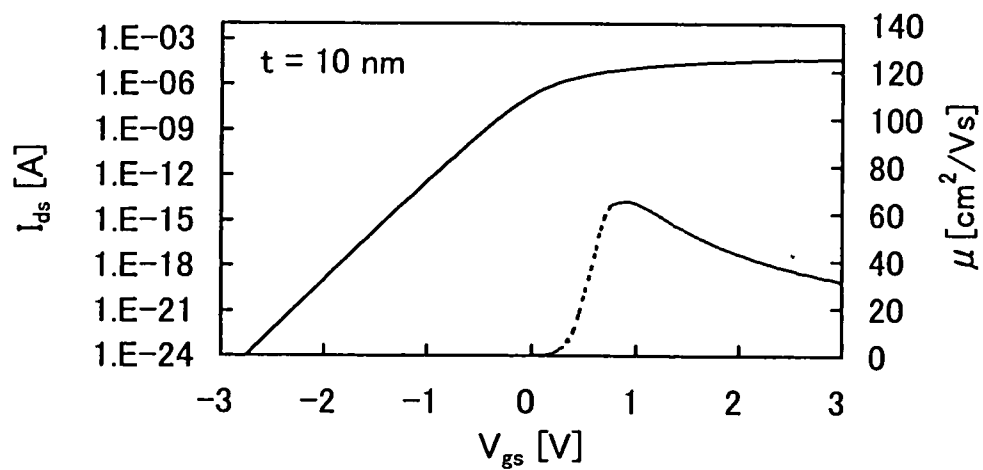


圖 23C

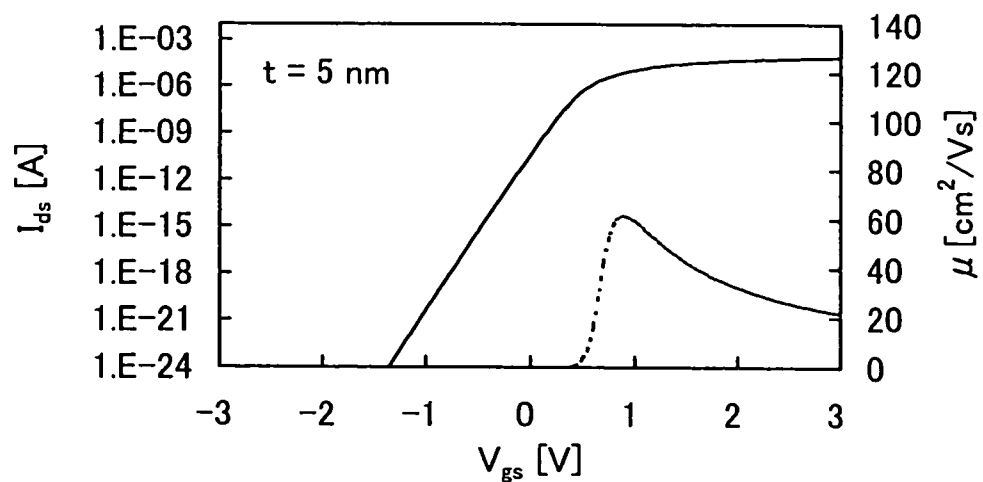


圖 24A

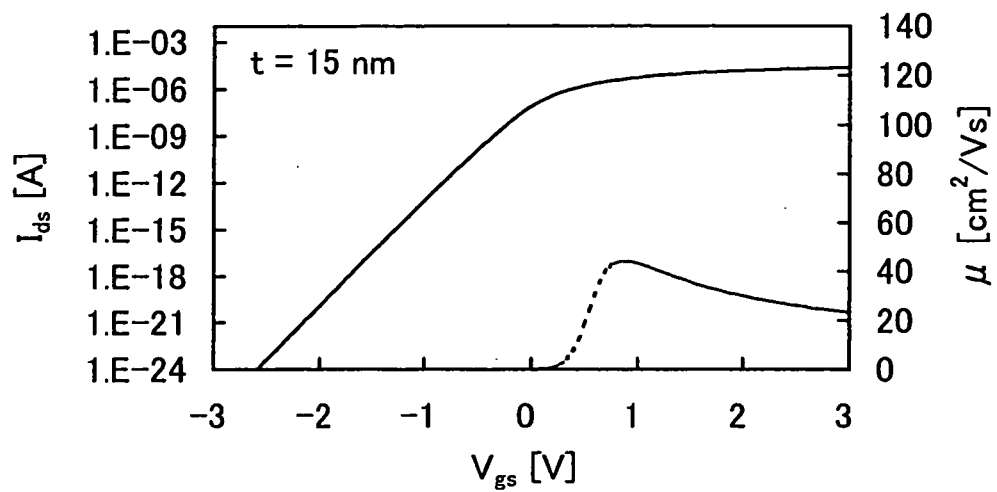


圖 24B

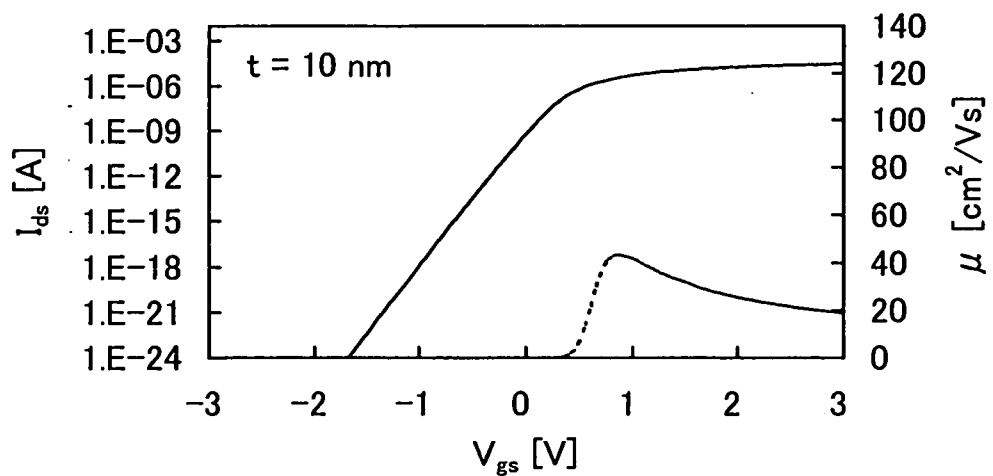


圖 24C

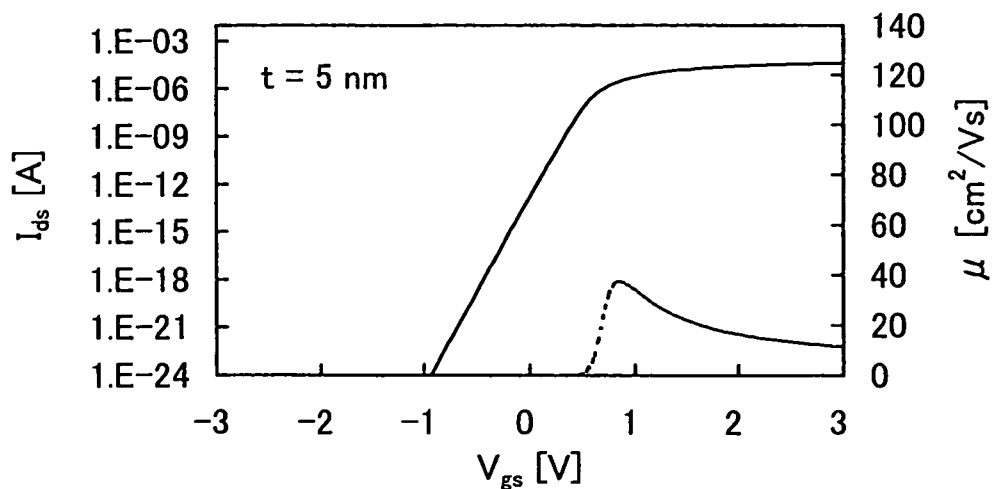


圖 25A

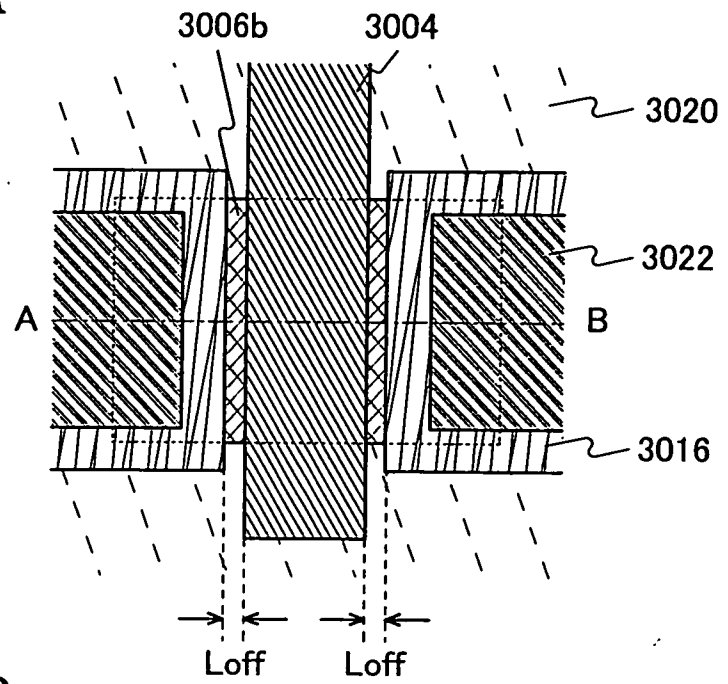


圖 25B

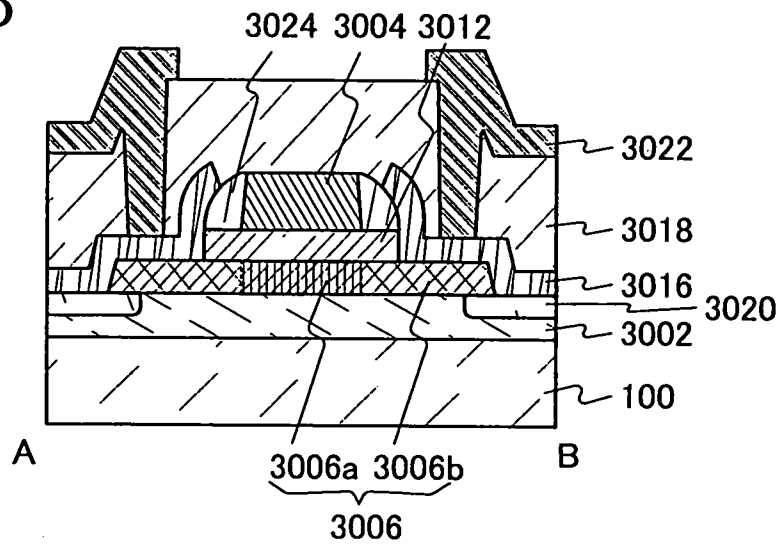


圖 25C

