

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6208800号
(P6208800)

(45) 発行日 平成29年10月4日(2017. 10. 4)

(24) 登録日 平成29年9月15日(2017. 9. 15)

(51) Int.Cl.	F I
H O 1 L 29/786 (2006. 01)	H O 1 L 29/78 6 1 8 B
H O 1 L 21/336 (2006. 01)	H O 1 L 29/78 6 2 7 F
H O 1 L 51/50 (2006. 01)	H O 5 B 33/14 A
H O 5 B 33/14 (2006. 01)	H O 5 B 33/14 Z
H O 1 L 21/477 (2006. 01)	H O 1 L 21/477

請求項の数 1 (全 19 頁)

(21) 出願番号	特願2016-77034 (P2016-77034)	(73) 特許権者	000153878
(22) 出願日	平成28年4月7日(2016. 4. 7)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-25298 (P2015-25298)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	小山 潤
原出願日	平成22年9月1日(2010. 9. 1)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2016-184740 (P2016-184740A)		半導体エネルギー研究所内
(43) 公開日	平成28年10月20日(2016. 10. 20)	審査官	竹口 泰裕
審査請求日	平成28年4月8日(2016. 4. 8)		
(31) 優先権主張番号	特願2009-205132 (P2009-205132)	(56) 参考文献	特開2007-123861 (JP, A)
(32) 優先日	平成21年9月4日(2009. 9. 4)		)
(33) 優先権主張国	日本国(JP)		特開2009-164393 (JP, A)
			)
			特表2002-505531 (JP, A)
			)
			最終頁に続く

(54) 【発明の名称】 表示装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素を有し、
 前記画素は、第1のトランジスタ及び第2のトランジスタを有し、
 前記第1のトランジスタのゲートは、走査線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの一方は、信号線と電気的に接続され、
 前記第1のトランジスタのソース又はドレインの他方は、前記第2のトランジスタのゲートと電気的に接続され、
 前記第2のトランジスタのソース又はドレインの一方は、電源線と電気的に接続され、
 前記第2のトランジスタのソース又はドレインの他方は、EL素子と電気的に接続され

10

、
 前記第1のトランジスタのチャンネル形成領域は、第1の酸化物半導体層に設けられ、
 前記第2のトランジスタのチャンネル形成領域は、第2の酸化物半導体層に設けられる表示装置の作製方法であって、

前記第1の酸化物半導体層及び前記第2の酸化物半導体層は、窒素雰囲気下において加熱された後、大気に触れさせることなく加熱温度から100℃以上温度が低下するまで冷却することによって、脱水化または脱水素化されることを特徴とする表示装置の作製方法。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、表示装置及び当該表示装置を具備する電子機器に関する。

【背景技術】

【0002】

携帯電話機、テレビ受像器などさまざまな電気製品に表示装置が用いられている。表示装置は、大画面化及び高精細化を図るべく、製造プロセス、駆動方法等の研究開発が行われている。

【0003】

表示装置の画素数を増やして解像度を高める製品の開発は、非常に活発である。表示装置は、画素数を増やすことにより解像度を高めることができるものの、画素数の増加と共に信号線の本数が増加することとなる。そのため、ソースドライバの必要数、すなわち信号線の増加に対する対策として特許文献1においては、信号線に沿って一つの画像を構成する色要素の組み合わせ（一例としてはR（赤）G（緑）B（青））に対応する画素を並べて配置し、一つの画像を構成する色要素の組み合わせに対応する画素において信号線を共用することにより、信号線の数削減する構成について開示している。

10

【0004】

なお、画素とは一つの画像を構成する色要素をそれぞれ具備するものであり、発光素子及び発光素子を駆動する素子（例えばトランジスタで構成される回路）を含むものとする。また絵素とは、一つの最小の画像を表示するための一組の色要素を構成する画素を具備するものであるとする。よって、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、絵素とはRの色要素、Gの色要素、Bの色要素を含む3つの画素から構成されているものとする。また、絵素において、画素を複数有するものについては各画素について、第1の画素、第2の画素といった順に呼称する。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開平10-10546号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

30

特許文献1に記載の表示装置においては、液晶表示装置のように、信号線及び走査線を縦横に交差するように配置する、いわゆるアクティブマトリクス構造の駆動について開示がなされている。しかしながら発光素子等の駆動回路では、走査線及び信号線の他に、電源線（電流供給線ともいう）が必要である。

【0007】

なお発光素子は、エレクトロルミネッセンス（EL：Electro Luminescence）素子（有機EL素子、無機EL素子又は有機物及び無機物を含むEL素子）を用いることができる。

【0008】

ここで、本明細書で開示する構成が解決しようとする課題について、図10を用いて説明することとする。なおカラー表示を行うための各画素における色要素の組み合わせとしてR（赤）G（緑）B（青）とする例を挙げて説明することとする。

40

【0009】

図10（A）には、走査線、信号線、及び電源線を表示部に配置した、表示装置の簡略図について示したものである。図10（A）では、走査線駆動回路1001、信号線駆動回路1002、走査線1003、信号線1004、電源線1005、及び表示部1006について示している。なお走査線駆動回路1001及び信号線駆動回路1002を併せて、駆動回路1007ともいう。又電源線1005は電源回路1008より延在して、各画素に所望の電源を供給している。また表示部1006には、走査線1003、信号線1004、及び電源線1005に環囲されるように複数の画素1009が設けられている。なお

50

走査線 1003 の各配線を $G_1 \sim G_n$ の n 本 (n は自然数) とし、信号線 1004 の本数を $S_{R1} \sim S_{Rm}$ 、 $S_{G1} \sim S_{Gm}$ 、 $S_{B1} \sim S_{Bm}$ の $3m$ 本 (m は自然数) とし、電源線 1005 の本数を $V_{R1} \sim V_{Rm}$ 、 $V_{G1} \sim V_{Gm}$ 、 $V_{B1} \sim V_{Bm}$ の $3m$ 本 (m は自然数) として説明する。従って、表示部 1006 に画素 1009 が $(3m \times n)$ 個配置され、配線が $(3m + 3m + n)$ 本配置されることとなる。

【0010】

走査線 G_j 、信号線 S_{Rk} 、 S_{Gk} 、 S_{Bk} 、電源線 V_{Rk} 、 V_{Gk} 、 V_{Bk} (j 、 k は任意の自然数) に接続される絵素 1010 について図 10 (B) に示す。なお、絵素 1010 は、 R に対応する画素 1009 R、 G に対応する画素 1009 G、 B に対応する画素 1009 B を有する構成となる。従って、一つの絵素には、走査線 1003 と直交する方向に信号線 S_{Rk} 、 S_{Gk} 、 S_{Bk} 、電源線 V_{Rk} 、 V_{Gk} 、 V_{Bk} が通ることとなり、各画素に所定の電圧、階調信号を供給している。また、信号線 1004、電源線 1005 と直交する方向には、走査線 G_j が通ることとなる。また、各画素に電源を供給する電源線 V_{Rk} 、 V_{Gk} 、 V_{Bk} は、発光素子の駆動電圧が色要素毎に異なるため、図 10 (A) にも示すように、各色毎に異なる電源電圧が供給されることとなる。

【0011】

各画素が有する発光素子を駆動するための基本的な回路構成について図 10 (C) に示す。図 10 (C) に示すトランジスタは、駆動回路を構成するトランジスタと同様に、低温プロセスで作製される多結晶シリコンを半導体層に用いて作製されるトランジスタである。図 10 (C) では、画素を選択するための選択トランジスタ 1011 として n チャンネル型トランジスタ、発光素子 1013 に電流を流すための駆動トランジスタ 1012 として p チャンネル型トランジスタを用いた際の画素の回路図について示している。図 10 (C) の構成では駆動トランジスタ 1012 の電源線に接続された端子がソース端子となる。ここで電源線を削減するために各画素に電源を供給する電源線を共通化しただけでは、カラー表示を行うための各画素における色要素の組み合わせとして RGB を配置した場合、各画素が有する各色の発光素子で駆動電圧が異なるにも関わらず、各色要素で駆動電圧を変更できないといった構成となる。そのため、駆動トランジスタ 1012 の色要素毎にソースの電位が設定することができず、駆動トランジスタ 1012 のゲートとソースの間の電圧 (以下、 V_{gs} ともいう) だけでは、所望の階調表示を得られない場合がある。

【0012】

一方で図 10 (A) 乃至 (C) で示したように、電源線は、信号線に平行な方向に配置することが多く、信号線に平行な方向には配線数の増加が見込まれる。そのため、高精細な表示部を構成するためには、配線数の削減を行うことが必要となってくる。なおこの傾向は、絵素を構成する色要素が増えるほど、顕著であり、色表現性の向上を計るために色要素を増やす際には、配線間の間隔が小さくなるといった問題は深刻となる。

【0013】

そこで本発明の一態様では、信号線及び電源線を削減し、高精細な表示を行うことのできる表示装置を提供することを課題とする。

【課題を解決するための手段】

【0014】

本発明の一態様は、第 1 の画素、第 2 の画素、及び第 3 の画素を組み合わせた表示によりカラー表示を行い、第 1 の画素乃至第 3 の画素が、第 1 の走査線乃至第 3 の走査線、信号線、及び電源線によって駆動する表示装置において、第 1 の画素乃至第 3 の画素は、それぞれ、第 1 のトランジスタ、第 2 のトランジスタ、及び発光素子を有し、第 1 の画素乃至第 3 の画素は、第 1 のトランジスタの第 1 端子が、信号線に電氣的に接続され、第 1 のトランジスタの第 2 端子が、第 2 のトランジスタのゲートに電氣的に接続され、第 2 のトランジスタの第 1 端子が、電源線に電氣的に接続され、第 2 のトランジスタの第 2 端子が、発光素子に電氣的に接続され、第 1 の画素の第 1 のトランジスタのゲートは、第 1 の走査線に電氣的に接続され、第 2 の画素の第 1 のトランジスタのゲートは、第 2 の走査線に電氣的に接続され、第 3 の画素の第 1 のトランジスタのゲートは、第 3 の走査線に電氣的に

接続されている表示装置である。

【0015】

本発明の一態様において、第1のトランジスタ及び第2のトランジスタは、 n チャネル型のトランジスタである表示装置でもよい。

【0016】

本発明の一態様において、第1のトランジスタ及び第2のトランジスタの半導体層は、酸化物半導体で構成されている表示装置でもよい。

【0017】

本発明の一態様において、第1の画素乃至第3の画素は、信号線または電源線が延伸する方向に沿って設けられている表示装置でもよい。

10

【0018】

本発明の一態様において、第1の画素乃至第3の画素は、赤、緑、青の色要素に対応した発光素子を具備する表示装置でもよい。

【0019】

本発明の一態様において、発光素子は有機EL素子である表示装置でもよい。

【0020】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでも良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでも良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス (COG) で接続された IC チップ、または、TAB などで接続された IC チップを含んでも良い。なお、表示装置は、IC チップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット (FPC) を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット (FPC) などを介して接続され、IC チップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板 (PCB) を含んでも良い。

20

【発明の効果】

【0021】

本発明の一態様により、信号線及び電源線を削減し、高精細な表示を行うことのできる表示装置を提供することができる。そのため、走査線の増加分を差し引いたとしても、表示装置の小型化、及び低消費電力化を図ることができる。

30

【図面の簡単な説明】

【0022】

【図1】実施の形態1の表示装置を説明するための図。

【図2】実施の形態1の表示装置を説明するための図。

【図3】実施の形態1の表示装置を説明するための図。

【図4】実施の形態1の表示装置を説明するための図。

【図5】実施の形態1の表示装置を説明するための図。

【図6】実施の形態1の表示装置を説明するための図。

40

【図7】実施の形態2の表示装置を説明するための図。

【図8】実施の形態2の表示装置を説明するための図。

【図9】実施の形態3の電子機器を説明するための図。

【図10】従来構成の課題について説明するための図。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。なお、本明細書中

50

の図面において、同一部分または同様な機能を有する部分には同一の符号を付し、その説明は省略する。

【0024】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0025】

(実施の形態1)

図1(A)には、本実施の形態における表示装置の簡略図について示したものである。図1(A)では、走査線駆動回路101、信号線駆動回路102、走査線103、信号線104、電源線105、及び表示部106について示している。なお走査線駆動回路101及び信号線駆動回路102を併せて、駆動回路107ともいう。又電源線105は電源回路108より延在して、各画素に所望の電源を供給している。また表示部106には、走査線103、信号線104、及び電源線105に環囲されるように複数の画素109が設けられている。なお走査線103の各配線を $G_{R1} \sim G_{Rn}$ 、 $G_{G1} \sim G_{Gn}$ 、 $G_{B1} \sim G_{Bn}$ の $3n$ 本(n は自然数)とし、信号線104の本数を $S_1 \sim S_m$ の m 本(m は自然数)とし、電源線105の本数を $V_1 \sim V_m$ の m 本(m は自然数)として説明する。従って、表示部106に画素109が($3n \times m$)個配置され、配線が($3n + m + m$)本配置されることとなる。

【0026】

次いで、走査線 G_{Rj} 、 G_{Gj} 、 G_{Bj} 、信号線 S_k 、電源線 V_k (j 、 k は n 以下の自然数)に接続される絵素110について図1(B)に示す。なお、絵素110は、Rに対応する画素109R(第1の画素ともいう)、Gに対応する画素109G(第2の画素ともいう)、Bに対応する画素109B(第3の画素ともいう)を有する構成となる。従って、一つの絵素には、走査線103と直交する方向に信号線 S_k 、電源線 V_k が通ることとなり、各画素に所定の電圧、階調信号を供給することとなる。また、信号線104、電源線105に直交する方向には、走査線 G_{Rj} 、 G_{Gj} 、 G_{Bj} が通ることとなる。

【0027】

なお本明細書にて用いる第1、第2、第3、乃至第N(N は自然数)という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0028】

次いで図1(C)には、各画素が有する発光素子を駆動するための基本的な回路構成について示す。 n チャネル型の導電型を有するトランジスタを有する画素の回路構成であり、一例として図1(B)でのRに対応する画素における、画素を選択するための選択トランジスタ(以下、第1のトランジスタ111)、及び発光素子に電流を流すための駆動トランジスタ(以下、第2のトランジスタ112)ともに n チャネル型トランジスタを用いた際の画素の回路図について示したものである。図1(A)乃至(C)において、Rに対応する画素109Rにおける第1のトランジスタ111の第1端子は信号線 S_k に接続され、ゲートは走査線 G_{Rj} に接続され、第2端子は、第2のトランジスタ112のゲートに接続される。また、第2のトランジスタ112の第1端子は電源線 V_k に接続され、第2端子は発光素子113の一方の電極に接続される。なお発光素子113の他方の電極は、共通電極GND等に接続されることとなる。また図1(A)乃至(C)において、Gに対応する画素109Gにおける第1のトランジスタ111の第1端子は信号線 S_k に接続され、ゲートは走査線 G_{Gj} に接続され、第2端子は、第2のトランジスタ112のゲートに接続される。また、第2のトランジスタ112の第1端子は電源線 V_k に接続され、第2端子は発光素子113の一方の電極に接続される。なお発光素子113の他方の電極は、共通電極GND等に接続されることとなる。また図1(A)乃至(C)において、Bに対応する画素109Bにおける第1のトランジスタ111の第1端子は信号線 S_k に接続され、ゲートは走査線 G_{Bj} に接続され、第2端子は、第2のトランジスタ112のゲート

トに接続される。また、第2のトランジスタ112の第1端子は電源線 V_k に接続され、第2端子は発光素子113の一方の電極に接続される。なお発光素子113の他方の電極は、共通電極GND等に接続されることとなる。

【0029】

なお第1のトランジスタ、第2のトランジスタとして、複数のゲート端子を有するマルチゲート構造を有するトランジスタを用いることで、トランジスタがオフの際に流れる電流を低減することができる。

【0030】

なお、AとBとが接続されているとは、AとBとが電氣的に接続されている状態であるとする。

10

【0031】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、本書類（明細書、特許請求の範囲又は図面など）においては、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1の電極、第2の電極と表記する場合がある。あるいは、ソース領域、ドレイン領域と表記する場合がある。

20

【0032】

図1（C）の構成では第2のトランジスタ112にnチャネル型トランジスタを用いている。そのため電源線 V_k から発光素子113に電流を流すためには、電源線に接続された第1端子がドレイン端子となり、発光素子に接続される第2端子がソース端子となる。そのため、一絵素を通る各電源線を共通化した場合、各色要素に対応する画素で駆動電圧を変更できないといった構成となるが、共通化した電源線105がドレイン端子側にある。その結果、第2のトランジスタ112のゲートとソースの間の電圧（以下、 V_{gs} ともいう）への影響がなく、所望の階調表示を得ることができる。

【0033】

なお、第1のトランジスタ111及び第2のトランジスタ112として、nチャネル型のトランジスタを用いることができる。本実施の形態で説明する構成においては、特に、ZnO、 $a\text{-InGaZnO}$ などの酸化物半導体を有する薄膜トランジスタなどを用いることが好適である。酸化物半導体をトランジスタの半導体層に用いることで、多結晶シリコンなどと比べてしきい値電圧のばらつきが小さく、非晶質シリコンなどと比べて移動度の高いnチャネル型のトランジスタを用いることができるため、好適である。なおトランジスタの半導体層に酸化物半導体を用いることにより、トランジスタの移動度を5乃至 $20\text{ cm}^2/\text{Vs}$ とすることができ好適である。

30

【0034】

図2は、図1（B）に示した絵素110を図1（C）で説明した回路図で表した図である。上述したように、本実施の形態における第1の画素109R乃至第3の画素109Bでは、信号線及び電源線を共有化し、信号線に平行な配線の数的大幅に削減することができる。加えて第1のトランジスタ及び第2のトランジスタには、nチャネル型のトランジスタを用いる構成としている。そのため、電源線から発光素子に電流を流す電位関係の場合、第2のトランジスタでは、第1端子がドレイン端子、第2端子がソース端子となる。そのため、電源線の電位が変動したとしても、第2のトランジスタ112R、112G、112Bの V_{gs} に影響を与えないため、良好な表示を得ることができる。加えて、nチャネル型トランジスタの半導体層に、酸化物半導体を用いることにより、電気特性のばらつきを低減し、表示品位を向上させることが出来る。

40

【0035】

なお上述したように図10での電源線及び信号線の合計は、 $(3m + 3m + n)$ 本であり

50

、図1での電源線及び信号線の合計は、 $(m+m+3n)$ となる。表示装置における表示部のアスペクト比は、 $m>n$ の横長の表示装置であることが多い。そのため、 $(3m+3m+n)$ が、 $(m+m+3n)$ より大きいことがわかり、本実施の形態における表示装置は、配線数を削減することができることがわかる。そして本実施の形態の表示装置においては配線数を削減することで、より高精細で高品位の表示を行うことができる。特に、本実施の形態の構成とすることで、絵素を構成する色要素を増やしたとしても、配線数の増加で配線間の間隔が小さくといった問題を、解消することもできるため好適である。

【0036】

なお図1(A)において、走査線駆動回路101は、走査線103に走査信号を供給する。また信号線駆動回路102は、信号線104に画像データ（以下、単にデータという）を供給する。この走査線103からの走査信号によって、画素109が走査線103の一行目から順に選択状態となる。

10

【0037】

なお第1の画素、第2の画素、及び第3の画素は、R（赤）G（緑）B（青）の色要素に対応して構成されるものとして説明しているが、組み合わせて明るさを制御することにより所望の色を表現することができる組み合わせであればよい。例えば、Y（イエロー）、C（シアン）、M（マゼンタ）の組み合わせられたものであってもよい。

【0038】

なお、本明細書において一画素とは、色要素の一つを示すものであり、一つの色要素の明るさを表現するものとする。例えば、RGBの色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との三画素から構成されるものとなる。またRGBの他にも白色（W）の色要素を加えてカラー表示装置とする構成であってもよい。

20

【0039】

なお図1(A)に示す構成の他にも、図3(A)に示すように表示部106の長辺部（図3(A)中のLで示す長辺領域）に走査線駆動回路201A、表示部106の短辺部（図3(A)中のWで示す短辺領域）に信号線駆動回路102を配置する構成としてもよい。本実施の形態の構成では、信号線104及び電源線105の数を削減し、走査線103の数が増加しても、表示部での表示品位を低下することなく表示を行うことが可能となる。

【0040】

30

また、図3(B)に示すように、走査線駆動回路を複数設ける構成としてもよい。図3(B)では、複数の走査線駆動回路として、第1の走査線駆動回路201A、第2の走査線駆動回路201Bを設ける構成について示している。なお、第1の走査線駆動回路201A及び第2の走査線駆動回路201Bは、一方が奇数列の走査線103、他方が偶数列の走査線103の駆動を行うよう分割して駆動させても良いし、任意の期間毎に交互に駆動する方式としてもよい。本実施の形態の構成では、色要素の組み合わせ数に応じて、走査線103の数が増加することとなるが、一例として、第1の走査線駆動回路201A、第2の走査線駆動回路201Bを表示装置の両側に配置することにより、走査線駆動回路の動作速度を遅くして駆動することが可能となり、走査線駆動回路に入力するクロック信号の周波数を小さくして低消費電力化が図れる。また表示部の左右に走査線駆動回路を配置することで、走査線駆動回路に冗長性を持たせることができるため好適である。

40

【0041】

次に上記説明した第1の画素乃至第3の画素を有する絵素の駆動方法について説明する。

【0042】

図4に示すタイミングチャートは、行選択期間（表示装置の画素1行のスキャン時間）での走査線 G_{Rj} の走査信号、走査線 G_{Gj} の走査信号、走査線 G_{Bj} の走査信号、信号線の画像データについて示している。

【0043】

なお、本実施の形態で示す各画素において各トランジスタの極性は、nチャネル型である。そのため、H信号（高電位の信号）により走査線に接続された画素が選択され、信号線

50

の電位が各画素に取り込まれることとなる。逆に、L 信号（低電位の信号）では走査線に接続される画素は選択されないこととなる。

【0044】

図4のタイミングチャートに示す本実施の形態の画素の駆動方法では、まず、走査線 G_{Rj} の走査信号を高電位の信号とすることにより、第1の画素における第1のトランジスタがオン状態となる。そしてこのとき、第1の画素の第2のトランジスタのゲートに信号線の電位が供給される。次いで走査線 G_{Gj} 、走査線 G_{Bj} の選択信号により、第2の画素及び第3の画素が選択され、それぞれ信号線の電位が取り込まれることとなる。

【0045】

なお、本明細書におけるトランジスタのオン状態とは、トランジスタにおける第1端子と第2端子とが導通する状態のことをいう。

10

【0046】

次に本実施形態の表示装置の利点について、信号線駆動回路（ソースドライバともいう）、走査線駆動回路（ゲートドライバーともいう）の構成を示し説明する。図5には信号線駆動回路のブロック図について示している。

【0047】

図5の信号線駆動回路601は、シフトレジスタ602、第1のラッチ回路603、第2のラッチ回路604、及びD/A変換回路605から構成されている。

【0048】

シフトレジスタ602には、ソースドライバスタートパルス（SSP）、ソースドライバクロック信号（SCK）、反転ソースドライバクロック信号（SCKB）等が供給される。そして、シフトレジスタ602は、第1のラッチ回路603を1つずつ選択する。なおシフトレジスタ602と第1のラッチ回路603との間にレベルシフト回路を設ける構成としてもよい。

20

【0049】

第1のラッチ回路603の入力端子には、シフトレジスタ602の出力端子、画像データ（data）が入力される配線が接続されている。第1のラッチ回路603の出力端子は、第2のラッチ回路604にそれぞれ接続されている。

【0050】

第2のラッチ回路604は、第1のラッチ回路603で取り込まれた画像データを保持するものであり、第2のラッチ回路604を制御するための信号（Lat）が入力される配線に接続されている。第2のラッチ回路604の出力端子は、D/A変換回路605にそれぞれ接続される。

30

【0051】

D/A変換回路605は、第2のラッチ回路604を制御するための信号に基づいて一斉に出力された画像データについて、デジタルデータからアナログデータへの変換を行う回路である。D/A変換回路605の出力端子は、信号線 S_1 乃至 S_m にそれぞれ接続されている。

【0052】

本実施の形態の構成においては、電源線の数とともに、画素に接続される信号線の数を削減することができる。そのため、図5に示す信号線駆動回路の構成では、シフトレジスタ602からの出力配線の削減、第1のラッチ回路603、第2のラッチ回路604、D/A変換回路605の数を削減することができる。具体的に本実施の形態の表示装置では、信号線の数を1/3に圧縮することが可能であるため、シフトレジスタ602、第1のラッチ回路603、第2のラッチ回路604、D/A変換回路605にかかるコストの削減をおこなうことができる。特にD/A変換回路605は、画素に出力する電圧を高くする必要があるので発熱が問題になるほど消費電力が高くなるといった問題があるが、本実施形態の構成とすることでD/A変換回路の数の削減が図ることができるため、低消費電力化を図ることができる。

40

【0053】

50

また、図6には、走査線駆動回路のブロック図について示している。

【0054】

図6の走査線駆動回路701は、シフトレジスタ702、バッファ回路703から構成されている。

【0055】

シフトレジスタ702には、ゲートドライバスタートパルス(GSP)、ゲートドライバクロック信号(GCK)、反転ゲートドライバクロック信号(GCKB)等が供給される。そして、シフトレジスタ702は、バッファ回路703を1つずつ選択する。なおシフトレジスタ702とバッファ回路703との間にレベルシフト回路を設ける構成としてもよい。なお走査線駆動回路701の消費電力が大きい場合には、レベルシフト回路で走査線が駆動可能な電圧となるよう電圧レベルを調整すればよい。またシフトレジスタ702においては、必要に応じてクロック信号の周波数及び振幅電圧を低減して動作させる構成としてもよい。シフトレジスタ702を構成するトランジスタの半導体層として酸化物半導体を用いることにより、しきい値電圧の低減が見込めるため、クロック信号の低電圧化は特に低消費電力化に有効である。

10

【0056】

バッファ回路は、走査線に供給する信号の電流供給能力を高めるための回路であり、インバータ回路等を複数段直列に設ける構成とすればよい。

【0057】

本実施の形態の構成においては、画素に接続される信号線の数削減することができる。すなわち、本実施の形態の表示装置においては、信号線の本数を1/3に圧縮することができるため、信号線駆動回路601を構成する各回路にかかるコストの削減をおこなうことができる。特にD/A変換回路の本数の削減により、低消費電力化を図ることができる。また、電源線及び信号線の配線数を削減することにより、配線間が過密状態となることによるクロストーク等の誤動作の低減、加えて色要素の追加及び表示部の画素数の増加を図ることができ、高精細で高品位な画像を表示可能な表示装置とすることができる。

20

【0058】

本実施の形態は他の実施の形態と適宜組み合わせることで実施することが可能である。

【0059】

(実施の形態2)

本実施の形態では、上記実施の形態で説明した表示装置の画素の上面図、当該上面図に対応する回路図、及びその断面図の構成について説明する。

30

【0060】

図7、図8は、上記実施の形態で説明した第1のトランジスタ及び第2のトランジスタとして薄膜トランジスタ(TFT)を用いた場合の画素の断面図と対応する回路図、及び上面図である。図7(A)は、画素の上面図であり、図7(B)は、図7(A)に対応する画素の回路図である。また、図8に示す画素の断面図は、図7(A)に示す画素の上面図における線分A-A'、B-B'、C-C'に対応している。

【0061】

まず、図7(A)、(B)を参照して、表示装置の画素のレイアウトの一例について説明する。なお、図7(A)、(B)には、上記実施の形態1で説明した第1の画素乃至第3の画素に用いられる構成について示している。

40

【0062】

図7(A)に示す上記実施の形態の表示装置に適用する画素は、一例として、走査線801と、信号線802と、電源線803と、第1のトランジスタ804と、第2のトランジスタ805と、第2のトランジスタ805のVgsを保持するための容量素子806と、を備える。なお容量素子806は、必要に応じて設けない構成としてもよい。また、図7(A)に対応した回路図について図7(B)に示しているが、図7(B)で示す第2のトランジスタ805に接続された発光素子807については、図7(A)では図示を省略しているが、陽極となる画素電極上に発光素子を構成する発光層及び陰極を順次積層して形

50

成すればよい。

【0063】

走査線801は、信号線802及び電源線803とは、別の層に設けられ、直交する方向に設けられることが好ましい。信号線802は、第1のトランジスタ804と電氣的に接続される。このとき信号線802から第1のトランジスタ804への電氣的な接続は、コンタクトホールを介さず直接接続されることが好適である。また同様に、第1のトランジスタ804の第2端子と第2のトランジスタ805のゲートを接続するための配線は、信号線802と同じ層の配線と走査線801と同じ層の配線とがコンタクトホールを介して直接接続される構成とすることで別の配線を介することなく接続することができ好適である。

10

【0064】

電源線803は、信号線802とは、同じ層に設けられ、平行となる方向に設けられることが好ましい。また電源線803は、第2のトランジスタ804の第1端子とコンタクトホールを介さずに直接接続されることが好適である。なお、容量素子806を構成する電極は、走査線801と同じ層である第2のトランジスタ805のゲートに接続される配線、及び第2のトランジスタ805の第2端子に直接接続された配線によって形成することが、余分な配線の引き回し等が少なくなるため好ましい。また第2のトランジスタ805の第2端子に直接接続された配線はコンタクトホールを介して上層に引き回される配線との電氣的な接続をとり、そして発光素子を形成する構成とすればよい。

【0065】

次に図8に示す断面図の構成について説明する。本実施の形態においては特に半導体層を酸化物半導体で形成する際の薄膜トランジスタの形成方法について説明して行くこととする。

20

【0066】

まず、基板901に下地膜902を成膜する。次いで下地膜902上に導電膜を形成した後、フォトリソグラフィ工程によりゲート電極層903A、903Bを形成する。

【0067】

なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0068】

ゲート電極層903A、903Bを形成する導電膜としては、Al、Cr、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等が挙げられる。

30

【0069】

また、基板901としてガラス基板を用いる際は、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

【0070】

下地膜902は、基板901からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

40

【0071】

次いで、ゲート電極層903A、903B上にゲート絶縁層904を形成する。

【0072】

ゲート絶縁層904は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層又は窒化酸化珪素層を単層で又は積層して形成することができる。例えば、成膜ガスとして、SiH₄、酸素及び窒素を用いてプラズマCVD法により酸化窒化珪素層を形成すればよい。

【0073】

50

次いで、フォトリソグラフィ工程によりゲート絶縁層 904 を選択的にエッチングしてゲート電極層 903B に達するコンタクトホールを形成する。

【0074】

次いで、ゲート絶縁層 904 上に、酸化物半導体膜を形成する。酸化物半導体膜の形成後に脱水化または脱水素化のための加熱処理を行っても酸化物半導体膜を非晶質な状態とする際には、膜厚を 50 nm 以下と薄くすることが好ましい。

【0075】

酸化物半導体膜は、In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体膜を用いる。また、酸化物半導体膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

10

【0076】

ここでは、In、Ga、及び Zn を含む酸化物半導体成膜用ターゲット ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %]、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [at %]) を用いて、基板とターゲットの間との距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素（酸素流量比率 100%）雰囲気下で成膜する。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質（パーティクル、ゴミともいう）が軽減でき、膜厚分布も均一となるために好ましい。

20

【0077】

スパッタ法にはスパッタ用電源に高周波電源を用いる RF スパッタ法、直流電源を用いる DC スパッタ法、さらにパルスのバイアスを与えるパルス DC スパッタ法がある。RF スパッタ法は主に絶縁膜を成膜する場合に用いられ、DC スパッタ法は主に金属導電膜を成膜する場合に用いられる。

【0078】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0079】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタ法を用いるスパッタ装置がある。

30

【0080】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアススパッタ法もある。

【0081】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 904 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

40

【0082】

次いで、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層 905A、905B に加工する。また、島状の酸化物半導体層 905A、905B を形成するためのレジストマスクをインクジェット法で形成してもよい。

【0083】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う加

50

熱処理の温度は、400℃以上750℃以下、好ましくは425℃以上基板の歪み点以下とする。なお、425℃以上であれば熱処理時間は1時間以下でよいが、425℃未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。本実施の形態では、酸化物半導体層の脱水化または脱水素化を行う加熱温度Tから、再び水が入らないような十分な温度まで同じ炉を用い、具体的には加熱温度Tよりも100℃以上下がるまで窒素雰囲気下で徐冷する。また、窒素雰囲気内に限定されず、ヘリウム、ネオン、アルゴン等の希ガス雰囲気下において脱水化または脱水素化を行う。なお、加熱条件によっては、酸化物半導体の結晶化率が90%以上、または80%以上となる場合がある。

10

【0084】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

20

【0085】

次いで、ゲート絶縁層904及び酸化物半導体層905A、905B上に、導電膜を形成した後、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って電極層906を形成する。導電膜としては、Ti、Mo、W、Al、Cr、Cu、Ta、から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金等を用いる。導電膜は、上述した元素を含む単層に限定されず、二層以上の積層を用いることができる。なお図8では、酸化物半導体層上に接する導電膜のみを選択的に除去することとなる。従って、酸化物半導体層上に接する導電膜のみを選択的に除去するため、アルカリ性のエッチャントとしてアンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いれば、金属導電膜を選択的に除去し、In-Ga-Zn-O系酸化物半導体からなる酸化物半導体層を残存させることができる。

30

【0086】

次いで、ゲート絶縁層904、酸化物半導体層905A、905B、電極層906上に絶縁層907を形成する。絶縁層907は、少なくとも1nm以上の膜厚とし、スパッタリング法など、絶縁層に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物半導体層905A、905Bに接して形成する絶縁層907は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、または酸化窒化アルミニウムなどを用いる。

40

【0087】

次いで、フォトリソグラフィ工程により絶縁層907を選択的にエッチングして電極層906に達するコンタクトホールを形成する。次いで、絶縁層907上に、発光素子の陽極となる電極908を形成する。なお電極908の周辺部は、隔壁909で覆う。電極908上及び隔壁909上には、発光層、及び発光素子の陰極となる電極を積層して形成すればよく、他にもホール注入層、ホール輸送層、電子輸送層、電子注入層を積層して形成してもよい。なお陽極としては仕事関数の大きい材料、陰極としては仕事関数の小さい材料を用いて形成すればよい。また隔壁909は、ポリイミド、アクリル、ポリアミド、エポ

50

キシ等の有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成すればよい。

【0088】

以上の工程により、同一基板上に第1のトランジスタ804、第2のトランジスタ805を作製することができる。

【0089】

なお、図8に示す第1のトランジスタ804及び第2のトランジスタ805は、酸化物半導体を半導体層に用いたボトムゲート型のTFTである。しかし、これに限定されず、トップゲート型のTFTでも良い。

【0090】

本発明の一態様においては、画素に接続される信号線及び電源線の数削減することができる。そのため、高精細な表示を行うことのできる表示装置を提供することができる。

10

【0091】

本実施の形態は他の実施の形態と適宜組み合わせて実施することが可能である。

【0092】

(実施の形態3)

本実施形態においては、上記実施の形態で説明した表示装置を表示部に具備する電子機器の例について説明する。

【0093】

上記実施の形態の各々の図で述べた内容（一部でもよい）を様々な電子機器に適用することができる。具体的には、電子機器の表示部に適用することができる。そのような電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、コンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機又は電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（DVD）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。

20

【0094】

図9（A）はディスプレイであり、筐体1211、支持台1212、表示部1213を含む。図9（A）に示すディスプレイは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図9（A）に示すディスプレイが有する機能はこれに限定されず、様々な機能を有することができる。

30

【0095】

図9（B）はカメラであり、本体1231、表示部1232、受像部1233、操作キー1234、外部接続ポート1235、シャッターボタン1236を含む。図9（B）に示すカメラは、静止画を撮影する機能を有する。動画を撮影する機能を有する。なお、図9（B）に示すカメラが有する機能はこれに限定されず、様々な機能を有することができる。

【0096】

図9（C）はコンピュータであり、本体1251、筐体1252、表示部1253、キーボード1254、外部接続ポート1255、ポインティングデバイス1256を含む。図9（C）に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能を有する。なお、図9（C）に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

40

【0097】

本実施形態の表示部に上記実施の形態で説明した表示装置を用いる構成とすることで、上述の図9（A）乃至図9（C）の表示部を構成する画素に接続される信号線及び電源線の数削減することができる。そして信号線に接続された信号線駆動回路において、駆動回路の素子数を削減することができ、低コスト化を図ることができ、表示部での高精細な表示を行うことができる。

【0098】

50

本実施の形態は他の実施の形態と適宜組み合わせる実施することが可能である。

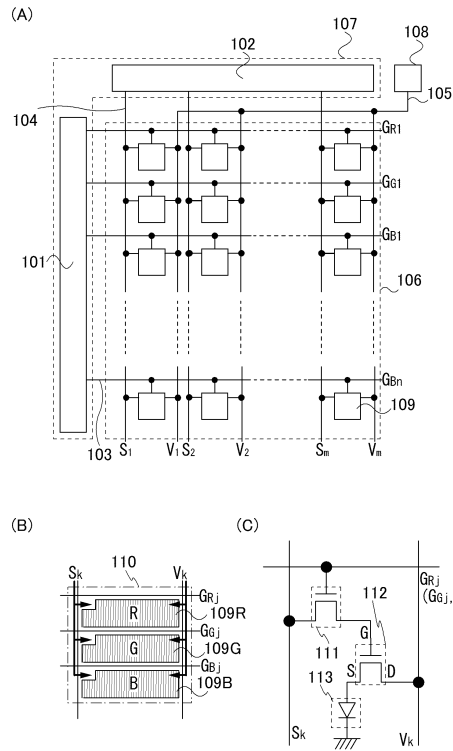
【符号の説明】

【0099】

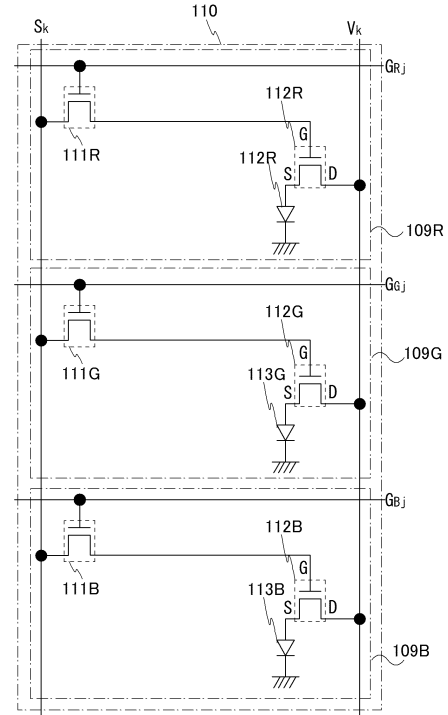
101	走査線駆動回路	
102	信号線駆動回路	
103	走査線	
104	信号線	
105	電源線	
106	表示部	
107	駆動回路	10
108	電源回路	
109	画素	
110	絵素	
111	トランジスタ	
112	トランジスタ	
113	発光素子	
601	信号線駆動回路	
602	シフトレジスタ	
603	ラッチ回路	
604	ラッチ回路	20
605	D/A変換回路	
701	走査線駆動回路	
702	シフトレジスタ	
703	バッファ回路	
801	走査線	
802	信号線	
803	電源線	
804	トランジスタ	
805	トランジスタ	
806	容量素子	30
807	発光素子	
901	基板	
902	下地膜	
904	ゲート絶縁層	
906	電極層	
907	絶縁層	
908	電極	
909	隔壁	
1001	走査線駆動回路	
1002	信号線駆動回路	40
1003	走査線	
1004	信号線	
1005	電源線	
1006	表示部	
1007	駆動回路	
1008	電源回路	
1009	画素	
1010	絵素	
1011	選択トランジスタ	
1012	駆動トランジスタ	50

1 0 1 3	発光素子	
1 0 9 B	画素	
1 0 9 G	画素	
1 0 9 R	画素	
1 1 1 R	トランジスタ	
1 1 1 G	トランジスタ	
1 1 1 B	トランジスタ	
1 1 2 R	トランジスタ	
1 1 2 G	トランジスタ	
1 1 2 B	トランジスタ	10
1 1 3 R	発光素子	
1 1 3 G	発光素子	
1 1 3 B	発光素子	
1 2 1 1	筐体	
1 2 1 2	支持台	
1 2 1 3	表示部	
1 2 3 1	本体	
1 2 3 2	表示部	
1 2 3 3	受像部	
1 2 3 4	操作キー	20
1 2 3 5	外部接続ポート	
1 2 3 6	シャッターボタン	
1 2 5 1	本体	
1 2 5 2	筐体	
1 2 5 3	表示部	
1 2 5 4	キーボード	
1 2 5 5	外部接続ポート	
1 2 5 6	ポインティングデバイス	
2 0 1 A	走査線駆動回路	
2 0 1 B	走査線駆動回路	30
9 0 3 A	ゲート電極層	
9 0 3 B	ゲート電極層	
9 0 5 A	酸化物半導体層	
9 0 5 B	酸化物半導体層	
1 0 0 9 B	画素	
1 0 0 9 G	画素	
1 0 0 9 R	画素	

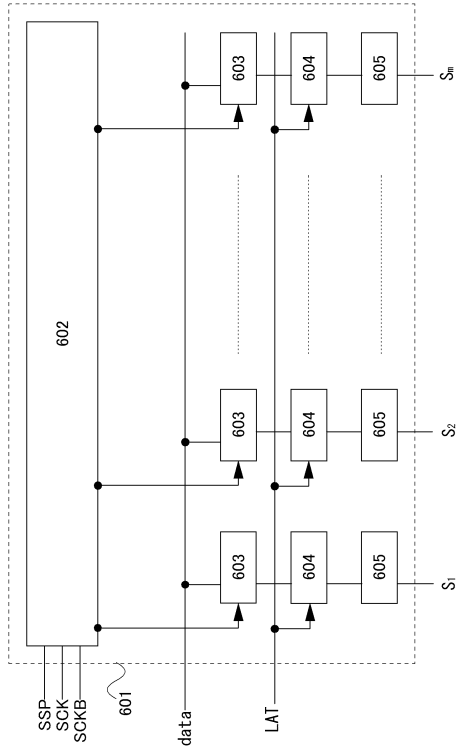
【図 1】



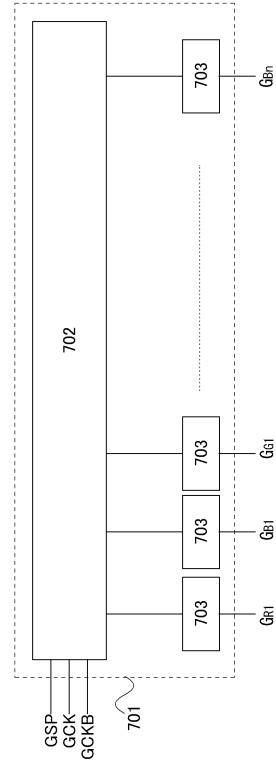
【図 2】



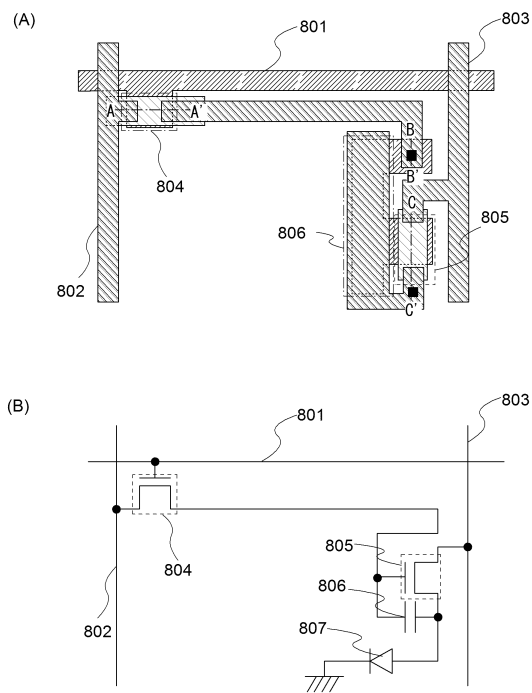
【図 5】



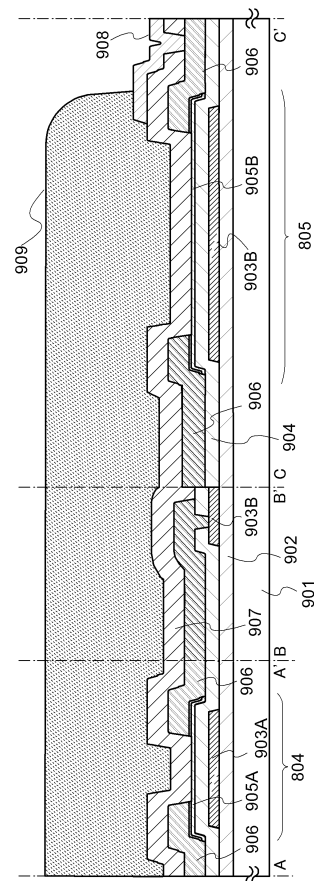
【図 6】



【図 7】



【図 8】



フロントページの続き

(58)調査した分野(Int.Cl., DB名)

H01L21/336、29/786