

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年5月12日(12.05.2016)



(10) 国際公開番号

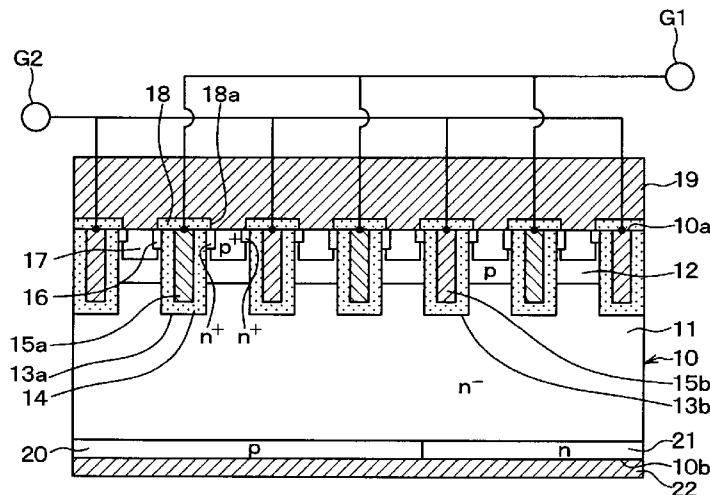
WO 2016/072074 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/49 (2006.01)
H01L 21/336 (2006.01) H01L 29/739 (2006.01)
H01L 29/423 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2015/005450
- (22) 国際出願日: 2015年10月29日(29.10.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-223866 2014年11月3日(03.11.2014) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 住友 正清(SUMITOMO, Masakiyo); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP). 井上 剛志(INOUE, Takeshi); 〒4488661 愛知県刈谷市昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 金 順姫(KIN, Junhi); 〒4600003 愛知県名古屋市中区錦2丁目13番19号 瀧定ビル6階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: This semiconductor device is provided with a semiconductor switching element that has: first and second gate electrodes (15a, 15b) that are disposed by having a gate insulating film (14) therebetween, said gate insulating film being on a base layer (12) between a first impurity region (16, 41) and a drift layer (11); a second impurity region (21, 43); and electrodes (19, 22). The semiconductor device is also provided with a FWD element configured from the base layer and the drift layer. An inversion layer is formed in the base layer that faces the first gate electrode, and a first voltage, with which the inversion layer is formed up to an intermediate position in the base layer facing the second gate electrode, and a second voltage, with which the inversion layer is not formed in the base layer, are defined. At the time of flowing a current in the semiconductor switching element, the first voltage is applied to the first gate electrode, and the first or the second voltage is applied to the second gate electrode. At the time of interrupting a current flowing in the FWD element, the second voltage is applied to the first gate electrode, and the first voltage is applied to the second gate electrode.

(57) 要約:

[続葉有]



WO 2016/072074 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置は、第 1 不純物領域（16、41）とドリフト層（11）間のベース層（12）上のゲート絶縁膜（14）を介した第一、第二ゲート電極（15a、15b）と、第 2 不純物領域（21、43）と、電極（19、22）とを有する半導体スイッチング素子を備え、前記ベース層と前記ドリフト層とによる FWD 素子を備えている。前記第一ゲート電極と対向する前記ベース層に反転層が形成され、前記第二ゲート電極と対向するベース層に途中位置まで反転層が形成される第 1 電圧、ベース層に前記反転層が形成されない第 2 電圧を定義する。前記半導体スイッチング素子に電流を流す際には、前記第一ゲート電極に前記第 1 電圧が印加され、前記第二ゲート電極に前記第 1 または第 2 電圧が印加される。前記 FWD 素子の電流を遮断する際、前記第一ゲート電極に前記第 2 電圧が印加され、前記第二ゲート電極に前記第 1 電圧が印加される。

明 細 書

発明の名称：半導体装置

関連出願の相互参照

[0001] 本出願は、2014年11月3日に出願された日本特許出願番号2014-223866号に基づくもので、ここにその記載内容を援用する。

技術分野

[0002] 本開示は、絶縁ゲート構造を有する半導体スイッチング素子とフリーホールダイオード素子（以下、FWD素子という）とが共通の半導体基板に形成された半導体装置に関するものである。

背景技術

[0003] 従来より、インバータやコンバータ等の電力変換装置に用いるスイッチング素子として、絶縁ゲート構造の半導体スイッチング素子とFWD素子とが共通の半導体基板に形成された半導体装置が提案されている（例えば、特許文献1参照）。

[0004] 具体的には、この半導体装置では、 n^- 型のドリフト層を構成する半導体基板の表面側に p 型のベース層が形成され、半導体基板の裏面側に n^+ 型のドレイン層が形成されている。そして、ベース層を貫通してドリフト層に達する複数のトレンチが形成され、トレンチ内には、ゲート絶縁膜を介してゲート電極が埋め込まれている。また、ベース層の表層部には、トレンチと接するように n^+ 型のソース領域が形成されている。さらに、半導体基板の表面側にはベース層およびソース領域と電気的に接続される第1電極が形成され、半導体基板の裏面側にはドレイン層と電気的に接続される第2電極が形成されている。以上のようにして、半導体基板に半導体スイッチング素子（MOSFET素子）が形成されている。

[0005] また、上記構成とされていることにより、半導体基板には、 n 型のドリフト層およびドレイン層と p 型のベース層とによってPN接合を有するFWD素子が形成されている。

[0006] 上記半導体装置では、半導体スイッチング素子として動作させる場合には、ゲート電極にゲート絶縁構造の閾値電圧以上のハイレベルの電圧を印加する。これにより、ソース領域とドリフト層とを繋ぐ反転層が形成され、当該反転層を介して第1、第2電極間に電流が流れる。

[0007] また、FWD素子がダイオード動作している際（FWD素子の順方向に電流が流れている際）には、ゲート電極に0V等のローレベルの電圧が印加される。なお、FWD素子が通常のダイオード動作をする際には、第1電極には正の電圧が印加されると共に第2電極に負の電圧が印加される。そして、FWD素子のダイオード動作を停止してオフ状態にする直前には、ゲート電極にゲート絶縁構造の閾値電圧未満の電圧であり、ゲート電極の近傍にソース領域とドリフト層とを繋がらない反転層が形成されるミドルレベルの電圧を印加し、FWD素子内の過剰キャリアを減少させる。この状態で、第1電極に負の電圧を印加すると共に第2電極に正の電圧を印加する逆電圧印加を行うことにより、リカバリ動作が行われるが、ドリフト層内の過剰キャリアを予め少なくしているため、リカバリ損失を低減することができる。

[0008] しかしながら、上記半導体装置では、ゲート電極には、ハイレベル、ローレベル、ミドルレベルの3種類のゲート電圧が印加されるため、3種類のゲート電圧を生成するためのドライバ回路が必要になり、当該ドライバ回路が複雑になるという問題がある。

[0009] なお、上記では半導体基板の厚さ方向に電流を流す縦型の半導体装置について説明したが、このような問題は半導体基板の平面方向に電流を流す横型の半導体装置にも同様に発生する。また、半導体基板にコレクタ層およびカソード層が形成された逆導通型IGBT（RC-IGBT）においても同様に発生する。

先行技術文献

特許文献

[0010] 特許文献1：特開2011-146555号公報

発明の概要

[0011] 本開示は、リカバリ損失の低減を図ることができ、かつ、ゲート電極に印加するゲート電圧を生成するためのドライバ回路の構成が複雑になることを抑制できる半導体装置を提供することを目的とする。

[0012] 本開示の第一の態様において、半導体装置は、第1導電型のドリフト層と、前記ドリフト層上に形成された第2導電型のベース層と、前記ベース層の表層部であって、前記ベース層を挟んで前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域と、前記第1不純物領域と前記ドリフト層の間に挟まれた前記ベース層の表面に配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置された複数のゲート電極と、前記ドリフト層と接触すると共に前記ベース層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第2不純物領域と、前記ベース層および前記第1不純物領域と電氣的に接続される第1電極と、前記第2不純物領域と電氣的に接続される第2電極と、を有し、前記ベース層のうち、前記ゲート絶縁膜を挟んで前記複数のゲート電極と反対側に位置する部分に前記第1不純物領域と前記ドリフト層との間を繋ぐ反転層を形成し、当該反転層を介して前記第1電極と前記第2電極との間に電流を流す半導体スイッチング素子を備えていると共に、前記ベース層と前記ドリフト層とによるPN接合を有し、前記第1電極と前記第2電極との間に電流を流すフリーホイールダイオード素子を備えている。前記複数のゲート電極は、互いに独立した電圧が印加される第一のゲート電極と第二のゲート電極を含む。前記第1不純物領域と前記ドリフト層とを繋ぐ反転層を形成するための絶縁ゲート構造の閾値電圧は、第一のゲート電極を有する絶縁ゲート構造の閾値電圧と、第二のゲート電極を有する絶縁ゲート構造の閾値電圧とで異なっている。前記第一のゲート電極および前記第二のゲート電極にゲート電圧が印加された際、前記ベース層のうちの前記第一のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記第1不純物領域と前記ドリフト層とを繋ぐ反転層が形成されると共に、前記ベース層のうちの前記第二のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記ドリフト層

側から前記第1不純物領域に向かう途中位置まで反転層が形成される前記ゲート電圧を第1電圧とし、前記ベース層のうちの前記第一のゲート電極および前記第二のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記反転層が形成されないゲート電圧を第2電圧とする。前記半導体スイッチング素子に電流を流す際には、前記第一のゲート電極に前記第1電圧が印加されると共に前記第二のゲート電極に前記第1、第2電圧のいずれか一方が印加される。前記フリーホイールダイオード素子の順方向に電流が流れている状態から当該電流を遮断する際、前記第一のゲート電極に前記第2電圧が印加されると共に前記第二のゲート電極に前記第1電圧が印加される。

[0013] 上記の半導体装置によれば、一部のゲート電極を有する絶縁ゲート構造の閾値電圧と残部のゲート電極を有する絶縁ゲート構造の閾値電圧とが異なるようにし、FWD素子がダイオード動作している状態から電流を遮断する際、残部のゲート電極に、半導体スイッチング素子に電流を流す際に一部のゲート電極に印加する第1ゲート電圧と同じ第1電圧を印加している。このため、FWD素子がダイオード動作している状態から電流を遮断する際、ベース層のうちの残部のゲート電極が配置されるゲート絶縁膜と接する部分に第1不純物領域とドリフト層とを繋がない反転層が形成されるため、リカバリ損失の低減を図ることができる。つまり、リカバリ損失の低減を図るために、第1、第2電圧と異なる電圧を必要としない。すなわち、2種類のゲート電圧のみで半導体スイッチング素子およびFWD素子の作動を制御しつつ、リカバリ損失の低減も図ることができる。したがって、ゲート電圧を生成するドライバ回路の構成が複雑になることを抑制できる。

[0014] 本開示の第一の態様において、半導体装置は、第1導電型のドリフト層と、前記ドリフト層上に形成された第2導電型のベース層と、前記ベース層の表層部であって、前記ベース層を挟んで前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域と、第1不純物領域およびベース層を貫通して、ドリフト層に達する第一トレンチおよび第二トレンチと、前記第一トレンチおよび第二トレンチ内に

各々配置されたゲート絶縁膜と、前記ゲート絶縁膜上に配置された第一ゲート電極および第二ゲート電極と、前記ドリフト層と接触すると共に前記ベース層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第2不純物領域と、前記ベース層および前記第1不純物領域と電氣的に接続される第1電極と、前記第2不純物領域と電氣的に接続される第2電極と、を有し、前記ベース層のうち、前記ゲート絶縁膜を挟んで前記第一ゲート電極および第二ゲート電極の各々と反対側に位置する部分に前記第1不純物領域と前記ドリフト層との間を繋ぐ反転層を形成し、当該反転層を介して前記第1電極と前記第2電極との間に電流を流す半導体スイッチング素子を備えていると共に、前記ベース層と前記ドリフト層とによるPN接合を有し、前記第1電極と前記第2電極との間に電流を流すフリーホイールダイオード素子を備えている。第一ゲート電極と第二ゲート電極は、互いに独立した電圧が印加される。前記第1不純物領域と前記ドリフト層とを繋ぐ反転層を形成するための絶縁ゲート構造の閾値電圧は、第一ゲート電極を有する絶縁ゲート構造の閾値電圧と、第二ゲート電極を有する絶縁ゲート構造の閾値電圧とで異なっている。前記第一ゲート電極および前記第二ゲート電極にゲート電圧が印加された際、前記ベース層のうちの前記第一ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記第1不純物領域と前記ドリフト層とを繋ぐ反転層が形成されると共に、前記ベース層のうちの前記第二ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記ドリフト層側から前記第1不純物領域に向かう途中位置まで反転層が形成される前記ゲート電圧を第1電圧とし、前記ベース層のうちの前記第一ゲート電極および前記第二ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記反転層が形成されないゲート電圧を第2電圧とする。前記半導体スイッチング素子に電流を流す際には、前記第一ゲート電極に前記第1電圧が印加されると共に前記第二ゲート電極に前記第1、第2電圧のいずれか一方が印加される。前記フリーホイールダイオード素子の順方向に電流が流れている状態から当該電流を遮断する際、前記第一ゲート電極に前記第2電圧が印加されると共

に前記第二ゲート電極に前記第1電圧が印加される。

[0015] 上記の半導体装置によれば、一部のゲート電極を有する絶縁ゲート構造の閾値電圧と残部のゲート電極を有する絶縁ゲート構造の閾値電圧とが異なるようにし、FWD素子がダイオード動作している状態から電流を遮断する際、残部のゲート電極に、半導体スイッチング素子に電流を流す際に一部のゲート電極に印加する第1ゲート電圧と同じ第1電圧を印加している。このため、FWD素子がダイオード動作している状態から電流を遮断する際、ベース層のうちの残部のゲート電極が配置されるゲート絶縁膜と接する部分に第1不純物領域とドリフト層とを繋がない反転層が形成されるため、リカバリ損失の低減を図ることができる。つまり、リカバリ損失の低減を図るために、第1、第2電圧と異なる電圧を必要としない。すなわち、2種類のゲート電圧のみで半導体スイッチング素子およびFWD素子の作動を制御しつつ、リカバリ損失の低減も図ることができる。したがって、ゲート電圧を生成するドライバ回路の構成が複雑になることを抑制できる。

図面の簡単な説明

[0016] 本開示についての上記目的およびその他の目的、特徴や利点は、添付の図面を参照しながら下記の詳細な記述により、より明確になる。その図面は、
[図1]図1は、本開示の第1実施形態における半導体装置の断面図であり、
[図2]図2は、図1に示す第1、第2ゲート電極近傍の拡大図であり、
[図3]図3は、図2中のA-A'線に沿った不純物濃度と、B-B'線に沿った不純物濃度との関係を示す図であり、
[図4]図4は、FWD素子がダイオード動作している状態からオフ状態に切り換える際のタイミングチャートであり、
[図5A]図5Aは、導通状態におけるFWD素子の動作状態を示す図であり、
[図5B]図5Bは、注入抑制状態におけるFWD素子の動作状態を示す図であり、
[図5C]図5Cは、リカバリ状態におけるFWD素子の動作状態を示す図であり、

[図5D]図5Dは、電流遮断状態におけるFWD素子の動作状態を示す図であり、

[図6]図6は、図1に示す半導体装置における閾値電圧の1例を示す図であり、

[図7]図7は、注入抑制状態における第2ゲート電極に印加するゲート電圧の1例を示す図であり、

[図8]図8は、本開示の第2実施形態における半導体装置の断面図であり、

[図9]図9(a)から図9(d)は、図8に示す半導体装置の製造工程を示す断面図であり、

[図10]図10(a)から図10(c)は、図9(d)に続く半導体装置の製造工程を示す断面図であり、

[図11A]図11Aは、本開示の第3実施形態における半導体装置の断面図であり、

[図11B]図11Bは、図11Aとは別断面の断面図である。

発明を実施するための形態

[0017] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0018] (第1実施形態)

本開示の第1実施形態について図面を参照しつつ説明する。本実施形態では、IGBT素子とFWD素子とが共通の半導体基板に形成された逆導通型IGBT(RC-IGBT)を備える半導体装置について説明する。なお、本実施形態の半導体装置は、例えば、インバータやコンバータ等の電力変換装置に利用されると好適である。

[0019] 図1に示されるように、半導体装置は、ドリフト層11を構成する半導体基板10を有し、当該ドリフト層11上(半導体基板10の一面10a側)にp型のベース層12が形成されている。そして、ベース層12を貫通してドリフト層11に達するように複数のトレンチ13a、13bが形成され、

このトレンチ 13 a、13 b によってベース層 12 が複数個に分離されている。

[0020] なお、各トレンチ 13 a、13 b は、半導体基板 10 の一面 10 a の面方向のうちの一方方向（図 2 中紙面奥行き方向）に沿って等間隔に形成されている。また、半導体基板 10 の一面 10 a は、ベース層 12 のうちのドリフト層 11 と反対側の一面にて構成されている。

[0021] そして、各トレンチ 13 a、13 b 内は、各トレンチ 13 a、13 b の壁面を覆うように形成されたゲート絶縁膜 14 と、このゲート絶縁膜 14 上に形成されたポリシリコン等により構成されるゲート電極 15 a、15 b とにより埋め込まれている。これにより、トレンチゲート構造が構成されている。

[0022] ここで、本実施形態では、各トレンチ 13 a、13 b 内に形成されたゲート電極 15 a、15 b は、一部のゲート電極 15 a と残部のゲート電極 15 b とが異なる第 1、第 2 ゲート端子 G1、G2 に接続されている。つまり、一部のゲート電極 15 a と残部のゲート電極 15 b とは、互いに独立したゲート電圧が印加されるようになっている。以下では、一部のゲート電極を第 1 ゲート電極 15 a とすると共に、残部のゲート電極を第 2 ゲート電極 15 b とし、第 1 ゲート電極 15 a が配置されるトレンチ 13 a を第 1 トレンチ 13 a とすると共に第 2 ゲート電極 15 b が配置されるトレンチ 13 b を第 2 トレンチ 13 b として説明する。なお、本実施形態では、第 1 ゲート電極 15 a および第 2 ゲート電極 15 b（第 1 トレンチ 13 a および第 2 トレンチ 13 b）は、第 1、第 2 トレンチ 13 a、13 b の延設方向と垂直方向（図 1 中紙面左右方向）において、交互に配置されている。

[0023] ベース層 12 の表層部には、n⁺型のエミッタ領域 16 と、エミッタ領域 16 に挟まれる p⁺型のコンタクト領域 17 とが形成されている。

[0024] エミッタ領域 16 は、ドリフト層 11 よりも高不純物濃度で構成され、ベース層 12 内において終端し、かつ、第 1、第 2 トレンチ 13 a、13 b の側面に接するように形成されている。一方、コンタクト領域 17 は、ベース

層 1 2 よりも高不純物濃度で構成され、エミッタ領域 1 6 と同様に、ベース層 1 2 内において終端するように形成されている。

[0025] より詳しくは、エミッタ領域 1 6 は、第 1、第 2 トレンチ 1 3 a、1 3 b 間の領域において、第 1、第 2 トレンチ 1 3 a、1 3 b の長手方向に沿って第 1、第 2 トレンチ 1 3 a、1 3 b の側面に接するように棒状に延設され、第 1、第 2 トレンチ 1 3 a、1 3 b の先端よりも内側で終端する構造とされている。また、コンタクト領域 1 7 は、2 つのエミッタ領域 1 6 に挟まれて第 1、第 2 トレンチ 1 3 a、1 3 b の長手方向（つまりエミッタ領域 1 6）に沿って棒状に延設されている。なお、本実施形態のコンタクト領域 1 7 は、半導体基板 1 0 の一面 1 0 a を基準としてエミッタ領域 1 6 よりも深く形成されている。

[0026] ここで、本実施形態では、図 1 および図 2 に示されるように、第 1 トレンチ 1 3 a と接するエミッタ領域 1 6 の深さは、第 2 トレンチ 1 3 b と接するエミッタ領域 1 6 の深さより深くされている。言い換えると、具体的には後述するが、本実施形態の半導体装置では、半導体基板 1 0 の厚さ方向に電流が流れるため、ベース層 1 2 のうちの電流の流れ方向に沿ったエミッタ領域 1 6 とドリフト層 1 1 との間の長さは、ゲート絶縁膜 1 4 を挟んで第 1 ゲート電極 1 5 a と反対側に位置する部分の方がゲート絶縁膜 1 4 を挟んで第 2 ゲート電極 1 5 b と反対側に位置する部分より短くされている。つまり、図 3 に示されるように、第 1 トレンチ 1 3 a と接するエミッタ領域 1 6 と、第 2 トレンチ 1 3 b と接するエミッタ領域 1 6 とのピーク濃度の位置が異なるように、各エミッタ領域 1 6 が形成されている。

[0027] このため、第 1 ゲート電極 1 5 a を有するゲート絶縁構造の閾値電圧 V_{th} と第 2 ゲート電極 1 5 b を有するゲート絶縁構造の閾値電圧 V_{th} とが異なっている。具体的には、第 2 トレンチ 1 3 b と接するエミッタ領域 1 6 は、第 1 トレンチ 1 3 a と接するエミッタ領域 1 6 より浅く形成されているため、第 2 ゲート電極 1 5 b を有する絶縁ゲート構造の閾値電圧 V_{th} は、第 1 ゲート電極 1 5 a を有する絶縁ゲート構造の閾値電圧 V_{th} より高くなっ

ている。なお、本実施形態における絶縁ゲート構造の閾値電圧 V_{th} とは、第1、第2ゲート電極15a、15bにゲート電圧が印加された際、エミッタ領域16とドリフト層11とを繋ぐ反転層を形成するために必要な最小電圧のことである。

[0028] また、図1に示されるように、ベース層12（半導体基板10の一面10a）上にはBPSG等で構成される層間絶縁膜18が形成されている。そして、層間絶縁膜18には、エミッタ領域16の一部およびコンタクト領域17を露出させるコンタクトホール18aが形成されている。

[0029] 層間絶縁膜18上には第1電極19が形成されている。この第1電極19は、コンタクトホール18aを介してエミッタ領域16およびコンタクト領域17と電氣的に接続されている。つまり、第1電極19は、IGBT素子におけるエミッタ電極として機能すると共にFWD素子におけるアノード素子として機能する。

[0030] ドリフト層11のうちのベース層12側と反対側（半導体基板10の他面10b側）には、p型のコレクタ層20およびn型のカソード層21が形成されている。つまり、IGBT素子とFWD素子とは、半導体基板10の他面10b側に形成される層がコレクタ層20であるかカソード層21であるかによって基本的に区画されている。

[0031] コレクタ層20およびカソード層21上（半導体基板10の他面10b）には第2電極22が形成されている。この第2電極22は、IGBT素子においてはコレクタ電極として機能し、FWD素子においてはカソード電極として機能する。

[0032] そして、上記のように構成されていることにより、ベース層12およびコンタクト領域17をアノードとし、ドリフト層11、カソード層21をカソードとしてPN接合を有するFWD素子が構成されている。

[0033] 以上が本実施形態における半導体装置の基本的な構成である。なお、本実施形態では、エミッタ領域16が本開示の第1不純物領域に相当し、カソード層21が本開示の第2不純物領域に相当している。また、n型、n⁺型、n

-型が本開示の第1導電型に相当し、p型、p⁺型が本開示の第2導電型に相当している。

[0034] 次に、上記半導体装置における第1、第2ゲート電極15a、15bに印加されるゲート電圧および作動について説明する。なお、本実施形態の半導体装置は、上記のように、第1、第2ゲート電極15a、15bに対して互いに独立したゲート電圧が印加されるようになっている。

[0035] まず、第1電極19を接地すると共に第2電極22に正の電圧を印加すると、ベース層12とドリフト層11との間に形成されるPN接合は逆導通状態となる。このため、第1、第2ゲート電極15a、15bに、ローレベル（例えば、0V）の電圧が印加されているときには、PN接合に空乏層が形成され、第1、第2電極19、22間の電流は遮断される。

[0036] そして、IGBT素子をオン状態にするには、第1電極19を接地すると共に第2電極22に正の電圧を印加した状態で、第1ゲート電極15aにハイレベルの電圧を印加すると共に、第2ゲート電極15bにローレベルの電圧を印加する。これにより、ベース層12のうちの第1ゲート電極15aが配置される第1トレンチ13aと接している部分に反転層が形成され、当該反転層を介して第1、第2電極19、22間に電流が流れる。

[0037] なお、上記のように、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} は、第1ゲート電極15aを有する絶縁ゲート構造の閾値電圧 V_{th} より高くされている。そして、本実施形態において、ハイレベルの電圧とは、第1ゲート電極15aを有する絶縁ゲート構造の閾値電圧 V_{th} 以上であって、かつ、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} 未満の電圧である。つまり、第1、第2ゲート電極15a、15bに同時にハイレベルのゲート電圧が印加された場合、エミッタ領域16とドリフト層11とを繋ぐ反転層は、ベース層12のうちの第1トレンチ13aに沿った部分にのみ形成される。本実施形態では、ハイレベルの電圧が本開示の第1電圧に相当し、ローレベルの電圧が本開示の第2電圧に相当している。

[0038] また、ＩＧＢＴ素子をオフ状態にし、ＦＷＤ素子をダイオード動作させる（オン状態にする）際には、第１電極１９と第２電極２２に印加する電圧をスイッチングし、第１電極１９に正の電圧を印加する共に第２電極２２を接地する。そして、第１、第２ゲート電極１５ａ、１５ｂにローレベルの電圧を印加する。これにより、ベース層１２のうちの第１トレンチ１３ａと接する部分にも反転層が形成されなくなり、ＦＷＤ素子がダイオード動作を行う。

[0039] 次に、ＦＷＤ素子をダイオード動作させているときから電流を遮断してオフ状態にする際の半導体装置の状態と、第１、第２ゲート電極１５ａ、１５ｂに印加されるゲート電圧との関係について、図４、図５Ａ、図５Ｂ、図６Ａ、図６Ｂを参照しつつ説明する。

[0040] ＦＷＤ素子をダイオード動作させているときから電流を遮断してオフ状態にする際には、図４に示されるように、ＦＷＤ素子は、導通状態（オン状態）、注入抑制状態、リカバリ状態、電流遮断状態（オフ状態）の順に状態が変化する。

[0041] まず、時点Ｔ１以前の導通状態では、第１電極１９に正の電圧、第２電極２２に負の電圧が印加され、第１、第２ゲート電極１５ａ、１５ｂにローレベルのゲート電圧が印加されている。このため、図５Ａに示されるように、過剰キャリアがＰＮ接合部に注入され、ＦＷＤ素子がダイオード動作をする。

[0042] そして、時点Ｔ１から時点Ｔ２の注入抑制状態では、第１ゲート電極１５ａにローレベルのゲート電圧が印加されつつ、第２ゲート電極１５ｂにハイレベルのゲート電圧（ＩＧＢＴ素子をオンする際に第１ゲート電極１５ａに印加されるゲート電圧と等しい電圧）が印加される。このため、図５Ｂに示されるように、第２ゲート電極１５ｂの周辺には、ベース層１２内の少数キャリアである電子が引き寄せられ、第２トレンチ１３ｂの側面のうちの第２ゲート電極１５ｂと対応する部分に反転層２３が形成される。

[0043] 具体的には、上記のように、ハイレベルの電圧は、第１ゲート電極１５ａ

を有する絶縁ゲート構造の閾値電圧 V_{th} 以上であって、かつ、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} 未満の電圧である。つまり、ベース層12のうちの第2トレンチ13bと接する部分に、エミッタ領域16とドリフト層11とを繋がない反転層が形成される。詳述すると、反転層23は、ベース層12における第2トレンチ13bと接する部分のうちのドリフト層11側の部分からエミッタ領域16に向かう途中位置まで形成される。

[0044] そして、ベース層12内の少数キャリアが減少したことで電荷中性条件からベース層12内の多数キャリアである正孔も少なくなると共に、ドリフト層11内に蓄積されている電子が反転層23を介して第1電極19から引き抜かれる。

[0045] このため、ベース層12の抵抗成分が高くなることで注入効率も低下し、その結果、FWD素子の順方向電圧 V_f も増加する。そして、過剰キャリア注入が抑制され、反転層23内の多数キャリアがベース層12内の多数キャリアと再結合する。また、過剰キャリア注入が抑制されたことにより、元々ドリフト層11に多量に注入されることで蓄積されている過剰キャリアがライフタイムのため、存在し切れなくなって消滅していく。

[0046] そして、ドリフト層11内の過剰キャリアが少なくなったところで、図5Cに示されるように、第1電極19に負の電圧を印加すると共に、第2電極22に正の電圧を印加する逆電圧印加を行う。これにより、図4中の時点T2から時点T3の期間のリカバリ状態となった後、時点T3以降の電流遮断状態となる（図5D参照）。

[0047] この場合、時点T2から時点T3のリカバリ状態では、逆回復電荷が発生するが、時点T1から時点T2の注入抑制状態において、予めドリフト層11内の過剰キャリアを少なくしているため、逆回復電荷を十分に小さな値にすることが可能となる。したがって、リカバリ損失の低減を図ることができる。なお、電流遮断状態では、第2ゲート電極15bにもローレベルのゲート電圧が印加される（図4、図5D参照）。

[0048] 例えば、図6に示されるように、第1ゲート電極15aを有する絶縁ゲート構造の閾値電圧 V_{th} が8V、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} が25Vとなるように半導体装置を構成したとする。この場合、注入抑制状態では、図7に示されるように、第2ゲート電極15bに15V以上の電圧を印加することにより、第1、第2電極19、22間の電圧が大きくなる。つまり、FWD素子の順方向電圧 V_f の絶対値が大きくなる。また、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} が25Vであるため、第2ゲート電極15bに25V以上のゲート電圧を印加すると短絡してしまう。したがって、このような半導体装置では、図4中の時点T1から時点T2の注入抑制状態において、第2ゲート電極15bに15～25Vのゲート電圧を印加することにより、リカバリ損失の低減を図ることができる。なお、図7は、FWD素子がダイオード動作している際の順方向電流が 400 A/cm^2 であるときのシミュレーション結果である。

[0049] 以上が本実施形態における半導体装置の作動である。なお、このような半導体装置は、例えば、通常の半導体製造プロセス工程において、第1トレンチ13aと接するエミッタ領域16を形成するためのイオン注入工程と第2トレンチ13bと接するエミッタ領域16を形成するためのイオン注入工程とを別々の工程として行い、各イオン注入工程における加速電圧等を適宜変更することによって製造される。

[0050] 以上説明したように、本実施形態では、第1、第2ゲート電極15a、15bに互いに独立したゲート電圧が印加されるようにし、第1ゲート電極15aを有する絶縁ゲート構造の閾値電圧 V_{th} と第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} とが異なるようにしている。そして、FWD素子がダイオード動作している状態から電流を遮断してオフ状態にする際、第2ゲート電極15bに、IGBT素子をオン状態にする際に第1ゲート電極15aに印加するハイレベルのゲート電圧と同じハイレベルの電圧を印加してエミッタ領域16とドリフト層11とを繋がない反転層23を形

成することにより、リカバリ損失の低減を図るようにしている。つまり、リカバリ損失の低減を図るために別の電圧を必要としない。すなわち、2種類のゲート電圧のみでIGBT素子およびFWD素子の作動を制御しつつ、リカバリ損失の低減を図ることができる。したがって、ゲート電圧を生成するドライバ回路の構成が複雑になることを抑制できる。

[0051] さらに、本実施形態では、第1、第2ゲート電極15a、15bが交互に形成されている。このため、半導体装置をIGBT素子として動作させる場合およびFWD素子として動作させる際に電流集中が発生することを抑制できる。

[0052] なお、本実施形態では、IGBT素子とFWD素子とが半導体基板10に形成された半導体装置について説明したが、半導体基板10の裏面側にコレクタ層20を備えず、MOSFET素子とFWD素子とが半導体基板10に形成された半導体装置としてもよい。このような半導体装置としても、同様の効果を得ることができる。

[0053] (第2実施形態)

本開示の第2実施形態について説明する。本実施形態は、第1実施形態に対して第1、第2トレンチ13a、13bに配置されるゲート絶縁膜14の厚さを変更したものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0054] 本実施形態では、図8に示されるように、第2トレンチ13bに配置されるゲート絶縁膜14が第1トレンチ13aに配置されるゲート絶縁膜14より厚くされている。このように、第2トレンチ13bに配置されるゲート絶縁膜14を第1トレンチ13aに配置されるゲート絶縁膜14より厚くすることにより、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} が第1ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} より高くなるようにしてもよい。

[0055] このような半導体装置としても、第2ゲート電極15bを有する絶縁ゲート構造の閾値電圧 V_{th} が第1ゲート電極15bを有する絶縁ゲート構造の

閾値電圧 V_{th} より高くなるようにしているため、FWD素子がダイオード動作している状態から電流を遮断してオフ状態にする際、第2ゲート電極15bにハイレベルのゲート電圧を印加して注入抑制状態を構成することにより、上記第1実施形態と同様の効果を得ることができる。

[0056] なお、このような半導体装置は次のように製造される。

[0057] すなわち、まず、図9(a)に示されるように、半導体基板10を用意し、半導体基板10の一面10aに熱酸化法等によって酸化膜31を形成する。

[0058] 次に、図9(b)に示されるように、酸化膜31をマスクとして反応性イオンエッチング(RIE)等の異方性エッチングを行うことにより、第1トレンチ13aを形成する。その後、必要に応じて、ケミカルドライエッチング(CDE)等を行うことにより、形成した第1トレンチ13aの壁面のダメージを除去する工程を行う。

[0059] 続いて、図9(c)に示されるように、熱酸化法等により、第1トレンチ13aに配置されるゲート絶縁膜14を形成する。

[0060] そして、図9(d)に示されるように、第1トレンチ13aに配置されたゲート絶縁膜14上にドー프트Poly-Siを成膜して第1ゲート電極15aを形成すると共に、再び半導体基板10の一面10a上に酸化膜32を形成する。

[0061] 次に、図10(a)に示されるように、酸化膜32をマスクとして反応性イオンエッチング(RIE)等の異方性エッチングを行うことにより、第2トレンチ13bを形成する。その後、必要に応じて、ケミカルドライエッチング(CDE)等を行うことにより、形成した第2トレンチ13bの壁面のダメージを除去する工程を行う。

[0062] そして、図10(b)に示されるように、熱酸化法等により、第2トレンチ13bに配置されるゲート絶縁膜14を形成する。このとき、例えば、熱酸化法によってゲート絶縁膜14を形成する場合には、図9(c)の工程の熱酸化法より加熱温度を高くしたり加熱時間を長くしたりすることにより、

第1トレンチ13aに配置されるゲート絶縁膜14より厚いゲート絶縁膜14を第2トレンチ13bに形成することができる。

[0063] その後、図10(c)に示されるように、第2トレンチ13bに配置されたゲート絶縁膜14上にドーパントP o l y - S iを成膜して第2ゲート電極15bを構成すると共に、再び半導体基板10の一面10a上に酸化膜33を形成する。その後は、特に図示しないが、周知の半導体製造プロセスを行い、ベース層12、エミッタ領域16、コレクタ層20、カソード層21、第1電極19、第2電極22を形成することにより、図8に示す半導体装置が製造される。

[0064] (第3実施形態)

本開示の第3実施形態について説明する。本実施形態は、第1実施形態に対して半導体基板10の面方向に電流を流す横型の半導体装置とすると共に、半導体基板10にM O S F E T素子およびF W D素子を形成した半導体装置としたものであり、その他に関しては第1実施形態と同様であるため、ここでは説明を省略する。

[0065] 本実施形態では、図11Aおよび図11Bに示されるように、ドリフト層11の表層部の所定領域にベース層12が形成されていると共に、ベース層12内における所定領域にソース領域41およびコンタクト領域42が形成されている。また、ドリフト層11の表層部には、ベース層12から離間したn⁺型のドレイン層43が形成されている。なお、本実施形態では、ソース領域41が本開示の第1不純物領域に相当し、ドレイン層43が本開示の第2不純物領域に相当している。

[0066] そして、半導体基板10の一面10a上には、チャネル幅方向（ベース層12等の長手方向）にゲート絶縁膜14を介して第1、第2ゲート電極15a、15bが延設されている。これら第1、第2ゲート電極15a、15bは、上記第1実施形態と同様に、異なる第1、第2ゲート端子G1、G2に接続され、互いに独立したゲート電圧が印加されるようになっている。

[0067] また、半導体基板10の一面10a上には、ソース領域41およびコンタ

クト領域 42 に電氣的に接続される第 1 電極 19 が配置されていると共に、ドレイン層 43 と電氣的に接続される第 2 電極 22 が配置されている。なお、図 11A および図 11B では、半導体基板 10 の一面 10a に形成される層間絶縁膜 18 を省略して示してある。

[0068] 本実施形態では、このような構造により、プレーナ型の横型 MOSFET 素子と FWD 素子とが共通の半導体基板 10 に形成されている。このような半導体装置では、MOSFET 素子をオン状態にするには、第 1 ゲート電極 15a にハイレベルの電圧を印加してベース層 12 のうちの第 1 ゲート電極 15a の下方に位置する部分に反転層を形成することにより、第 1 電極 19 と第 2 電極 22 との間に電流が流れる。具体的には、半導体基板 10 の面方向（図 11A および図 11B 中紙面左右方向）に沿って電流が流れる。

[0069] ここで、本実施形態では、ベース層 12 のうちの電流の流れ方向に沿ったソース領域 41 とドリフト層 11 との間の長さは、ゲート絶縁膜 14 を挟んで第 1 ゲート電極 15a と反対側に位置する部分の方がゲート絶縁膜 14 を挟んで第 2 ゲート電極 15b と反対側に位置する部分より短くされている。このため、第 2 ゲート電極 15b を有する絶縁ゲート構造の閾値電圧 V_{th} は、第 1 ゲート電極 15a を有する絶縁ゲート構造の閾値電圧 V_{th} より高くなる。

[0070] このように、半導体基板 10 の面方向に電流を流す横型の MOSFET 素子と FWD 素子とが共通の半導体基板に形成された半導体装置に本開示を適用しても、FWD 素子がダイオード動作している状態から電流を遮断してオフ状態にする際、第 2 ゲート電極 15b にハイレベルのゲート電圧を印加して注入抑制状態を構成することにより、上記第 1 実施形態と同様の効果を得ることができる。

[0071] （他の実施形態）

例えば、上記各実施形態では、第 1 導電型を n 型とし、第 2 導電型を p 型とした例について説明したが、第 1 導電型を p 型とし、第 2 導電型を n 型とすることもできる。

[0072] また、上記各実施形態において、第1ゲート電極15aを有するゲート絶縁構造の閾値電圧 V_{th} と第2ゲート電極15bを有するゲート絶縁構造の閾値電圧 V_{th} とを異ならせるための構造は、適宜変更可能である。特に図示しないが、例えば、ベース層12内において不純物濃度の勾配ができるようにし、ベース層12のうちの第2トレンチ13bに接する部分の不純物濃度が第1トレンチ13aに接する部分の不純物濃度より高くなるようにしてもよい。

[0073] また、上記第1、第2実施形態において、第1、第2ゲート電極15a、15bの配置方法は適宜変更可能であり、第1、第2トレンチ13a、13bの延設方向と垂直方向において交互に配置されていなくてもよい。例えば、隣接する第1ゲート電極15aの間に2つの第2ゲート電極15bが配置されるようにしてもよいし、第1ゲート電極15aおよび第2ゲート電極15bがそれぞれ纏められて配置されるようにしてもよい。この場合は、ソース層21上に第2ゲート電極15bが配置されるようにすることが好ましい。同様に、上記第3実施形態においても第1、第2ゲート電極15a、15bの配置方法は適宜変更可能である。

[0074] さらに、上記第1、第2実施形態において、IGBT素子をオン状態にする際、第2ゲート電極15bにハイレベルのゲート電圧を印加するようにしてもよい。これによれば、ベース層12のうちの第2トレンチ13bと接する部分にエミッタ領域16とドリフト層11とを繋がない反転層23が形成されるため、当該反転層23を介して電流（電子）は流れないが、当該反転層23によってドリフト層11に正孔を蓄積させ易くできる。このため、IGBT素子をオン状態にしている際のオン電圧の低減を図ることができる。

[0075] そして、上記第3実施形態において、IGBT素子およびFWD素子が形成された半導体装置としてもよい。さらに、上記第3実施形態において、半導体基板10に第1、第2トレンチ13a、13bを形成し、当該第1、第2トレンチ13a、13bに第1、第2ゲート電極15a、15bを配置するようにしてもよい。つまり、トレンチゲート構造を有する横型の半導体装

置としてもよい。

[0076] また、上記各実施形態を適宜組み合わせることもできる。例えば、上記第2実施形態を上記第1、第3実施形態に組み合わせ、ゲート絶縁膜14の厚さを適宜変更するようにしてもよい。

[0077] 本開示は、実施例に準拠して記述されたが、本開示は当該実施例や構造に限定されるものではないと理解される。本開示は、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

請求の範囲

[請求項1]

第1導電型のドリフト層（11）と、
前記ドリフト層上に形成された第2導電型のベース層（12）と、
前記ベース層（4）の表層部であって、前記ベース層を挟んで前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域（16、41）と、
前記第1不純物領域と前記ドリフト層の間に挟まれた前記ベース層の表面に配置されたゲート絶縁膜（14）と、
前記ゲート絶縁膜上に配置された複数のゲート電極（15a、15b）と、
前記ドリフト層と接触すると共に前記ベース層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第2不純物領域（21、43）と、
前記ベース層および前記第1不純物領域と電氣的に接続される第1電極（19）と、
前記第2不純物領域と電氣的に接続される第2電極（22）と、を有し、
前記ベース層のうち、前記ゲート絶縁膜を挟んで前記複数のゲート電極と反対側に位置する部分に前記第1不純物領域と前記ドリフト層との間を繋ぐ反転層を形成し、当該反転層を介して前記第1電極と前記第2電極との間に電流を流す半導体スイッチング素子を備えていると共に、
前記ベース層と前記ドリフト層とによるPN接合を有し、前記第1電極と前記第2電極との間に電流を流すフリーホイールダイオード素子を備えている半導体装置において、
前記複数のゲート電極は、互いに独立した電圧が印加される第一のゲート電極（15a）と第二のゲート電極（15b）を含み、
前記第1不純物領域と前記ドリフト層とを繋ぐ反転層を形成するた

めの絶縁ゲート構造の閾値電圧は、第一のゲート電極を有する絶縁ゲート構造の閾値電圧と、第二のゲート電極を有する絶縁ゲート構造の閾値電圧とで異なっており、

前記第一のゲート電極および前記第二のゲート電極にゲート電圧が印加された際、前記ベース層のうちの前記第一のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記第1不純物領域と前記ドリフト層とを繋ぐ反転層が形成されると共に、前記ベース層のうちの前記第二のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記ドリフト層側から前記第1不純物領域に向かう途中位置まで反転層が形成される前記ゲート電圧を第1電圧とし、前記ベース層のうちの前記第一のゲート電極および前記第二のゲート電極が配置される前記ゲート絶縁膜と接する部分に前記反転層が形成されないゲート電圧を第2電圧としたとき、

前記半導体スイッチング素子に電流を流す際には、前記第一のゲート電極に前記第1電圧が印加されると共に前記第二のゲート電極に前記第1、第2電圧のいずれか一方が印加され、

前記フリーホイールダイオード素子の順方向に電流が流れている状態から当該電流を遮断する際、前記第一のゲート電極に前記第2電圧が印加されると共に前記第二のゲート電極に前記第1電圧が印加される半導体装置。

[請求項2] 前記ベース層のうちの電流の流れ方向に沿った前記第1不純物領域と前記ドリフト層との間の長さは、前記ゲート絶縁膜を挟んで前記第一のゲート電極と反対側に位置するベース層の長さが、前記ゲート絶縁膜を挟んで前記第二のゲート電極と反対側に位置するベース層の長さより短くされている請求項1に記載の半導体装置。

[請求項3] 前記第一のゲート電極下に配置されるゲート絶縁膜は、前記第二のゲート電極下に配置されるゲート絶縁膜より薄くされている請求項1に記載の半導体装置。

[請求項4]

第1導電型のドリフト層（11）と、

前記ドリフト層上に形成された第2導電型のベース層（12）と、

前記ベース層（4）の表層部であって、前記ベース層を挟んで前記ドリフト層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第1不純物領域（16）と、

第1不純物領域およびベース層を貫通して、ドリフト層に達する第一トレンチおよび第二トレンチ（13a、13b）と、

前記第一トレンチおよび第二トレンチ内に各々配置されたゲート絶縁膜（14）と、

前記ゲート絶縁膜上に配置された第一ゲート電極（15a）および第二ゲート電極（15b）と、

前記ドリフト層と接触すると共に前記ベース層から離間して形成され、前記ドリフト層よりも高不純物濃度とされた第1導電型の第2不純物領域（21）と、

前記ベース層および前記第1不純物領域と電氣的に接続される第1電極（19）と、

前記第2不純物領域と電氣的に接続される第2電極（22）と、を有し、

前記ベース層のうち、前記ゲート絶縁膜を挟んで前記第一ゲート電極および第二ゲート電極の各々と反対側に位置する部分に前記第1不純物領域と前記ドリフト層との間を繋ぐ反転層を形成し、当該反転層を介して前記第1電極と前記第2電極との間に電流を流す半導体スイッチング素子を備えていると共に、

前記ベース層と前記ドリフト層とによるPN接合を有し、前記第1電極と前記第2電極との間に電流を流すフリーホイールダイオード素子を備えている半導体装置において、

第一ゲート電極と第二ゲート電極は、互いに独立した電圧が印加され、

前記第 1 不純物領域と前記ドリフト層とを繋ぐ反転層を形成するための絶縁ゲート構造の閾値電圧は、第一ゲート電極を有する絶縁ゲート構造の閾値電圧と、第二ゲート電極を有する絶縁ゲート構造の閾値電圧とで異なっており、

前記第一ゲート電極および前記第二ゲート電極にゲート電圧が印加された際、前記ベース層のうちの前記第一ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記第 1 不純物領域と前記ドリフト層とを繋ぐ反転層が形成されると共に、前記ベース層のうちの前記第二ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記ドリフト層側から前記第 1 不純物領域に向かう途中位置まで反転層が形成される前記ゲート電圧を第 1 電圧とし、前記ベース層のうちの前記第一ゲート電極および前記第二ゲート電極が配置される前記ゲート絶縁膜と接する部分に前記反転層が形成されないゲート電圧を第 2 電圧としたとき、

前記半導体スイッチング素子に電流を流す際には、前記第一ゲート電極に前記第 1 電圧が印加されると共に前記第二ゲート電極に前記第 1、第 2 電圧のいずれか一方が印加され、

前記フリーホイールダイオード素子の順方向に電流が流れている状態から当該電流を遮断する際、前記第一ゲート電極に前記第 2 電圧が印加されると共に前記第二ゲート電極に前記第 1 電圧が印加される半導体装置。

[請求項5] 前記ベース層のうちの電流の流れ方向に沿った前記第 1 不純物領域と前記ドリフト層との間の長さは、前記ゲート絶縁膜を挟んで前記第一ゲート電極と反対側に位置するベース層の長さが、前記ゲート絶縁膜を挟んで前記第二ゲート電極と反対側に位置するベース層の長さより短くされている請求項 4 に記載の半導体装置。

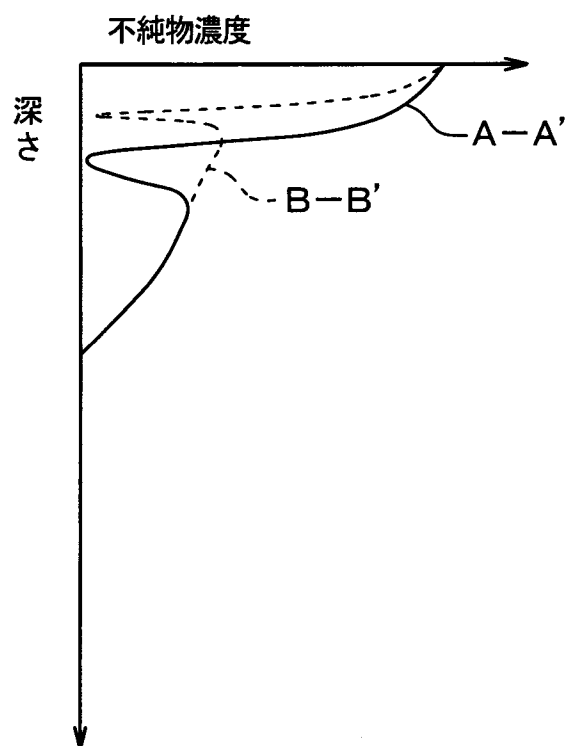
[請求項6] 前記第一ゲート電極下に配置されるゲート絶縁膜は、前記第二ゲート電極下に配置されるゲート絶縁膜より薄くされている請求項 4 に記

載の半導体装置。

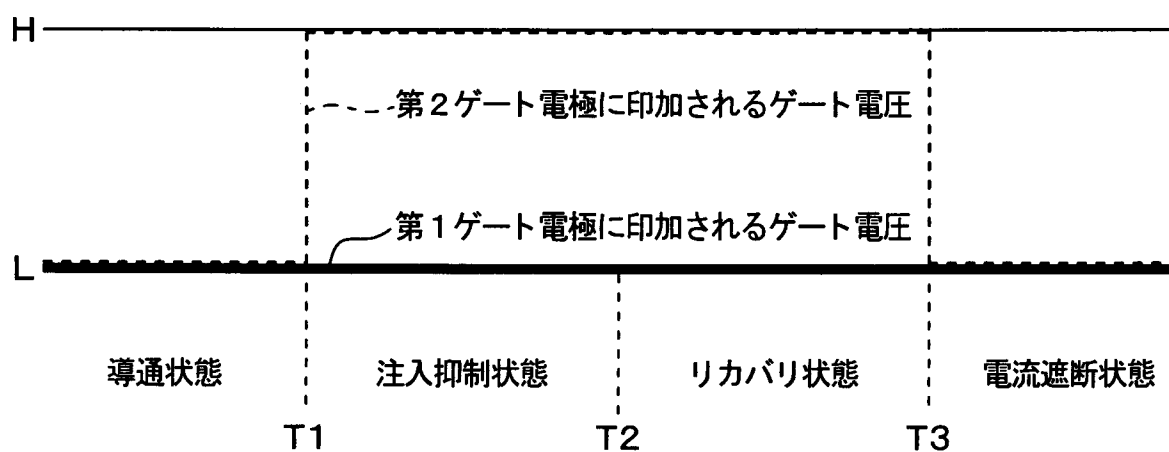
A cross-sectional view of a semiconductor device. The device features a substrate with a p-n junction, where the p-region is on top and the n-region is on the bottom. A gate structure is formed on the p-region, consisting of a gate oxide layer (19) and a gate electrode (18). The gate electrode is divided into segments (18a) by spacers (17). The spacers are formed on the p-region (10a) and the n-region (11). The gate oxide layer (19) is formed on the p-region (10a) and the n-region (11). The p-region (10a) is doped with p-type impurities (p) and the n-region (11) is doped with n-type impurities (n). The substrate (20) is doped with p-type impurities (p) and the n-region (11) is doped with n-type impurities (n). The device is connected to a power supply G1 and a ground G2. The gate electrode (18) is connected to G1 and the spacers (17) are connected to G2. The p-region (10a) is connected to G1 and the n-region (11) is connected to G2. The substrate (20) is connected to G1 and the n-region (11) is connected to G2. The device is labeled with various reference numerals: 10, 11, 12, 13a, 13b, 14, 15a, 15b, 16, 17, 18, 18a, 19, 20, 21, 22, 10a, 10b, 11a, 11b, 12a, 12b, 13a, 13b, 14a, 14b, 15a, 15b, 16a, 16b, 17a, 17b, 18a, 18b, 19a, 19b, 20a, 20b, 21a, 21b, 22a, 22b.

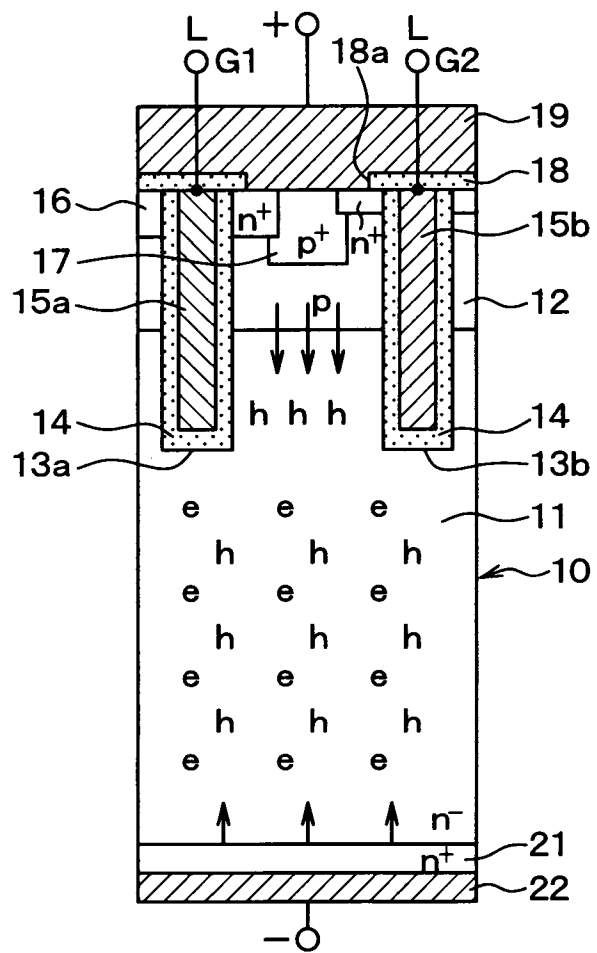
A cross-sectional diagram of a semiconductor device. The substrate is labeled n^- . A central region is labeled p . Above this region is a p^+ layer. On either side of the p^+ layer are n^+ regions. The device is divided into two main sections by a vertical dashed line. The left section is labeled 13a and the right section is labeled 13b. The top layer is labeled 16. The middle layer is labeled 15a and 15b. The bottom layer is labeled 14. The central region is labeled 17. The regions are separated by dashed lines labeled A, B, A', and B'.

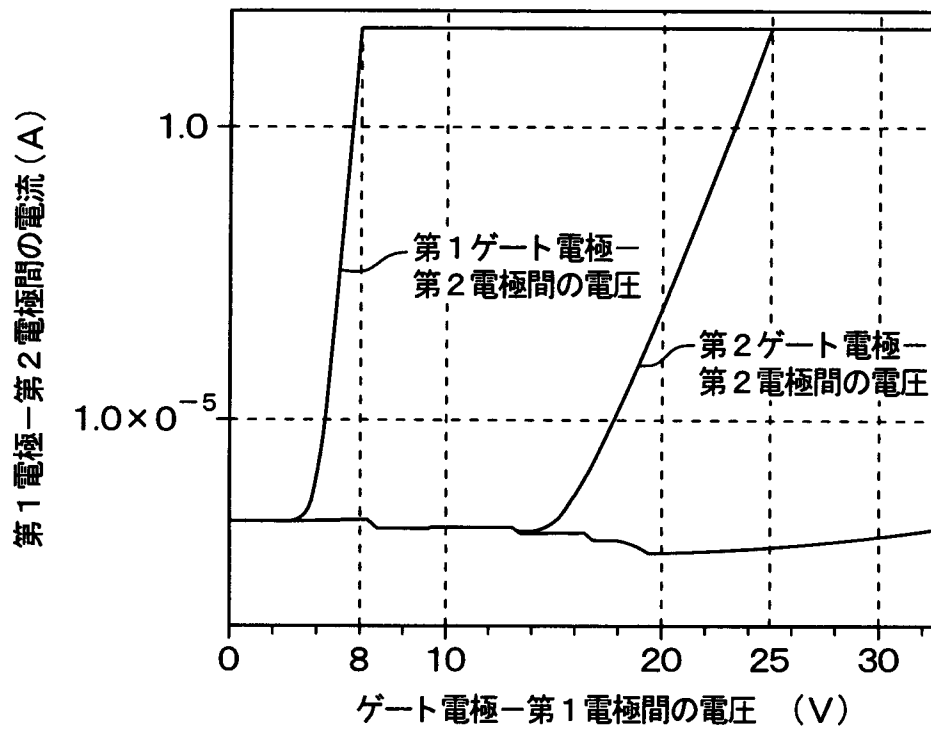
[図3]



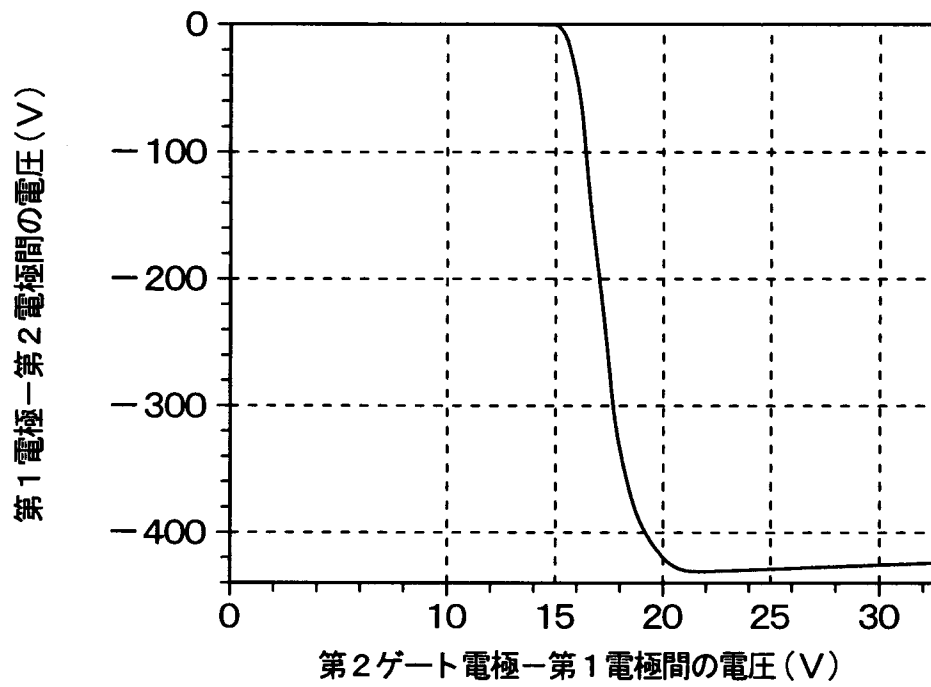
[図4]



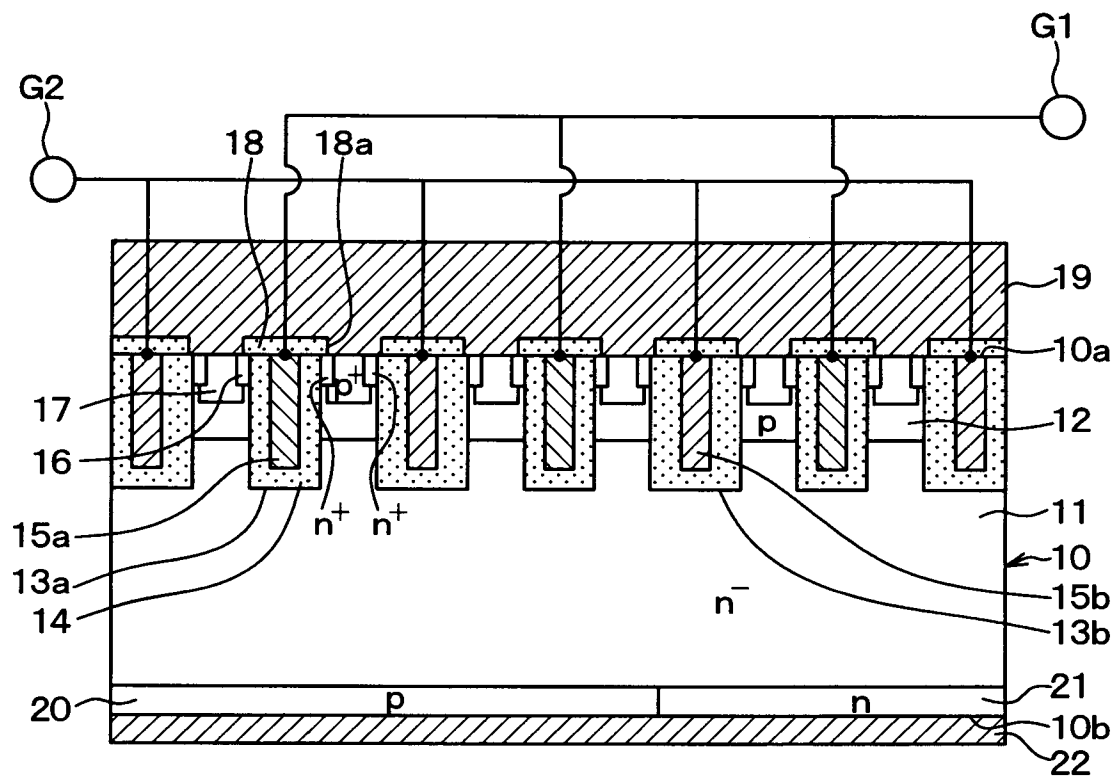




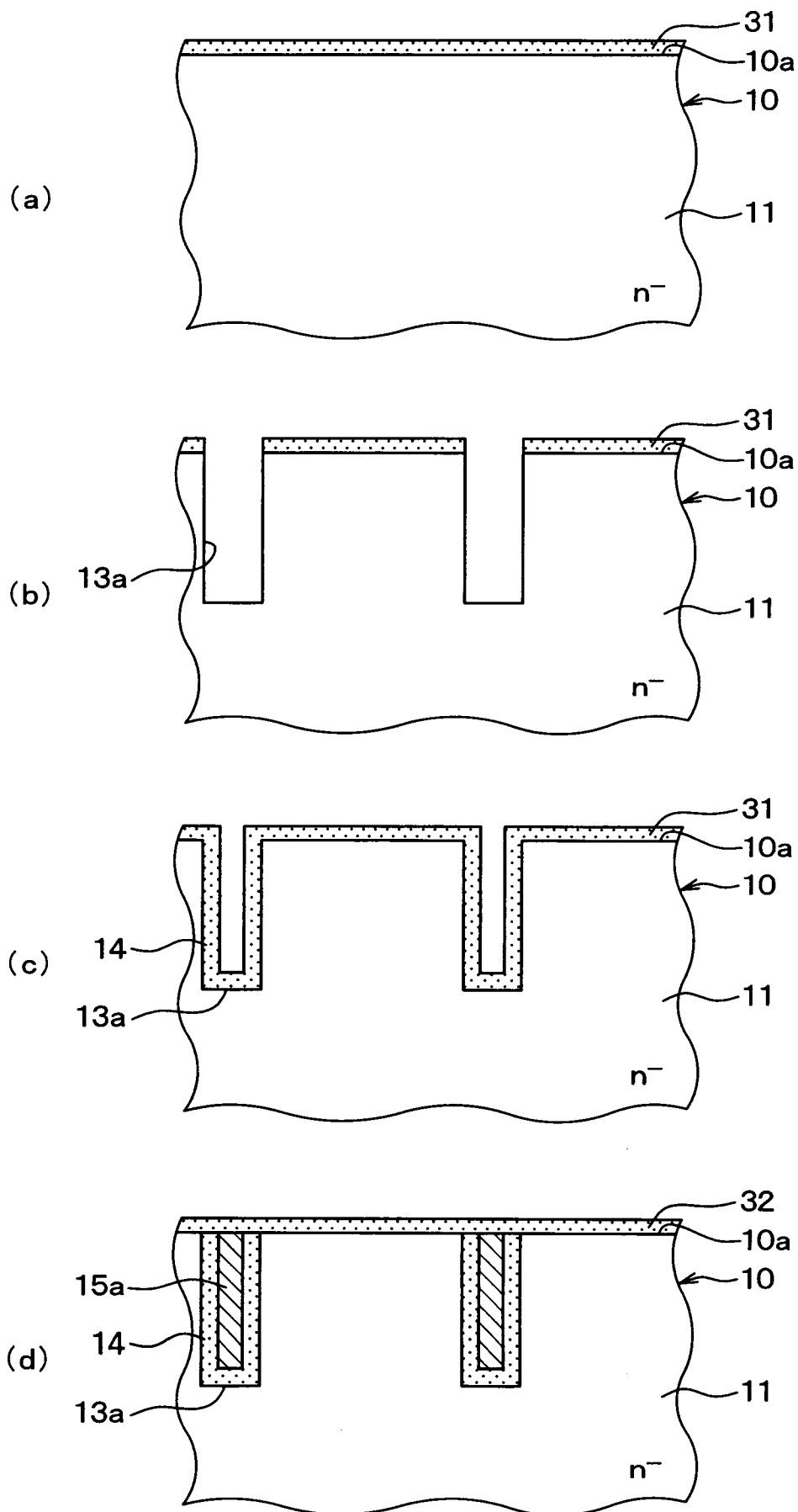
[図7]



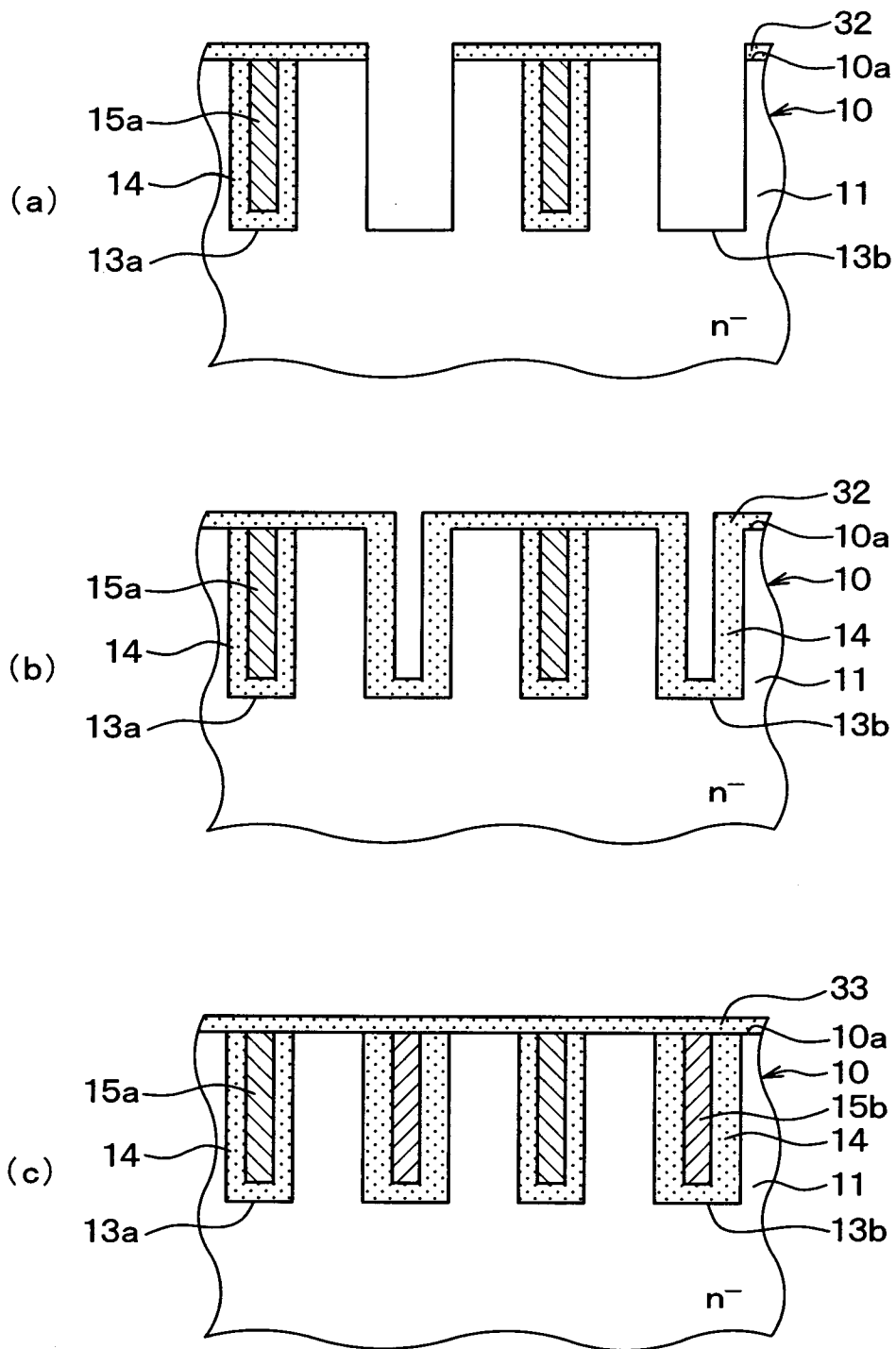
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/005450

A. CLASSIFICATION OF SUBJECT MATTER

H01L27/04(2006.01)i, H01L21/336(2006.01)i, H01L29/423(2006.01)i,
H01L29/49(2006.01)i, H01L29/739(2006.01)i, H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/04, H01L21/336, H01L29/423, H01L29/49, H01L29/739, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-49499 A (Denso Corp.), 08 March 2012 (08.03.2012), entire text; fig. 1 to 32 & US 2012/0025874 A1 entire text; fig. 1 to 32 & DE 10 2011 079 747 A1 & CN 102347356 A	1-6
A	JP 2012-64908 A (Denso Corp.), 29 March 2012 (29.03.2012), entire text; fig. 1 to 10 & US 2012/0025874 A1 entire text; fig. 33 to 42 & DE 10 2011 079 747 A1 & CN 102347356 A	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 January 2016 (14.01.16)

Date of mailing of the international search report
26 January 2016 (26.01.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/005450

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/101868 A1 (Toyota Motor Corp.), 20 August 2009 (20.08.2009), entire text; fig. 1 to 6 & JP 5454146 B2 & US 2011/0001553 A1 & EP 2 251 904 A1 & CN 101946324 A	1-6
A	JP 2011-146555 A (Toyota Central Research and Development Laboratories, Inc.), 28 July 2011 (28.07.2011), entire text; fig. 1 to 11 (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L27/04(2006.01)i, H01L21/336(2006.01)i, H01L29/423(2006.01)i, H01L29/49(2006.01)i,
H01L29/739(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L27/04, H01L21/336, H01L29/423, H01L29/49, H01L29/739, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-49499 A（株式会社デンソー）2012.03.08, 全文, 図 1-32 & US 2012/0025874 A1, 全文, 図 1-32 & DE 10 2011 079 747 A1 & CN 102347356 A	1-6

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.01.2016

国際調査報告の発送日

26.01.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

早川 朋一

5 F

9733

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-64908 A (株式会社デンソー) 2012. 03. 29, 全文, 図 1-10 & US 2012/0025874 A1, 全文, 図 33-42 & DE 10 2011 079 747 A1 & CN 102347356 A	1-6
A	WO 2009/101868 A1 (トヨタ自動車株式会社) 2009. 08. 20, 全文, 図 1-6 & JP 5454146 B2 & US 2011/0001553 A1 & EP 2 251 904 A1 & CN 101946324 A	1-6
A	JP 2011-146555 A (株式会社豊田中央研究所) 2011. 07. 28, 全文, 図 1-11 (ファミリーなし)	1-6