

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
24. Juni 2004 (24.06.2004)

PCT

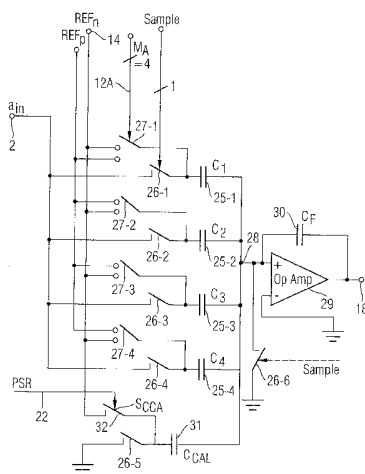
(10) Internationale Veröffentlichungsnummer
WO 2004/054111 A2

- (51) Internationale Patentklassifikation⁷: H03M 1/00 (72) Erfinder; und
(21) Internationales Aktenzeichen: PCT/EP2003/011468 (75) Erfinder/Anmelder (nur für US): BOGNER, Peter [AT/AT]; Falkenweg 13/4, A-9500 Villach (AT).
(22) Internationales Anmeldedatum: 16. Oktober 2003 (16.10.2003) (74) Anwalt: CHARLES, Glyndwr; Reinhard, Skuhra, Weise & Partner GbR, Friedrichstrasse 31, 80801 München (DE).
(25) Einreichungssprache: Deutsch (81) Bestimmungsstaaten (national): CN, US.
(26) Veröffentlichungssprache: Deutsch (84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).
(30) Angaben zur Priorität: 102 55 354.8 27. November 2002 (27.11.2002) DE
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-Martin-Strasse 53, 81669 München (DE). Veröffentlicht:
— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

[Fortsetzung auf der nächsten Seite]

(54) Title: A/D CONVERTER WITH MINIMIZED SWITCHING ERRORS

(54) Bezeichnung: A/D-WANDLER MIT MINIMIERTEM UMSCHALTFEHLER



(57) Abstract: Disclosed is a device for calibrating A/D converters with any bit weight. The invention more specifically relates to an A/D converter for converting an analog input signal (a_{in}) into a digital output value by means of at least one converter stage comprising a sample & hold circuit (3) for sampling the analog input signal (A_{in}), a comparator unit (5) which compares the analog input signal with a reference value (REF) so as to generate a digital output value of the converter stage, a digital/analog converter (13) for converting the digital output value into an analog signal, a subtractor (11) for subtracting the analog signal that is output by the digital/analog converter (13) from the sampled input signal, a signal amplifier (17) for amplifying the output signal output by the subtractor (11) by a specific signal-amplifying factor (V) for the following converter stage, and a weighting unit (9) for multiplying the digital output value by a multiplier in order to add the multiplied digital output value to other weighted output values of converter stages so as to obtain the digital output value of the analog/digital converter (1); (b) a random signal generator (19) for generating a random signal that is fed to the converter stage; (c) at least one calibrating unit (21) comprising: (c1) a calibration amplifier with an adjustable calibration amplification factor for amplifying the random signal; (c2) an evaluation unit which correlates the random signal that is fed into the signal path

and amplified by the converter stage with the random signal amplified by the calibration amplifier of the calibration unit (21) in order to generate a signal for adjusting the calibration amplification factor such that the output signal of the evaluation unit is minimal, the calculated calibration amplification factor thus corresponding with the amplification (V) caused by the digital/analog converter (13) and the signal amplifier (17) of the converter stage; (d) the random signal is applied by the random generator (19) to a calibration capacitor (31) located within the digital/analog converter (13) of the converter stage via a switch that is controlled by the calibration unit (21) so as to be fed into the signal path; (e) the random signal can be connected to additional DAC capacitors (25) located within the digital/analog converter (13) in order to calculate the respective signal amplifications of the DAC stages of the digital/analog converter (13) while the calibration unit (21) calculates the signal amplification differences ΔV_{ij} between the DAC stages from the determined signal amplifications (V_i) of the DAC stages of the digital/analog converter (13) so as to calculate a switching error (DAC error) of the digital/analog converter (13).

(57) Zusammenfassung: Kalibriereinrichtung zur Kalibrierung von A/D Wandlern mit beliebigem Bitgewicht. Die Erfindung betrifft einen A/D-Wandler, zur Umwandlung eines analogen Eingangssignals (a_{in}) in einen digitalen Ausgabewert mit mindestens einer Wandlerstufe, die jeweils eine Sample & Hold-Schaltung (3) zum Abtasten des analogen Eingangssignals (A_{in}), eine Komparator-einheit (5), die das analoge Eingangssignal mit einem Referenzwert (REF) zum Erzeugen eines digitalen Ausgabewertes

[Fortsetzung auf der nächsten Seite]

WO 2004/054111 A2



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

der Wandlerstufe vergleicht, eine Digital/Analogwandler (13) zur Umwandlung des digitalen Ausgabewertes in eine analoges Signal, einen Subtrahierer (11) zur Subtraktion des von dem Digital/Analogwandler (13) abgegebenen analogen Signals von dem abgetasteten Eingangssignal, einen Signalverstärker (17) zum Verstärken des von dem Subtrahierer (11) abgegebenen Ausgangssignals mit einem bestimmten Signalverstärkungsfaktor (V) für die nächste Wandlerstufe und eine Gewichtungseinheit (9) zur Multiplikation des digitalen Ausgabewertes mit einem Multiplikator zur Addition mit weiteren gewichteten Ausgabewerten von Wandlerstufen zu dem digitalen Ausgabewert des Analog/Digitalwandlers (1) aufweist: (b) einem Zufallssignalgenerator (19) zur Erzeugung eines Zufallssignals, das in die Wandlerstufe eingespeist wird; (c) mindestens eine Kalibriereinheit (21), die jeweils aufweist: (c1) einen Kalibrierverstärker mit einstellbarem Kalibrierverstärkungsfaktor zur Signalverstärkung des Zufallssignals, (c2) eine Auswerteeinheit, die das in den Signalpfad eingespeiste und durch die Wandlerstufe verstärkte Zufallssignal mit dem durch den Kalibrierverstärker der Kalibriereinheit (21) verstärkten Zufallssignal zur Erzeugung eines Einstellsignals für die Einstellung des Kalibrierverstärkungsfaktors derart korreliert, dass das Ausgangssignal der Auswerteeinheit minimal ist und somit berechnete Kalibrierungsverstärkungsfaktor der Verstärkung (V), die durch den Digital/Analogwandler (13) und den Signalverstärker (17) der Wandlerstufe hervorgerufen wird, entspricht; (d) wobei das Zufallssignal von dem Zufallsgenerator (19) über einen durch die Kalibriereinheit (21) steuerbaren Schalter an einen Kalibrierkondensator (31) innerhalb des Digital/Analogwandlers (13) der Wandlerstufe zur Einspeisung in den Signalpfad angelegt wird; (e) wobei das Zufallssignal an weitere DAC-Kondensatoren (25) innerhalb des Digital/Analogwandlers (13) zur Berechnung der jeweiligen Signalverstärkungen der DAC-Stufen des Digital/Analogwandlers (13) schaltbar ist und wobei die Kalibriereinheit (21) aus den ermittelten Signalverstärkungen (V_1) der DAC-Stufen des Digital/Analogwandlers (13) die Signalverstärkungsdifferenzen ΔV_{1j} zwischen den DAC-Stufen zur Berechnung eines Umschaltfehlers (DAC-Error) des Digital/Analogwandlers (13) berechnet.

5 Beschreibung

A/D-Wandler mit minimiertem Umschaltfehler

Die Erfindung betrifft einen A/D-Wandler, insbesondere einen
10 Pipeline-Wandler.

A/D-Wandler dienen zur Umsetzung eines analogen Eingangssig-
nals in ein digitales Ausgangssignal. Die A/D-Wandelung er-
folgt in der Regel durch Vergleich eines unbekanntes Analog-
15 signals mit einem bekannten Referenzwert. Für die A/D-
Wandelung gibt es eine Reihe unterschiedlicher Wandlungsver-
fahren, bei denen entweder das Analogsignal verstärkt, d.h.
mit einem vorgegebenen Gewichtungsfaktor multipliziert, oder
das Referenzsignal geteilt, d.h. mit einem vorgegebenen Ge-
20 wichtungsfaktor geteilt wird.

In Figur 1 ist ein dreistufiger Pipeline-Wandler mit den Stu-
fen A,B,C dargestellt. Bei Pipeline-Wandlern wird ebenfalls
das Analogsignal a_{in} mit einem Referenzwert verglichen, je-
25 doch wird das unbekannte Analogsignal a_{in} üblicherweise zwei-
fach verstärkt und mit einer konstanten Referenzgröße REF
verglichen. Der dargestellte, dreistufige Pipeline-Wandler
umfaßt eine Sample&Hold-Stufe S/H_A , mit der das analoge Ein-
gangssignal a_{in} abgetastet und gehalten wird. Jede der drei
30 Stufen A-C umfaßt ferner einen Verstärker V_A (bzw. eine Ge-
wichtungseinheit) mit einem Gewichtungs- bzw. Verstärkungs-
faktor $k=2$, sowie einen Komparator K_A , mittels dessen das di-
gital umgewandelte analoge Eingangssignal a_{in} mit einem Refe-
renzwert REF verglichen wird. Ist das digital umgewandelte
35 Analogsignal a_{in} größer als der Referenzwert REF, wird der
Referenzwert REF vom zweifach verstärkten Analogsignal a_{in} an
einem Subtrahierknoten S abgezogen, und der resultierende
Differenzwert wird in die Sample&Hold-Stufe S/H_B der nächsten
Wandlerstufe B weitergeschoben. Ist dagegen das Analogsignal
40 a_{in} kleiner als der vorgegebene Referenzwert, wird das zwei-

5 fach verstärkte Analogsignal a_{in} V_A unmittelbar in die Sample&Hold-Stufe S/H_B der Wandlerstufe B weitergeschoben.

Im ersten Fall wird von der Wandlerstufe A ein digitaler Wert logisch „1“, und im letzteren Fall ein digitaler Wert logisch
10 „0“ erzeugt. Jede der Stufen A-C erzeugt auf diese Weise ein Bit (D/b), die zusammengenommen einen digitalen, binären Code ergeben, der zwischen 0 und 2^n-1 liegen kann, wobei n die Anzahl der Wandlerstufen ist. Dabei ist das Bitgewicht des digitalen Wandlungsergebnisses wegen des Gewichtungs- bzw. Verstärkungsfaktors 2 der Verstärker V gleich zwei.
15

Während bei einem Sukzessiven Approximationswandler n Zyklen erforderlich sind, bis das Wandlungsergebnis feststeht, und erst dann wieder eine neue Wandlung gestartet werden kann,
20 ist das Wandlungsergebnis bei dem Pipeline-Wandler, wie er in Fig. 1 gezeigt ist, zwar auch erst nach n-Zyklen gültig, der nächste zu wandelnde Analogwert kann aber bereits nach dem ersten Zyklus der Stufe A in die Pipeline geschoben werden.

25 Die Genauigkeit der beiden Wandlertypen wird maßgeblich durch die Genauigkeit des Teilungs- bzw. Multiplikationsfaktors $k=2$ bestimmt, mit dem das Analogsignal bzw. der Referenzwert multipliziert bzw. geteilt wird. Bei der Gewichtung mit einer Zahlenbasis 2 ist insbesondere die Genauigkeit des Faktors 2,
30 der beim SA-Wandler im Teilungsfaktor $1/2, 1/4, 1/8, \text{etc.}$, und bei dem Pipeline-Wandler im Multiplikationsfaktor 2 auftritt, von Bedeutung. Ein Fehler in einem dieser Gewichtungsfaktoren wirkt sich unmittelbar auf das digitale Endergebnis aus, wie folgendes Beispiel zeigt:

35

Ein DA-Wandler mit 8 Bit-Auflösung ist in der Lage, ein unbekanntes Analogsignal oder eine Referenzgröße in $2^8=255$ Stufen zu quantisieren. Am A/D-Wandler wird nun ein Analogsignal angelegt, das einer Quantisierungsstufe mit dem dezimalen Wert
40 128 entspricht. Dieser Analogwert wird nun mit einem Refe-

5 renzwert verglichen, der durch Teilung einer vorgegebenen Re-
ferenzgröße generiert wurde (die vorgegebene Referenzgröße
wird beispielsweise mit einem Faktor $3/8$ multipliziert). Bei
korrekter Teilung würde sich dabei ein Referenzwert ergeben,
der einer Quantisierungsstufe von z.B. 127 entspricht, und
10 der kleiner ist als der Analogwert 128. Auf Grund einer Unge-
nauigkeit des Teilungsfaktors ($3/8$) führt aber auch noch der
Vergleich mit einem Referenzwert, der einem dezimalen Wert
von 128 und 129 entspricht, zu dem Ergebnis, dass der Analog-
wert größer sei als der Referenzwert. Da der Referenzwert der
15 Quantisierungsstufen fälschlicherweise kleiner ist als der
Analogwert, wird als Ergebnis des Vergleichs eine „1“ anstel-
le einer „0“ ausgegeben.

Neben der Ungenauigkeit bei den von den Wandlern durchgeführ-
20 ten Gewichtungen (Teilung, Multiplikation) wird die Genauig-
keit der A/D-Wandler durch transiente Signalspannungen
beeinflusst. An den Ein- und Ausgängen der Verstärker V, der
Komparatoren K und der Subtrahierknoten S liegen üblicherwei-
se transiente Signale an, die z.B. Überschwingungen aufweisen
25 und erst nach einer bestimmten Abklingzeit auf einen konstan-
ten Wert abklingen.

Bei einem n-Bit-Wandler müssen n Entscheidungen getroffen
werden, um ein digitales n-Bit-Wort zu erhalten, wobei jede
30 dieser Entscheidungen mindestens so genau sein muß, wie eine
Quantisierungsstufe des endgültigen digitalen Wandlungsergeb-
nis. Die Geschwindigkeit, mit der Vergleiche und andere Ope-
rationen bei einem n-Bit-Wandler durchgeführt werden können,
ist durch das Zeitverhalten der zu verarbeitenden Signale im
35 Wandler bestimmt. Bei einem SA-Wandler wird relativ viel Zeit
benötigt, um die erforderlichen Referenzwerte mit der ge-
wünschten Genauigkeit durch die digitale Steuerung und den
DA-Wandler zu generieren. Bei dem Pipeline-Wandler gemäß Fig.
1 wird einige Zeit benötigt, bis die Verstärker V einge-
40 schwungen sind. Werden die vom A/D-Wandler durchgeführten O-

5 perationen zu frühzeitig durchgeführt, können daher Fehler
entstehen.

Um die Fehlerhäufigkeit zu senken und damit die Genauigkeit
der A/D-Wandler zu erhöhen, ist es bereits bekannt, A/D-
10 Wandler mit redundantem Code einzusetzen. A/D-Wandler mit re-
dundantem Code zeichnen sich dadurch aus, dass ein Referenz-
wert, wie beispielsweise $\frac{3}{4}$ einer vorgegebenen Referenzgröße,
mit dem das unbekannte Analogsignal verglichen wird, nicht
15 die Grenze des Wertebereichs für einen nachfolgenden Ver-
gleich bildet, sondern je nach Ergebnis des Vergleichs, ein
kleinerer oder größerer Wert verwendet wird. Dies sei im fol-
genden anhand eines Beispiels näher erläutert.

Einem 8-Bit-Wandler, der ein Analogsignal in Werte zwischen 0
20 und 255 quantisiert, wird ein Analogsignal zugeführt, dessen
analoger Wert einem dezimalen, quantisierten Wert von 128
entspricht. In einem Vergleich der Stufe n wird dieser Ana-
logwert mit einem Referenzwert verglichen, der einer Quanti-
sierungsstufe mit dem dezimalen Wert 127 entspricht. Dabei
25 wird festgestellt, dass der Referenzwert kleiner ist als der
Analogwert. Um nun Fehler auf Grund ungenauer Gewichtung oder
transienter Signalschwankungen zu vermeiden, wird im nächst-
ten, vom A/D-Wandler durchgeführten Vergleich nicht wie üb-
lich der Wertebereich zwischen 127 und 255, sondern ein Wer-
30 tebereich zwischen einem kleineren Wert, z.B. 120, und 255
gewählt. Dadurch können kleinere Fehlentscheidungen nachträg-
lich noch korrigiert werden und nehmen keinen Einfluss auf
das endgültige Wandlungsergebnis.

35 Bei einem konventionellen, binären Wandler kann dagegen ein
Bit, wenn es einmal falsch gesetzt wurde, in den nachfolgen-
den Konvertierungsschritten nicht mehr korrigiert werden.

Die fehlervermeidende Eigenschaft redundanter A/D-Wandler
40 wird dadurch erreicht, dass die Gewichtungsfaktoren, wie z.B.
der Verstärkungsfaktor V_K der Verstärker V oder der Teilungs-

5 faktor, mit dem die digitale Steuerung (Gewichtungseinheit 4) einen Referenzwert aus einer vorgegebenen Referenzgröße generiert, nicht auf einer Zahlenbasis 2 beruhen, sondern eine kleinere Zahlenbasis, z.B. 1,8, zu Grunde gelegt wird.

10 Bei einem SA-Wandler mit redundantem Code sind dann die Referenzelemente, mit denen die vorgegebene Referenzgröße geteilt wird, nicht doppelt so groß, viermal so groß.... (Referenzelemente können Kapazitäten, Stromquellen, Widerstände etc. sein), sondern kleiner als doppelt so groß, viermal so groß

15 Die Referenzelemente können z.B. ein Bitgewicht des digitalen Ausgangssignals von $1; 1,8; 1,8^2; 1,8^3$ usw. bewirken. Bei einem Pipeline-Wandler gemäß Fig. 1, bedeutet dies, dass der Gewichtungs- bzw. Verstärkungsfaktor der Verstärker nicht zwei sondern 1,8 betragen müsste.

20 Die Schwierigkeit bei solchen redundanten A/D-Wandlern besteht darin, dass der Faktor 1,8 nicht so einfach wie der Faktor 2 jeweils durch verdoppeln des Referenzelementes erzeugt werden kann. Dadurch entstehen bereits prinzipiell größere Fehler als bei einem binären Wandler.

25 Jede der Wandlerstufen A,B,C liefert als Ergebnis des von den Stufen durchgeführten Vergleichs ein Bit DigA, DigB, DigC des digitalen Wandlungsergebnisses. Im gezeigten Beispiel von

30 Fig. 1 wird ein redundanter Code 1,0,0,0 erhalten. Das digitale Wandlungsergebnis ist jedoch nicht binär, mit einem Bitgewicht von zwei, und entspricht daher auch nicht der dezimalen Zahl $2^3=8$, sondern beruht auf der Basis 1,8 und entspricht somit der Zahl $1,8^3=5,832$. Dieses Ergebnis berechnet sich zu $0 \cdot 1 + 0 \cdot 1,8^1 + 0 \cdot 1,8^2 + 1 \cdot 1,8^3 = 5,832$. Die Addition der einzelnen Bits des Wandlungsergebnisses wird mit der in Figur 1

35 unten dargestellten Anordnung durchgeführt, die zu diesem Zweck Speicher zum Abspeichern von Multiplikationsfaktoren MF, Multiplikation mehrerer Speicherglieder SG und Addierknoten AK aufweist. Aus dem Code mit einem Bitgewicht von 1,8

40 wird schließlich ein binärer Code erzeugt. Nach dem letzten

5 Addierknoten AK_c (ganz rechts unten) erhält man den zum redundanten Code gehörenden binären Code, also das Wandlungsergebnis in binärer Form.

Fehler im binären Wandlungsergebnis treten insbesondere dann
10 auf, wenn die vom A/D-Wandler durchgeführte Gewichtungen V_i des Analogsignals oder der Referenzgröße nicht genau den gespeicherten Multiplikationsfaktoren entspricht, der bei der Umwandlung des redundanten Codes in einen Binärcode verwendet wird.

15 Bisher wurde versucht, diesen Fehler durch Verändern der Verstärkungen V_i bei dem Pipeline-Wandler gemäß Fig. 1 in der Wandler-Analogschaltung zu kompensieren. Dies ist jedoch relativ kompliziert.

20 Es wurde daher in der deutschen Offenlegungsschrift DE 101 33 538.5 A1 ein A/D-Wandler vorgeschlagen, bei dem die Multiplikationsfaktoren MF_i einfach kalibrierbar sind.

25 Bei diesem in Fig. 2 dargestellten A/D-Wandler nach dem Stand der Technik wird nicht nur das zu wandelnde Analogsignal bzw. eine Referenzgröße, sondern auch ein Hilfssignal PSR (Pseudo Random) im A/D-Wandler gewichtet und gleichzeitig ein Kalibrierverstärker zur Gewichtung digitalen Zufallssignals PSR
30 vorgesehen, dessen Verstärkungsfaktor verändert werden kann. Der vom A/D-Wandler angewandte Gewichtungsfaktor G wird dadurch ermittelt, dass das vom A/D-Wandler gewichtete Zufallssignal PSR und das von dem regelbaren Kalibrierverstärker gewichtete Hilfssignal PSR (bzw. daraus abgeleitete Signale),
35 sowie das ursprüngliche (ungewichtete) Zufallssignal einer Auswerteeinheit zugeführt werden, die eine Korrelationsanalyse durchführt.

Figur 2 zeigt eine Wandlerstufe A eines herkömmlichen Pipeline-Wandlers mit einer zugehörigen Kalibriereinrichtung KAL.
40 Der Pipeline-Wandler ist ein A/D-Wandler mit redundantem Code

5 und umfasst in üblicher Weise einen Verstärker V mit einem Gewichtungsfaktor 2 einen Komparator K und einen Subtrahierknoten S.

10 Neben der ersten Wandlerstufe A ist in Figur 2 auch eine zweite Wandlerstufe B und eine dritte Wandlerstufe C gezeigt.

Die Summe des PSR-Signals und des Eingangssignals wird schließlich durch einen Verstärker V_A z.B. einem Faktor $V_A = 2$ verstärkt. Das analoge Summensignal wird an den Komparator
15 außerdem mit einer Referenzgröße REF verglichen. Ist das analoge Summensignal größer als die Referenzgröße REF, wird die Referenzgröße vom 2-fach verstärkten Summensignal abgezogen und der resultierende Wert wird an die nächste Wandlerstufe B abgegeben. Andernfalls wird der 2-fach verstärkte analoge
20 Summensignal, bestehend aus dem analogen Eingangssignal a_{in} und dem digitalen Zufallsignal, unmittelbar ohne Subtraktion des Referenzsignals an die nächste Wandlerstufe B weitergeleitet.

25 Die Kalibriereinrichtung KAL umfasst eine regelbare digitale Gewichtungseinheit bzw. Kalibrierverstärker und eine Auswerteeinheit.

Das im Pipeline-Wandler erzeugte Teil-Digitalsignal wird am
30 Ausgang der Wandlerstufe B abgegriffen und ebenfalls der Auswerteeinheit zugeführt. Die Auswerteeinheit umfasst einen Subtrahierknoten SUB, mit dem das mit dem Gewichtungsfaktor G der regelbaren digitalen Gewichtungseinheit multiplizierte digitale Zufallssignal PSR vom digital gewandelten Analogsig-
35 nal subtrahiert wird. Stimmen der Gewichtungsfaktor G_A der regelbaren Gewichtungseinheit und der Verstärkungsfaktor V_A des Verstärkers überein, besteht das resultierende Differenzsignal DIF nur aus dem unkorrelierten Quantisierungsfehler plus dem Eingangssignal. Stimmen der Gewichtungsfaktor und
40 die Verstärkung V_A nicht überein, bleibt auch ein Rest des digitalen Zufallssignals übrig.

5

Das Differenzsignal DIF kann mit Hilfe einer Korrelationseinheit R_{xy} ausgewertet werden, wobei die Korrelationseinheit eine Kreuzkorrelation des Differenzsignals DIF mit dem ursprünglichen, digitalen Zufallssignal PSR durchführt. Mit dem Ergebnis der Korrelation wird der Gewichtungsfaktor G_A der regelbaren Gewichtungseinheit G nachgestellt, bis im Differenzsignal DIF kein Rest des digitalen Zufallssignals mehr vorhanden ist.

10 Der Ausgang der Korrelationseinheit R_{xy} ist dabei z. B. über ein Tiefpassfilter TP an die Gewichtungseinheit geschaltet.

Figur 3 zeigt eine schaltungstechnische Realisierung einer Wandlerstufe des Pipeline-Analog/Digitalwandlers nach dem Stand der Technik.

In Figur 3 ist eine Single-Ended-Implementierung eines 2-Bit Digital/Analog-Konverters mit vier DAC-Kapazitäten C1 bis C4 dargestellt. An den DAC wird ein Referenzsignal REF ein Thermometer-kodiertes Komparatorausgangssignal sowie ein Sample-Steuersignal angelegt. Während der Samplephase wird das analoge Eingangssignal A_{in} an die DAC-Kondensatoren C1 bis C4 angelegt. Die Wandlerstufe umfasst ferner einen rückgekoppelten Operationsverstärker mit Feedback-Kondensator.

30

Der in Figur 2 dargestellte Pipeline-Analog/Digitalwandler nach dem Stand der Technik weist folgende Nachteile auf.

Zur Einspeisung des digitalen Zufallssignals an den durch die Wandlerstufen gebildeten Signalpfad des Analog/Digitalwandlers ist ein zusätzlicher Kalibrier-Digital/Analogwandler notwendig. Hierdurch wird der schaltungstechnische Aufwand des Analog/Digitalwandlers erhöht.

40 Die in Figur 3 dargestellte Wandlerstufe nach dem Stand der Technik umfasst verschiedene DAC-Kondensatoren C1, C2, C3 und

5 C4, die aufgrund von Fertigungsstreuungen bzw. Herstellungstoleranzen zu unterschiedliche DAC-Stufen führen. Zum Umschalten von einer DAC-Stufe des Digital/Analogwandlers zu einer anderen DAC-Stufe ergibt sich daher ein Umschaltfehler bzw. DAC-Error. Dieser Umschaltfehler des Digital/Analogwandlers wird in den Signalpfad eingespeist und
10 setzt sich über die Wandlerstufen fort, so dass der digitale Ausgabewert des gesamten Analog/Digitalwandlers verfälscht wird.

15 Es ist daher die Aufgabe der vorliegenden Erfindung, einen Analog/Digitalwandler zu schaffen, bei dem die Ergebnisverfälschungen aufgrund eines Umschaltfehlers minimal sind.

Diese Aufgabe wird erfindungsgemäß durch einen Analog/Digitalwandler mit den im Patentanspruch 1 angegebenen
20 Merkmalen gelöst.

Die Erfindung schafft einen Analog/Digitalwandler zur Umwandlung eines analogen Eingangssignals (A_{in}) in einen digitalen
25 Ausgangswert mit
mindestens einer Wandlerstufe, die jeweils aufweist:
eine Sample/Holdschaltung zum Abtastung des analogen Eingangssignals,
eine Komparatoreinheit, die das abgetastete analoge Eingangssignal mit einem Referenzwert zum Erzeugen eines digitalen
30 Ausgabewertes der Wandlerstufe vergleicht,
einen Digital/Analogwandler zur Umwandlung des digitalen Ausgabewertes in ein analoges Signal,
einen Subtrahierer zur Subtraktion des von dem Digital/Analogwandler abgegebenen analogen Signals von dem abgetasteten Eingangssignal und
35 einen Signalverstärker zum Verstärken des von dem Subtrahierer abgegebenen Ausgabesignals mit einer bestimmten Signalverstärkung für die nächste Wandlerstufe,
40 eine Gewichtungseinheit zur Multiplikation des digitalen Ausgabewertes mit einem Multiplikator zur Addition mit weiteren

5 gewichteten Ausgabewerten von Wandlerstufen zu einem digitalen Ausgabewert des Analog/Digitalwandlers;
einem Zufallssignalgenerator zur Erzeugung eines Zufallssignals, das in die Wandlerstufe eingespeist wird;

10 mindestens einer Kalibriereinheit die jeweils aufweist:
einen Kalibrierverstärker mit einstellbarem Kalibrierverstärkungsfaktor zur Signalverstärkung des Zufallssignals,

15 eine Auswerteeinheit, die das in den Signalpfad eingespeiste und durch die Wandlerstufe verstärkte Zufallssignal mit dem durch den Kalibrierverstärker der Kalibriereinheit verstärkten Zufallssignal zur Erzeugung eines Einstellsignals für die Einstellung des Kalibrierverstärkungsfaktors derart korre-

20 liert, dass der Ausgang der Korrelationseinheit gegen null geht und so der berechnete Kalibrierverstärkungsfaktor der Verstärkung entspricht, die durch den Digital/Analogwandler und den Signalverstärker der Wandlerstufe hervorgerufen wird, wobei das Zufallssignal von dem Zufallssignalgenerator über

25 eine durch die Kalibriereinheit steuerbaren Schalter an einen Kalibrierkondensator (C_{Kal}) innerhalb des Digital/Analogwandlers der Wandlerstufe zur Einspeisung in den Signalpfad angelegt wird, wobei

30 das Zufallssignal an weitere DAC-Kondensatoren (C_i) innerhalb des Digital/Analogwandlers zur Berechnung der jeweiligen Signalverstärkungen der DAC-Stufen des Digital/Analogwandlers schaltbar ist und

35 die Kalibriereinheit aus den ermittelten Signalverstärkungen (V_i) der DAC-Stufen des Digital/Analogwandlers die Signalverstärkungsdifferenzen ΔV_{IJ} zwischen den DAC-Stufen zur Berechnung eines Umschaltfehlers (DAC-Errors) des Digital/Analogwandlers berechnet.

5 Ein Vorteil des erfindungsgemäßen Analog/Digitalwandlers besteht darin, dass kein zusätzlicher Kalibrier-Digital/Analogwandler notwendig ist, sondern vielmehr der in der Wandlerstufe bereits vorhandene Digital/Analogwandler zur Einspeisung des digitalen Zufallssignals eingesetzt wird.
10 Hierdurch wird der schaltungstechnische Aufwand des erfindungsgemäßen Analog/Digitalwandlers verringert.

Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Analog/Digitalwandlers wird der berechnete Umschaltfehler
15 (DAC-Error) von dem digitalen Ausgabewert der Wandlerstufen mittels eines Subtrahierers zur Fehlerkompensation abgezogen.

Bei einer weiteren bevorzugten Ausführungsform werden die berechneten Signalverstärkungen (V_i) in Registern der Kalibriereinheit zwischengespeichert.
20

Die Kalibriereinheit berechnet vorzugsweise einen Mittelwert der zwischengespeicherten Signalverstärkungen, die durch die verwendeten DAC-Kondensatoren (C_1, C_2, C_3, C_4) hervorgerufen
25 werden.

Dieser berechnete Mittelwert der Signalverstärkungen wird vorzugsweise durch die Kalibriereinheit als Multiplikator an die Gewichtungseinheit der Wandlerstufe angelegt.
30

Bei einer bevorzugten Ausführungsform ist dem Kalibrierverstärker der Kalibriereinheit eine Subtrahierschaltung nachgeschaltet, die das durch den Kalibrierverstärker verstärkte Signal von einem aus dem Signalpfad der Wandlerstufen abgeleiteten Signal subtrahiert und ein Differenzsignal an die Auswerteeinheit abgibt.
35

Die in der Kalibriereinheit enthaltene Auswerteeinheit führt vorzugsweise ein Kreuzkorrelation zwischen dem Differenzsignal und dem Zufallssignal durch.
40

5 Der Auswerteeinheit ist vorzugsweise ein Filter nachgeschaltet.

Bei einer bevorzugten Ausführungsform weist die Kalibriereinheit eine Ablaufsteuerung zur Generierung von Steuersignalen
10 für die Ansteuerung von Schaltern auf.

Die Ausgabewerte der Komparatoreinheiten werden vorzugsweise Thermometer-kodiert.

15 Bei einer bevorzugten Ausführungsform des erfindungsgemäßen Analog/Digitalwandlers weist dieser mindestens zwei Wandlerstufen, beispielsweise fünf Wandlerstufen, auf.

Der Analog/Digital-Wandler ist vorzugsweise voll differenziell aufgebaut.
20

Im weiteren werden bevorzugte Ausführungsformen des erfindungsgemäßen Analog/Digitalwandlers unter Bezugnahme auf die beigefügten Figuren zur Erläuterung erfindungswesentlicher Merkmale beschrieben.
25

Es zeigen:

Figur 1 einen Pipeline-Analog/Digitalwandler nach dem Stand der Technik;
30

Figur 2 einen weiteren Pipeline-Analog/Digitalwandler mit einer Kalibriereinheit nach dem Stand der Technik;

35 Figur 3 eine schaltungstechnische Implementierung einer Wandlerstufe nach dem Stand der Technik;

Figur 4 ein Blockschaltbild einer bevorzugten Ausführungsform des erfindungsgemäßen Analog/Digitalwandlers;
40

5 Figur 5 eine bevorzugte Ausführungsform einer schaltungstechnischen Implementierung einer Wandlerstufe bei dem erfindungsgemäßen Analog/Digitalwandler.

Figur 4 zeigt eine bevorzugte Ausführungsform eines erfindungsgemäßen Analog/Digitalwandlers 1. Bei dem in Figur 4
10 dargestellten Beispiel sind lediglich zwei Wandlerstufen (Stufe A, Stufe B) zur Vereinfachung der Darstellung gezeigt. Der erfindungsgemäße Analog/Digitalwandler 1 weist vorzugsweise mindestens zwei Wandlerstufen auf. Bei einer möglichen
15 Ausführungsform erhält der erfindungsgemäße Analog/Digitalwandler 1 sechs Wandlerstufen.

Die Wandlerstufen sind seriell hintereinander verschaltet und bilden einen Signalpfad innerhalb des Analog/Digitalwandlers
20 1. Der Analog/Digitalwandler 1 gemäß der Erfindung weist einen analogen Signaleingang 2 und einen digitalen Ausgang 3 auf. Das an dem Signaleingang 2 anliegende analoge Eingangssignal (A_{in}) wird der ersten Wandlerstufe A zugeführt. Die Wandlerstufe A enthält eine Sample&Hold-Schaltung 34 die
25 durch ein Sample-Steuersignal angesteuert wird. Das analoge Eingangssignal a_{in} wird über eine Leitung 4A einer Komparator-Einheit 5A zugeführt, die das abgetastete analoge Eingangssignal mit einem Referenzwert REF zum Erzeugen eines digitalen Ausgabewertes der Wandlerstufe A vergleicht. Der digitale Ausgabewert der Komparatoreinheit 5A wird über mindestens eine Bit-Leitung 7A einer in der Wandlerstufe A vorgesehenen Schalteinrichtung 8A und einer Gewichtungseinheit 9A
30 zugeführt. Bei dem digitalen Ausgabewert kann es sich beispielsweise um ein einziges Ausgabebit handeln. Das von der Sample&Hold-Schaltung 3A abgetastete Eingangssignal wird ferner über eine Leitung 10A einem Subtrahierer 11A zugeführt. Der Schalter 8A ist ausgangsseitig über Leitungen 12A mit einem Digital/Analogwandler 13A verbunden, der den digitalen Ausgabewert in ein analoges Ausgangssignal umwandelt. Hierzu
40 erhält der Digital/Analogwandler 13A über einen Eingang 14A ein Referenzsignal REF. Der Digital/Analogwandler 13A gibt

5 das erzeugte analoge Ausgangssignal über eine Leitung 15A an
den Subtrahierer 11A ab. Der Subtrahierer 11A subtrahiert das
von dem Digital/Analogwandler 13A erzeugte analoge Ausgangs-
signal von dem abgetasteten Eingangssignal und gibt das er-
zeugte Differenzsignal über eine Leitung 16A an einen Signal-
10 verstärker 17A ab. Der Signalverstärker 17A verstärkt das von
dem Subtrahierer 11A abgegebene Differenzsignal mit einer be-
stimmten Signalverstärkung V_A . Der Ausgang des Signalverstär-
kers 17A ist über eine Leitung 18A mit einer weiteren Sam-
ple/Hold-Schaltung 3B verbunden. Die der Wandlerstufe A nach-
15 geschaltete Wandlerstufe B ist in gleicher Weise wie die
Wandlerstufe A aufgebaut.

Der erfindungsgemäße Analog/Digitalwandler 1 enthält einen
Zufallssignalgenerator 19, der über eine Leitung 20 eine Ka-
20 libriereinheit 21 mit einem Zufallssignal, vorzugsweise einem
digitalen Zufallssignal PSR, versorgt. Die Kalibriereinheit
21 ist schaltungstechnisch wie in Figur 2 dargestellt aufge-
baut. Das von dem Zufallssignalgenerator 19 erzeugte digitale
Zufallssignal PSR wird über Signalleitungen 22 an den Schal-
25 ter 8A der ersten Wandlerstufe A angelegt und über den Schal-
ter 8A in den Signalpfad der Wandlerstufe 8A eingespeist. Das
eingespeiste digitale Zufallssignal PSR gelangt über den Di-
gital/Analogwandler 13A und den Subtrahierer 11A zu dem Ver-
stärker 17A der ersten Wandlerstufe A und wird dort ver-
30 stärkt. Das verstärkte digitale Zufallssignal wird an die
nächste Wandlerstufe B abgegeben und im weiteren Signalpfad
des Analog/Digitalwandlers 1 abgegriffen. Bei dem in Figur 6
dargestellten Beispiel wird das verstärkte digitale Zufalls-
signal am Ausgang des Komparators 5B der nächsten Wandlerstu-
35 fe B über eine Leitung 23 abgegriffen und der Kalibrierein-
heit 21 zur Auswertung zugeführt. Die in der Kalibriereinheit
21 enthaltene Auswerteeinheit korreliert das in den Signal-
pfad eingespeiste und durch die Wandlerstufe A verstärkte Zu-
fallssignal mit dem durch den Kalibrierverstärker der Kalib-
40 riereinheit verstärkten Zufallssignals zur Erzeugung eines
Einstellsignals für die Einstellung des Kalibrier-

5 Verstärkungsfaktors bis das Ausgangssignal der Auswerte bzw. Korrelationseinheit gegen null geht und der berechnete bzw. eingestellte Kalibrier-Verstärkungsfaktor der Verstärkung V entspricht, die durch den Digital/Analogwandler 13A und den Signalverstärker 17A der Wandlerstufe A hervorgerufen wird.

10

Die Kalibriereinheit 21 steuert über Steuerleitungen 24 Schalter 8A in der Wandlerstufe A an. Hierzu enthält die Kalibriereinheit 21 vorzugsweise eine Ablaufsteuerung. In Abhängigkeit von dem Steuersignal werden die Schalter in der Schalteinrichtung 8A geschaltet. Hierbei wird zunächst das digitale Zufallssignal PSR mittels eines Schalters über einen Kalibrierkondensator C_{cal} innerhalb des Digital/Analogwandlers 13A der Wandlerstufe A in den Signalpfad eingespeist. Anschließend wird das digitale Zufallssignal PSR sukzessive in

15

20

Abhängigkeit von den Steuersignalen an die weiteren DAC-Kondensatoren (C_j) innerhalb des Digital/Analogwandlers 13A zur Berechnung der jeweiligen Signalverstärkungen der DAC-Stufen des Digital/Analogwandlers geschaltet.

25

Figur 5 zeigt eine schaltungstechnische Implementierung der ersten Wandlerstufe A gemäß der Erfindung.

Figur 5 zeigt eine Single-ended-Implementierung eines 2-Bit Digital/Analogwandlers mit 4-DAC-Kondensatoren 25-1, 25-2, 25-3, 25-4. Die DAC-Kondensatoren 25 sind über steuerbare Schalter 26_i an das analoge Eingangssignal A_{in} schaltbar. Die Schalter 26_i werden über ein Sample-Steuersignal, das von einer zentralen Ablaufsteuerung stammt, angesteuert. Während der Sample-Phase wird das analoge Eingangssignal A_{in} an die

30

35

DAC-Kondensatoren 25 angelegt, d.h. die Schalter 26_i sind geschlossen. Die DAC-Kondensatoren 25 sind ferner über steuerbare Schalter 27 an analoge Referenzspannungen REF_p , REF_n schaltbar. Die Schalter 27 werden durch den von der Komparatoreinheit 5 abgegebenen digitalen Ausgabewert angesteuert.

40

Der Ausgabewert ist vorzugsweise Thermometer-kodiert. Die DAC-Kondensatoren 25 sind an einen Subtrahierknoten 28 ange-

5 schlossen. Dem Subtrahierknoten 28 ist ein Operationsverstärker 29 nachgeschaltet, der einen Feedback-Kondensator 30 aufweist.

Während der Samplephase sind die Schalter 26_i geschlossen,
10 der Schalter 32 ist offen und die DAC-Kondensatoren 25 liegen an a_{in}. In der anschließenden Verstärkungsphase sind die Schalter 26_i offen, der Schalter 32 ist geschlossen und die DAC-Kondensatoren 25 liegen an REF_n oder REF_p in Abhängigkeit von der Entscheidung der Komparatoreinheit. Für die Verstärkung

$$15 \quad V = \frac{\sum c_i}{C_F},$$

wenn C₁=C₂=C₃=C₄ und C_F=2C;

ergibt sich beispielsweise V=2.

20 Die dynamic range, d. h. das Verhältnis der Amplitude des Ausgangssignals zu der Maximalamplitude beträgt 50 %. Die bestehende Redundanz wird ausgenutzt zur Einspeisung des digitalen Zufallssignals in den Signalpfad.

Durch die Erhöhung der Anzahl der ansteuerbaren Kondensatoren
25 25 und der damit verbundenen Erhöhung der Anzahl von Komparatoren innerhalb der Komparatoreinheit 5A wird bei konstantem Verhältnis der Kapazitäten der DAC-Kondensatoren zu der Kapazität des Feedback-Kondensators ($\sum C_i/C_F$) die Redundanz erhöht und die dynamic range am Ausgang der Wandlerstufe verringert. Hierdurch wird eine Übersteuerung verhindert. Redundanz bedeutet in diesem Zusammenhang, dass die Anzahl der
30 Komparatoren innerhalb der Komparatoreinheit 5A höher ist als notwendig.

35 Neben den DAC-Kondensatoren 25 weist die Wandlerstufe, wie sie in Figur 5 dargestellt ist, erfindungsgemäß einen Kalibrierkondensator 31 auf. Der Kalibrierkondensator 31 ist über einen Schalter 32 an die Referenzspannung REF schaltbar. Der Schalter 32 wird durch das über die Leitung 22 zugeführte digitale Zufallssignal PSR angesteuert. Hierdurch wird das di-
40

5 digitale Zufallssignal PSR über den Kalibrierkondensator 31 in den Signalpfad des Analog/Digitalwandlers 1 eingespeist. Zwischen den verschiedenen DAC-Kondensatoren 25-1 bis 25-4 besteht aufgrund von Herstellungstoleranzen ein Mismatch-Fehler.

10

Die Signalverstärkung der in Figur 5 dargestellten Wandlerstufe hängt von dem Verhältnis $\frac{\sum C_i}{C_F}$ ab und wird verfälscht

durch den nicht idealen Op Amp 29 sowie die Herstellungstoleranzen der Kondensatoren 25. Zunächst wird die Signalverstärkung CAL durch die Kalibriereinheit 21 berechnet, indem das digitale Zufallssignal PSR den Schalter 32 ansteuert. Das eingespeiste digitale Zufallssignal PSR wird entsprechend dem Verhältnis der Kapazität (CAL) des Kalibrierkondensators 31 und des Feedback-Kondensators 30 verstärkt. In der nächsten Wandlerstufe wird das eingespeiste Kalibriersignal abgezweigt und der Kalibriereinheit 21 über die Leitung 23 zugeführt. Das verstärkte Zufallssignal PSR wird mit dem durch den in der Kalibriereinheit 21 enthaltenen, verstärkten Zufallssignal korreliert und der Kalibrierungsverstärkungsfaktor eingestellt, bis der berechnete Kalibrierungsverstärkungsfaktor der Verstärkung in dem Signalpfad entspricht.

Anschließend steuert die Kalibriereinheit 21 über die Steuerleitung 24 (nicht dargestellt), Schalter derart an, dass das zugeführte digitale Zufallssignal sukzessive oder zufällig bzw. in einer beliebigen Reihenfolge an die verschiedenen DAC-Kondensatoren 25-1 bis 25-4 geschaltet wird. In gleicher Weise berechnet anschließend die Kalibriereinheit 21 die verschiedenen Signalverstärkungen V1, V2, V3, V4. Die berechneten fünf Signalverstärkungen V_{Kal} (C_{Kal}), V1 (C1), V2 (C2), V3 (C3), V4 (C4) werden in Register der Kalibriereinheit 21 zwischengespeichert. Die Kalibriereinheit 21 berechnet anschließend aus den vier zwischengespeicherten Signalverstärkungen V1, V2, V3, V4 der DAC-Kondensatoren 25-1, 25-2, 25-3, 25-4 einen Mittelwert $V = (V1 + V2 + V3 + V4) : 4$ und gibt diesen

5 ermittelten Verstärkungsfaktor als Multiplikator über die
Leitung 33 an die Gewichtungseinheit 9A der ersten Wandler-
stufe A ab. Darüber hinaus berechnet die Kalibriereinheit 21
die Differenzen $\Delta V_{i,j}$ zwischen den zwischengespeicherten Sig-
nalverstärkungen V , die den jeweiligen Umschaltfehler zwi-
10 schen den unterschiedlichen DAC-Stufen entsprechen. Dieser
DAC-Fehler bzw. DAC-Error beinhaltet auch das Einschalten der
Kalibrierkapazität 31.

Die von den Wandlerstufen abgegebenen, durch die Gewichtungs-
15 einheiten 9 gewichteten Ausgabewerte werden mittels Addierern
34 und Schiebegliedern 35 zu einem digitalen Ausgabewert des
Analog/Digitalwandlers 1 summiert.

Der von der Kalibriereinheit 21 berechnete DAC-Error wird ü-
20 ber eine Leitung 36 einem Subtrahierer 37 zugeführt. Der be-
rechnete Umschaltfehler bzw. DAC-Error wird durch den Subtra-
hierer 37 von dem ermittelten digitalen Ausgabewert der Wand-
lerstufen zur Fehlerkompensation abgezogen.

25 Die durchgeführte Kalibrierung erfolgt bei dem erfindungsge-
mäßigen Analog/Digitalwandler 1 ständig im Hintergrund (Back-
ground-Kalibration). Mit dem erfindungsgemäßen Ana-
log/Digitalwandler 1 werden sowohl Signalverstärkungsfehler
als auch Umschaltfehler bzw. DAC-Fehler ausgeglichen. Die
30 Fehler werden dabei kontinuierlich digital berechnet. Ein
aufwendiges Trimmen ist nicht mehr erforderlich. Auch die
Drift bei der Umgebungstemperatur und der Versorgungsspannung
wird dabei kontinuierlich ausgeglichen. Mit Ausnahme der zu-
sätzlich notwendigen Kalibrierkapazität 31 kann die Implemen-
35 tierung der Kalibrierung vollständig digital erfolgen.

Bei dem erfindungsgemäßen Kalibriervorgang wird zur Bestim-
mung der Kapazität eines DAC-Kondensators und zur Bestimmung
der zugehörigen Verstärkung des DAC-Kondensators diese Kapa-
40 zität gegen die Kapazität des Kalibrierkondensators ausge-
tauscht. Aus dem Gewicht kann die Gesamtverstärkung und der

5 Stufenunterschied berechnet werden und im digitalen Bereich
eine Korrektur des berechneten digitalen Ausgabewertes vorge-
nommen werden. Die in den Wandlerstufen vorgesehenen Digi-
tal/Analogwandler 13 sind vorzugsweise vollständig differen-
tiell aufgebaut und weisen eine hohe Auflösung auf. Die Auf-
10 lösung kann beispielsweise 4,5 Bit betragen.
Die in Figur 4 dargestellte Kalibriereinheit 21 kann für jede
Wandlerstufe separat vorgesehen werden. Bei einer bevorzugten
Ausführungsform ist nur eine Kalibriereinheit 21 vorgesehen,
die mittels eines Multiplexers an die unterschiedlichen Wand-
15 lerstufen schaltbar ist.

5	Bezugszeichenliste	
	1	SA-Wandler
	2	S/H-Stufe
	3	Komparator
10	4	digitale Steuerung (Gewichtungseinheit)
	5	D/A-Wandler
	6	Ausgang
	10	Pipeline-Wandler
	11	S/H-Stufe
15	12	Verstärker
	13	Komparator
	14	Subtrahierknoten
	15	Speicherglied
	16	Addierknoten
20	17	Addierknoten
	18	digitales Zufallssignal
	19	D/A-Wandler
	20	digitale Gewichtungseinheit
	21	Subtrahierknoten
25	22	Korrelationseinheit
	24	Signalpfad
	25	Auswerteeinheit
	26	Differenzsignal
	27	Filter
30	28	Kalibriereinrichtung
	29	Kalibrierpfad
	ain	analoges Eingangssignal
	REF	Referenzgröße

5 Patentansprüche

1. A/D-Wandler, zur Umwandlung eines analogen Eingangssignals (a_{in}) in einen digitalen Ausgabewert mit:

10 (a) mindestens einer Wandlerstufe, die jeweils aufweist:

(a1) eine Sample&Hold-Schaltung (3) zum Abtasten des analogen Eingangssignals (A_{in}),

15 (a2) eine Komparatoreinheit (5), die das Eingangssignal mit einem Referenzwert (REF) zum Erzeugen eines digitalen Ausgabewertes der Wandlerstufe vergleicht,

(a3) einen Digital/Analogwandler (13) zur Umwandlung des digitalen Ausgabewertes in ein analoges Signal,

20 (a4) einen Subtrahierer (11) zur Subtraktion des von dem Digital/Analogwandler (13) abgegebenen analogen Signals von dem abgetasteten Eingangssignal und

25 (a5) einen Signalverstärker (17) zum Verstärken des von dem Subtrahierer (11) abgegebenen Ausgangssignals mit einem bestimmten Signalverstärkungsfaktor (V) für die nächste Wandlerstufe und

(a6) eine Gewichtungseinheit (9) zur Multiplikation des digitalen Ausgabewertes mit einem Multiplikator zur Addition mit weiteren gewichteten Ausgabewerten von Wandlerstufen zu dem digitalen Ausgabewert des Analog/Digitalwandlers (1);

30

(b) einem Zufallssignalgenerator (19) zur Erzeugung eines Zufallssignals, das in die Wandlerstufe eingespeist wird;

35 (c) mindestens eine Kalibriereinheit (21), die jeweils aufweist:

(c1) einen Kalibrierverstärker mit einstellbarem Kalibrierverstärkungsfaktor zur Signalverstärkung des Zufallssignals,

40 (c2) eine Auswerteeinheit, die das in den Signalpfad eingespeiste und durch die Wandlerstufe verstärkte Zufallssignal mit dem durch den Kalibrierverstärker der Kalibriereinheit

5 (21) verstärkten Zufallssignal zur Erzeugung eines Einstell-
signals für die Einstellung des Kalibrierverstärkungsfaktors
derart korreliert, dass das Ausgangssignal der Auswerteein-
heit minimal ist und somit der berechnete Kalibrierungsver-
stärkungsfaktor der Verstärkung (V), die durch den Digi-
10 tal/Analogwandler (13) und den Signalverstärker (17) der
Wandlerstufe hervorgerufen wird, entspricht;

(d) wobei das Zufallssignal von dem Zufallsgenerator (19) ü-
ber einen durch die Kalibriereinheit (21) steuerbaren Schal-
15 ter an einen Kalibrierkondensator (31) innerhalb des Digi-
tal/Analogwandlers (13) der Wandlerstufe zur Einspeisung in
den Signalpfad angelegt wird;

(e) wobei das Zufallssignal an weitere DAC-Kondensatoren (25)
20 innerhalb des Digital/Analogwandlers (13) zur Berechnung der
jeweiligen Signalverstärkungen der DAC-Stufen des Digi-
tal/Analogwandlers (13) schaltbar ist und
wobei die Kalibriereinheit (21) aus den ermittelten Signal-
verstärkungen (V_I) der DAC-Stufen des Digital/Analogwandlers
25 (13) die Signalverstärkungsdifferenzen ΔV_{IJ} zwischen den DAC-
Stufen zur Berechnung eines Umschaltfehlers (DAC-Error) des
Digital/Analogwandlers (13) berechnet.

2. Analog/Digitalwandler nach Anspruch 1,
30 d a d u r c h g e k e n n z e i c h n e t ,
dass der berechnete Umschaltfehler (DAC-Error) von dem digi-
talen Ausgabewert der Wandlerstufen mittels eines Subtrahie-
rers (37) zur Fehlerkompensation abgezogen wird.

35 3. Analog/Digitalwandler nach Anspruch 1 oder 2,
d a d u r c h g e k e n n z e i c h n e t ,
dass die berechneten Signalverstärkungen (V_I) in Registern
der Kalibriereinheit (21) zwischengespeichert werden.

40 4. Analog/Digitalwandler nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,

5 dass die Kalibriereinheit (21) einen Mittelwert zwischen gespeicherten Signalverstärkungen berechnet.

5. Analog/Digitalwandler nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t ,
10 dass der berechnete Mittelwert der Signalverstärkungen durch die Kalibriereinheit (21) als Multiplikator an die Gewichtungseinheit (9) der Wandlerstufe angelegt wird.

6. Analog/Digitalwandler nach einem der vorangehenden Ansprüche,
15 d a d u r c h g e k e n n z e i c h n e t ,
dass dem Kalibrierverstärker der Kalibriereinheit (21) eine Subtrahierschaltung nachgeschaltet ist, die das durch den Kalibrierverstärker verstärkte Signal von einem aus dem Signalpfad der Wandlerstufen abgeleiteten Signal subtrahiert und
20 ein Differenzsignal an die Auswerteeinheit abgibt.

7. Analog/Digitalwandler nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t ,
25 dass die Auswerteeinheit das Differenzsignal mit dem digitalen Zufallssignal kreuzkorreliert.

8. Analog/Digitalwandler nach Anspruch 7,
d a d u r c h g e k e n n z e i c h n e t ,
30 dass der Auswerteeinheit ein Filter nachgeschaltet ist.

9. Analog/Digitalwandler nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
35 dass die Kalibriereinheit (21) eine Ablaufsteuerung zur Generierung von Steuersignalen für die Ansteuerung von Schaltern aufweist.

10. Analog/Digitalwandler nach Anspruch 1,
d a d u r c h g e k e n n z e i c h n e t ,
40 dass die Ausgabewerte der Komparatoreinheiten (5) Thermometer-kodiert sind.

5

11. Analog/Digitalwandler nach Anspruch 1,
dadurch gekennzeichnet,
dass mindestens zwei Wandlerstufen vorgesehen sind.

10 12. Analog/Digitalwandler nach Anspruch 1,
dadurch gekennzeichnet,
dass das Zufallssignal ein digitales Zufallssignal (PSR) ist.

13. Analog/Digitalwandler nach Anspruch 1,
15. dadurch gekennzeichnet,
dass die Analog/Digitalwandler (1) voll differentiell auf-
gebaut sind.

14. Analog/Digitalwandler nach Anspruch 1
20 dadurch gekennzeichnet,
dass der Digital/Analogwandler (13) einen Kalibrierkondensa-
tor (31) aufweist über den das Zufallssignal in den Signal-
pfad eingespeist wird.

FIG 1

Stand der Technik

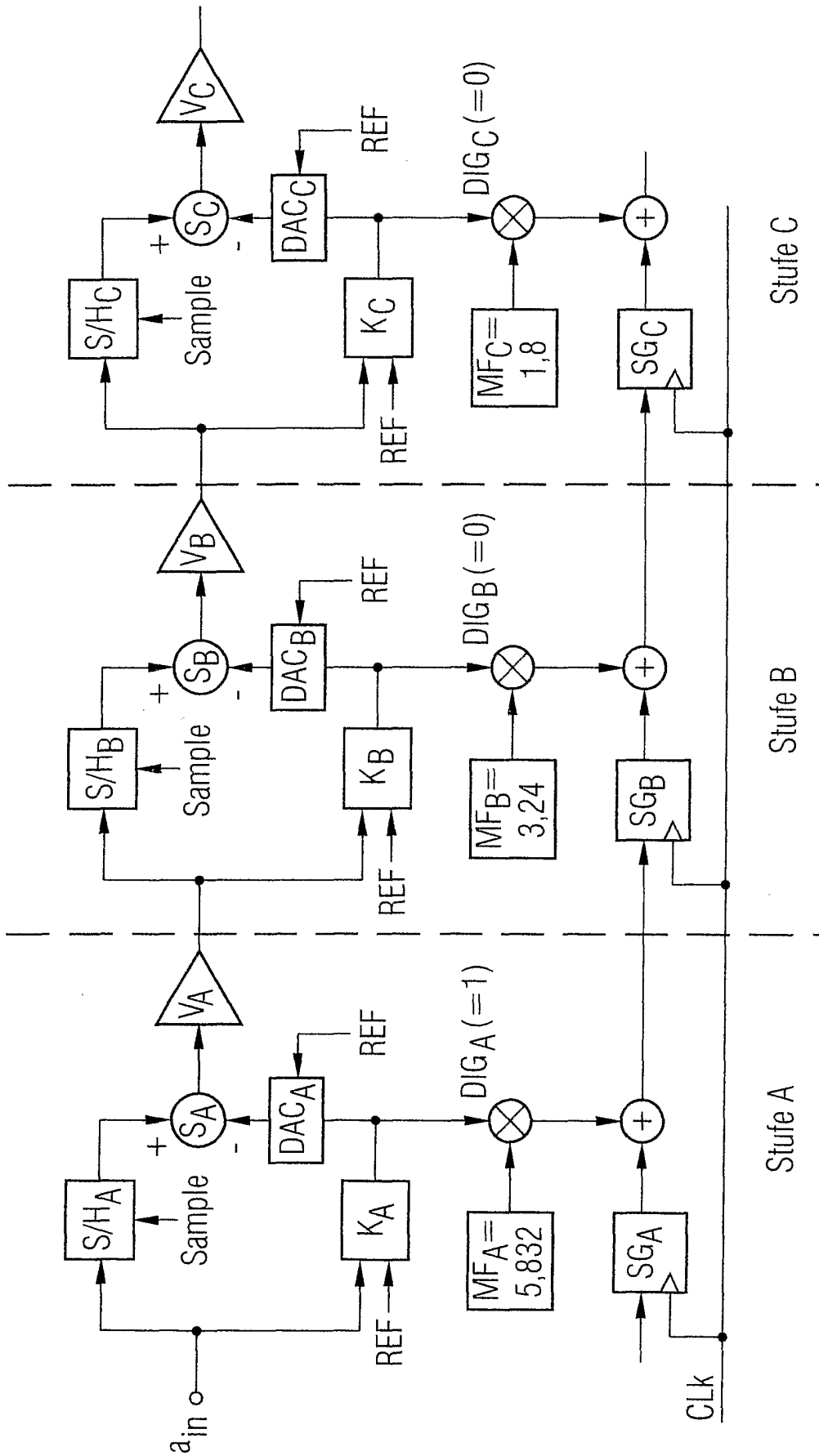
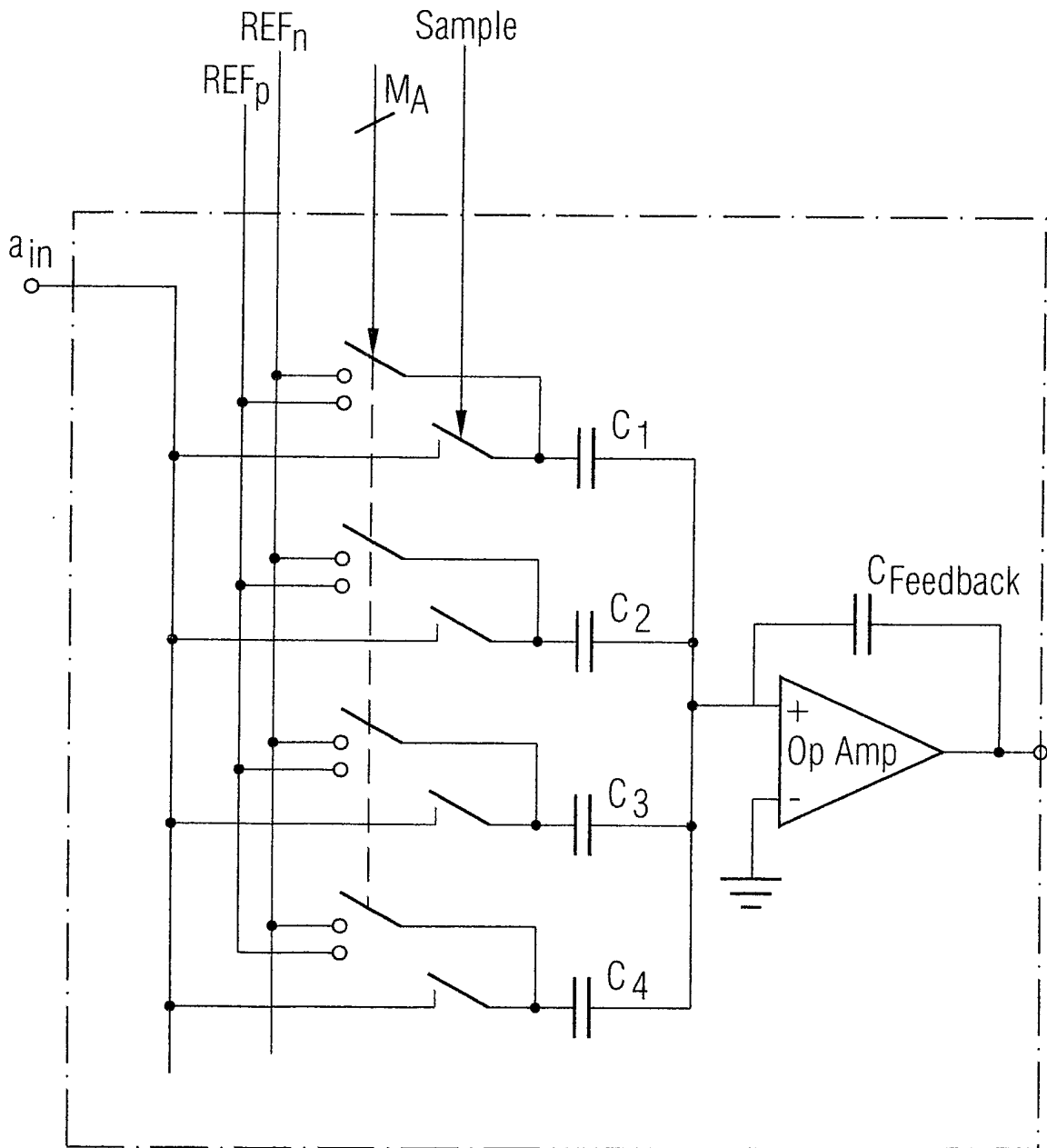


FIG 3
Stand der Technik



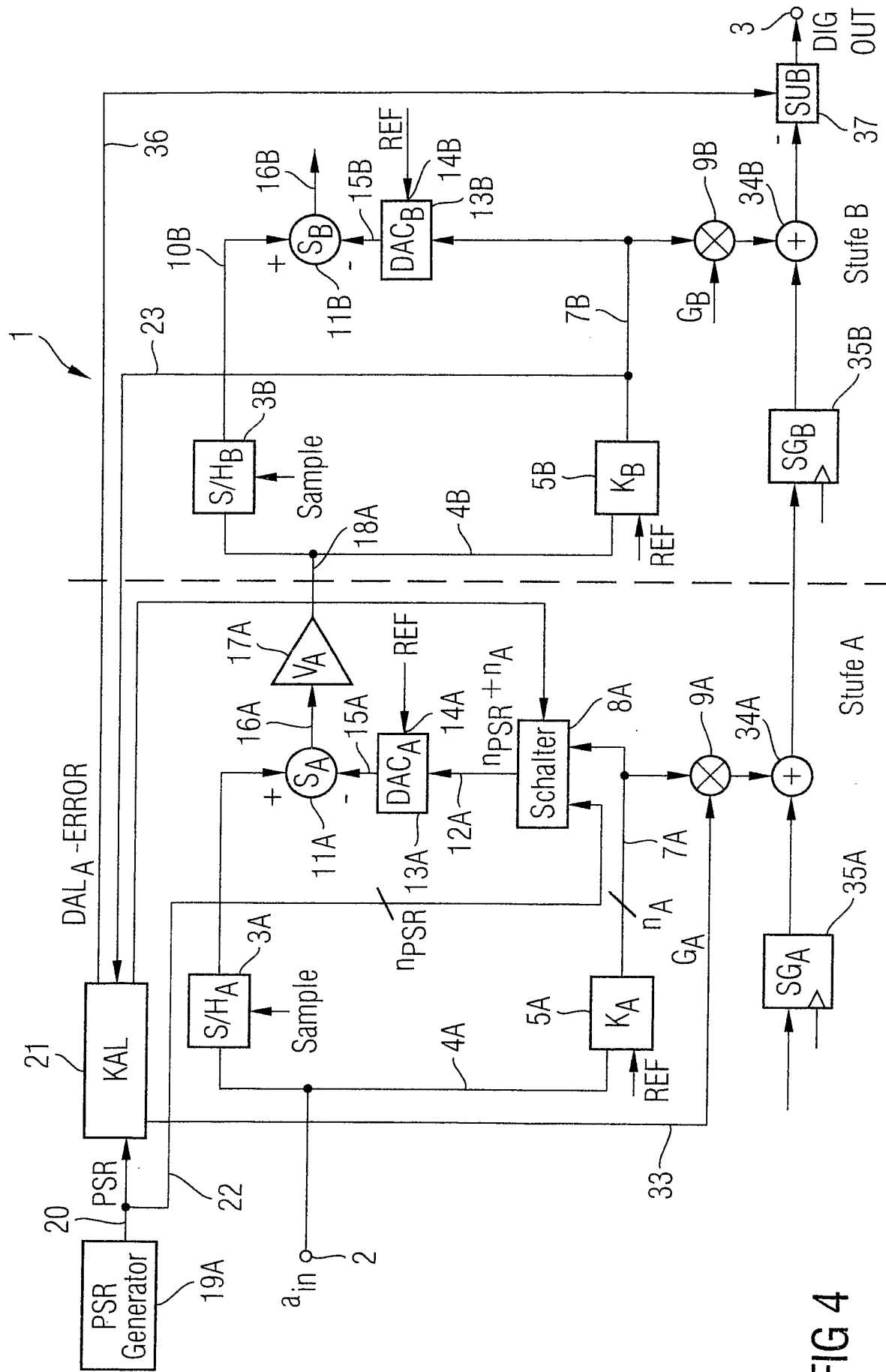


FIG 4

FIG 5

