(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0120935
(43) 공개일자 2016년10월19일

(51) 국제특허분류(Int. Cl.)
G11C 5/14 (2006.01) *G11C 11/413* (2006.01)
G11C 29/42 (2015.01) *G11C 29/44* (2006.01)
G11C 29/52 (2006.01) *G11C 7/04* (2006.01)
(52) CPC특허분류
G11C 5/148 (2013.01)
G11C 11/413 (2013.01)
(21) 출원번호 10-2015-0050136
(22) 출원일자 2015년04월09일
심사청구일자 2015년04월09일

(71) 출원인
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
장익준
서울특별시 성동구 독서당로40길 25, 107동 1207호(옥수동, 현대아파트)
김진상
경기도 용인시 수지구 죽전로193번길 35, 104동 803호(죽전동, 성현마을반도유보라아파트)
(74) 대리인
김연권

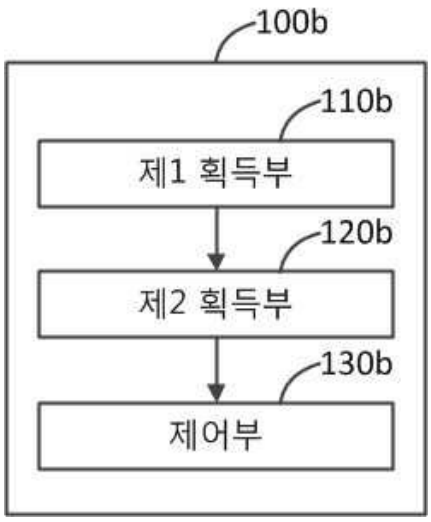
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **메모리, 방사능 환경에서 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법**

(57) 요 약

본 발명은 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트(BER, bit error rate)를 획득하는 제1 획득부, 상기 비트 에러 레이트를 참조하여 상기 메모리의 각 노드에 대한 최적화된 스크러빙 레이트(scrubbing rate)를 획득하는 제2 획득부 및 상기 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 상기 메모리의 각 노드를 제어하는 제어부를 포함하는 방사능 환경에서 메모리, 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법을 개시한다.

대 표 도 - 도1b



(52) CPC특허분류
G11C 29/42 (2013.01)
G11C 29/44 (2013.01)
G11C 29/52 (2013.01)
G11C 5/144 (2013.01)
G11C 7/04 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2013R1A1A1005832
부처명 미래창조부
연구관리전문기관 한국연구재단
연구사업명 신진연구
연구과제명 유사 문턱 전압에서 안정적 동작을 제공하는 초저전력 임베디드 메모리 설계기술 연구
기 여 율 1/1
주관기관 경희대학교 산학협력단
연구기간 2013.06.01 ~ 2016.05.31

명 세 서

청구범위

청구항 1

대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트(BER, bit error rate)를 획득하는 제1 획득부;

상기 비트 에러 레이트를 참조하여 상기 메모리의 각 노드에 대한 최적화된 스크러빙 레이트(scrubbing rate)를 획득하는 제2 획득부; 및

상기 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 상기 메모리의 각 노드를 제어하는 제어부

를 포함하는 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 2

제1항에 있어서,

상기 제1 획득부는

해밍(hamming) 코드, 더블 에러 정정(DEC, double error correction) BCH(bose chadhuri hocquenghem) 코드 및 트리플 에러 정정(TEC, triple error correction) BCH 코드 중 적어도 하나의 상기 에러 정정 코드(ECC, error correction code)를 이용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 3

제1항에 있어서,

상기 제1 획득부는

상기 각 노드의 공정, 방사능, 온도 중 적어도 하나에 대한 환경 변수가 적용된 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 4

제3항에 있어서,

상기 공정은

FS(fast NMOS and slow PMOS), SS(slow NMOS and slow PMOS), TT(typical NMOS and typical PMOS), SF(slow NMOS and fast PMOS) 및 FF(fast NMOS and fast PMOS) 프로세스 코너(process corner)를 포함하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 5

제3항에 있어서,

상기 제1 획득부는

상기 각 노드에 대한 상기 누설 전류, 상기 방사능 및 상기 온도를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 6

제1항에 있어서,

상기 제1 획득부는

실리콘 측정(silicon measurement) 및 몬테 카를로 시뮬레이션(monte carlo simulation) 중 적어 하나의 선정된 모델링을 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 7

제1항에 있어서,

상기 제어부는

상기 스크러빙 레이트의 역수인 스크러빙 주기(scrubbing period), 캐시 용량(cache capacity), 리드 에너지(read energy), 라이트 에너지(write energy), 리드 접근 에너지(read access energy) 및 라이트 접근 에너지(write access energy)를 이용하여 상기 각 노드에게 공급되는 상기 스크러빙 전력이 결정되도록 제어하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 8

제1항에 있어서,

상기 제어부는

상기 결정된 대기 전력의 최소값을 참조하여 상기 메모리의 각 노드에 대한 공급 전압이 동적으로 스케일링되도록 제어하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치.

청구항 9

대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공하는 제공부; 및

상기 환경 변수가 적용된 비트 에러 레이트, 상기 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 상기 스크러빙 레이트와 상기 누설 전력이 포함된 대기 전력의 최소값에 기반하여 상기 각 노드에 대한 공급 전압을 상기 전력제어 장치로부터 획득하는 획득부

를 포함하는 메모리.

청구항 10

대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트를 획득하는 단계;

상기 비트 에러 레이트를 참조하여 상기 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득하는 단계; 및

상기 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 상기 메모리의 각 노드를 제어하는 단계

를 포함하는 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법.

청구항 11

제10항에 있어서,

상기 비트 에러 레이트를 획득하는 상기 단계는

해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드 중 적어도 하나의 상기 에러 정정 코드를 이용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법.

청구항 12

제10항에 있어서,

상기 비트 에러 레이트를 획득하는 상기 단계는

상기 각 노드의 공정, 방사능, 온도 중 적어도 하나에 대한 환경 변수를 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법.

청구항 13

제10항에 있어서,

상기 비트 에러 레이트를 획득하는 상기 단계는

실리콘 측정 및 몬테 카를로 시뮬레이션 중 적어 하나의 선정된 모델링을 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법.

청구항 14

제10항에 있어서,

상기 메모리의 각 노드를 제어하는 상기 단계는

상기 스크러빙 레이트의 역수인 스크러빙 주기, 캐시 용량, 리드 에너지, 라이트 에너지, 리드 접근 에너지 및 라이트 접근 에너지를 이용하여 상기 각 노드에게 공급되는 상기 스크러빙 전력이 결정되도록 제어하는

방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법.

청구항 15

대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공하는 단계; 및

상기 환경 변수가 적용된 비트 에러 레이트, 상기 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 상기 스크러빙 레이트와 상기 누설 전력이 포함된 대기 전력의 최소값에 기반하여 상기 각 노드에 대한 공급 전압을 상기 전력제어 장치로부터 획득하는 단계

를 포함하는 메모리의 동작 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 방사능 환경, 예를 들어 우주 방사능 환경에 적합한 메모리, 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법에 관한 것으로, 보다 상세하게는 방사능 환경에서 정적 램의 각 노드별 대기 전력을 최적화하는 방사능 환경에서 메모리, 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법에 관한 것이다.

배 경 기 술

[0002] 정적 램(SRAM, static random access memory)은 플립플롭(flip-flop) 방식의 메모리 비트-셀(bit-cell)을 갖는 임의의 접근 기억 장치로서, 전원 공급이 계속 유지되는 동안에 저장된 데이터를 계속 기억할 수 있고, 복잡한 재생 클록(refresh clock)이 필요가 없는 소용량의 메모리나 캐시 메모리(cache memory)에 주로 사용될 수 있다.

[0003] 또한, 정적 램은 전원 공급을 계속 유지해야 되기 때문에 대기 모드 및 활성 모드로 구분하여 동작할 수 있고, 대기 모드에서 최소한의 대기 전력을 사용하여 동작할 수 있다.

[0004] 온-칩(on-chip)의 정적 램은 대규모 집적회로(VLSI, very large scale integration) 구조에서 총 칩 면적의 상

당한 부분을 점유하고 있어서, 에너지 입자의 충돌에 의해 유도되는 소프트 에러(soft error)에 노출되기 쉬운 경향이 있고, 지상 환경보다 우주 방사능 환경에서 더 노출되기 쉬운 경향이 있다.

[0005] 지상 환경에서 사용되는 종래의 기술은 칩의 상당한 면적, 소비 전력, 성능 및 시스템 레벨의 방사선 경화 기술들을 고려하여 정적 램에 대한 소프트웨어 에러를 감소시킬 수 있다.

[0006] 또한, 지상 환경에서 사용되는 종래의 기술은 대기 모드에서 누설 전류에 대한 누설 전력 및 소프트 에러를 스크러빙(scrubbing)하는데 사용되는 스크러빙 전력(scrubbing power)을 포함하는 대기 전력을 사용하여 정적 램을 운용할 수 있고, 주로 누설 전력(leakage power)을 고려하여 정적 램을 운용할 수 있다.

[0007] 그러나, 지상 환경에서 사용되는 종래의 기술은 방사능 환경, 특히 우주 방사능 환경에서 적용되기 어려운 실정이다.

[0008] 예를 들어, 우주 방사능 환경에서 종래의 기술은 지상 환경보다 방사능 및 온도의 변동 폭이 높기 때문에, 대기 모드에서 정적 램에 대한 최소한의 스크러빙하는데 사용되는 스크러빙 전력을 결정하는데 어려운 문제점이 존재한다.

[0009] 보다 상세하게는, 우주 방사능 환경에서 종래의 기술은 대기 모드에서 정적 램의 각 노드에게 공급하기 위한 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하는데 어려운 문제점이 존재한다.

선행기술문헌

특허문헌

[0010] (특허문헌 0001) 대한민국 공개특허 제10201201366674호(2012.12.20). "에러 정정회로를 구비한 온 칩 데이터 스크러빙 장치 및 방법"

(특허문헌 0002) 대한민국 등록특허 제101215815호(2012.12.18). "저전압 SRAM과 레지스터 파일을 위한 감지 증폭 방법"

발명의 내용

해결하려는 과제

[0011] 본 발명은 대기 모드에서 동작하는 정적 램의 각 노드별로 스크러빙 전력과 대기 전력의 최소값을 적응적으로 이용함으로써, 각 노드에 대한 공급 전압을 동적으로 최적화하는 방사능 환경에서 메모리, 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법을 제공한다.

[0012] 본 발명은 방사능 환경에 적용하기 위한 선정된 에러 정정 코드 및 환경 변수를 이용하여 각 노드에 대한 비트 에러 레이트를 이용하는 방사능 환경에서 메모리, 메모리의 동작 방법, 전력제어 장치 및 전력제어 방법을 제공한다.

과제의 해결 수단

[0013] 본 발명의 실시예에 따른 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치는 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트(BER, bit error rate)를 획득하는 제1 획득부, 상기 비트 에러 레이트를 참조하여 상기 메모리의 각 노드에 대한 최적화된 스크러빙 레이트(scrubbing rate)를 획득하는 제2 획득부 및 상기 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 상기 메모리의 각 노드를 제어하는 제어부를 포함한다.

[0014] 상기 제1 획득부는 해밍(hamming) 코드, 더블 에러 정정(DEC, double error correction) BCH(bose chadhuri hocquenghem) 코드 및 트리플 에러 정정(TEC, triple error correction) BCH 코드 중 적어도 하나의 상기 에러 정정 코드(ECC, error correction code)를 이용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0015] 또한, 상기 제1 획득부는 상기 각 노드의 공정, 방사능, 온도 중 적어도 하나에 대한 환경 변수가 적용된 상기

각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0016] 상기 공정은 FS(fast NMOS and slow PMOS), SS(slow NMOS and slow PMOS), TT(typical NMOS and typical PMOS), SF(slow NMOS and fast PMOS) 및 FF(fast NMOS and fast PMOS) 프로세스 코너(process corner)를 포함할 수 있다.

[0017] 본 발명의 일측에 따르면, 상기 제1 획득부는 상기 각 노드에 대한 상기 누설 전류, 상기 방사능 및 상기 온도를 획득할 수 있다.

[0018] 또한, 상기 제1 획득부는 실리콘 측정(silicon measurement) 및 몬테 카를로 시뮬레이션(monte carlo simulation) 중 적어 하나의 선정된 모델링을 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0019] 상기 제어부는 상기 스크러빙 레이트의 역수인 스크러빙 주기(scrubbing period), 캐시 용량(cache capacity), 리드 에너지(read energy), 라이트 에너지(write energy), 리드 접근 에너지(read access energy) 및 라이트 접근 에너지(write access energy)를 이용하여 상기 각 노드에게 공급되는 상기 스크러빙 전력이 결정되도록 제어할 수 있다.

[0020] 또한, 상기 제어부는 상기 결정된 대기 전력의 최소값을 참조하여 상기 메모리의 각 노드에 대한 공급 전압이 동적으로 스케일링되도록 제어할 수 있다.

[0021] 본 발명의 실시예에 따른 메모리는 대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공하는 제공부 및 상기 환경 변수가 적용된 비트 에러 레이트, 상기 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 상기 스크러빙 레이트와 상기 누설 전력이 포함된 대기 전력의 최소값에 기반하여 상기 각 노드에 대한 공급 전압을 상기 전력제어 장치로부터 획득하는 획득부를 포함한다.

[0022] 본 발명의 실시예에 따른 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법은 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트를 획득하는 단계, 상기 비트 에러 레이트를 참조하여 상기 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득하는 단계 및 상기 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 상기 메모리의 각 노드를 제어하는 단계를 포함한다.

[0023] 상기 비트 에러 레이트를 획득하는 상기 단계는 해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드 중 적어도 하나의 상기 에러 정정 코드를 이용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득하는

[0024] 또한, 상기 비트 에러 레이트를 획득하는 상기 단계는 상기 각 노드의 공정, 방사능, 온도 중 적어도 하나에 대한 환경 변수를 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0025] 또한, 상기 비트 에러 레이트를 획득하는 상기 단계는 실리콘 측정 및 몬테 카를로 시뮬레이션 중 적어 하나의 선정된 모델링을 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0026] 상기 메모리의 각 노드를 제어하는 상기 단계는 상기 스크러빙 레이트의 역수인 스크러빙 주기, 캐시 용량, 리드 에너지, 라이트 에너지, 리드 접근 에너지 및 라이트 접근 에너지를 이용하여 상기 각 노드에게 공급되는 상기 스크러빙 전력이 결정되도록 제어할 수 있다.

[0027] 본 발명의 실시예에 따른 메모리의 동작 방법은 대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공하는 단계 및 상기 환경 변수가 적용된 비트 에러 레이트, 상기 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 상기 스크러빙 레이트와 상기 누설 전력이 포함된 대기 전력의 최소값에 기반하여 상기 각 노드에 대한 공급 전압을 상기 전력제어 장치로부터 획득하는 단계를 포함한다.

발명의 효과

[0028] 본 발명의 일실시예는 대기 모드에서 동작하는 정적 램의 각 노드별로 스크러빙 전력과 대기 전력의 최소값을 적응적으로 이용함으로써, 각 노드에 대한 공급 전압을 동적으로 최적화할 수 있다.

[0029] 본 발명의 일실시예는 우주 방사능 환경에 적용하기 위한 선정된 에러 정정 코드 및 환경 변수를 이용하여 각

노드에 대한 비트 에러 레이트를 이용할 수 있다.

도면의 간단한 설명

[0030] 도 1a는 본 발명의 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치를 도시한 블록도이다.

도 1b는 본 발명의 다른 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치를 도시한 블록도이다.

도 2는 6T 정적 램 비트-셀 구조를 도시한 예이다.

도 3은 로우 비트 에러 레이트에서 공정 및 온도 변동에 의해 유발되는 업셋 확률을 도시한 그래프의 예이다.

도 4는 FS 공정과 80도의 온도 코너에서 다양한 스크러빙 주기 동안에 로우 비트 에러 레이트와 공급 전압간의 관계를 도시한 그래프의 예이다.

도 5는 해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드를 이용한 복호화된 비트 에러 레이트와 공급 전압간의 관계를 도시한 그래프의 예이다.

도 6은 공급 전압 1V에서 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용되는 비트 에러 레이트와 스크러빙 주기간의 관계를 도시한 그래프의 예이다.

도 7은 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용된 스크러빙 전력/누설 전력과 공급 전압간의 관계를 도시한 그래프의 예이다.

도 8은 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용된 최적의 대기 전력과 공급 전압간의 관계를 도시한 그래프의 예이다.

도 9는 본 발명의 실시예에 따른 메모리를 도시한 블록도이다.

도 10은 본 발명의 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법을 도시한 흐름도이다.

도 11은 본 발명의 실시예에 따른 메모리의 동작 방법을 도시한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하 첨부 도면들 및 첨부 도면들에 기재된 내용들을 참조하여 본 발명의 실시예를 상세하게 설명하지만, 본 발명이 실시예에 의해 제한되거나 한정되는 것은 아니다.

[0032] 한편, 본 발명을 설명함에 있어서, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는, 그 상세한 설명을 생략할 것이다. 그리고, 본 명세서에서 사용되는 용어(terminology)들은 본 발명의 실시예를 적절히 표현하기 위해 사용된 용어들로서, 이는 사용자, 운용자의 의도 또는 본 발명이 속하는 분야의 관례 등에 따라 달라질 수 있다. 따라서, 본 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0033] 도 1a는 본 발명의 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치를 도시한 블록도이다.

[0034] 도 1a를 참조하면, 메모리의 대기 전력을 제어하는 전력제어 장치(100a)는 연산부(120a), 최적부(130a) 및 결정부(140a)를 포함한다.

[0035] 연산부(120a)는 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트(BER, bit error rate)를 연산한다.

[0036] 본 발명의 일측에 따르면, 연산부(120a)는 실리콘 측정(silicon measurement) 및 몬테 카를로 시뮬레이션(monte carlo simulation) 중 적어 하나의 선정된 모델링을 사용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 연산할 수 있다.

[0037] 예를 들어, 연산부(120a)는 후술하는 수식 (1)을 통하여 비트 에러 레이트를 연산할 수 있고, 스크러빙 주기 동

안 메모리의 특정 부분에서 소프트 에러(soft error)가 발생될 수 있기 때문에, 후술하는 수식 (2)를 통하여 수정된 비트 에러 레이트를 연산할 수 있다.

[0038] 또한, 연산부(120a)는 연산된 비트 에러 레이트로부터 업셋 레이트를 연산할 수 있고, 후술하는 수식 (3)을 통하여 업셋 레이트를 연산할 수 있고, 각 노드의 공정, 방사능 및 온도 중 적어도 하나에 대한 환경 변수를 적용하여 각 노드에 대한 비트 에러 레이트를 연산할 수 있다.

[0039] 본 발명의 실시예에 따른 전력제어 장치(100a)는 각 노드에 대한 누설 전류, 방사능 및 온도를 검출하는 검출부(110a)를 더 포함할 수 있다.

[0040] 또한, 검출부(110a)는 각 노드에 대한 누설 전류, 방사능 및 온도를 검출하는 센서(sensor)를 포함할 수 있다.

[0041] 예를 들어, 검출부(110a)는 유닛 면적 당 입자 충돌 수를 연산하기 위하여 방사능 중성자 속(속도) 밀도를 검출할 수 있고, 연산부(120a)는 방사능 중성자 속 밀도를 통하여 유닛 면적 당 입자 충돌 수를 연산할 수 있다.

[0042] 최적화부(130a)는 비트 에러 레이트를 참조하여 메모리의 각 노드에 대한 스크러빙 레이트를 최적화한다. 여기서, 스크러빙 레이트는 스크러빙 주기의 역수이다. 최적화부(130a)는 후술하는 도 6을 참조하여 스크러빙 레이트를 최적화하는 과정을 상세히 설명하기로 한다.

[0043] 결정부(140a)는 메모리의 각 노드에게 공급되기 위한 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정한다.

[0044] 예를 들어, 결정부(140a)는 후술하는 표 1을 참조하여 각 노드에 대한 스크러빙 전력을 결정할 수 있고, 후술하는 수식 (8)을 참조하여 각 노드에 대한 스크러빙 전력을 결정할 수 있다.

[0045] 본 발명의 실시예에 따른 전력제어 장치(100a)는 결정된 대기 전력의 최소값을 참조하여 각 노드에 대한 공급 전압(예를 들어, 도 2의 V_{DD})을 동적으로 스케일링하는 조정부(150a)를 더 포함할 수 있다.

[0046] 예를 들어, 조정부(150a)는 지상 환경과 다르게 우주 방사능 환경에서 적응적으로 결정된 대기 전력의 최소값을 참조하여 각 노드에 대한 공급 전압을 동적으로 스케일링할 수 있다.

[0047] 또한, 조정부(150a)는 복수의 메모리의 각 노드에 대한 각각의 결정된 대기 전력의 최소값을 참조하여 복수의 메모리의 각 노드에 대한 각각의 공급 전압을 실시간으로 스케일링할 수 있다.

[0048] 도 1b는 본 발명의 다른 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 장치를 도시한 블록도이다.

[0049] 도 1b를 참조하면, 전력제어 장치(100b)는 제1 획득부(110b), 제2 획득부(120b) 및 제어부(130b)를 포함한다.

[0050] 제1 획득부(110b)는 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트(BER, bit error rate)를 획득한다.

[0051] 메모리는 플립플롭(flip-flop) 방식의 메모리 비트-셀(bit-cell)을 갖는 정적 램(SRAM, static random access memory)일 수 있다. 정적 램은 전원 공급이 계속 유지되는 동안에 저장된 데이터를 계속 기억할 수 있고, 복잡한 재생 클록(refresh clock)이 필요가 없는 소용량의 메모리나 캐시 메모리(cache memory)에 주로 사용될 수 있다.

[0052] 또한, 정적 램은 전원 공급을 계속 유지해야 되기 때문에 대기 모드 및 활성 모드로 구분하여 운용할 수 있고, 대기 모드에서 최소한의 대기 전력을 사용하여 운용할 수 있다.

[0053] 메모리는 대규모 집적회로(VLSI, very large scale integration) 구조일 수 있고, 총 칩 면적의 상당한 부분을 점유할 수 있으며, CMOS(complementary metal oxide semiconductor)일 수 있다. 이하, 도 2를 참조하여, 정적 램 비트-셀 구조를 상세히 설명하기로 한다.

[0054] 도 2는 6T 정적 램 비트-셀 구조를 도시한 예이다.

[0055] 도 2를 참조하면, 정적 램은 2개의 N형 엑세스 디바이스, 2개의 N형 풀 다운(pull down) 트랜지스터(N1, P1) 및 2개의 P형 풀 업(pull up) 트랜지스터(P1, P2)를 포함할 수 있다.

[0056] 엑세스 트랜지스터는 비트 라인 또는 풀 다운 풀 업 트랜지스터를 통과할 수 있는 워드 라인과 연결되고, 패스 디바이스(pass device)일 수 있다.

[0057] N형 풀 다운 트랜지스터, N형 엑세스 트랜지스터 및 P형 풀 업 트랜지스터 각각은 소스-드레인(source-drain) 섹션을 갖는 싱글 핀 트리 게이트 트랜지스터(single-fin tri-gate transistor)를 포함할 수 있다.

[0058] 각각의 트랜지스터의 상호간의 연결을 통하여 노드들(역바이어스가 인가된 n+ 드레인에 대한 'A' 노드 및 역바이어스가 인가된 p+ 드레인에 대한 'B' 노드)이 형성될 수 있다.

[0059] N형 풀 다운 트랜지스터는 NMOS일 수 있고, P형 풀 업 트랜지스터는 PMOS일 수 있으며, NMOS 및 CMOS는 노드들과 연결되고, 다양한 공정(process)을 통하여 제작될 수 있다.

[0060] 예를 들어, 공정은 FS(fast NMOS and slow PMOS), SS(slow NMOS and slow PMOS), TT(typical NMOS and typical PMOS), SF(slow NMOS and fast PMOS) 및 FF(fast NMOS and fast PMOS) 프로세스 코너(process corner)를 포함할 수 있다.

[0061] 다시 도 1b을 참조하면, 제1 획득부(110b)는 실리콘 측정(silicon measurement) 및 몬테 카를로 시뮬레이션(monte carlo simulation) 중 적어 하나의 선정된 모델링을 적용하여 상기 각 노드에 대한 상기 비트 에러 레이트를 획득할 수 있다.

[0062] 예를 들어, 제1 획득부(110b)는 하기 수식 (1)을 통하여 비트 에러 레이트를 획득할 수 있다.

[0063] [수식 1]

[0064]
$$P_T = 1 - \frac{e^{-\lambda T_{scrubbing}}(\lambda T_{scrubbing})^0}{0!}$$

[0065] 여기서, P_T는 비트 에러 레이트이고, λ는 업셋 레이트(upset rate)이며, $T_{scrubbing}$는 스크러빙 주기(scrubbing period)이다.

[0066] 수식 (1)에 나타낸 바와 같이, 제1 획득부(110b)는 스크러빙 주기 동안에 비트 에러 레이트를 획득할 수 있다.

[0067] 또한, 제1 획득부(110b)는 스크러빙 주기 동안 메모리의 특정 부분에서 소프트 에러(soft error)가 발생될 수 있기 때문에, 수식 (2)를 통하여 수정된 비트 에러 레이트를 획득할 수 있다.

[0068] [수식 2]

[0069]
$$\begin{aligned} P_T &= \sum_{n=0}^{\infty} P_{T|e=(2n+1)} \\ &= P_{T|e=1} + P_{T|e=3} + P_{T|e=5} + \cdots \\ &= \frac{e^{-\lambda T_{scrubbing}}(\lambda T_{scrubbing})}{1!} \\ &+ \frac{e^{-\lambda T_{scrubbing}}(\lambda T_{scrubbing})^3}{3!} \\ &+ \frac{e^{-\lambda T_{scrubbing}}(\lambda T_{scrubbing})^5}{5!} + \cdots \\ &= \frac{1}{2}(1 - e^{-\lambda 2 T_{scrubbing}}) \end{aligned}$$

[0070] 제1 획득부(110b)는 특정 구간의 스크러빙 주기 동안 실리콘 측정 모델링을 적용하여 비트 에러 레이트를 획득할 수 있다.

[0071] 보다 상세하게는, 제1 획득부(110b)는 다양한 특정 구간의 모든 스크러빙 주기 동안에 비트 에러 레이트를 연산

하면 시스템적 과부하가 발생될 수 있기 때문에, 비트 에러 레이트 연산을 위한 실리콘 측정 모델링을 사용할 수 있고, 실리콘 측정 모델링을 적용하여 특정 구간의 스크러빙 주기에 대한 연산된 비트 에러 레이트를 획득할 수 있다.

[0072] 또한, 제1 획득부(110b)는 획득된 비트 에러 레이트로부터 업셋 레이트를 획득할 수 있고, 하기 수식 (3)을 통하여 업셋 레이트를 획득할 수 있다.

[0073] [수식 3]

$$e^{-2\lambda T_{scrubbing}} = 1 - 2P_T$$

$$\lambda = -\frac{1}{2T_{scrubbing}} ln(1 - 2P_T)$$

[0074]

[0075] 또한, 제1 획득부(110b)는 수식 (2)에 의해 다른 스크러빙 주기에 대한 비트 에러 레이트를 획득할 수 있다.

[0076] 본 발명의 일측에 따르면, 제1 획득부(110b)는 각 노드의 공정, 방사능 및 온도 중 적어도 하나에 대한 환경 변수를 적용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다.

[0077] 예를 들어, 제1 획득부(110b)는 공정 및 온도 변동을 고려하여 최악의 공정과 온도 코너(worst process and temperature corner)에 대한 환경 변수를 적용하여 비트 에러 레이트를 획득할 수 있다.

[0078] 또한, 제1 획득부(110b)는 몬테 카를로 시뮬레이션 모델링을 사용하여 비트 에러 레이트를 획득할 수 있다. 이때, 제1 획득부(110b)는 몬테 카를로 시뮬레이션 모델링이 적용된 수식 (4)를 통하여 수식 (2)에 포함되는 업셋 레이트를 획득할 수 있다.

[0079] [수식 4]

$$\lambda = 1.\binom{n}{1}P^1(1-P)^{n-1} + 2.\binom{n}{2}P^2(1-P)^{n-2} + 3.\binom{n}{3}P^3(1-P)^{n-3} + \cdots + n.\binom{n}{n}P^n(1-P)^{n-n}$$

$$= \sum_{k=1}^{n} k.\binom{n}{k}P^k(1-P)^{n-k} = nP$$

[0080]

[0081] 여기서, P는 하나의 충돌에 대한 업셋 확률(upset probability)이고, n은 특정 메모리 비트-셀의 유닛 당 입자 충돌 수이다.

[0082] 하기 수식 (5)는 특정 메모리 비트-셀의 유닛 입자 충돌 수를 나타낸다.

[0083] [수식 5]

$$n = N.A_{SRAM}$$

[0084]

[0085] 여기서, N은 유닛 면적 당 입자 충돌 수이고, A_{SRAM}은 메모리 비트-셀의 면적이다.

[0086] 본 발명의 일측에 따르면, 제1 획득부(110b)는 각 노드에 대한 누설 전류, 방사능 및 온도를 획득할 수 있다. 보다 상세하게는, 제1 획득부(110b)는 누설 전류, 방사능 및 온도를 검출하는 센서(sensor)를 통하여 각 노드에 대한 누설 전류, 방사능 및 온도를 획득할 수 있다.

[0087] 예를 들어, 제1 획득부(110b)는 유닛 면적 당 입자 충돌 수를 획득하기 위하여 방사능 중성자 속(속도) 밀도를 획득할 수 있고, 방사능 중성자 속 밀도를 통하여 유닛 면적 당 입자 충돌 수를 획득할 수 있다.

[0088] 소프트 에러는 입자 충돌 등 방사능에 의해 발생될 수 있고, 공정 및 온도 변동에 따라 다양하게 발생될 수 있다.

[0089] 도 2에 도시된 바와 같이, 메모리 비트-셀은 대기 모드에서 역바이어스가 인가된 n+ 드레인 및 p+ 드레인에 방사능에 관련된 입자가 충돌하면, 소프트 에러가 발생될 수 있다.

[0090] 예를 들어, 역바이어스가 인가된 n+ 드레인(또는 p+ 드레인)은 입자 충돌에 의해 전하들(charges)을 수집할 수 있고, 수집된 전하들은 반전된 데이터(data flipping)를 유발하면서 N2(또는 P1) 트랜지스터를 켤 수 있다.

[0091] 한편, P2(또는 N1) 트랜지스터가 저장된 전류를 공급하나, 만약 P2(또는 N1) 트랜지스터가 충분한 저장된 전류를 공급하지 못하는 경우, 구동되는 인버터의 스위칭 임계 전압이 떨어지면서(또는 상승하면서) 각 노드들은 떨어질 수 있다. 따라서, 메모리 비트-셀의 데이터는 반전될(flipped) 수 있다.

[0092] 여기서, 풀 다운 NMOS 트랜지스터는 신뢰할 수 있는 읽기(read) 및 쓰기(write) 동작을 얻기 위해 풀 업 PMOS보다 강한 환경에서 만들어질 수 있고, 이러한 환경에서 역바이어스가 인가된 n+ 드레인('A'노드의)은 역바이어스가 인가된 p+ 드레인('B'노드의)보다 소프트에러에 취약할 수 있다.

[0093] 또한, 풀 업 PMOS 트랜지스터는 풀 다운 NMOS 트랜지스터에 비해 저장된 전류가 낮을 수 있고, 이를 고려하여 업셋 확률은 하기 수식 (6)과 같다.

[0094] [수식 6]

[0095]
$$P = \frac{A_{n^+} P_{n^+} + A_{p^+} P_{p^+}}{A_{SRAM}}$$

[0096] 여기서, A_n 과 A_p 는 n+와 p+의 드레인 연결지점의 면적일 수 있고, P_{n^+}와 P_{p^+}는 단일 입자 충돌에 대한 n+와 p+의 드레인 연결지점의 업셋 확률일 수 있다.

[0097] A_n 과 A_p 는 메모리 비트-셀 레이아웃으로부터 얻어질 수 있고, P_{n^+} 와 P_{p^+}는 단일 입자, 공정 및 온도 변동에 의해 유발되는 수집된 전하의 확률적인 변동과 같은 많은 요인들에 영향을 받을 수 있어 쉽게 모델링할 수 없다.

[0098] 따라서, 제1 획득부(110b)는 일정하게 수집되는 전하의 두 배 지수적 전류 프로파일(double exponential current profile)을 생산하는 입자 충돌을 획득할 수 있고, 공정 및 온도 변동은 예를 들어, 65nm 공정 개발 키트(PDK, process development kit)를 이용하여 모델링할 수 있다. 이하, 도 3을 참조하여 공정 및 온도 변동에 대한 비트 에러 레이트 모델링을 상세히 설명하기로 한다.

[0099] 도 3은 로우 비트 에러 레이트에서 공정 및 온도 변동에 의해 유발되는 업셋 확률을 도시한 그래프의 예이다.

[0100] 도 3을 참조하면, 제1 획득부(110b)는 다양한 공정 및 온도 코너를 위한 업셋 확률을 1.2V의 전압에서 수행하는 몬테 카를로 시뮬레이션 모델링을 적용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다.

[0101] 예를 들어, 제1 획득부(110b)는 도 3에 도시된 바와 같이, FS 공정과 80도의 온도 코너에서 단일 충돌에 대한 가장 높은 업셋 확률을 획득할 수 있다.

[0102] 또한, 제1 획득부(110b)는 FS 공정과 80도의 온도 코너에서 P_{n^+} 와 P_{p^+}을 획득할 수 있고, 전술한 수식 (2), (4), (5) 및 (6)을 통하여 다양한 스크러빙 주기 동안에 로우(raw) 비트 에러 레이트를 연산할 수 있다. 이하, 다양한 스크러빙 주기 동안에 로우 비트 에러 레이트를 획득하는 과정을 상세히 설명하기로 한다.

[0103] 도 4는 FS 공정과 80도의 온도 코너에서 다양한 스크러빙 주기 동안에 로우 비트 에러 레이트와 공급 전압간의 관계를 도시한 그래프의 예이다.

[0104] 도 4를 참조하면, 제1 획득부(110b)는 에러 정정을 수행하기 전에 FS 공정과 80도의 온도 코너에서 다양한 스크러빙 주기에 대한 로우 비트 에러레이트를 획득할 수 있다.

[0105] 도 4에 도시된 바와 같이, 스크러빙 주기가 증가하면, 로우 비트 에러 레이트도 점진적으로 증가할 수 있다.

따라서, 스크러빙 주기가 증가하면, 에러 정정의 실패 확률도 증가할 수 있다.

[0106] 또한, 전압을 스케일링하면, 로우 비트 에러 레이트는 상당히 커질 수 있다. 예를 들어, 0.8V 아래로 스케일을 하면, 로우 비트 에러 레이트는 증가할 수 있다.

[0107] 따라서, 제1 획득부(110b)는 공정, 전압 및 온도 변동을 동시에 고려하여 우주 방사능 환경의 대기 모드에서 동작하는 각 노드에 대한 비트 에러 레이트를 획득할 수 있고, 하한계(lower bound) 전압을 고려하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다.

[0108] 또한, 제1 획득부(110b)는 에러 정정 코드를 이용하여 하한계 전압에 의해 발생되는 비트 에러 레이트를 획득할 수 있다.

[0109] 본 발명의 일측에 따르면, 제1 획득부(110b)는 해밍(hamming) 코드에 의해 각 노드에 대한 비트 에러 레이트를 연산할 수 있다.

[0110] 해밍 코드는 메모리의 단일 비트 에러를 정정하는 지상 환경에서 사용될 수 있으나, 우주 방사능 환경에서 부적합할 수 있고, 목표의 복호화된 비트 에러 레이트를 충족하기 위한 스크러빙 레이트(scrubbing rate)가 매우 높을 수 있다.

[0111] 수식 (7)은 해밍 코드를 이용하여 복호화된 비트 에러 레이트를 연산하는 수식이다.

[0112] [수식 7]

[0113] $$P_{decoded} \simeq \frac{1}{127}\sum_{j=t+1}^{127} j\cdot\binom{127}{j}P_T^j(1-P_T)^{127-j}$$

[0114] 여기서, 비트 에러 레이트는 전술한 수식 (2)를 통해 얻어질 수 있고, t는 에러의 개수이며, 127은 비트의 개수를 표시하는 코드워드의 길이(n)이다. 코드워드의 길이는 다양한 실시예에 따라 적용될 수 있다.

[0115] 제1 획득부(110b)는 대기 전력의 최소값을 결정하기 위해 목표의 복호화된 비트 에러 레이트보다 더 낮은 복호화된 비트 에러 레이트를 획득할 수 있다.

[0116] 보다 상세하게는, 제1 획득부(110b)는 해밍 코드, 더블 에러 정정(DEC, double error correction) BCH(bose chadhuri hocquenghem) 코드 및 트리플 에러 정정(TEC, triple error correction) BCH 코드 중 적어도 하나의 에러 정정 코드를 이용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다. 이하, 도 5를 참조하여 다양한 에러 정정 코드를 이용하여 비트 에러 레이트를 획득하는 과정을 상세히 설명하기로 한다.

[0117] 도 5는 해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드를 이용한 복호화된 비트 에러 레이트와 공급 전압간의 관계를 도시한 그래프의 예이다.

[0118] 도 5를 참조하면, 제1 획득부(110b)는 공급 전압이 1.2V에서 해밍 코드를 이용하여 대기 모드에서 동작하는 메모리의 비트 에러 레이트를 획득하는 경우, 목표의 복호화된 비트 에러 레이트를 충족하지 않을 수 있다.

[0119] 한편, 제1 획득부(110b)는 공급 전압이 970mV에서 더블 에러 정정 BCH 코드를 사용하여 대기 모드에서 동작하는 메모리의 비트 에러 레이트를 획득하는 경우, 목표의 복호화된 비트 에러 레이트를 충족할 수 있다.

[0120] 또한, 제1 획득부(110b)는 공급 전압이 780mV에서 트리플 에러 정정 BCH 코드를 사용하여 대기 모드에서 동작하는 메모리의 비트 에러 레이트를 획득하는 경우, 목표의 복호화된 비트 에러 레이트를 충족할 수 있다.

[0121] 따라서, 제1 획득부(110b)는 공급 전압에 따라 적응적으로 해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드 중 적어도 하나의 에러 정정 코드를 이용하여 비트 에러 레이트를 획득할 수 있다.

[0122] 여기서, 높은 소프트 에러는 공급 전압의 증가를 의미하고, 제1 획득부(110b)는 공급 전압에 따라 적응적으로 다양한 에러 정정 코드를 선택하여 비트 에러 레이트를 획득할 수 있다.

[0123] 실시예에 따르면, 제1 획득부(110b)는 수식 (1) 내지 (7)의 연산을 통하여 비트 에러 레이트를 획득할 수 있고, 수식 (1) 내지 (7)의 연산이 적용된 테이블을 통하여 비트 에러 레이트를 획득할 수 있다.

[0124] 제2 획득부(120b)는 비트 에러 레이트를 참조하여 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득한다. 여기서, 스크러빙 레이트는 스크러빙 주기의 역수이다. 이하 도 6을 참조하여 스크러빙 레이트를 최적화하는 과정을 상세히 설명하기로 한다.

[0125] 도 6은 공급 전압 1V에서 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용되는 비트 에러 레이트와 스크러빙 주기간의 관계를 도시한 그래프의 예이다.

[0126] 도 6을 참조하면, 제2 획득부(120b)는 메모리의 각 노드에 대한 목표의 복호화된 비트 에러 레이트를 만족하는 스크러빙 주기의 범위를 연산하여 최적화된 스크러빙 레이트를 획득할 수 있다.

[0127] 예를 들어, 제2 획득부(120b)는 도 6에 도시된 바와 같이, 10초에서 95초까지 스크러빙 주기의 범위를 연산하여 목표의 복호화된 비트 에러 레이트를 만족하는 스크러빙 레이트를 최적화할 수 있다.

[0128] 표 1은 다양한 공급 전압에 대응하여 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용되는 스크러빙 주기를 나타내는 표이다.

[0129] [표 1]

[0130]

Voltage (v)	Scrubbing Period (s)	
	DEC BCH Code	TEC BCH Code
1.20	42	350
1.15	31	260
1.10	21	175
1.05	15	132
1.00	12	95
0.95	9.4 *(Impractical)*	80
0.90	7.3 *(Impractical)*	60
0.85	5.0 *(Impractical)*	47
0.80	3.4 *(Impractical)*	29
0.75	1.2 *(Impractical)*	8.7 *(Impractical)*
0.70	1.0 *(Impractical)*	4.7 *(Impractical)*

[0131] 실시예에 따르면, 제2 획득부(120b)는 메모리의 각 노드에 대한 목표의 복호화된 비트 에러 레이트를 만족하는 스크러빙 주기의 범위 연산을 통하여 최적화된 스크러빙 레이트를 획득할 수 있고, 비트 에러 레이트가 적용된 테이블을 통하여 각 노드에 대한 최적화된 스크러빙 레이트를 획득할 수 있다.

[0132] 제어부(130b)는 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 메모리의 각 노드를 제어한다.

[0133] 예를 들어, 제어부(130b)는 표 1을 참조하여 각 노드에 대한 스크러빙 전력을 결정되도록 제어할 수 있고, 수식 (8)을 참조하여 각 노드에 대한 스크러빙 전력을 결정되도록 제어할 수 있다.

[0134] [수식 8]

[0135]

$$
\begin{aligned}
P_{scrubbing_power} &= \frac{m \times (E_{read} + E_{read_access})}{T_{scrubbing}} \\
&+ \frac{m \times (E_{write} + E_{write_access})}{T_{scrubbing}} \\
&\simeq \frac{2m \times (E_{read} + E_{read_access})}{T_{scrubbing}}
\end{aligned}
$$

[0136] 여기서, m은 비트의 캐시 용량(cache capacity)이다. E_{read}, E_{write}, E_{read_access} 및 E_{write_access}는 메모리 비트-셀의 읽기, 쓰기, 읽기 접근, 쓰기 접근 기간 동안에 사용되는 리드 에너지(read energy), 라이트 에너지(write energy), 리드 접근 에너지(read access energy) 및 라이트 접근 에너지(write access energy)이다.

[0137] 본 발명의 일측에 따르면, 제어부(130b)는 스크러빙 전력을 적응적으로 결정하기 위하여 CACTI 시뮬레이션을 이

용할 수 있다.

[0138] 표 2는 CATCTI 시뮬레이션의 주요 파라미터를 나타내는 표이다.

[0139] [표 2]

[0140]

Parameter	DEC BCH Code	TEC BCH Code
Capacity	1.13 MB	1.21 MB
Block Size	128 B	
Associativity	Direct Mapped	
Technology Generation	68 nm	
Number of Port	Read-Write Port 1	
Number Core	(4)	
Access Mode	Sequential	
Operating Temperature	80°C	
Process Corner	Fast NMOS and Fast PMOS	

[0141] 표 2를 참조하면, CATCTI 시뮬레이션은 E_{read}와 E_{read_access}가 제공되는 동안에 E_{write}와 E_{write_access}를 얻을 수 없고, E_{read}와 E_{read_access} 및 E_{write}와 E_{write_access}의 에너지가 정확히 일치하지 않기 때문에, NUCA(non-uniform cache access) 캐시 모델을 사용하여 정확한 파라미터를 세팅할 수 있다.

[0142] 실시예에 따르면, 제1 획득부(110b)는 메모리의 각 노드에 대하여 누설 전류에 대응하는 누설 전력을 획득할 수 있고, 누설 전류를 검출하는 센서를 통하여 누설 전력을 획득할 수 있다.

[0143] 예를 들어, 제1 획득부(110b)는 선정된 환경에서(예를 들어, FF 공정과 80도의 온도 코너에서) 각 노드에 대한 누설 전류 및 누설 전력을 검출할 수 있다.

[0144] 또한, 제어부(130b)는 검출된 누설 전류를 CATCTI 시뮬레이션의 입력 파라미터로 사용하여 누설 전력이 결정되도록 제어할 수 있다. 이하, CATCTI 시뮬레이션을 통하여 스크러빙 전력과 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하는 예를 상세히 설명하기로 한다.

[0145] 도 7은 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용된 스크러빙 전력/누설 전력과 공급 전압간의 관계를 도시한 그래프의 예이고, 도 8은 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드가 적용된 최적의 대기 전력과 공급 전압간의 관계를 도시한 그래프의 예이다.

[0146] 도 7 및 도 8을 참조하면, 제어부(130b)는 누설 전력이 지수적으로 감소하는 동안에 스크러빙 전력이 증가됨으로, 누설 전력 및 스크러빙 전력의 합인 최적의 대기 전력(예를 들어, 대기 전력의 최소값)을 결정하여 메모리의 각 노드를 제어할 수 있다.

[0147] 예를 들어, 더블 에러 정정 BCH 코드가 적용된 대기 전력의 최소값은 0.97V일 수 있고, 트리플 에러 정정 BCH 코드가 적용된 대기 전력의 최소값은 0.8V일 수 있다.

[0148] 따라서, 제어부(130b)는 FF 공정과 80도의 온도 코너에서 동작하는 CATCTI 시뮬레이션을 통하여 대기 전력의 최소값(0.97V, 0.8V)을 결정하여 메모리의 각 노드를 제어할 수 있다.

[0149] 실시예에 따르면, 제어부(130b)는 다양한 공정과 온도 변동이 포함된 환경 변수를 적용하여 적응적으로 대기 전력의 최소값을 결정하여 메모리의 각 노드를 제어할 수 있고, 이전에 결정된 대기 전력의 최소값을 참조할 수 있다.

[0150] 또한, 제어부(130b)는 결정된 대기 전력의 최소값을 참조하여 각 노드에 대한 공급 전압을 동적으로 스케일링되도록 제어할 수 있다.

[0151] 보다 상세하게는, 제어부(130b)는 지상 환경과 다르게 우주 방사능 환경에서 적응적으로 결정된 대기 전력의 최소값을 참조하여 각 노드에 대한 공급 전압을 동적으로 스케일링되도록 제어할 수 있다.

[0152] 실시예에 따르면, 전력제어 장치(100b)는 대기 모드에서 동작하는 복수의 메모리의 각 노드에 대한 대기 전력을

제어할 수 있다.

[0153] 예를 들어, 제1 획득부(110b)는 대기 모드에서 동작하는 복수의 메모리의 각 노드별로 비트 에러 레이트를 획득할 수 있고, 제2 획득부(120b)는 비트 에러 레이트를 참조하여 복수의 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득할 수 있으며, 제어부(130b)는 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 복수의 메모리 각 노드를 제어할 수 있다.

[0154] 도 9는 본 발명의 실시예에 따른 메모리를 도시한 블록도이다.

[0155] 도 9를 참조하면, 우주 방사능 환경에서 동작하는 메모리(900)는 제공부(910) 및 획득부(920)를 포함한다.

[0156] 제공부(910)는 대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공한다.

[0157] 예를 들어, 제공부(910) 누설 전류, 방사능 및 온도를 검출하는 센서를 통하여 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공할 수 있고, 공정에 관련된 식별 정보를 통하여 전력제어 장치에게 제공할 수 있다.

[0158] 획득부(920)는 환경 변수가 적용된 비트 에러 레이트, 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 스크러빙 레이트와 누설 전력이 포함된 대기 전력의 최소값에 기반하여 각 노드에 대한 공급 전압을 전력제어 장치로부터 획득한다.

[0159] 따라서, 메모리(900)는 전력제어 장치로부터 획득된 공급 전압을 이용하여 대기 모드의 동작을 운용할 수 있다.

[0160] 도 10은 본 발명의 실시예에 따른 우주 방사능 환경에서 메모리의 대기 전력을 제어하는 전력제어 방법을 도시한 흐름도이다.

[0161] 도 9를 참조하면, 전력제어 장치는 단계 910에서, 에러 정정 코드를 이용하여 대기 모드에서 동작하는 메모리의 각 노드별로 비트 에러 레이트를 획득한다.

[0162] 메모리는 플립플롭(flip-flop) 방식의 메모리 비트-셀(bit-cell)을 갖는 정적 램(SRAM, static random access memory)일 수 있다. 정적 램은 전원 공급이 계속 유지되는 동안에 저장된 데이터를 계속 기억할 수 있고, 복잡한 재생 클록(refresh clock)이 필요가 없는 소용량의 메모리나 캐시 메모리(cache memory)에 주로 사용될 수 있다.

[0163] 또한, 정적 램은 전원 공급을 계속 유지해야 되기 때문에 대기 모드 및 활성 모드로 구분하여 동작할 수 있고, 대기 모드에서 최소한의 대기 전력을 사용하여 동작할 수 있다.

[0164] 단계 1010에서, 메모리의 대기 전력을 제어하는 전력제어 장치는 각 노드의 공정, 방사능 및 온도 중 적어도 하나에 대한 환경 변수를 적용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다. 공정은 FS, SS, TT, SF 및 FF 프로세스 코너를 포함할 수 있다.

[0165] 또한, 단계 1010에서, 전력제어 장치는 각 노드에 대한 누설 전류, 방사능 및 온도를 획득할 수 있다. 보다 상세하게는, 단계 910에서, 전력제어 장치는 누설 전류, 방사능 및 온도를 검출하는 센서(sensor)를 통하여 각 노드에 대한 누설 전류, 방사능 및 온도를 획득할 수 있다.

[0166] 실시예에 따르면, 단계 1010에서, 전력제어 장치는 실리콘 측정 및 몬테 카를로 시뮬레이션 중 적어 하나의 선정된 모델링을 적용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다. 선정된 모델링은 전술한 수식 (1) 내지 (7)을 참조할 수 있다.

[0167] 보다 상세하게는, 단계 1010에서, 전력제어 장치는 스크러빙 주기 동안에 비트 에러 레이트를 획득할 수 있고, 메모리의 특정 부분에서 발생되는 소프트 에러를 반영하여 수정된 비트 에러 레이트를 획득할 수 있으며, 획득된 비트 에러 레이트로부터 업셋 레이트를 획득할 수 있다.

[0168] 실시예에 따르면, 단계 1010에서, 전력제어 장치는 해밍 코드, 더블 에러 정정 BCH 코드 및 트리플 에러 정정 BCH 코드 중 적어도 하나의 에러 정정 코드를 이용하여 각 노드에 대한 비트 에러 레이트를 획득할 수 있다.

[0169] 보다 상세하게는, 단계 1010에서, 전력제어 장치는 대기 전력의 최소값을 결정하기 위해 목표의 복호화된 비트 에러 레이트보다 더 낮은 복호화된 비트 에러 레이트를 고려하여 획득할 수 있다.

[0170] 전력제어 장치는 단계 1020에서, 비트 에러 레이트를 참조하여 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득한다. 여기서, 스크러빙 레이트는 스크러빙 주기의 역수이다.

[0171] 또한, 전력제어 장치는 단계 1030에서, 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 메모리의 각 노드를 제어한다.

[0172] 실시예에 따르면, 단계 1030에서, 메모리의 대기 전력을 제어하는 전력제어 장치는 스크러빙 레이트의 역수인 스크러빙 주기, 캐시 용량, 리드 에너지, 라이트 에너지, 리드 접근 에너지 및 라이트 접근 에너지를 이용하여 각 노드에게 공급되는 스크러빙 전력을 결정되도록 제어할 수 있다.

[0173] 실시예에 따르면, 전력제어 장치는 대기 모드에서 동작하는 복수의 메모리의 각 노드에 대한 대기 전력을 제어할 수 있다.

[0174] 예를 들어, 전력제어 장치는 단계 1010에서, 대기 모드에서 동작하는 복수의 메모리의 각 노드별로 비트 에러 레이트를 획득할 수 있고, 단계 1020에서 비트 에러 레이트를 참조하여 복수의 메모리의 각 노드에 대한 최적화된 스크러빙 레이트를 획득할 수 있으며, 단계 1030에서 최적화된 스크러빙 레이트에 대응하는 스크러빙 전력과 누설 전류에 대응하는 누설 전력이 포함된 대기 전력의 최소값을 적응적으로 결정하여 복수의 메모리 각 노드를 제어할 수 있다.

[0175] 도 11은 본 발명의 실시예에 따른 메모리의 동작 방법을 도시한 흐름도이다.

[0176] 도 11을 참조하면, 메모리는 단계 1110에서, 대기 모드에서 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공한다.

[0177] 예를 들어, 단계 1110에서, 누설 전류, 방사능 및 온도를 검출하는 센서를 통하여 각 노드별 공정, 방사능, 온도 및 누설 전류 중 적어도 하나에 대한 환경 변수를 전력제어 장치에게 제공할 수 있고, 공정에 관련된 식별 정보를 통하여 전력제어 장치에게 제공할 수 있다.

[0178] 메모리는 단계1120에서, 환경 변수가 적용된 비트 에러 레이트, 비트 에러 레이트에 의해 최적화된 스크러빙 레이트, 누설 전류에 대응하는 누설 전력 및 스크러빙 레이트와 누설 전력이 포함된 대기 전력의 최소값에 기반하여 각 노드에 대한 공급 전압을 전력제어 장치로부터 획득한다.

[0179] 따라서, 메모리는 전력제어 장치로부터 획득된 공급 전압을 이용하여 대기 모드의 동작을 운용할 수 있다.

[0180] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0181]

[0182] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태

로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0183]

[0184] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0185] 100a, 100b: 전력제어 장치

110a: 검출부

120a: 연산부

130a: 최적화부

140a: 결정부

150a: 조정부

110b: 제1 획득부

120b: 제2 획득부

130b: 제어부

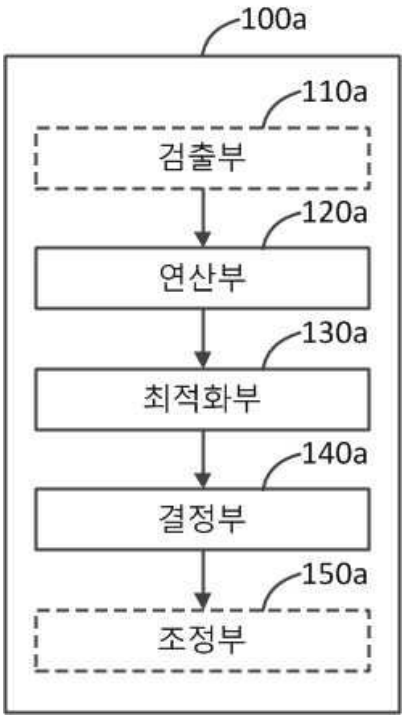
900: 메모리

910: 제공부

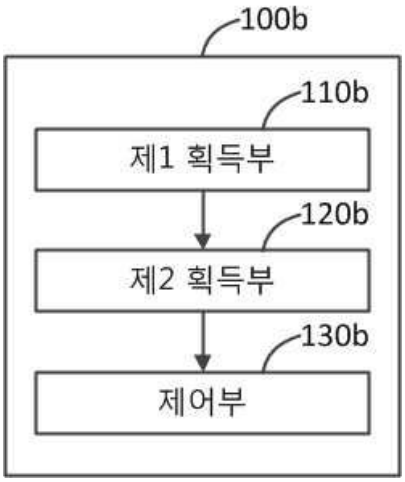
920: 획득부

도면

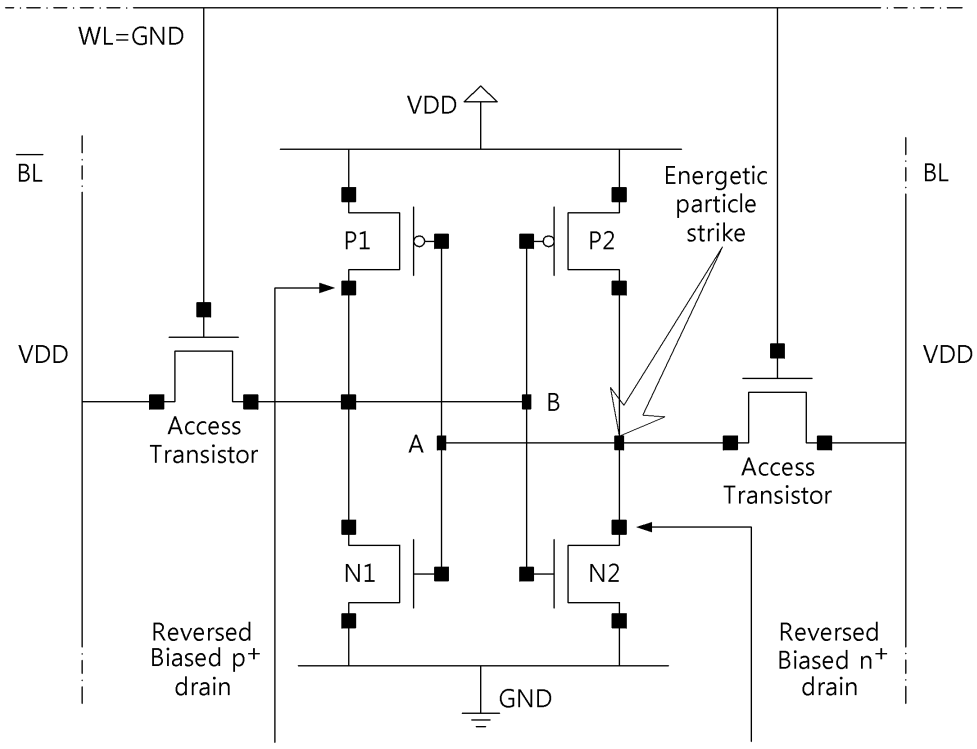
도면1a



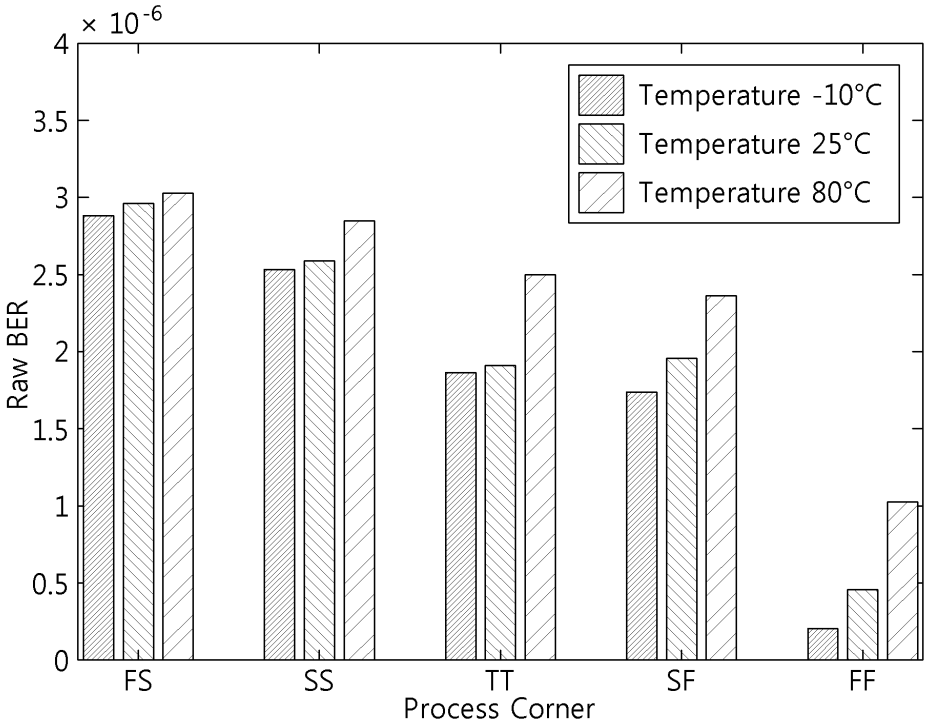
도면1b


100b
110b
제1 획득부
120b
제2 획득부
130b
제어부

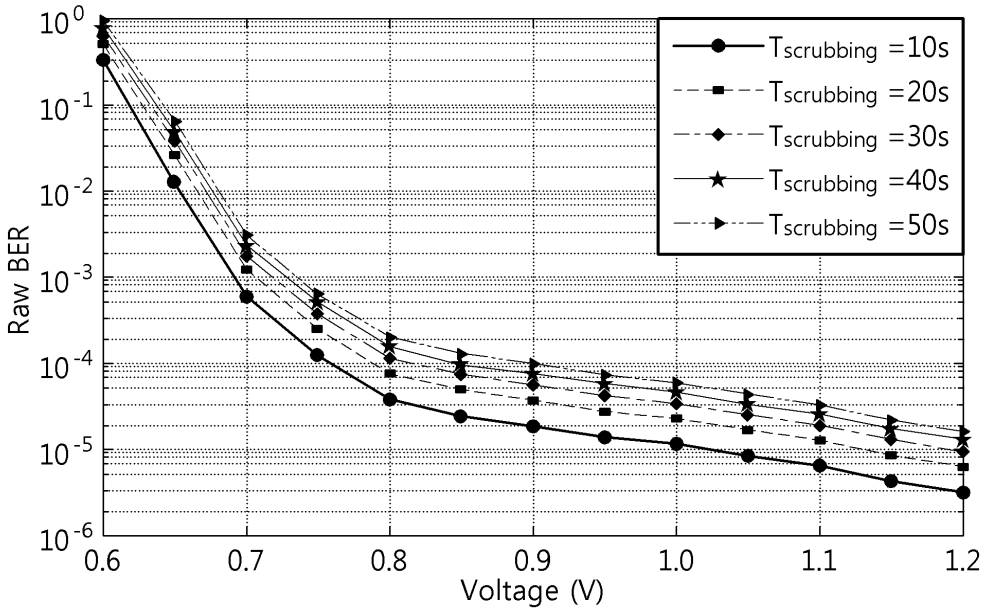
도면2


WL=GND
VDD
BL
BL
VDD
VDD
P1
P2
Energetic particle strike
B
A
Access Transistor
Access Transistor
N1
N2
Reversed Biased p+ drain
Reversed Biased n+ drain
GND

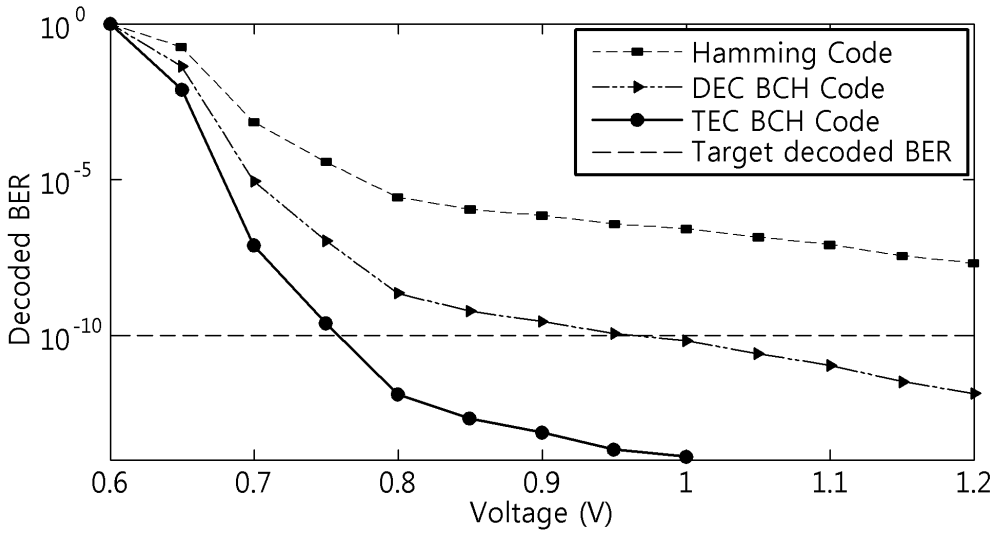
도면3


× 10-6
4
3.5
3
2.5
2
1.5
1
0.5
0
Raw BER
Temperature -10°C
Temperature 25°C
Temperature 80°C
FS
SS
TT
SF
FF
Process Corner

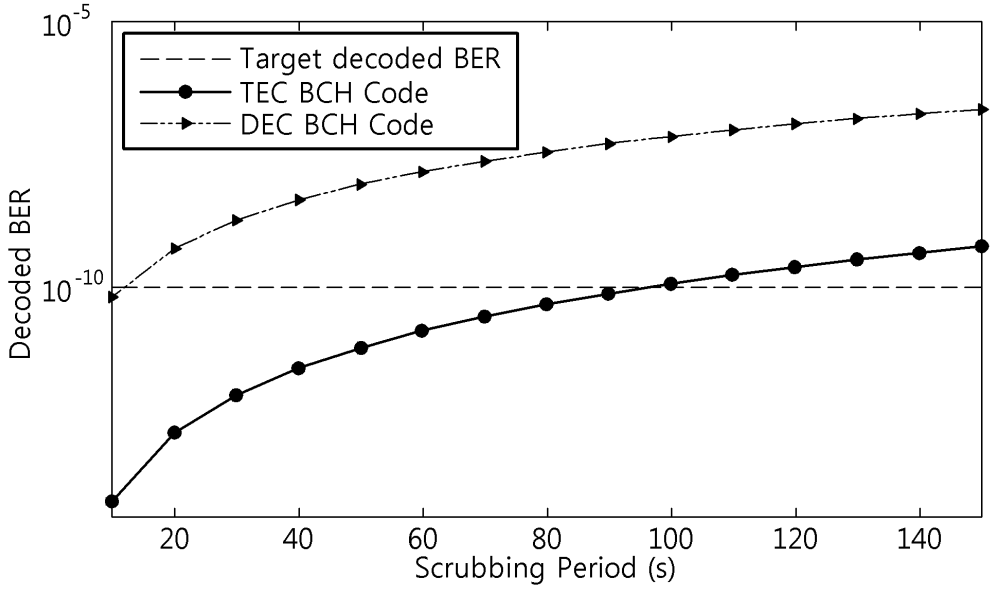
도면4


10^0
10^-1
10^-2
10^-3
10^-4
10^-5
10^-6
Raw BER
Tscrubbing =10s
Tscrubbing =20s
Tscrubbing =30s
Tscrubbing =40s
Tscrubbing =50s
0.6
0.7
0.8
0.9
1.0
1.1
1.2
Voltage (V)

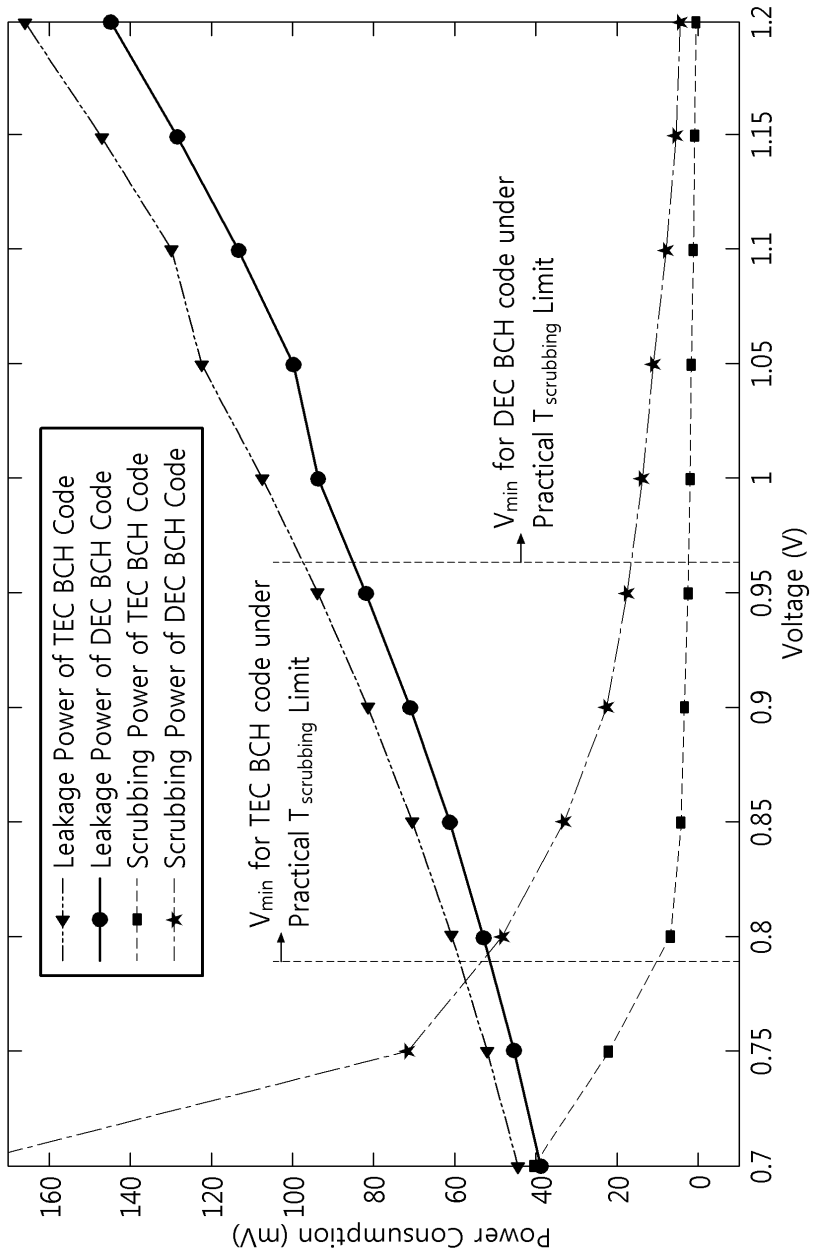
도면5


Hamming Code
DEC BCH Code
TEC BCH Code
Target decoded BER
Decoded BER
Voltage (V)

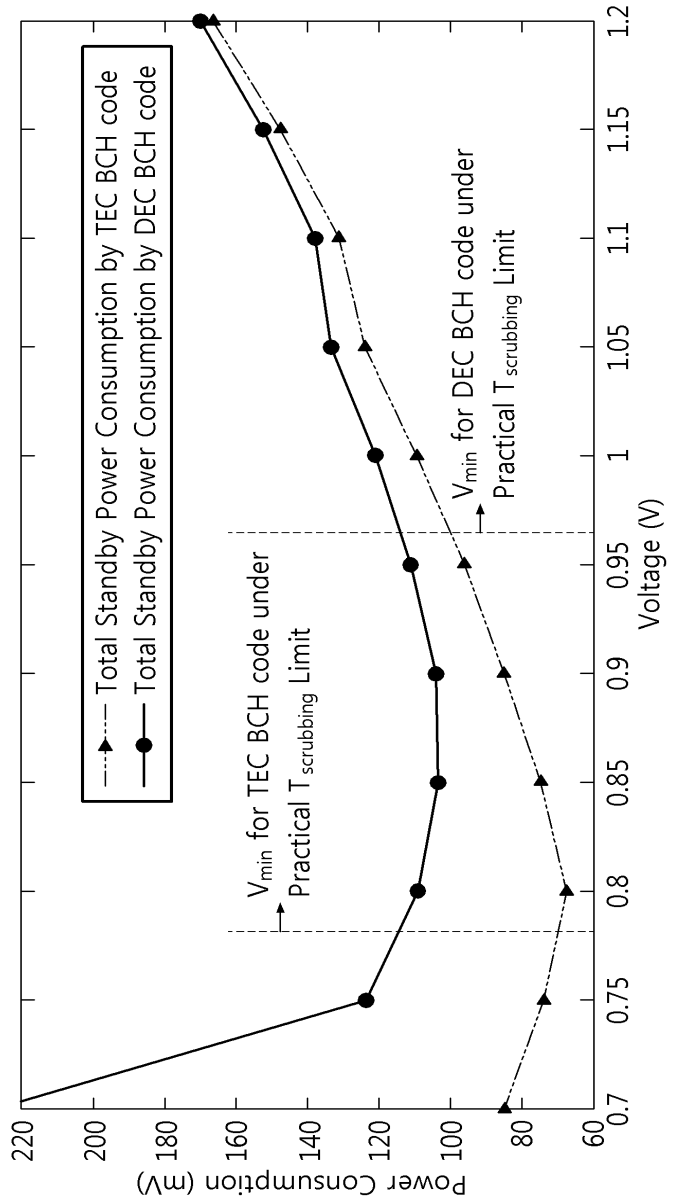
도면6


Target decoded BER
TEC BCH Code
DEC BCH Code
Decoded BER
Scrubbing Period (s)

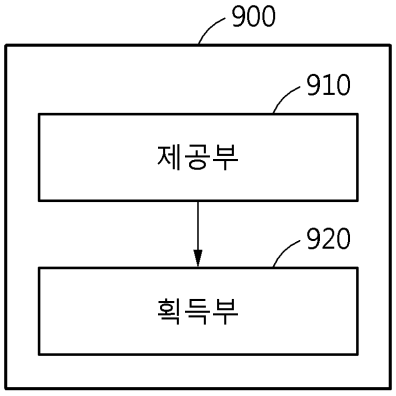
도면7


Leakage Power of TEC BCH Code
Leakage Power of DEC BCH Code
Scrubbing Power of TEC BCH Code
Scrubbing Power of DEC BCH Code
V_{min} for TEC BCH code under Practical $T_{scrubbing}$ Limit
V_{min} for DEC BCH code under Practical $T_{scrubbing}$ Limit
Power Consumption (mV)
Voltage (V)
160
140
120
100
80
60
40
20
0
0.7
0.75
0.8
0.85
0.9
0.95
1
1.05
1.1
1.15
1.2

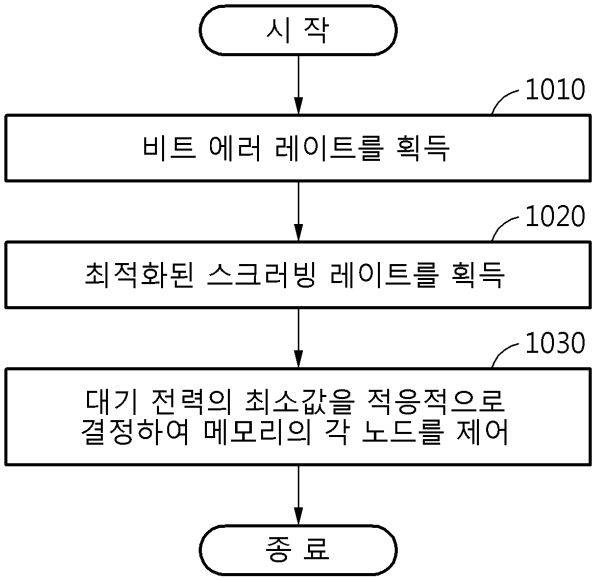
도면8


Total Standby Power Consumption by TEC BCH code
Total Standby Power Consumption by DEC BCH code
V_{min} for TEC BCH code under Practical $T_{scrubbing}$ Limit
V_{min} for DEC BCH code under Practical $T_{scrubbing}$ Limit
Power Consumption (mV)
Voltage (V)
220
200
180
160
140
120
100
80
60
0.7
0.75
0.8
0.85
0.9
0.95
1
1.05
1.1
1.15
1.2

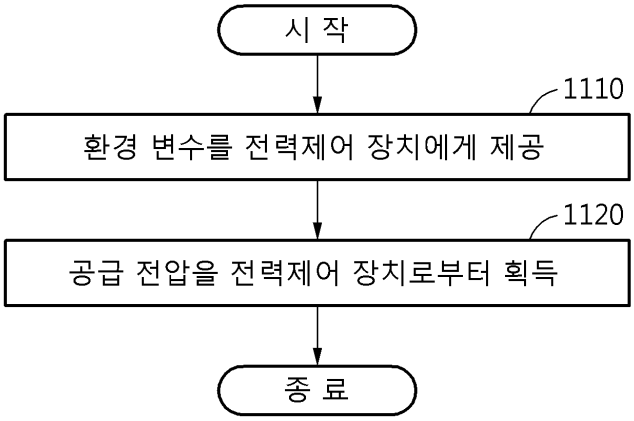
도면9


900
910
제공부
920
획득부

도면10


시 작
1010
비트 에러 레이트를 획득
1020
최적화된 스크러빙 레이트를 획득
1030
대기 전력의 최소값을 적응적으로
결정하여 메모리의 각 노드를 제어
종 료

도면11


시 작
1110
환경 변수를 전력제어 장치에게 제공
1120
공급 전압을 전력제어 장치로부터 획득
종 료