芯片层叠和 3-D 电路的热传导

摘要

本发明涉及一种芯片层叠和 3-D 电路的热传导。一种半导体器件组件和方法可包括一个半导体层或层叠半导体层，例如半导体晶片或晶片部分（半导体管芯）。在每个半导体层上，穿过其中形成的金刚石层可有助于热的传送和消散。金刚石层可包含半导体层的后部上的第一部分和垂直延伸到半导体层内——例如，完全穿过半导体层的一个或多个第二部分。然后可形成至金刚石层的热触点以使热传导而离开一个或多个半导体层。可穿过金刚石层形成导电通孔，以提供信号传送和散热能力。
1. 一种半导体组件，包括：
半导体层，所述半导体层包括前侧、后侧以及穿过其中从所述后侧延伸至所述前侧的开口，以及
延伸穿过所述开口并且包括在所述半导体层的所述前侧的第一表面和在所述半导体层的所述后侧的第二表面的金属石层。

2. 如权利要求1所述的半导体组件，其特征在于，所述半导体层是第一半导体层，且所述半导体组件还包括：
附连至所述第一半导体层的前侧的第二半导体层，其中所述第二半导体层包括：
后侧、前侧和从所述第二半导体层的后侧延伸到所述第二半导体层的前侧的开口；
延伸穿过所述第二半导体层中的开口并且包括在所述第二半导体层的前侧的第一暴露表面和在所述第二半导体层的后侧的第二表面的金属石层；以及
至所述金属石层的导热连接，其中所述导热连接适用于在所述半导体组件的运行期间使热传导而离开所述第一和第二半导体层。

3. 如权利要求1所述的半导体组件，其特征在于，还包括：
所述金属石层是电绝缘体；以及
在所述金属石层内且接触所述金属石层的导电通孔，其中所述导电通孔通过所述金属石层与所述半导体层电隔离。

4. 如权利要求1所述的半导体组件，其特征在于，还包括：
所述金属石层是导电体且其中包括开口；以及
在所述金属石层的开口内且接触所述金属石层的导电通孔，其中所述导电通孔通过所述金属石层电连接到所述半导体层。

5. 如权利要求1所述的半导体组件，其特征在于，还包括：
所述金属石层是导电体且其中包括开口；以及
覆盖所述金属石层中的开口的绝缘介质；以及
所述金属石层的开口内的导电通孔，其中所述电绝缘介质使所述导电通孔与所述金属石层电隔离。

6. 如权利要求1所述的半导体组件，其特征在于，还包括：
所述金属石层是绝缘体；
附连至所述金属石层的导电层，其中所述导电层适用于将热传导到或离开所述金属石层，并且不适用于在所述半导体组件的运行期间传导电信号。

7. 一种半导体组件，包括：
半导体层，所述半导体层具有前侧、后侧以及穿过其中从所述后侧延伸至所述前侧的开口；
延伸穿过所述开口并且包括在所述半导体层的所述前侧的第一表面和在所述半导体层的所述后侧的第二表面的金属石层的第一部分；
覆盖所述半导体层的后侧的金属石层的第二部分；
延伸穿过所述金属石层的第一部分和所述金属石层的第二部分的开口；以及
填充延伸穿过所述金属石层的第一部分和所述金属石层的第二部分的开口的导体，以提供在所述半导体层的前侧和所述半导体层的后侧之间延伸的导电路径。
8. 一种用于形成半导体组件的方法，包括：
去除半导体层的第一部分以穿过其中形成从所述半导体层的前侧延伸至所述半导体层的后侧的开口；
形成延伸穿过所述第一开口并且包括在所述半导体层的所述前侧的第一表面和在所述半导体层的所述后侧的第二表面的金刚石层；
去除所述半导体层的第二部分以穿过其中形成从所述半导体层的前侧延伸至所述半导体层的后侧的第二开口；以及
形成延伸穿过所述第二开口并且包括在所述半导体层的所述前侧的第一表面和在所述半导体层的所述后侧的第二表面的导电层。

9. 如权利要求8所述的方法，其特征在于，还包括：
从所述半导体层的前侧蚀刻所述半导体层以暴露在所述半导体层的后侧上形成的金刚石层；以及
利用在所述半导体层的后部上形成的金刚石层作为晶核生长延伸穿过所述第一开口的金刚石层。

10. 一种用于形成半导体组件的方法，包括：
去除半导体层的厚度在所述半导体层中形成开口并暴露所述半导体层的后侧上的第一金刚石层；
利用所述第一金刚石层作为晶核穿过所述半导体层中的开口生长第二金刚石层；
穿过第一金刚石层和第二金刚石层蚀刻至少一个开口，以提供从所述第一金刚石层的后表面延伸到所述第二金刚石层的前表面并且延伸穿过所述半导体层的至少一个通孔开口；以及
用导电层填充所述至少一个通孔开口，以提供从所述第一金刚石层的后表面延伸到所述第二金刚石层的前表面并且延伸穿过所述半导体层的至少一个通孔。
芯片层叠和 3-D 电路的热传导

具体实施方式
[0003] 以下将具体参考本教导的现有实施例（示例性实施例），在附图中示出其示例。在可能的时候，将在全部附图中使用相同的附图标记来指示相同或相似的部分。包含在此说明书且构成此说明书一部分的附图示例了本发明的实施例，而且与说明书一起用来说明本发明的原理。在附图中：
[0004] 图 1 是根据本教导的实施例的半导体器件的立体图；
[0005] 图 2-6 是描绘根据本教导的实施例的各种器件结构的横截面图；以及
[0006] 图 7-13 是在用于形成根据本教导实施例的器件的本教导的过程实施例期间形成的中间结构的横截面图。
[0007] 应当注意到，已经简化了附图的一些细节，并将这些附图绘制成便于理解本发明实施例而不是保持精确的结构细节、比例和细节。
[0008] 金刚石层是有效的导热体。在本公开的实施例中，可形成金刚石层以提供热传导路径，从而引导热离开层叠模块的内部和 / 或垂直穿过该层叠模块。
[0009] 金刚石材料可以是未掺杂的，例如提供导热但电绝缘的层。在其它使用中，金刚石层可包括掺杂剂浓度以提供导电连接器，例如，足以获得可有效地用于降低衬底噪声和衬底电阻的导电和导热金刚石层的 P+ 去浓度，其可使器件闭锁 (device latch-up) 最小化。可在衬底上沉积或生长金刚石的同时利用注入或原位掺杂将掺杂剂引入金刚石材料。
[0010] 图 1 是本教导的实施例的立体图。图 1 描绘半导体组件 10，其可包括在半导体层 16 的（前）电路侧或表面 14 上形成的互连层（电路）12。半导体组件可以是功能半导体组件、功能半导体组件的一部分或处于制造过程中的半导体组件。半导体层可包括，例如，半导体晶体、单个半导体管芯、外延半导体层、包括半导体晶体和外延层的半导体衬底组件、诸如半导体晶体的一部分的多个未单立半导体管芯。
[0011] 图 1 还描绘集成电路 (IC) 焊盘 18，诸如在半导体层 16 的前表面上形成的接合焊盘或互连焊盘。图 1 的器件还描绘了在半导体层 16 的电路侧 14 上形成的热传导焊盘 20 和在半导体层 16 的后（非电路）侧或表面 24 上形成的金刚石层 22。金刚石层 22 可至少部分地延伸穿过半导体层 16 或完全穿过半导体层，如图 2 所示。
[0012] 半导体层可包括诸如金属氧化物半导体（MOS）器件、双极型晶体管（BJT）之类的一个或多个源器件、诸如扩散电阻器之类的电阻器等。诸如密封环、触点、通孔、金属、层间电介质、多晶硅等其它结构也可形成在半导体层上和 / 或半导体层内。
[0013] 图 2 的横截面图描绘在可挖槽陷芯片连接（“CCC”或“C4”连接）32、34 形成之后的。根据图 1 器件沿 A-A’的器件 30。可由金刚石层 22 部分地提供热传导和传输。此外，
穿过衬底的通孔 (TSV) 36 可用于使热垂直穿过器件 30。形成于金刚石层 22 的表面 37 上的 C4 连接 38 可与 TSV 36 相连接以将热传送到相邻衬底。因此, 在一种使用中, 提供从连接到 C4 连接 34 的表面, 到焊盘 20, 到 TSV 36, 到 C4 连接 38, 然后到电源印刷电路板 (PCB)。类似于器件 30 的另一个器件或另一个接收衬底之类的接收衬底的热传输路径 39。热传输可发生在连接 34 和 38 之间或者离开金刚石层 22 且朝向两个连接 34 和 38 的方向上。

可形成金刚石层 22 使之从半导体层 16 的背面 24 延伸且穿过半导体层 16。TSV 36 可接触金刚石层 22 和焊盘 20, 该焊盘 20 具有与半导体层的前 (电触) 侧或表面共面的平坦表面。可形成, 例如, 如图所示的其它金属化结构。

其它 C4 连接 40 可仅连接至金刚石层 22, 且可用于使热离开金刚石层 22 传输到 C4 连接 40 所附连的接收衬底 (未示出)。在另一个实施例中, C4 连接 38,40 可从另一个器件接收热, 并使热横向地传递而穿过金刚石层 22 以便散热。

金刚石层 22 还可提供离开连接至热传导焊盘 20 和 C4 连接 32 的有源电路的热传导。如图 2 所示, 三个金属化层 42 用于连接输入 / 输出 (I/O) 信号通过电路横向地传输到其它电路或电路。并且将信号在信号间通过路径 43 垂直传输到金刚石层 22 以便从电路传导出去。在半导体层 16 的前表面上形成的金属化层 42 可包含一个或多个导体。另外, 可形成一个或多个介电层 44 和钝化层 46 用于电隔离。

可利用市场上大规模批量生产的背面有金刚石的晶片来形成图 2 的器件 30, 这些背面有金刚石的晶片诸如硅晶片, 或者可在晶片的背面上生长、附连或以其它方式设置背面金刚石层。对于金刚石具有选择性的蚀刻 (即, 蚀刻金刚石的速率低于蚀刻硅的速率) 可用于蚀刻而穿过硅前表面, 以通过沟槽、通孔或另一个开口 (在本文中合称为 “沟槽” 或 “开口”) 使金刚石从晶片的前表面暴露。因此, 从电路侧蚀刻硅且从硅的前表面暴露金刚石。接下来, 可进行金刚石生长工艺, 以便例如利用金刚石填充工艺在暴露的平坦金刚石层上并且穿过硅中的开口生长金刚石。提供金刚石晶体结构的后侧金刚石层可在金刚石穿过开口的生长期间用作金刚石晶体。金刚石沉积方法可包括, 例如, 在约 700℃的温度下的甲烷的热灯丝分解。

一旦已经生长了金刚石使之延伸而穿过硅层中的开口, 就可, 例如, 利用化学机械抛光 (CMP) 工艺或蚀刻来使金刚石平坦化, 从而使上表面平坦化。可使延伸穿过硅中开口而生长的金刚石层平坦化, 使得它一般与半导体层前表面共面。因此图 2 的结构包括金刚石层 22, 其具有平坦下部和从表面的平坦层延伸且穿过半导体层 16 的垂直定向的金刚石层近邻, 该垂直定向的金刚石层近邻可与半导体层 16 的前表面 16 共面。在半导体器件 30 的使用中, 可采用图 2 中器件 30 的形态, 其利用金刚石填充的沟槽区和至热传导焊盘 20 的连接以使热垂直地离开半导体层 16 传输到金刚石层 22。在图 2 的左侧描绘的 C4 连接 32 (例如, 球栅阵列“BGA”) 因此可用于从附连 C4 连接的表面离开、穿过金属化层 42 至金刚石层 22 的热传导。然后热可通过 C4 连接传导到接收衬底。热还可横向地传导而穿过金刚石层 22。

图 3 描述图 2 的热传导焊盘的一部分的放大图 (图 2 中包括 C4 连接 32 的两个左侧结构)。可用金刚石衬底层 52 和金刚石沟槽填充 54 在随后器件的使用期间传热, 使热快速离开半导体层 16。可由金属化层 (图 2 中的 42) 中使用的金属系统 (金属化) 来提供至金刚石沟槽填充 54 顶部的热传导。在该特定情况下, 用三层金属来形成结构 56-66, 可利用
金属镶嵌工艺和三个电介质层 44A-44C 来形成结构 56-66。穿过钝化层 46 的焊盘开口 50 可暴露顶部金属 66 以完成如图所示的热传导焊盘。

【0021】图 3 的结构可包括用于形成至金刚石填充 54 的触点 56 和金属互连层 58 的金属层 1、用于形成至金属层 58 的通孔 60 和金属互连层 62 的金属层 2 以及用于形成通孔 64 和金属互连层 66 的金属层 3。在这种使用中，触点 56 不用于向金刚石沟槽填充 54 传送电信号，而通孔 60、64 分别在层 58 和 62 之间以及层 62 和 66 之间传送电信号。因此这三个金属层包括至金刚石填充 54 的触点层 56 和两个通孔层 60、64。C4 互补 32 可用于提供从焊盘 66 的顶部至类似于图 2 和 3 的组件的另一个芯片组件的热传导。后侧 C4 连接 40 可用于将后侧金刚石层 52 热耦合到接收衬底（未示出）。因此热可通过硅层 16 传送至金刚石层 52，至 C4 连接 40，至接收衬底。在另一种使用中，热可从另一个部件的焊盘传送至 C4 连接 40，至金刚石层 52，横向穿过金刚石层 52 至散热片以便散热。在实施例中，导体 40 适用于在器件运行期间向金刚石层传导热或使热离开金刚石层，但不适用于在器件运行期间传导电信号。

【0022】图 4 描述图 2 的热传导焊盘的一部分的放大图（图 2 的右侧结构）。在该实施例中，将不会在该器件上形成图 2 的 C4 结构 34，但将由类似图 4 器件的另一个器件提供。将形成 C4 连接 38 以通过 TSV 36 从金属 58-66 并从连接至金属 66 的另一个器件接收热。在形成图 2 的接合焊盘 20 之后，可将另一个器件的类似于 38 的 C4 结构附连至金属 66，使得热可通过通孔 36 传送至焊盘 68 再到 C4 连接 38。这可提供具有优于先前接合器件的改进的热处理的层叠器件设计。

【0023】因此图 4 描述从硅 - 金刚石 IC 衬底 16、52、54 的后侧加工的 TSV 36，其可用于从另一个器件发送热或将热发送到另一个器件。TSV 形成过程可包括穿过后侧金刚石层 52、穿过硅 16 并穿过电极层 44C 的沟槽蚀刻，以便一个或多个通孔开口从硅 - 金刚石复合晶片的后侧暴露金属 158。例如，利用钨的金属填充的后续导电层沉积可填充一个或多个通孔，以提供至金属 1 结构 58 的电接触。图案化导电后侧焊盘 68 随后是诸如用于形成 C4 连接 38 的 C4 工艺之类的焊盘工艺，可用于完成至金属 1 的 TSV 接触。可使用其它 TSV 形成工艺，包括从晶片的前端形成 TSV 的工艺。在实施例中，TSV 填充材料仅限于不与金刚石化学相互作用的材料。在另一个实施例中，可由，例如，氮化物或二氧化硅在金刚石侧壁上形成 TSV 垫。垫可使导体与金刚石和 / 或与衬底电绝缘。可将未掺杂的金刚石形成为绝缘层，然而，该未掺杂的金刚石与宽范围的 TSV 填充材料和金属兼容。在其它实施例中，导体可物理接触导电地掺杂的金刚石层，以提供具有改进的热传导的衬底接触。

【0024】得到类似于图 4 的结构的过程可包括形成绝缘金刚石 “指销” 54，该绝缘金刚石 “指销” 54 穿过硅层 16 延伸以环绕其中形成 TSV 36 的硅层 16 的中心硅部分 70。尽管图 4 的横截面描绘两个垂直指销 54，在中心半导体区 70 的任一侧上有一个，但垂直金刚石结构可形成完全围绕其中延伸 TSV 36 中心硅区 70 的周围的一个连续区域。因为在此实施例中，金刚石是绝缘体，所以中心硅部分 70 与硅层 16 中形成的其它导电或半导体结构电隔离。因此不需要附加隔离来使金属 TSV 36 与硅层 16 电隔离，因为通过使用围绕 TSV 36 的金刚石填充沟槽隔离 54 来提供 TSV 填充物与半导体的隔离。

【0025】图 5 描述多个层叠的半导体组件，诸如半导体晶片、半导体晶片衬底组件或例如半导体管芯的半导体晶片部分。可利用基于金刚石的衬底、金刚石沟槽填充和热传导焊盘
在电和热上通过引线连接层叠芯片或 3D IC。图 5 示出用于层叠三个 IC 的本教示的一个实施例。具有一个或多个 TSV 的接合焊盘可用于 I/O 传送，而热传导焊盘可用于热传送。

[0026] 图 5 的层叠半导体组件 100 可包括第一层叠半导体管芯 102、第二层叠半导体管芯 104 和第三层叠半导体管芯 106。层叠组件可包括利用类似方法形成的先前实施例的各种结构。图 5 还描绘可用于将每个半导体管芯 102-106 以机械方式附连在一起的电介质 108。

[0027] C4 连接 40 可提供导热连接以使热传导而离开层叠组件 100。例如，可利用 C4 连接 38,40 的焊料回流将 C4 连接 40 附连至接收衬底 107 上的焊盘 105。在实施例中，C4 连接 38,40 适用于提供离开金刚石层 22 的热传导。可由置于芯片 102 和芯片 104 之间的 C4 连接 32 和 38 以及 TSV 36 提供从芯片 102 至芯片 104 的导热路径。可由置于芯片 104 和芯片 106 之间的 C4 连接 32 和 38 以及 TSV 36 提供从芯片 104 至芯片 106 的导热路径。金属化层 42 可提供芯片之间信号的电传导和热量的热传送。可在金刚石层 22 的边缘处横向地形成其它热连接，例如，与诸如散热片之类的散热器 109 相连接，从而热通过金刚石层 22 水平地消散，并且通过 C4 连接 38,40 消散。

[0028] 因此，层叠 IC 组件可形成封装件或模块 100。C4 连接 38,40 可附连至接收衬底 107 上的焊盘 105。由 IC 产生的热可有效地离开一个或多个半导体层传导到接收衬底 107 和 / 或散热器 109，在散热器 109 中热可消散，从而降低由于过度热水平导致的不利效果。

[0029] 图 6 描绘可根据本教示的另一个实施例形成和提供的器件 110。该实施例可包括诸如半导体芯片或芯片部分的半导体层 112。金刚石层 114 可形成在半导体层 112 的后部，或者可将预制金刚石层附连至半导体芯片。可将金刚石充填工艺用于形成穿过半导体层 112 中的开口的金刚石沟槽填充。为了形成金刚石沟槽填充 116，可从半导体层 112 的前（电路）侧 118 向半导体层 112 内蚀刻开口，以便从半导体层一侧暴露后侧金刚石层 114，然后金刚石层 114 可用作生长穿过开口的金刚石沟槽填充 116 的晶核。例如，利用 CMP 的平坦化步骤可用于使穿过开口延伸而超过半导体层 112 的前表面 118 的任何金刚石沟槽填充部分平坦化。

[0030] 图 6 还描绘形成焊盘 120 的金属层 1、可形成开口 122 和焊盘 124 的金属层 2 和可形成通孔 126 和焊盘 128 的金属层 3。

[0031] 接下来，可通过从金刚石层 114 的暴露侧 132 各向异性蚀刻穿过金刚石层 114 和金刚石沟槽填充 116 来形成穿过金刚石的通孔 (TDV) 130，以形成一个或多个 TDV 开口。蚀刻继续穿过金刚石层 114 和金刚石沟槽填充 116 以暴露金属 1 焊盘 120 的后侧。可利用，例如，钨充填工艺或化学气相沉积 (CVD) 工艺形成金属层，以便用导体填充 TDV 开口。

[0032] 接下来，可利用焊盘金属化工艺来形成诸如接合焊盘之类焊盘 134，诸如 C4 球之类的焊料球 136，球栅阵列 (BGA) 结构，或者可在焊盘 134 上形成其它导体。可形成保护性钝化层 138 以完成图 6 的结构。

[0033] 图 6 的结构可用于提供穿过金刚石层 114 和金刚石沟槽填充 116 的 I/O 传送。在这个实施例中，TDV 结构 130 不穿过半导体衬底 112。因为两个金刚石结构 114,116 可以是电绝缘体，所以不需要用将 TDV 与半导体衬底电隔离的电介质覆盖开口，并且不需要其它隔离技术。导电通孔 130 通过金刚石层与半导体层电隔离。如图 6 所示，金刚石层 116 和导电通孔 130 的一部分直接置于半导体层 112 的各部分之间。

[0034] 图 6 的结构组合了穿过金刚石层 114,116 的热传导和信号传导 (I/O 传送)，提供
有价值的管芯面积节省。该结构可具有各种优点。例如，该结构可与很多或所有的金属系统一起使用。此外，它可利用 C4 工艺、插入件以及铜-铜 (Cu-Cu) 晶片和 / 或管芯接合等提供管芯 - 管芯附连。另外，该结构包括使用穿过硅和 / 或穿过衬底的通孔技术以及一个或多个金刚石填充沟槽。在本发明的实施例中不需要常规的穿过硅的通孔所需的各种电隔离工艺和结构，例如，因为 TSV 不穿过硅。

[0035] 一些半导体组件可包括含有用于热传导和 / 或电隔离的金刚石层的一个或多个半导体管芯以及不含有金刚石层的一个或多个半导体管芯。其它实施例可包括具有至少两个开口——一个填充有导体而另一个填充有金刚石层——的半导体层。例如，通过使用 P 型掺杂剂或 N 型掺杂剂 (取决于器件是 PMOS 还是 NMOS)，金刚石层可以是电导体，或者可以是绝缘体。

[0036] 在另一个实施例中，可导电地掺杂金刚石层以提供电传导以及热传导。

[0037] 在图 7-13 中描绘了包括穿过诸如半导体晶片的半导体层的金刚石层的半导体组件的形成方法。图 7 描绘了半导体层 200 和覆盖半导体层 200 的一侧——例如后侧——的金刚石层 202。可与半导体分离地形成金刚石层 202，或利用氧化物层将其附连至半导体层的后侧。在其它工艺中，可在半导体层的后侧生长或沉积金刚石层。

[0038] 在提供金刚石层和半导体层之后，半导体层 200 的一侧——例如侧——上形成诸如光刻胶层之类的图案化掩模 204，以具有暴露半导体层 200 的前侧的开口 206。

[0039] 接下来，例如通过蚀刻，去除半导体层 200 的第一部分，以在半导体层 200 中形成一个或多个开口，以从半导体层的前侧暴露金刚石层 202，如图 8 所示。半导体层 200 中的一个或多个开口从半导体层的前侧延伸到后侧。

[0040] 随后，暴露的金刚石层 202 可用作晶核，以穿过半导体层中蚀刻的开口生长金刚石层部分 208。当生长的金刚石层部分 208 与半导体层 200 的前部齐平时可停止生长过程，或者如图 9 所示，生长过程可继续直到生长的金刚石层部分 208 延伸开口。生长的金刚石层 208 延伸开口。

[0041] 如图 9 所示，可在半导体层 200 的前部和生长的金刚石层 208 上形成旋涂或沉积的填充层 210。然后可利用，例如 CMP，来使填充层和生长的金刚石层 208 平坦化，从而得到图 10 的结构。填充层可在 CMP 期间保护半导体层。

[0042] 接下来，如图 11 所示，可在半导体层 200 和生长的金刚石层 208 上形成图案化掩模 220。掩模中具有开口，以限定穿过生长的金刚石层 208 和半导体层 200 的 TSV。蚀刻图 11 的结构以形成穿过生长的金刚石层 208 的第一开口、穿过半导体层 200 的第二开口，并且蚀刻穿过半导体层的后侧上的金刚石层 202 以得到图 12 的结构。随后，去除掩模 220 以得到图 13 的结构。通过用诸如金属之类的导体填充图 13 中的开口，可形成先前附图中的类似于 TSV 36 的 TSV 130。可用诸如氧化物之类的电介质覆盖开口，以提供与半导体层 200、后侧金刚石层 202 和生长的金刚石层 208 电绝缘的 TSV。在可选实施例中，可利用第一掩模穿过生长的金刚石层 208 形成 TSV，并且可在不同时间利用第二掩模穿过半导体层 200 形成 TSV。

[0043] 在一个实施例中，一种半导体组件包括：半导体层，该半导体层包括前侧、后侧以及穿过其中从后侧延伸至所述前侧的开口，以及延伸穿过开口并且包括在半导体层的前侧的第一表面和在半导体层的后侧的第二表面的金刚石层。在该实施例中，金刚石层可提供
电连接器或者金刚石层提供不导电散热片。在该实施例中，金刚石层可包括延伸穿过开口的第一部分以及覆盖半导体层的后侧的第二部分。在该实施例中，至少一部分导电通道直接置于半导体层的各部分之间并且至少一部分金刚石层直接置于半导体层的各部分之间。在该实施例中，延伸穿过开口的金刚石层是导电的。在该实施例中，延伸穿过开口的金刚石层是绝缘体。在该实施例中，该开口是第一开口，且半导体组件还包括：半导体层还包括穿过其中从后侧延伸到前侧的第二开口；以及填充半导体层中的第二开口的导电层。在该实施例中，金刚石层是导电金刚石层。在该实施例中，还包括金刚石层内浓度足以得到导电金刚石层的掺杂剂。在该实施例中，金刚石层是绝缘体。

[0044] 在另一个实施例中，一种半导体组件包括：半导体层，该半导体层具有前侧、后侧以及穿过其中从后侧延伸至前侧的开口；延伸穿过开口并且包括在半导体层的前侧的第一表面和在半导体层的后侧的第二表面的金刚石层的第一部分；覆盖半导体层的后侧的金刚石层的第二部分；延伸穿过金刚石层的第一部分和金刚石层的第二部分的开口；以及填充延伸穿过金刚石层的第一部分和金刚石层的第二部分的开口的导电层，以提供在半导体层的前侧和半导体层的后侧之间延伸的导电路径。在该实施例中，填充开口的导电层可提供在金刚石层的第一部分的前表面和金刚石层的第二部分的后表面之间延伸的导电路径。在该实施例中，金刚石层的第一部分是绝缘体并且填充开口的导电层通过金刚石层的第一部分与所述半导体层电隔离。

[0045] 在又一个实施例中，一种用于形成半导体组件的方法包括：去除半导体层的第一部分以穿过其中形成从半导体层的前侧延伸至半导体层的后侧的第一开口；形成延伸穿过第一开口并且包括在半导体层的前侧的第一表面和在半导体层的后侧的第二表面的金刚石层；去除半导体层的第二部分以穿过其中形成从半导体层的前侧延伸至半导体层的后侧的第二开口；以及形成延伸穿过第二开口并且包括在半导体层的前侧的第一表面和在半导体层的后侧的第二表面的导电层。在该实施例中，较佳的是还包括使半导体层前侧的金刚石层的第一表面平坦化以形成与半导体层的前侧共面的平坦化金刚石表面。在该实施例中，较佳的是，半导体层是第一半导体层，平坦化金刚石表面是第一平坦化金刚石表面，且该方法还包括：利用热连接使第一平坦化金刚石表面与穿过第二半导体层的开口形成的第二平坦化金刚石表面相连接，其中在半导体组件的运行期间，制成连接适用于使热传导而离开所述第一和第二半导体层。在该实施例中，较佳的是，还包括：在穿过金刚石层蚀刻一个开口；在穿过金刚石层的至少一个开口内形成导电通道，在其中半导体组件的运行期间，金刚石层将导电通道与半导体层电隔离。在该实施例中，较佳的是，还包括：在至少一个开口内形成导电通道将导电通道直接置于半导体层的第一和第二部分之间。

[0046] 将意识到，附图可能省略诸如电互连层和半导体器件扩展、导体和电介质等多种元件，以便更清楚地表示出热传导焊盘和热管理的特征。此外，图 2-6 描绘芯片-芯片连接的 C4 方法。如果对于热传导焊盘，但在连接中可维持足够的热传导率，则可使用芯片-芯片连接的其它示例，例如利用插入件。

[0047] 尽管陈述本发明的宽泛范围的数值范围和参数是近似值，但仍然尽可能精确地报告在特定示例中陈述的数值。

[0048] 然而，任何数值均具有从它们相应的试验测量中存在的标准偏差的某些误差。而且，应当将本文中公开的所有范围理解为包含其中所包含的任何和所有的子范围。
围。例如，“小于 10”的范围可包括在最小值 0 和最大值 10 之间（含 0 和 10）的任何和所有子范围，即具有等于或大于 0 的最小值和等于或小于 10 的最大值的任何和所有子范围，例如 1 到 5。在某些情况下，该参数所述的数值可取负值。在这种情况下，陈述为“小于 10”的范围的示例值可以采用负值，例如，-1、-2、-3、-10、-20、-30 等。

[0049] 虽然已经关于一个或多个实现示出了本发明，但可对所示示例作出变化和/或修改，而不背离所附权利要求的精神和范围。此外，虽然已经关于若干实现中的仅一个实现公开本发明的具体特征，但在需要和对任何给定或具体功能有利时，可将这样的特征与另一实现的一个或多个其它特征组合。此外，在术语“包括”、“包含”、“具有”、“有”、“用”或它们的变化用于详细描述和权利要求的范围内时，这些术语旨在以与术语“包括”相似的方式包括。术语“至少一个”用于表示可选择所列出项目中的一个或多个。此外，在本文的讨论和权利要求中，针对两种材料所使用的术语“在、上”，一个在另一个“上”，表示材料之间的至少某些接触，而“在、上方”表示材料位于，但可能有一个或多个附加的介于材料，使得接触是可能的但不是必需的。如本文中所使用的，“在、上”或“在、上方”都不表示任何方向性。术语“共形”描述涂层材料，其中下层材料的角受到共形材料的保护。术语“约”指示所列出的值可有某种改变，只要改变不会导致所示实施例的过程或结构的不一致即可。最后，“示例性”指示该描述用作示例，而不表示它是理想的。通过考虑说明书和实施本文所公开的发明，本发明的其它实施例对于本领域技术人员将变得显而易见。旨在认为说明书和示例仅仅是示例性的，而不本发明的真实范围和精神由所附权利要求指明。

[0050] 基于与晶片或衬底的常规平面或工作面平行的平面来限定本申请中使用的相对位置的术语，而与晶片或衬底的定向无关。本申请中使用的术语“水平”或“横向”定义为与晶片或衬底的常规平面或工作面平行的平面，而与晶片或衬底的定向无关。术语“垂直”指的是垂直于水平的方向。诸如“在、上”、“侧”（如在“侧壁”中）、“上”、“下”、“在、之上”、“顶部”和“在、下”之类的术语是相对于晶片或衬底的顶面上的常规平面或工作面来限定的，而与晶片或衬底的定向无关。
图 3
图 5