

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年6月5日 (05.06.2008)

PCT

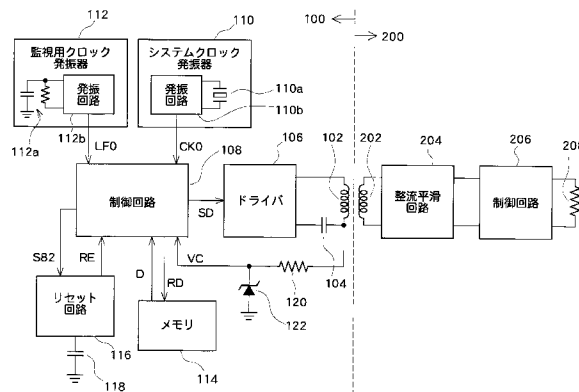
(10) 国際公開番号
WO 2008/066111 A1

- (51) 国際特許分類:
H02J 17/00 (2006.01) H04B 5/02 (2006.01)
H02J 7/00 (2006.01)
- (21) 国際出願番号: PCT/JP2007/073051
- (22) 国際出願日: 2007年11月29日 (29.11.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2006-323348
2006年11月30日 (30.11.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 明日香エレクトロニクス株式会社 (ASKA ELECTRON CORPORATION) [JP/JP]; 〒5320003 大阪府大阪市淀川区宮原5丁目1番3号 Osaka (JP). 三洋電機株式会社 (SANYO ELECTRIC CO.,LTD.) [JP/JP]; 〒5708677 大阪府守口市京阪本通2丁目5番5号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高石 好 (TAKAISHI, Konomu) [JP/JP]; 〒5320003 大阪府大阪市淀川区宮原5丁目1番3号 明日香エレクトロニクス株式会社内 Osaka (JP). 野原 一倫 (NOHARA, Kazunori) [JP/JP]; 〒3700596 群馬県邑楽郡大泉町坂田一丁目1番1号 三洋半導体株式会社内 Gunma (JP).
- (74) 代理人: 吉田 研二, 外 (YOSHIDA, Kenji et al.); 〒1800004 東京都武蔵野市吉祥寺本町1丁目34番12号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,

[続葉有]

(54) Title: NONCONTACT TRANSMISSION DEVICE

(54) 発明の名称: 無接点伝送装置



- 112... MONITORING CLOCK OSCILLATOR
- 112b... OSCILLATION CIRCUIT
- 110... SYSTEM CLOCK OSCILLATOR
- 110b... OSCILLATION CIRCUIT
- 108... CONTROL CIRCUIT
- 106... DRIVER
- 116... RESET CIRCUIT
- 114... MEMORY
- 204... RECTIFYING SMOOTHING CIRCUIT
- 206... CONTROL CIRCUIT

(57) Abstract: A noncontact transmission device (100) is provided with a monitoring clock oscillator (112) for outputting a monitoring clock (LF0) having a frequency lower than that of a system clock (CK0); a control circuit (108); a memory (114) having information (D) stored to be used by the control circuit (108); and a reset circuit (116). The control circuit (108) includes an internal storage circuit for storing the information (D) read out from the memory (114). The control circuit (108) reads out and updates the information (D) stored in the internal storage circuit from the memory (114) in an update cycle based on the monitoring clock (LF0). Furthermore, the control circuit (108) reads out the information (D), which is reset in a reset cycle longer than the update cycle based on the monitoring clock (LF0) and stored in the internal storage circuit each time the information is reset, from the memory (114) and updates the information.

[続葉有]



WO 2008/066111 A1



MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,
IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

(57) 要約: 無接点伝送装置 (100) は、システムクロック (CK0) よりも周波数が低い監視用クロック (LF0) を出力する監視用クロック発振器 (112) と、制御回路 (108) と、制御回路 (108) が利用する情報 (D) が格納されたメモリ (114) と、リセット回路 (116) とを含んで構成されている。制御回路 (108) は、メモリ (114) から読み出した情報 (D) を格納する内部記憶回路を含んで構成されている。制御回路 (108) は、内部記憶回路に格納された情報 (D) を監視用クロック (LF0) に基づいた更新周期でメモリ (114) から読み出して更新する。また、制御回路 (108) は、上記更新周期よりも長く監視用クロック (LF0) に基づいたリセット周期でリセットされ、リセットの度に内部記憶回路に格納された情報 (D) をメモリ (114) から読み出して更新する。

明 細 書

無接点伝送装置

技術分野

[0001] 本発明は、コイルを介した電磁的結合を利用して電力とデータ信号とのうちの少なくとも一方を被伝送装置へ伝送する無接点伝送装置に係る。

背景技術

[0002] 電気機器の内蔵充電電池を充電する方式の一つとして、コイルによる電磁的結合(誘電結合とも呼ばれる)を利用して充電器から電力を送電する、いわゆる無接点電力伝送方式がある。また、この方式の充電器として、電気機器(換言すれば負荷)が、充電器上に存在しているか、適切に配置されているか、正規のものであるか否か、等を確認した後に、電力伝送を開始する構成が知られている。

[0003] 背景技術に関する文献として、特開2006-230032号公報、特開2006-60909号公報が挙げられる。

[0004] 充電器は電気機器が配置されていない待機期間中も商用電源に接続されたままの状態にされる場合がある。この場合、無接点電力伝送方式の充電器はコイルを有するので、当該コイルを介して電磁波ノイズが侵入すると充電器が動作不具合を起こす可能性がある。また、落雷等によって商用電源からサージが侵入した場合にも充電器が動作不具合を起こす可能性がある。なお、電力伝送の場合を説明したが、コイルによる電磁的結合を利用してデータ信号を送信する場合においても同様のことが当てはまる。

[0005] 本発明の目的は、コイルを介した電磁的結合を利用して電力とデータ信号とのうちの少なくとも一方を被伝送装置へ伝送する無接点伝送装置であって電磁波やサージ等の外乱が侵入した場合であっても安定的に動作可能な無接点伝送装置を提供することである。

発明の開示

[0006] 本発明に係る無接点伝送装置は、コイルを介した電磁的結合を利用して電力とデータ信号とのうちの少なくとも一方を被伝送装置へ伝送する無接点伝送装置であつ

て、システムクロックよりも周波数が低い監視用クロックを出力する監視用クロック発振器と、前記システムクロックおよび前記監視用クロックを利用して動作する制御回路と、前記制御回路が利用する情報が格納されたメモリと、を備え、前記制御回路は、前記メモリから読み出した前記情報を格納する内部記憶回路を含んで構成され、前記内部記憶回路に格納された前記情報を前記監視用クロックに基づいた更新周期で前記メモリから読み出して更新することを特徴とする。また、前記制御回路は、前記更新周期よりも長く前記監視用クロックに基づいたリセット周期でリセットされ、リセットの度に前記内部記憶回路に格納された前記情報を前記メモリから読み出して更新することが好ましい。

- [0007] 上記構成によれば、制御回路は周期的に更新された情報を利用するので、外乱の影響から自動的に復帰して安定的に動作可能な無接点伝送装置を提供することができる。

図面の簡単な説明

- [0008] [図1]本発明の実施の形態に係る伝送装置の一例を説明するブロック図である。
[図2]本発明の実施の形態に係る伝送装置のドライバの一例を説明する回路図である。
[図3]本発明の実施の形態に係る伝送装置の制御回路の一例を説明するブロック図である。
[図4]本発明の実施の形態に係る伝送装置の動作の一例を説明するタイミングチャートである。

発明を実施するための最良の形態

- [0009] 図1に実施の形態に係る伝送装置100の一例を説明するブロック図を示す。伝送装置100は電力とデータ信号とのうちの少なくとも一方を被伝送装置200へ伝送する装置であり、図1には説明のために被伝送装置200の一例を併せて図示している。電力等の伝送は伝送装置100と被伝送装置200とが電磁的に結合した状態で電磁誘導によって行われる無接点伝送方式による。ここでは被伝送装置200が例えば各種電気機器であり伝送装置100が当該各種電気機器の充電器の場合を例示するが、両装置100, 200はこれらに限定されるものではない。

- [0010] 伝送装置100は、コイル102と、コンデンサ104と、ドライバ106と、制御回路108と、システムクロック発振器110と、監視用クロック発振器112と、メモリ114と、リセット回路116と、コンデンサ118と、抵抗120と、ツェナーダイオード122とを含んで構成されている。
- [0011] コイル102は、被伝送装置200のコイル202と電磁的に結合することによってコイル102, 202を介した電力等の伝送を可能にするものであり、例えば平面状空芯コイルで構成可能であるが、これに限定されるものはない。コイル102の一端はドライバ106に接続され、当該コイル102の他端はコンデンサ104を介してドライバ106に接続されている。コイル102およびコンデンサ104によって、ドライバ106からコイル102へ供給される電圧が交流化および昇圧される。
- [0012] ドライバ106はコイル102へ電圧を供給する回路、換言すれば当該コイル102を駆動する回路である。ドライバ106の構成の一例を図2に示す。なお、説明のため図2にはコイル102およびコンデンサ104も図示している。この例では、ドライバ106は、C-MOS (Complementary-Metal Oxide Semiconductor) 回路132と、CMOS回路134と、インバータ136とを含んで構成されている。
- [0013] CMOS回路132は電源電圧Vと接地電位との間にPチャネルMOSFET (Metal Oxide Semiconductor Field Effect Transistor) 132pとNチャネルMOSFET 132nとが直列接続されて構成され、MOSFET 132p, 132nのドレイン(互いに接続されている)はコイル102の上記一端に接続されている。MOSFET 132p, 132nのゲートには制御回路108から出力されるドライバ制御信号SDが共通に入力される。なお、電源電圧Vは例えば不図示のACアダプタ(AC-DC変換器)によって商用交流電源を直流化して生成され、当該ACアダプタは伝送装置100内に設けられたものであってもよいし、伝送装置100に外付けされたものであってもよい。
- [0014] CMOS回路134は電源電圧Vと接地電位との間にPチャネルMOSFET 134pとNチャネルMOSFET 134nとが直列接続されて構成され、MOSFET 134p, 134nのドレイン(互いに接続されている)はコンデンサ104を介してコイル102の上記他端に接続されている。MOSFET 134p, 134nのゲートにはドライバ制御信号SDがインバータ136を介して共通に入力される。

- [0015] この構成により、ドライバ制御信号SDがH(High)レベルの場合、MOSFET132n, 134pがオン状態になる。逆に、ドライバ制御信号SDがL(Low)レベルの場合、MOSFET132p, 134nがオン状態になる。伝送装置100から被伝送装置200へ電力を伝送する場合、例えばドライバ制御信号SDにおいてHレベルとLレベルとを交互に繰り返すことによって、コイル102に交流電圧が印加される。伝送装置100から被伝送装置200へ各種のデータ信号を伝送する場合、例えばドライバ制御信号SDにおいてHレベルおよびLレベルのパルス幅又は周期を変調することによって伝送データに応じた電圧がコイル102に印加される。
- [0016] 制御回路108は、システムクロック発振器110からシステムクロック(マスタークロックとも呼ばれる)CK0が供給され、監視用クロック発振器112から監視用クロックLF0が供給され、これらのクロックCK0, LF0を利用して動作するロジック回路を含んで構成される。制御回路108は、例えばドライバ制御信号SDを生成してドライバ106へ出力する。制御回路108については後に詳述する。
- [0017] システムクロック発振器110は例えば水晶振動子110aと当該振動子110aに接続された発振回路110bとを含んで構成される。なお、水晶振動子に代えてセラミック振動子等を用いてもよい。発振回路110bは水晶振動子110aを安定的に動作させるとともに水晶振動子110aの出力を例えば矩形パルスに変換してシステムクロックCK0として出力する。システムクロックCK0の周波数は例えば32MHzである。システムクロック発振器110は、システムクロックCK0を制御回路108へ供給可能に設けられている。
- [0018] 監視用クロック発振器112は、システムクロックCK0よりも低い周波数、例えば250kHzのクロックLF0を生成して出力する。監視用クロック発振器112は例えば、抵抗とコンデンサとによるRC発振回路112aと、RC発振回路112aに接続された発振回路112bとを含んで構成される。発振回路112bはRC発振回路112aを安定的に動作させるとともに当該回路112aの出力を例えば矩形パルスに変換して監視用クロックLF0として出力する。監視用クロック発振器112は、監視用クロックLF0を制御回路108へ供給可能に設けられている。
- [0019] メモリ114は、制御回路108がアクセス可能に設けられており、例えば制御回路10

8からの読み出し命令RDに従って、格納されている所定の情報Dを制御回路108へ送信するように構成されている。メモリ114は例えばマスクROM(Read Only Memory)やEEPROM(Electronically Erasable and Programmable Read Only Memory)等の不揮発性メモリで構成されている。メモリ114内に格納される情報Dの一例として、例えばドライバ制御信号SDにおけるHレベルとLレベルとの周波数、換言すればコイル102の駆動周波数が挙げられる。

[0020] リセット回路116は制御回路108全体のリセットを行う回路であり、制御回路108はリセット回路116からリセット信号REを受信することによって再起動する。リセット信号REの出力は、後述のように、制御回路108からのリセット制御信号S82によって制御可能に構成されている。リセット回路116はコンデンサ118を介して接地されている。

[0021] 抵抗120は、一端がコイル102の上記他端に接続され、他端がツェナーダイオード122を介して接地されているとともに制御回路108に接続されている。これにより、コイル102の上記他端の電圧(または電流)が抵抗120を介して電圧VCとして制御回路108に入力される。なお、抵抗120およびツェナーダイオード122によって制御回路108は過大な入力電圧から保護される。

[0022] 電圧VCは、制御回路108によって、伝送装置100と被伝送装置200とが電磁的結合の状態に配置されているか否かの検出に利用される。当該検出は、例えば電圧VCの位相と所定の基準クロック(例えばシステムクロックCK0を数百kHz程度に分周したクロック)の位相との関係が、伝送装置100に、被伝送装置200が適切な電磁的結合をしている状態(正規の負荷状態)と、それ以外の状態と、で異なることを利用することによって、可能である。例えば、電圧VCの位相は上記基準クロックの位相と比較すると、正規の負荷状態では同一になり、被伝送装置200が電磁的結合をしていない状態(無負荷状態)では遅れる。このため、電圧VCと上記基準クロックとの位相比較によって正規の負荷状態にあるか否かを検出することが可能である。また、上記検出は例えば電圧VCの振幅を利用することによっても可能である。例えば、正規の負荷状態ではコイル102, 202を介して共振が生じ電圧VCは無負荷状態に比較して振幅が大きくなるので、所定の基準電圧との振幅比較によって正規の負荷状態にあるか否かを検出することができる。ここで、例えば被伝送装置200ではない導電物

がコイル102に近接している状態(異物負荷状態)では、電圧VCの位相および振幅が正規負荷および無負荷の状態とは異なるので、異物負荷状態を検出することも可能である。また、被伝送装置200に付与されたIDデータを利用して正規の負荷状態を判断するように構成しても構わない。

[0023] 例えば、上記検出で利用する比較用基準値やIDについての情報Dをメモリ114に格納してもよく、この場合、当該情報Dを制御回路108が伝送装置100の起動時等に取得し、検出動作に利用するように構成することが可能である。

[0024] 被伝送装置200は、例えば平面状空芯コイル等で構成されるコイル202と、整流平滑回路204と、制御回路206と、負荷208とを含んで構成されている。なお、負荷208は例えば充電電池である。整流平滑回路204は、コイル102からコイル202へ伝送された電力等を整流し平滑化する回路であり、例えばコイル202の両端に接続されたダイオードブリッジと当該ダイオードブリッジの出力に並列に接続されたコンデンサとを含んで構成される。なお、負荷208は例えばダイオードブリッジの出力に接続されている。制御回路206は、ここでは説明の簡単のため、被伝送装置200における各種制御を行う回路を総称するものとする。制御回路206は、例えばコイル202への電圧供給を制御可能に構成され、当該電圧を変調することによってコイル202、102を介して伝送装置100へデータ信号を伝送することが可能である。伝送装置100へ伝送するデータ信号として例えば被伝送装置200に付与されたIDデータ等が挙げられる。

[0025] 図3に制御回路108の構成の一例を示す。なお、説明のため図3には監視用クロック発振器112、メモリ114およびリセット回路116も図示している。また、図4に伝送装置100の動作の一例を説明するタイミングチャートを示す。

[0026] 図3の例では、制御回路108は、アクセス回路176と、内部記憶回路178と、処理回路180とを含んで構成されている。

[0027] 処理回路180は、制御回路108での各種処理を行う回路であり、例えば、ドライバ制御信号SDを生成するドライバ制御信号生成回路や、被伝送装置200が電磁的結合の状態に配置されているか否かの上記検出を行う検出器等を含んで構成されている。処理回路180は、内部記憶回路178に格納された各種情報Dを利用して処理を

行う。例えば、ドライバ制御信号SDを生成する際に利用するコイル102の駆動周波数や、上記検出の際に利用する比較用基準値やID、等についての情報Dが内部記憶回路178に格納される。内部記憶回路178は、例えばラッチ回路等の揮発性メモリで構成されている。

[0028] アクセス回路176は、上記各種情報Dをメモリ114から内部記憶回路178へ読み出すために、メモリ114に対して読み出し命令RDを送信する。この読み出し命令RDに従ってメモリ114は情報Dを内部記憶回路178へ出力する。

[0029] 伝送装置100では、電源投入後の初期化処理において、アクセス回路176によってメモリ114から内部記憶回路178へ情報Dが転送されるように構成されている。さらに、伝送装置100は、内部記憶回路178への情報Dの転送を、周期的に実行可能に構成されている。以下に、この構成を説明する。図3の例では、制御回路108は、更新制御回路172と、リセット制御回路182とをさらに含んで構成されている。なお、制御回路108の上記要素172, 176, 178, 180, 182はロジック回路で構成可能であり、制御回路108をロジックIC (Integrated Circuit) 部品として構成することが可能である。

[0030] 更新制御回路172は、例えば、タイマ172aと、ラッチ回路172bと、AND回路(論理積回路)172cとを含んで構成されている。

[0031] タイマ172aは、監視用クロックLF0が供給され、当該クロックLF0を利用してタイマ信号S72aを生成する。ここでは、タイマ信号S72aは間欠的にHレベルに変化(遷移)する波形の場合を例示し(図4参照)、タイマ信号S72aのHレベルの周期TSは例えば1分である。

[0032] ラッチ回路172bは、タイマ信号S72aを受信し、当該タイマ信号S72aがHレベルへ遷移するのに合わせて出力信号S72bをHレベルに遷移し、当該Hレベルの出力信号S72bを後述の読み出し終了信号S76aを受信するまで保持する(図4参照)。

[0033] AND回路172cは、ラッチ回路172bの出力信号S72bと監視用クロックLF0とを入力信号とする。このため、AND回路172cからは、ラッチ回路172bの出力信号S72bがHレベルの期間だけクロックLF0が出力される。AND回路172cの出力は、更新制御信号S72として、アクセス回路176へ出力される。

- [0034] 更新制御信号S72に従ってアクセス回路176が読み出し命令RDをメモリ114へ送信し、メモリ114から内部記憶回路178へ情報Dが転送される。これにより、内部記憶回路178内の情報Dが更新される。アクセス回路176は情報Dの読み出し終了に対応して読み出し終了信号S76aをラッチ回路172bへ出力する。例えばメモリ114から読み出す情報Dの個数があらかじめ決まっている場合、その個数分の読み出し命令RDを送信した後に読み出し終了信号S76aを出力する。
- [0035] アクセス回路176は、また、情報Dの読み出し終了に対応して処理回路180へ読み出し終了信号S76bを送信する。これにより、処理回路180は、内部記憶回路178内の情報Dが更新されたことを知ることができ、更新された情報Dを利用して処理を実行する。ここでは処理回路180へ送信される読み出し終了信号S76bを、更新制御回路172用の読み出し終了信号S76aとは別のものとしたが、両信号S76a, S76bは同じ信号であってもよい。
- [0036] リセット制御回路182は、リセット回路116を制御するためのリセット制御信号S82を生成する回路であり、例えばタイマ182aを含んで構成される。タイマ182aは、監視用クロックLF0が供給され、当該クロックLF0を利用してタイマ信号を生成する。当該タイマ信号がリセット制御信号S82として出力される。ここでは、リセット制御信号S82は間欠的にHレベルに遷移する波形の場合を例示し(図4参照)、当該制御信号S82のHレベルの周期TLは、上記の更新制御信号S72の周期TSよりも長く、例えば2時間である。リセット制御信号S82はリセット回路116へ出力される。
- [0037] Hレベルのリセット制御信号S82を受信したリセット回路116は、リセット信号REによって制御回路108をリセットし再起動させる。なお、図4にはリセット信号REが、リセット制御信号S82がHレベルへ遷移するのに同期してLレベルへ遷移し当該Lレベルが所定時間幅、持続する矩形波を例示している。上記再起動によって制御回路108は電源投入時と同様に初期化処理を実行する。この初期化処理にはメモリ114から内部記憶回路178への情報Dの転送が含まれ、これにより内部記憶回路178内の情報Dがリセットの度に更新される。
- [0038] 上記構成によれば、内部記憶回路178内の情報Dは監視用クロックLF0に基づいた更新周期TSおよびリセット周期TLで周期的にメモリ114から読み出され更新され

る。このため、電磁波やサージ等の外乱が伝送装置100へ侵入し当該外乱によって内部記憶回路178内の情報Dを書き換わってしまった場合であっても、自動的に復帰することができ安定的な動作が得られる。

- [0039] ここで、制御回路108に内部記憶回路178の代わりにROMを設け当該ROMにメモリ114内の情報Dを格納する場合には、上記の外乱によっても情報Dが書き換わる可能性は低いと思われる。しかし、この場合、情報Dは伝送装置の仕様ごとに異なるので、各仕様に合わせて特定の制御回路を準備する必要性が生じる。これに対して、実施の形態に係る伝送装置100によれば、メモリ114を制御回路108に外付する構成を採用しているので、伝送装置100の仕様ごとに、所定の情報Dが格納されたメモリ114と種々のメモリ114に適用可能な制御回路108とを組み合わせることが可能である。
- [0040] このように伝送装置100は、汎用性が高く、しかも外乱対策が施された構成を有している。
- [0041] また、監視用クロックLF0は、システムクロックCK0に同期させる必要がないので、システム全体の整合性による制約が少ない。このため、監視用クロック発振器112やタイマ172a, 182aは、システムクロック発振器110等に比べて、発振精度等の動作精度が低くてもよく、伝送装置100を簡易に実現可能である。
- [0042] また、タイマ172a, 182aで監視用クロック発振器112を共用するので、回路規模の増大を抑制することができる。
- [0043] ここで、タイマ172a, 182aからの出力信号S72a, S82は同期していてもよいし、非同期であってもよい。
- [0044] また、例えば、上記の被伝送装置200の検出を利用することによって被伝送装置200が配置されていない期間(待機期間)に限定して内部記憶回路178内の情報Dを更新するようにしてもよい。この場合、更新されたID等を利用して上記検出を行うことができるので、検出の誤判定を防いで適切な電力等の伝送を実施することができる。
- [0045] また、メモリ114に格納する情報Dは上記の例示に限られるものではなく、例えば上記周期TS, TLについての情報Dをメモリ114に格納し内部記憶回路178へ読み出して利用するように構成してもよい。

[0046] また、内部記憶回路178内の更新する情報Dを周期TS, TLで異ならせてもよい。例えば、リセット制御信号S82による場合は内部記憶回路178内の全ての情報Dを更新する一方で、更新制御信号S72による場合は一部の情報Dのみを更新するように構成してもよい。

[0047] また、上記の説明および図4で示した波形は上記の例示に限られるものではない。例えばHレベルとLレベルとを上記とは入れ替えた波形や矩形波以外の波形を用いるように伝送装置100を構成してもよい。また、図4では信号S82, S72aをインパルス状に図示しているが、有限幅の矩形波等であってもよい。また、例えばリセット信号REのLレベルへの遷移は、リセット制御信号S82の立ち上がりに同期させてもよいし立ち下がりに同期させてもよく、その他の波形についても同様である。

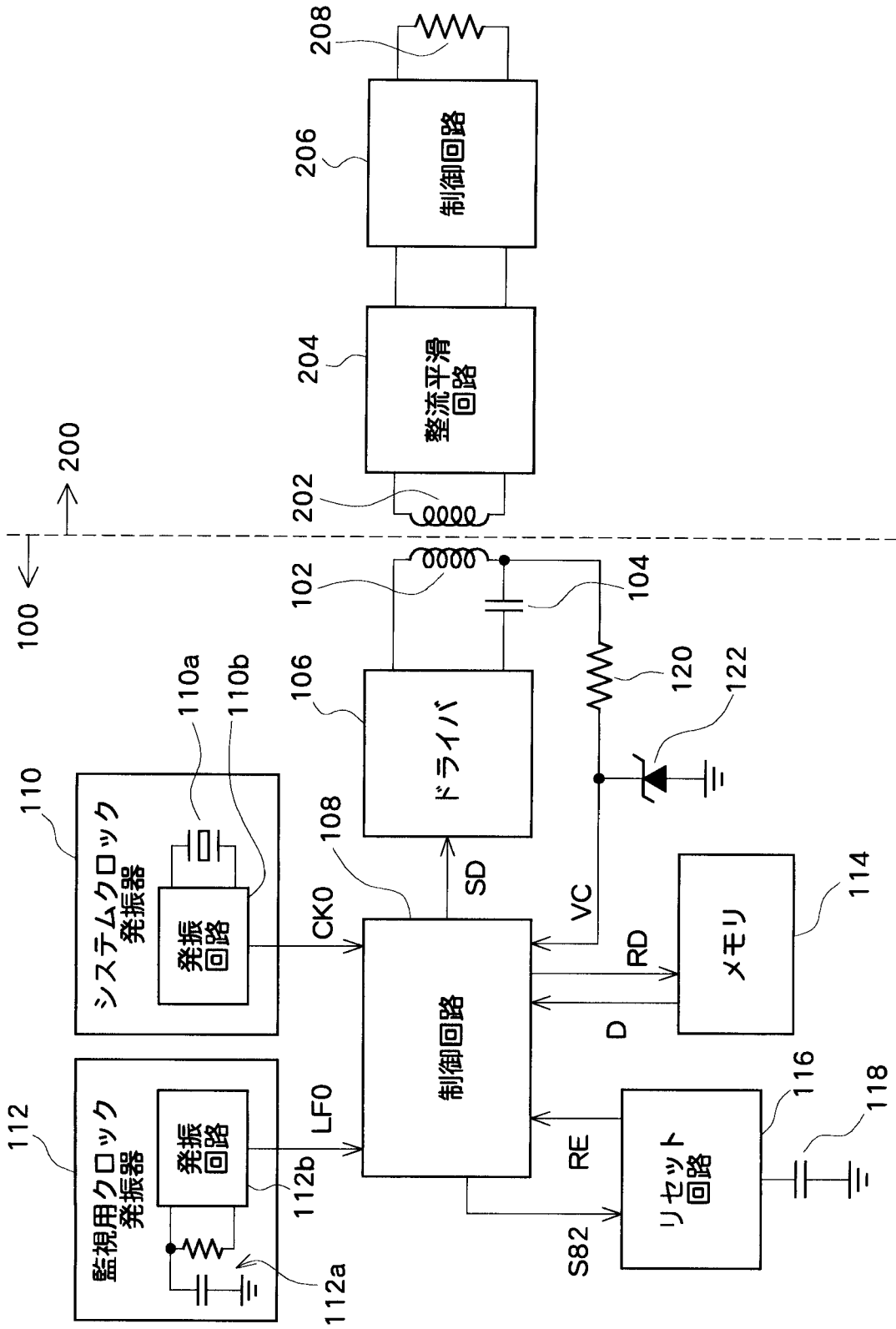
産業上の利用可能性

[0048] 本発明は、コイルを介した電磁的結合を利用して電力とデータ信号とのうちの少なくとも一方を被伝送装置へ伝送する無接点伝送装置に利用される。

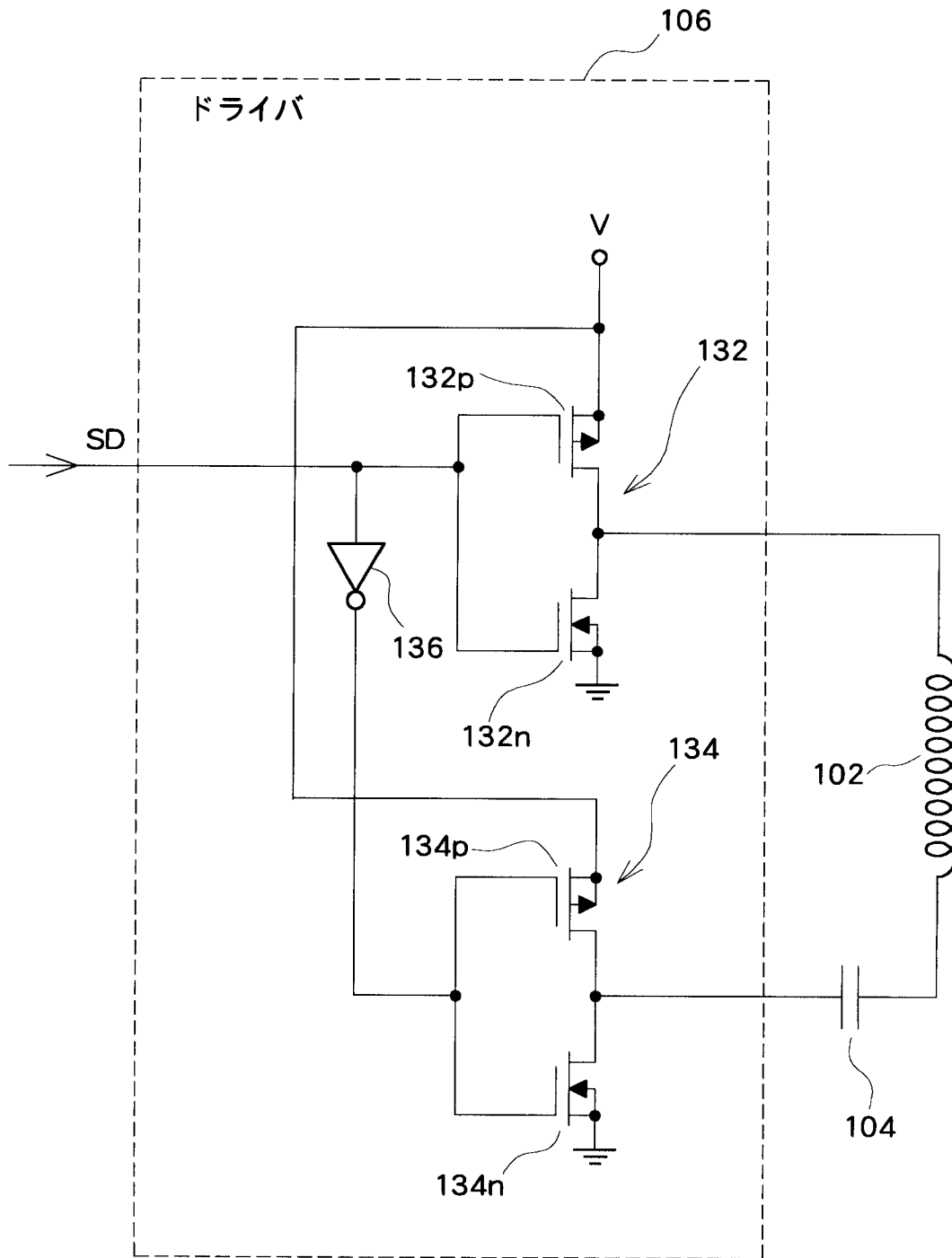
請求の範囲

- [1] コイルを介した電磁的結合を利用して電力とデータ信号とのうちの少なくとも一方を被伝送装置へ伝送する無接点伝送装置であって、
- システムクロックよりも周波数が低い監視用クロックを出力する監視用クロック発振器と、
- 前記システムクロックおよび前記監視用クロックを利用して動作する制御回路と、
- 前記制御回路が利用する情報が格納されたメモリと、
- を備え、
- 前記制御回路は、
- 前記メモリから読み出した前記情報を格納する内部記憶回路を含んで構成され、
- 前記内部記憶回路に格納された前記情報を前記監視用クロックに基づいた更新周期で前記メモリから読み出して更新することを特徴とする無接点伝送装置。
- [2] 請求項1に記載の無接点伝送装置であって、
- 前記制御回路は、前記更新周期よりも長く前記監視用クロックに基づいたリセット周期でリセットされ、リセットの度に前記内部記憶回路に格納された前記情報を前記メモリから読み出して更新することを特徴とする無接点伝送装置。

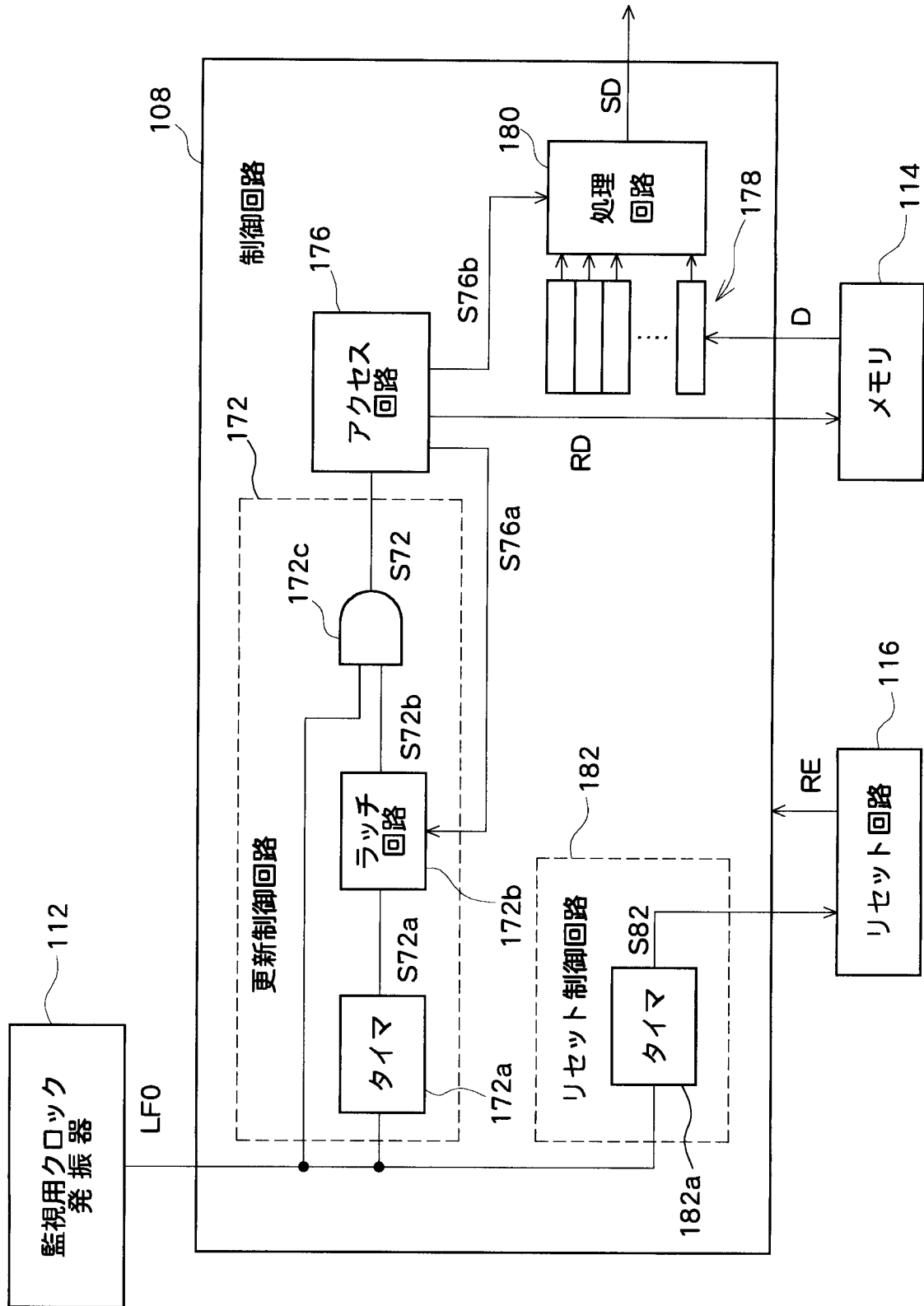
[図1]



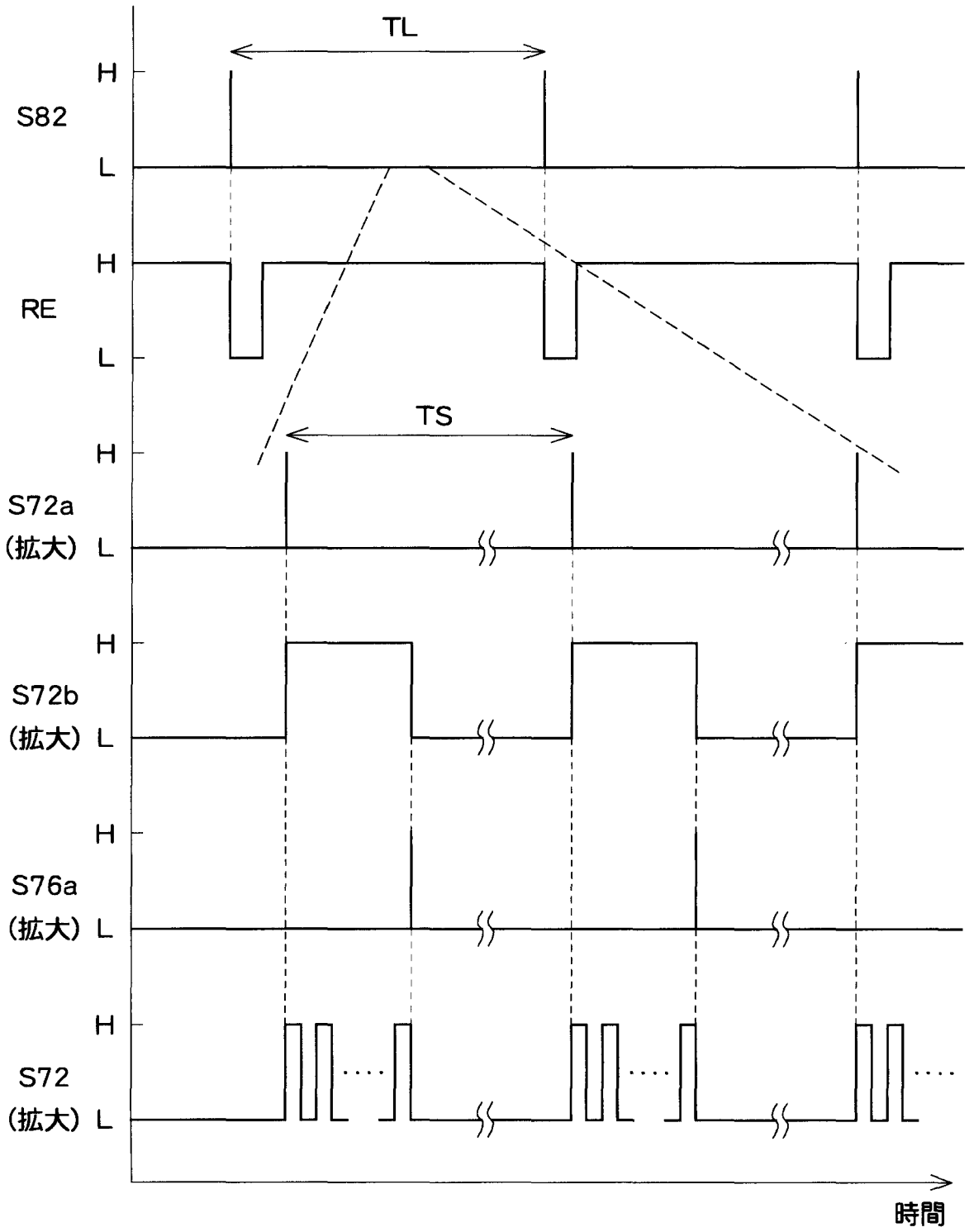
[図2]



[図3]



[図4]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/073051

A. CLASSIFICATION OF SUBJECT MATTER H02J17/00(2006.01) i, H02J7/00(2006.01) i, H04B5/02(2006.01) i																				
According to International Patent Classification (IPC) or to both national classification and IPC																				
B. FIELDS SEARCHED																				
Minimum documentation searched (classification system followed by classification symbols) H02J17/00, H02J7/00, H04B5/02																				
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched																				
<table border="0"> <tr> <td>Jitsuyo Shinan Koho</td> <td>1922-1996</td> <td>Jitsuyo Shinan Toroku Koho</td> <td>1996-2007</td> </tr> <tr> <td>Kokai Jitsuyo Shinan Koho</td> <td>1971-2007</td> <td>Toroku Jitsuyo Shinan Koho</td> <td>1994-2007</td> </tr> </table>			Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007	Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007										
Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007																	
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007																	
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)																				
C. DOCUMENTS CONSIDERED TO BE RELEVANT																				
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.																		
Y	JP 2006-101609 A (Hitachi, Ltd.), 13 April, 2006 (13.04.06), Par. Nos. [0005], [0006], [0013] to [0019], [0038] to [0039]; Figs. 1, 8 & US 2006/076934 A1 & CN 1756024 A	1, 2																		
Y	JP 57-032144 A (Nippon Gakki Co., Ltd.), 20 February, 1982 (20.02.82), Page 2, upper right column, line 4 to lower left column, line 10; Fig. 1 (Family: none)	1, 2																		
A	JP 11-234919 A (Kokusai Electric Co., Ltd.), 27 August, 1999 (27.08.99), Par. Nos. [0013], [0024]; Fig. 1 (Family: none)	1, 2																		
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.																				
<table border="0"> <tr> <td>* Special categories of cited documents:</td> <td></td> <td></td> </tr> <tr> <td>"A" document defining the general state of the art which is not considered to be of particular relevance</td> <td>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</td> <td></td> </tr> <tr> <td>"E" earlier application or patent but published on or after the international filing date</td> <td>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</td> <td></td> </tr> <tr> <td>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</td> <td>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</td> <td></td> </tr> <tr> <td>"O" document referring to an oral disclosure, use, exhibition or other means</td> <td>"&" document member of the same patent family</td> <td></td> </tr> <tr> <td>"P" document published prior to the international filing date but later than the priority date claimed</td> <td></td> <td></td> </tr> </table>			* Special categories of cited documents:			"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention		"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family		"P" document published prior to the international filing date but later than the priority date claimed		
* Special categories of cited documents:																				
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention																			
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone																			
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art																			
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family																			
"P" document published prior to the international filing date but later than the priority date claimed																				
Date of the actual completion of the international search 20 December, 2007 (20.12.07)	Date of mailing of the international search report 08 January, 2008 (08.01.08)																			
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer																			
Facsimile No.	Telephone No.																			

<p>A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02J17/00(2006.01)i, H02J7/00(2006.01)i, H04B5/02(2006.01)i</p>															
<p>B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02J17/00, H02J7/00, H04B5/02</p>															
<p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年				
日本国実用新案公報	1922-1996年														
日本国公開実用新案公報	1971-2007年														
日本国実用新案登録公報	1996-2007年														
日本国登録実用新案公報	1994-2007年														
<p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>															
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2006-101609 A（株式会社日立製作所）2006.04.13, 段落0005,0006,0013-0019,0038-0039, 第1,8図 & US 2006/076934 A1 & CN 1756024 A</td> <td>1,2</td> </tr> <tr> <td>Y</td> <td>JP 57-032144 A（日本楽器製造株式会社）1982.02.20, 第2頁右上欄第4行-左下欄第10行, 第1図（ファミリーなし）</td> <td>1,2</td> </tr> <tr> <td>A</td> <td>JP 11-234919 A（国際電気株式会社）1999.08.27, 段落0013,0024, 第1図（ファミリーなし）</td> <td>1,2</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	Y	JP 2006-101609 A（株式会社日立製作所）2006.04.13, 段落0005,0006,0013-0019,0038-0039, 第1,8図 & US 2006/076934 A1 & CN 1756024 A	1,2	Y	JP 57-032144 A（日本楽器製造株式会社）1982.02.20, 第2頁右上欄第4行-左下欄第10行, 第1図（ファミリーなし）	1,2	A	JP 11-234919 A（国際電気株式会社）1999.08.27, 段落0013,0024, 第1図（ファミリーなし）	1,2
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号													
Y	JP 2006-101609 A（株式会社日立製作所）2006.04.13, 段落0005,0006,0013-0019,0038-0039, 第1,8図 & US 2006/076934 A1 & CN 1756024 A	1,2													
Y	JP 57-032144 A（日本楽器製造株式会社）1982.02.20, 第2頁右上欄第4行-左下欄第10行, 第1図（ファミリーなし）	1,2													
A	JP 11-234919 A（国際電気株式会社）1999.08.27, 段落0013,0024, 第1図（ファミリーなし）	1,2													
<input type="checkbox"/> C欄の続きにも文献が列挙されている。		<input type="checkbox"/> パテントファミリーに関する別紙を参照。													
<p>* 引用文献のカテゴリー</p> <p>「A」特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>「O」口頭による開示、使用、展示等に言及する文献</p> <p>「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>		<p>の日の後に公表された文献</p> <p>「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>「&」同一パテントファミリー文献</p>													
<p>国際調査を完了した日 20.12.2007</p>		<p>国際調査報告の発送日 08.01.2008</p>													
<p>国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号</p>		<p>特許庁審査官（権限のある職員） 矢島 伸一 電話番号 03-3581-1101 内線 3568</p>													