

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 7 部門第 2 区分
【発行日】平成 17 年 12 月 22 日 (2005.12.22)

【公表番号】特表 2004-521489 (P2004-521489A)
【公表日】平成 16 年 7 月 15 日 (2004.7.15)
【年通号数】公開・登録公報 2004-027
【出願番号】特願 2002-558345 (P2002-558345)
【国際特許分類第 7 版】

H 0 1 L 31/10

【F I】

H 0 1 L 31/10 A

【手続補正書】

【提出日】平成 17 年 1 月 11 日 (2005.1.11)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

その上に勾配層を有する基板上に半導体装置を製造する方法であって、方法が、
中間層を形成し、前記中間層が前記半導体装置に使用される格子定数よりも大きな格子
定数を有するステップと、

前記中間層の前記格子定数から前記半導体に使用される前記格子定数へ勾配を付ける逆
勾配層を形成するステップと、

前記勾配層をアニーリングして、前記勾配層を形成する結果作られる転位材料を絶縁す
るステップと、

歪んだ超格子層を作り、その上に形成される前記半導体装置からさらに転位を絶縁する
ステップとを含む方法。

【請求項 2】

前記基板上に前記勾配層を形成し、前記勾配層が、前記半導体装置に使用される前記格
子定数を超過して基板の格子定数に勾配を付けるステップをさらに含む、請求項 1 に記載の
方法。

【請求項 3】

前記半導体装置がフォトダイオードを含む請求項 2 に記載の方法。

【請求項 4】

公称の (1 0 0) 配向基板を用いて前記勾配層を形成するステップをさらに含む請求項
2 に記載の方法。

【請求項 5】

M O C V D を用いて前記勾配層を形成するステップをさらに含む請求項 4 に記載の方法
。

【請求項 6】

前記基板が G a A s 基板を含む請求項 2 に記載の方法。

【請求項 7】

前記基板がゲルマニウム基板を含む請求項 2 に記載の方法。

【請求項 8】

前記基板がシリコン基板を含む請求項 2 に記載の方法。

【請求項 9】

前記基板上に逆勾配に基づく少なくとも１つの勾配層を形成し、
前記少なくとも１つの勾配層が大量の n - 型ドーピングを用いて形成され、
大きく転位した領域を通る勾配材料の導電性が、勾配材料として InGaAs を用いて
維持されるステップをさらに含む請求項 2 に記載の方法。

【請求項 10】

所望の格子定数と整合するバッファ層を形成するステップをさらに含む請求項 2 に記載の方法。

【請求項 11】

カーボンを用いて活性領域の p - 型ドーピング部を成長させるステップをさらに含む請求項 3 に記載の方法。

【請求項 12】

デバイ長ドーピングを用いて前記基板上に少なくとも１つの層を形成するステップをさらに含む請求項 2 に記載の方法。

【請求項 13】

前記歪んだ超格子層が、
小さな歪みと、
中間の歪みと、
大きな歪みとを、前記歪んだ超格子層の個々の層が転位を起こすほど厚くないように含む請求項 2 に記載の方法。

【請求項 14】

MOV D を用いて前記歪んだ超格子層を作るステップをさらに含む請求項 13 に記載の方法。

【請求項 15】

活性領域の n - 型部を成長させるステップをさらに含む請求項 3 に記載の方法。

【請求項 16】

基板上に半導体装置を製造する方法であって、前記方法が、
MOV D を用いて前記基板上に勾配層を形成し、前記勾配層が、前記半導体装置のために用いられる前記格子定数を超えて基板の格子定数に勾配を付けるステップと、
中間層を形成し、前記中間層が前記半導体装置に使用される格子定数よりも大きな格子定数を有するステップと、
前記中間層の前記格子定数から前記半導体に使用される前記格子定数へ勾配を付ける逆勾配層を形成するステップと、
前記勾配層をアニーリングして、前記基板から前記勾配層を形成する結果作られる転位材料を絶縁するステップと、
歪んだ超格子層を作り、その上に形成される前記半導体装置からさらに転位を絶縁するステップとを含む方法。

【請求項 17】

GaAs 基板上に半導体装置を製造する方法であって、前記方法が、
MOV D を用いて前記 GaAs 基板上に勾配層を形成し、前記勾配層が、前記半導体装置のために用いられる前記格子定数を超えて基板の格子定数に勾配を付けるステップと、
中間層を形成するステップであって、前記中間層が前記半導体装置に使用される格子定数よりも大きな格子定数を有する、ステップと、
前記中間層の前記格子定数から前記半導体に使用される前記格子定数へ勾配を付ける逆勾配層を形成するステップと、
前記勾配層をアニーリングして、前記 GaAs 基板から前記勾配層を形成する結果作られる転位材料を絶縁するステップと、
歪んだ超格子層を作り、その上に形成される前記半導体装置からさらに転位を絶縁するステップとを含む方法。

【請求項 18】

G a A s 基板上に半導体装置を製造する方法であって、前記方法が、

M O C V Dを用いて前記 G a A s 基板上に勾配層を形成し、前記勾配層が、前記半導体装置のために用いられる前記格子定数を超えて基板の格子定数に勾配を付けるステップと、

中間層を形成するステップであって、前記中間層が前記半導体装置に使用される格子定数よりも大きな格子定数を有する、ステップと、

前記中間層の前記格子定数から前記半導体に使用される前記格子定数へ勾配を付ける逆勾配層を形成するステップと、

前記勾配層をアニーリングして、前記 G a A s 基板から前記勾配層を形成する結果作られる転位材料を絶縁するステップと、

歪んだ超格子層を作り、その上に形成される前記半導体装置からさらに転位を絶縁するステップとを含み、

前記 G a A s 基板が、公称 (1 0 0) 配向の基板を含む、方法。

【請求項 1 9】

G a A s 基板上に半導体装置を製造する方法であって、前記方法が、

M O C V Dを用いて前記 G a A s 基板上に勾配層を形成し、前記勾配層が、前記半導体装置のために用いられる前記格子定数を超えて基板の格子定数に勾配を付けるステップと、

中間層を形成し、前記中間層が前記半導体装置に使用される格子定数よりも大きな格子定数を有するステップと、

前記中間層の前記格子定数から前記半導体に使用される前記格子定数へ勾配を付ける逆勾配層を形成するステップと、

前記勾配層をアニーリングして、前記 G a A s 基板から前記勾配層を形成する結果作られる転位材料を絶縁するステップと、

歪んだ超格子層を作ってその上に形成される前記半導体装置からさらに転位を絶縁し、前記 G a A s 基板が、公称 (1 0 0) 配向の基板を含むステップとを含み、

前記層の各々が前記 G a A s 基板上にデバイ長ドーピングを用いて形成される方法。