



申請日期	91 3 6
案 號	91104168
類 別	H01L 23/71

A4
C4

531880

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	半導體積體電路元件及其製造方法
	英 文	SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF PRODUCING THE SAME
二、發明 人	姓 名	(1) 橋本廣司 Hiroshi HASHIMOTO (2) 高橋浩司 Koji TAKAHASHI
	國 籍	日 本 JAPAN
	住、居所	(1)、(2) 日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
三、申請人	姓 名 (名稱)	日商・富士通股份有限公司 FUJITSU LIMITED
	國 籍	日 本 JAPAN
	住、居所 (事務所)	日本國神奈川縣川崎市中原區上小田中4丁目1番1號 1-1, Kamikodanaka 4-chome, Nakahara-ku, Kawasaki-shi, Kanagawa 211-8588 Japan
	代 表 人 姓 名	秋草直之 Naoyuki Akikusa

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

日本 國(地區) 申請專利，申請日期： 案號： 有 無主張優先權
 2001.7.5 特願2001-205188

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明 (1)

本申請案係根據於2001年7月5日日本優先權申請案第2001-205188號，其全部內容係併入此文作為參考。

【發明領域】

本發明通常有關半導體積體電路元件及其製造方法，且更特別是有關一種半導體積體電路元件包含一非揮發半導體儲存元件並且利用複數個供應電壓，及一種製造此一半導體積體電路元件之方法。

一快閃記憶體元件係一非揮發半導體儲存元件其儲存電荷形式之資訊於浮動閘極電極。該快閃記憶體元件，其具有一簡單元件結構，係適合用以形成一大規模的積體電路元件。

快閃記憶體元件中，藉由將熱載子注入並抽出熱載子，寫入或抹除資訊根據從浮動閘極電極到一隧道絕緣薄膜的福勒-諾爾德哈姆(Fowler-Nordheim)型隧道效應。因產生此熱載子需要一高電壓，快閃記憶體元件具有一電壓升高控制電路其產生一提供於協同有記憶體晶胞之其週邊電路的供應電壓。因此，用於此週邊電路之電晶體必須在一高電壓下操作。

另一方面，最近已熟練形成此一快閃記憶體元件及一高速邏輯電路在一共同的半導體基底上作為一半導體積體電路元件。此一高速邏輯電路中，其中所用的一電晶體係需要在一低電壓下操作。因此，此一半導體積體電路元件係需要利用複數個供應電壓。

【習知技藝說明】

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

第1A到1Q圖係顯示一包含此一快閃記憶體且利用複數個供應電壓之傳統半導體積體電路元件的製造程序圖。

第1A圖中，一快閃記憶體晶胞區A、一低壓操作電晶體區B、及一高壓操作電晶體區C係分開的形成在一矽(Si)基底11上其上形成一場氧化物薄膜或一隔離結構(未示於圖中)例如一淺溝渠隔離(STI)結構。第1A圖的步驟中，一厚度8至10nm的隧道氧化物薄膜12A係形成在上述區域A到C藉由在從800至1000°C的溫度範圍下在該Si基底11的表面上執行熱氧化。第1B圖的步驟中，一摻雜有磷(P)並具有80至120nm之厚度的非結晶型矽薄膜13及一具有所謂氧化物-氮化物-氧化物(ONO)結構之絕緣薄膜14係連續地沉積在該隧道氧化物薄膜12A之上。該ONO絕緣薄膜14係由一藉由化學汽相沉積(CVD)在該非結晶型矽薄膜13上所沉積厚度5至10nm之二氧化矽(SiO₂)薄膜14c、一藉由CVD在該SiO₂薄膜14c上沉積厚度5至10nm之氮化矽(SiN)薄膜14b、及一形成在該SiN薄膜14b的表面上厚度3至10nm之熱氧化物薄膜14a所形成。該ONO絕緣薄膜14具有一良好的漏電流特性。

接著，第1C圖的步驟中，一抗蝕劑圖案15A係形成在該快閃記憶體晶胞區A上，並且藉由利用該抗蝕劑圖案15A作為一掩模從該Si基底11上之低壓操作電晶體區B及高壓操作電晶體區C除去該ONO絕緣薄膜14、該非結晶型矽薄膜13、及該隧道氧化物薄膜12A，以至於該等區域B及C內的Si基底11表面被露出。在除去該隧道氧化物薄膜12A

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

下，利用氫氟酸(HF)之濕蝕刻被執行以至於該等區域B及C內的Si基底11表面係暴露至HF。

第1D圖的步驟中，該抗蝕劑圖案15A被除去，並且藉由執行從800至1100°C之溫度範圍下的熱氧化，一厚度10至50nm的熱氧化物薄膜12C係形成於該等區域B及C以覆蓋該Si基底11。該熱氧化物薄膜12C可以一熱氮化物氧化物薄膜代替。

第1E圖的步驟中，另一抗蝕劑圖案15B係形成於該快閃記憶體晶胞區A上以覆蓋該ONO絕緣薄膜14並於該高壓操作電晶體區C以覆蓋該熱氧化物薄膜12C，並且以藉由利用該抗蝕劑圖案15B作為一掩模之HF處理從該低壓操作電晶體區B除去該熱氧化物薄膜12C，以至於在區域B中的Si基底11表面被露出。

第1F圖的步驟中，該抗蝕劑圖案15B被除去，並且藉由執行從800至1100°C之溫度範圍下的熱氧化，一厚度3至10nm的熱氧化物薄膜12B係形成在去區域B中所露出的Si基底11上。該熱氧化物薄膜12B可以一熱氮化物氧化物薄膜代替。再者，第1F圖的步驟中，由於用以形成該熱氧化物薄膜12B之熱氧化，形成於該高壓操作電晶體區C之該熱氧化物薄膜12C的厚度增加。

接著，第1G圖的步驟中，一摻雜有P並具有並具有100至250nm厚度之非結晶型矽薄膜16藉由電漿CVD沉積在第1F圖的結構上，該非結晶型矽薄膜16可以一多晶矽薄膜代替。此外，該非結晶型矽薄膜16於較晚的步驟被摻雜有P。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (4)

第1H圖的步驟中，一抗蝕劑圖案17A係形成在該非結晶型矽薄膜16上，並且藉由利用該抗蝕劑圖案17A作為一掩模，仿製係連續地被執行在該非結晶型矽薄膜16、該ONO絕緣薄膜14、及於該快閃記憶體晶胞區A的該非結晶型矽薄膜13上，以至於該區域A中形成快閃記憶體的一多層閘極電極結構16F，其結構係由一非結晶型矽圖案13A、一ONO圖案14A、及一非結晶型矽圖案16A所形成並且包含作為一浮動閘極之該非結晶型矽圖案13A。第1G圖的步驟中，在該非結晶型矽薄膜16上形成依所需的例如矽化鎢(WSi)或矽化鈷(CoSi)之金屬矽化物係可能的。此外，亦可能形成一非揮發記憶體元件摻雜多晶矽薄膜並且然後形成P或砷(As)的一n-型閘極電極或硼(B)或二氟化硼(BF₂)的p-型閘極電極於稍後的離子植入步驟。

接著，第1I圖的步驟中，該抗蝕劑圖案17A被除去，並且一新的抗蝕劑圖案17B被形成以覆蓋該快閃記憶體晶胞區A。藉由利用該抗蝕劑圖案17B作為一掩模，仿製被執行在該低壓操作電晶體區B及該高壓操作電晶體區C中的非結晶型矽薄膜16上，以至於一低壓操作電晶體之閘極電極16B及一高壓操作電晶體之閘極電極16C分別被形成於該等區域B及C。

接著，第1J圖的步驟中，該抗蝕劑圖案17B被除去，並且一保護氧化物薄膜(亦有關作為一保護絕緣薄膜或一熱氧化物薄膜)18被形成，藉由執行從800至900°C之溫度範圍下的熱氧化，為了覆蓋每一個該快閃記憶體晶胞區A中

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (5)

的多層閘極電極結構16F、該低壓操作電晶體區B中的閘極電極16B、及該高壓操作電晶體區C中的閘極電極16C。

接著，第1K圖的步驟中，一抗蝕劑圖案19A係形成在第1J圖的結構上以便覆蓋該低壓操作電晶體區B、該高壓操作電晶體區C、及一部份的快閃記憶體晶胞區A。藉由利用該抗蝕劑圖案19A及該多層閘極電極結構16F作為掩模，以 1×10^{14} 至 $3 \times 10^{14} \text{ cm}^{-2}$ 之摻雜在30至80keV範圍的加速電壓下典型地執行 P^+ 之離子植入，以至於一n-型擴散區11a緊鄰著該Si基底11中的多層閘極電極結構16F被形成， P^+ 可以 As^+ 代替。

第1K圖的步驟中，藉由利用該抗蝕劑圖案19A作為一掩模，以 1×10^{15} 至 $6 \times 10^{15} \text{ cm}^{-2}$ 之摻雜在30至50keV範圍的加速電壓下典型地執行 As^+ 之離子植入，以至於另一n-型擴散區11b係形成在該n-型擴散區11a內部。第1K圖的步驟中，因該等區域B及C係覆蓋有該抗蝕劑圖案19A，該低壓操作電晶體區B及該高壓操作電晶體區C中無任何離子植入被執行。

接著，第1L圖的步驟中，該抗蝕劑圖案19A被除去，並且一新的抗蝕劑圖案19B係形成以覆蓋該等區域B及C並留下暴露的快閃記憶體晶胞區A。此外，第1L圖的步驟中，該抗蝕劑圖案19B作為一掩模，以 5×10^{14} 至 $5 \times 10^{15} \text{ cm}^{-2}$ 之摻雜在30至50keV範圍的加速電壓下典型地執行 As^+ 之離子植入， As^+ 可以 P^+ 代替。結果該n-型擴散區11b中的雜質濃度被增加，並且同時又一n-型擴散區11c係形成於該快閃

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

錄

五、發明說明 (6)

記憶體晶胞區A藉由利用該多層閘極電極結構16F作為一自我對準掩模。在此用途上，第1K圖的步驟可被刪除。

接著，第1M圖的步驟中，該抗蝕劑圖案19B被除去，並且一新的抗蝕劑圖案19C係形成在該Si基底11上以便只留下暴露的低壓操作電晶體區B。此外，第1M圖的步驟中，藉由利用該抗蝕劑圖案19C作為一掩模，執行p-型或n-型雜質之離子植入，以至於一對少量摻雜的汲極(LDD)擴散區11d被形成在該區域B中該Si基底11的閘極電極B之兩側上用該閘極電極16B作為一自我對準掩模。

接著，第1N圖的步驟中，該抗蝕劑圖案19C被除去，並且一新的抗蝕劑圖案19D係形成在該Si基底11上以便只留下暴露的高壓操作電晶體區C。此外，第1N圖的步驟中，藉由利用該抗蝕劑圖案19D作為一掩模，執行p-型或n-型雜質成分之離子植入，以至於一對LDD擴散區11e被形成在該區域C中該Si基底11的閘極電極16C之兩側上。該等擴散區11d及11e可被形成於相同的步驟。

此外，第1O圖的步驟中，藉由在一CVD氧化物薄膜上沉積並執行回蝕，側壁絕緣薄膜16s係形成在每個該多層閘極電極結構16F、該閘極電極16B及該閘極電極16C的兩側上。第1P圖的步驟中，一抗蝕劑圖案19E係形成以覆蓋該快閃記憶體晶胞區A並留下暴露的該低壓操作電晶體區B及該高壓操作電晶體區C。此外，藉由執行p-型或n-型雜質成分之離子植入用該抗蝕劑圖案19E及該等閘極電極B及C作為一掩模，p-型或n-型擴散區11f係形成在該區域B中該

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 ()

Si基底11的閘極電極16B之兩側上，並且同樣地，p-型或n-型擴散區11g係形成在該區域C中該Si基底11的閘極電極16C之兩側上。例如WSi或CoSi的一低電阻金屬矽化物薄膜，藉由金屬矽化物處理，依所需可被形成在每個該等擴散區11f及11g的表面上。

第1Q圖的步驟中，一介層絕緣薄膜20係形成在該Si基底11上以便連續覆蓋該等區域A到C。此外，該區域A中，接觸洞係形成於該介層絕緣薄膜20以至於該等擴散區11b及11c被露出，並且W栓20A係形成於該等接觸洞。同樣地，該區域B中，接觸洞係形成於該介層絕緣薄膜20以至於該等擴散區11f被露出，並且W栓20B係形成於該等接觸洞。該區域C中，接觸洞係形成於該介層絕緣薄膜20以至於該等擴散區11g被露出，並且W栓20C係形成於該等接觸洞。

包含具有該多層閘極電極結構16F之快閃記憶體元件的半導體積體電路元件製造程序中，第1J圖的步驟中，厚度5至10nm之保護氧化物薄膜18係形成在該多層閘極電極結構16F的側壁面藉由在800至900°C之溫度範圍下所執行的熱氧化。由於熱氧化，該保護氧化物薄膜18係形成不只在該多層閘極電極結構16F上而且在該低壓操作電晶體區B的閘極電極16B及該高壓操作電晶體區C的閘極電極16C每個的側壁面如第2A及2B圖所示。

在此論點下，該保護氧化物薄膜18形成鳥嘴其穿透在該區域B中的閘極電極16B之下如第2B圖虛線所圈出所示。於是，特別是在一低壓操作電晶體中其閘極長度是短

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (8)

的，即其閘極氧化物薄膜12B是薄的，正好該閘極電極16B下面影響該閘極氧化物薄膜12B之厚度的實質變化，因此引起臨界特性從一想要值轉移的問題。

真正地，若該保護氧化物薄膜18不被形成，此一問題係避免發生。然而，沒有形成該保護氧化物薄膜18，保留於該非結晶型矽圖案13A的電子(之後，亦有關作為一浮動閘極電極圖案13A)被消散至第10圖中由CVD及回蝕所形成的側壁絕緣薄膜16s，以至於儲存於該快閃記憶體元件之資訊於一短時間段被喪失。另一方面，用該保護氧化物薄膜18其係一幾乎不允許在浮動閘極電極圖案13A之側壁上形成漏電流的高品質熱氧化物薄膜，被注入該浮動閘極電極圖案13A的電子係穩定地保留在其中如第3A圖所示。

因此，於包含該快閃記憶體元件之半導體積體電路元件形成該保護氧化物薄膜18係必要的。然而，形成此一保護氧化物薄膜必然引起形成一週邊或邏輯電路之MOS電晶體在臨界特性上變化的問題。當MOS電晶體是一具有一短閘極長度之高速電晶體時，此一在MOS電晶體之臨界特性上變化的問題係顯著的。

第4圖係一藉由相關技藝具有一單層閘極電極結構的一快閃記憶體晶胞(快閃記憶體元件)結構之平面圖。第4圖中，與之前圖式之相同元件係參照相同標號，並且將省略其說明。

根據第4圖，一元件區11A係形成在該Si基底11上藉由一場氧化物薄膜11F，上述浮動閘極電極圖案13A的一端係

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (9)

形成在該Si基底11上橫越該元件區11A。該元件區11A中，藉由利用一浮動閘極電極圖案13A作為一自我對準掩模， n^- -型源極區11a及 n^+ -型源極線區11b係形成在一側上，並且 n^+ -型汲極區11c係形成在另一側上。

該Si基底11上，另一元件區11B係緊鄰該元件區11A形成。一 n^+ -型擴散區11C係形成於該元件區11B，該浮動閘極電極圖案13A的另一端係形成作為一連接部13Ac覆蓋該擴散區11C。

第5A圖係取第4圖線X-X'之快閃記憶體晶胞的橫截面圖。

根據第5A圖，該隧道氧化物薄膜12A係形成在該Si基底11上的該源極線區11b及該汲極區11c間，並且該浮動閘極電極圖案13A係形成在該隧道氧化物薄膜12A上。此外，該 n^- -型源極區11a係形成在該Si基底11中之該 n^+ -型源極線區11b之外，該等側壁絕緣薄膜16s係形成在該浮動閘極電極圖案13A的側壁上。

第5B圖係取第4圖線Y-Y'之快閃記憶體晶胞的橫截面圖。

根據第5B圖，該浮動閘極電極圖案13A從該該元件區11A連續延伸至相鄰的元件區11B在形成在該Si基底11上之場氧化物薄膜11F之上。該浮動閘極電極圖案13A的連接部13Ac經由一氧化物薄膜12Ac係電容性連接至該高密度擴散區11C。

在一寫入(程式)操作的時候，藉由提供該源極線區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

11b，加一+5V的汲極電壓至該汲極區11c、並加一+10V的寫入電壓至該高密度擴散區11C如第6A及6B圖所示，該浮動閘極電極圖案13A的電位升高以至於熱電子被注入該浮動閘極電極圖案13A經由該元件區11A中的隧道氧化物薄膜12A。

另一方面，在一抹除操作的時候，一+15V的抹除電壓被加至該源極線區11b利用該汲極區11c及該高密度擴散區11C被接地如第6C及6D圖所示。結果，該浮動閘極電極圖案13A中的電子打通經由該隧道氧化物薄膜12A至該源極居11a而被吸收經由該源極線區11b進入一源極電源供應。

因此，第4圖之快閃記憶體晶胞中，該高密度擴散區11C當作一控制閘極電極，並且不像傳統快閃記憶體晶胞的一多層閘極結構，不必要在該多晶矽浮動閘極電極及該多晶矽控制閘極電極間形成上述ONO絕緣薄膜14。第5A及5B圖之快閃記憶體晶胞中，該氧化物薄膜12Ac當作該ONO絕緣薄膜14。因該氧化物薄膜12Ac係藉由熱氧化形成在該Si基底11上，該氧化物薄膜12Ac具有高品質。

第7A到7M圖係顯示一包含第4圖除了該低壓操作電晶體B及該高壓操作電晶體C之外的該快閃記憶體晶胞之半導體積體電路元件的製造程序圖。圖式中，與之前說明之相同元件係參照相同標號，並且將省略其說明。

根據第7A圖，厚度5至50nm的熱氧化物薄膜12C係形成在該Si基底11上藉由在800至1100°C之溫度範圍下執行熱氧化於每個該快閃記憶體晶胞區A、該低壓操作電晶體B

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (11)

及該高壓操作電晶體C。第7B圖的步驟中，藉由利用一抗蝕劑圖案15₁的仿製程序，從該快閃記憶體晶胞區A除去該熱氧化物薄膜12C。

接著，第7C圖的步驟中，該抗蝕劑圖案15₁被除去，並且厚度5至15nm的隧道氧化物薄膜12A係形成在該區域A中的該Si基底11之表面上藉由執行在800至1100°C之溫度範圍下之熱氧化。第7C圖的步驟中，由於用以形成該隧道氧化物薄膜12A之熱氧化，該熱氧化物薄膜12C係沉積於每個區域B及C。

接著，第7D圖的步驟中，該熱氧化物薄膜12C藉由一利用一抗蝕劑圖案15₂的仿製程序，從該低壓操作電晶體B被除去。然後，第7E圖的步驟中，該抗蝕劑圖案15₂被除去後，厚度3至10nm的熱氧化物薄膜12B係形成在該區域B中該暴露的Si基底11上藉由執行在800至1100°C之溫度範圍下的熱氧化。第7E圖的步驟中，由於用以形成該熱氧化物薄膜12B之熱氧化，該隧道氧化物薄膜12A係沉積於該區域A並且該熱氧化物薄膜12C係沉積於該區域C。

接著，第7F圖的步驟中，均勻摻雜有P並具有150至200nm厚度之非結晶型矽薄膜13係形成在該Si基底11上。第7G圖的步驟中，仿製被執行在具有一作為掩模之抗蝕劑圖案17₁的非結晶型矽薄膜13上，以至於該浮動閘極電極圖案13A係形成於該快閃記憶體晶胞區A、一閘極電極圖案13B係形成於該低壓操作電晶體B、且一閘極電極圖案13C係形成於該低壓操作電晶體C。

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (12)

接著，第7H圖的步驟中，該浮動閘極電極圖案13A及該閘極電極圖案13B及13C的表面係覆蓋有厚度5至10nm的保護氧化物薄膜18藉由在800至900°C之溫度範圍下的熱氧化。然後，第7I圖的步驟中，用一抗蝕劑圖案17₃當作一掩模，該源極區11a係藉由執行以 1×10^{14} 至 $5 \times 10^{14} \text{ cm}^{-2}$ 之摻雜在30至80keV範圍的加速電壓下P⁺或As⁺之離子植入而形成。

此外，第7J圖的步驟中，因該等區域B及C係覆蓋有一抗蝕劑圖案17₃，藉由利用該浮動閘極電極圖案13A作為一自我對準掩模，As⁺之離子植入以 5×10^{14} 至 $3 \times 10^{15} \text{ cm}^{-2}$ 之摻雜在30至50keV範圍的加速電壓下被執行於該區域A。因此，該n⁺-型源極線區11b係形成在該源極區11a內並且該n⁺-型汲極區11c係形成在離該源極區11a一通道區之相反側上。

接著，第7K圖的步驟中，一覆蓋該快閃記憶體晶胞區A之抗蝕劑圖案17₃被形成，並且藉由一p-型或n-型雜質成分的離子植入，該LDD區11d及11e係分別形成於該區域B及C。

再者，第7L圖的步驟中，該側壁氧化物薄膜16s係形成在每個該浮動閘極電極圖案13A及該閘極電極圖案13B及13C的兩側壁上。第7M圖的步驟中，因該快閃記憶體晶胞區A係覆蓋有一抗蝕劑圖案17₄，藉由一p-型或n-型雜質成分的離子植入，該擴散區11f及11g係形成於該區域B及C。

同樣地在包含此一單層閘極結構之快閃記憶體元件的

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (13)

半導體積體電路元件製造中，第7H圖的步驟中當該熱氧化物薄膜18係形成作為一保護氧化物薄膜為了覆蓋於該快閃記憶體晶胞區A的單層閘極電極結構(該浮動閘極電極圖案)如第8A圖詳細所示時，該相同的熱氧化物薄膜18亦形成於該低壓操作電晶體B以便覆蓋該閘極電極13B如第8B圖所示。結果，正好在該閘極電極13B下面穿透的鳥嘴被形成如第8B圖圈出所示。因此，形成於該區域B之該低壓操作電晶體B被防止具有一想要的臨界特性。

【發明概要】

本發明的一般目的係提供一種半導體積體電路元件及其製造方法，其中上述之缺點被排除。

本發明的另一特定目的係提供一種半導體積體電路元件，其中有效地防止正好在一基底上一起形成有快閃記憶體元件的一半導體元件閘極電極下面形成鳥嘴。

本發明的又一目的係提供一種製造此一半導體積體電路元件之方法。

本發明以上之目的被實現藉由一種半導體積體電路元件包含一基底、一非揮發記憶體元件形成於該基底之一記憶體晶胞區並具有一多層閘極電極結構包含覆蓋該基底的一隧道絕緣薄膜及一形成在該隧道絕緣薄膜的浮動閘極電極並具有覆蓋有由熱氧化物薄膜所形成的一保護絕緣薄膜之側壁表面、及一半導體元件形成於該基底的一元件區，該半導體元件包含一覆蓋該基底之閘極絕緣薄膜及一形成在該閘極絕緣薄膜上的閘極電極，其中一鳥嘴結構係由一

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (14)

在該隧道絕緣薄膜及該浮動閘極電極之介面的熱氧化物薄膜所形成，該鳥嘴結構從該浮動閘極電極之側壁表面沿著該介面穿入該浮動閘極電極，並且該閘極絕緣薄膜係插置在該基底及該閘極電極間使具有大致相同的厚度。

本發明以上之目的亦被實現藉由一種半導體積體電路元件包含：一基底；一形成於該基底之一記憶體晶胞區的非揮發記憶體元件，該非揮發記憶體元件包含：一覆蓋有一隧道絕緣薄膜的第一主動區、一緊鄰著該第一主動區形成並覆蓋有一隧道絕緣薄膜的第二主動區、一由一形成於該第二主動區之埋置擴散區所形成的控制閘極、一第一閘極電極延伸在該第一主動區中的該隧道絕緣薄膜上並且形成一橋樑在該第一及第二主動區間使經由該絕緣薄膜被電容性連接至該埋置擴散區，該第一閘極電極具有其側壁覆蓋有一由一熱氧化物薄膜所形成的保護絕緣薄膜、及一形成在於該第一主動區之該第一閘極電極的每一側上的擴散區；及一形成於該基底之一元件區之半導體元件，該半導體元件包含一覆蓋該基底的閘極絕緣薄膜及一形成在該閘極絕緣薄膜上的第二閘極電極，其中一鳥嘴結構係由一在該隧道絕緣薄膜及該第一閘極電極之介面的熱氧化物薄膜所形成，該鳥嘴結構從該第一閘極電極之側壁表面沿著該介面穿入該第一閘極電極，及該閘極絕緣薄膜係插置在該基底及該第二閘極電極間使具有大致相同的厚度。

根據上述等半導體積體電路元件，無鳥嘴結構被形成穿透進該第二閘極電極，因此，能夠避免於該半導體元件

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

臨界特性變化的問題。

本發明以上之目的亦被實現藉由一種製造一半導體積體電路元件之方法，包含步驟(a)形成一半導體結構包含一覆蓋一基底之記憶體晶胞區的隧道絕緣薄膜、一覆蓋該隧道絕緣薄膜的第一矽薄膜、一覆蓋該第一矽薄膜的絕緣薄膜、及一覆蓋該基底之一邏輯元件區的閘極絕緣薄膜，(b)沉積一第二矽薄膜在步驟(a)中所形成之半導體結構上以至於該第二矽薄膜覆蓋該記憶體晶胞區中的絕緣薄膜及該邏輯元件區中的閘極絕緣薄膜，(c)藉由連續仿製該第二矽薄膜，形成一多層閘極電極結構於該記憶體晶胞區以作為一控制閘極電極之用，該絕緣薄膜、及在具有該第二矽薄膜之記憶體晶胞區中的該第一矽薄膜被留於該邏輯元件區(d)形成一保護絕緣薄膜以至於該保護絕緣薄膜覆蓋於該記憶體晶胞區之該多層閘極電極結構以及於該邏輯元件區之該第二矽薄膜，(e)形成擴散區於該記憶體晶胞區之該多層閘極電極結構的兩側藉由執行一雜質成分的離子植入該基底以該多層閘極電極結構及該第二矽薄膜用來作為掩模，(f)藉由仿製該第二矽薄膜，形成一閘極電極於該邏輯元件區，及(g)藉由執行離子植入以該閘極電極用來作為一掩模，形成擴散區於該邏輯元件區，藉此，一非揮發記憶體元件係形成於該記憶體晶胞區並且一半導體元件係形成於該邏輯元件區。

本發明以上之目的進一步被實現藉由一種製造一半導體積體電路元件之方法，包含步驟(a)形成一半導體結構包

(請先閱讀背面之注意事項再填寫本頁)

家

訂

線

五、發明說明 (16)

含一覆蓋一基底之記憶體晶胞區的隧道絕緣薄膜及一覆蓋該基底之一邏輯元件區的閘極絕緣薄膜，(b)沉積一矽薄膜在步驟(a)中所形成之半導體結構上以至於該矽薄膜覆蓋該記憶體晶胞區中的隧道絕緣薄膜及該邏輯元件區中的閘極絕緣薄膜，(c)藉由選擇性仿製該矽薄膜形成一第一閘極電極於該記憶體晶胞區以該矽薄膜被留於該邏輯元件區，(d)形成一保護絕緣薄膜以至於該保護絕緣薄膜覆蓋於該記憶體晶胞區之該第一閘極電極以及於該邏輯元件區之該矽薄膜，(e)形成擴散區於該記憶體晶胞區之該第一閘極電極的兩側藉由執行一雜質成分的離子植入該基底以該第一閘極電極及該矽薄膜用來作為掩模，(f)藉由仿製該矽薄膜，形成一第二閘極電極於該邏輯元件區，及(g)藉由執行離子植入以該閘極電極用來作為一掩模，形成擴散區於該邏輯元件區，藉此，一非揮發記憶體元件係形成於該記憶體晶胞區並且一半導體元件係形成於該邏輯元件區。

根據上述等方法，該閘極電極被仿至於該邏輯元件區之前，該保護氧化物薄膜係形成以覆蓋該記憶體晶胞區中的該多層閘極電極結構或該閘極電極。該保護氧化物薄膜防止形成如同一穿透進該邏輯元件區中的該閘極電極的該鳥嘴結構。因此，能夠避免於該半導體元件臨界特性變化的問題。進一步，當藉由立子植入該等擴散區係形成於該記憶體晶胞區時，該元件區係覆蓋有該矽薄膜，藉由利用該矽薄膜作為一掩模，一抗蝕劑程序可被省略，因此簡化該半導體積體電路元件之製造程序。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (17)

【圖示之簡單說明】

當結合附圖解釋時，從以下詳細說明本發明之其他目的、特徵及優點將更明顯，其中：

第1A到1Q圖係顯示一包含多層閘極結構之快閃記憶體元件的傳統半導體積體電路元件之製造程序圖；

第2A及2B圖係用以說明該包含多層閘極結構之快閃記憶體元件的傳統半導體積體電路元件之缺點圖；

第3A及3B圖係用以說明一用於該傳統半導體積體電路元件中所利用多層閘極結構的該快閃記憶體元件之保護氧化物薄膜的作用圖式；

第4圖係一根據相關技藝一單層閘極結構的一快閃記憶體晶胞之平面圖；

第5A及5B圖係第4圖該快閃記憶體晶胞的橫截面圖；

第6A到6D圖係用以說明第4圖該快閃記憶體晶胞之寫入及抹除操作圖；

第7A到7M圖係顯示一包含第4圖該快閃記憶體晶胞之半導體積體電路元件的製造程序圖；

第8A及8B圖係用以說明一包含第4圖該快閃記憶體晶胞之半導體積體電路元件的缺點圖；

第9A到9I圖係顯示根據本發明第一實施例一半導體積體電路元件的製造程序圖；

第10A及10B圖係用以說明第一實施例之結果圖；

第11A及11B圖係用以說明第一實施例之另一結果圖；

第12A到12I圖係顯示根據本發明第二實施例一半導

(請先閱讀背面之注意事項再填寫本頁)

袋

訂

線

五、發明說明 (18)

體積體電路元件的製造程序圖；及

第13A及13B圖係用以說明第二實施例之結果圖。

【較佳實施例之詳細說明】

參考附圖現將給予本發明之實施例說明。

[第一實施例]

第9A到9I圖係顯示根據本發明第一實施例一半導體體積體電路元件的製造程序圖。該圖式中，與之前說明之相同元件係參照相同標號，並且將省略其說明。

此實施例中，首先執行第1A到1G圖之步驟，以至於一對應於第1G圖之結構係獲得於第9A圖之步驟。在此論點上，一矽在上之絕緣體(SOI)結構可取代該Si基底11。此外，一隧道氮化物薄膜可取代該隧道氧化物薄膜12A。

再者，第9B圖的步驟中，該多層閘極電極結構16F係形成於該快閃記憶體晶胞區A藉由利用第1H圖的步驟中所說明之抗蝕劑圖案17A執行仿製。第9B圖的步驟中，無仿製被形成在覆蓋有該抗蝕劑圖案17A之該低壓操作電晶體B及該高壓操作電晶體C上。

此實施例中，接著，第9C圖的步驟中，該抗蝕劑圖案17A被除去，並且該保護氧化物薄膜18係由一熱氧化物薄膜所形成以覆蓋該多層閘極電極結構16F藉由執行在800至900°C之溫度範圍下的熱氧化。該相同的熱氧化物薄膜18同樣被形成在每個區域B及C中該非結晶型矽薄膜16的表面上。

此外，第9C圖的步驟中，用該多層閘極電極結構16F

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (19)

當作一自我準掩模，該擴散區11c係形成於該快閃記憶體晶胞區A藉由執行如同於上述第1L圖的步驟之相同條件下的 As^+ (或 P^+)之離子植入。該雜質濃度可同於在該擴散區11a及11b之側上及該擴散區11c之側上。在此論點上，無離子被注入覆蓋有該非結晶型矽薄膜16之區域B及C中的Si基底11，可利用一抗蝕劑圖案其具有一開口在該快閃記憶體晶胞區A上。

第9D圖的步驟中，藉由利用前述於第1I圖之步驟的抗蝕劑圖案17B作為一掩模，仿製被執行在該區域B及C中的該非結晶型矽薄膜16上，以至於該閘極電極16B及16C係分別形成於該低壓操作電晶體B及該高壓操作電晶體C。

接著，第9E圖的步驟中，以前述於第1M圖之步驟的抗蝕劑圖案19C係用來作為一掩模，該LDD擴散區11d係形成於該區域B中之Si基底11藉由在其中執行一n-型或p-型雜質成分的離子植入。

第9F圖的步驟中，以前述於第1N圖之步驟的抗蝕劑圖案19D係用來作為一掩模，該LDD擴散區11e係形成於該該區域C中之Si基底11藉由在其中執行一n-型或p-型雜質成分的離子植入。第9E及9F圖的步驟中，該擴散區11d及11e可被形成在相同的離子植入條件下之相同步驟中。

第9G圖的步驟中，其對應於上述第1O圖之步驟，該側壁絕緣薄膜16s係形成在每個該多層閘極電極結構16F及該閘極電極16B及16C上。第9H圖的步驟中，其對應於上述第1P圖之步驟，該快閃記憶體晶胞區A係覆蓋有該抗蝕劑圖

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (20)

案 19E。此外，以該閘極電極 B 及 C 及該側壁絕緣薄膜 16s 係用來作為自我對準掩模，該擴散區 11f 及 11g 係分別形成於該區域 B 及 C 中之 Si 基底 11，藉由在其中執行一 n-型或 p-型雜質成分的離子植入。

此外，藉由執行同於上述於第 1Q 圖的步驟，能夠得到對應於第 1Q 圖之第 9I 圖的一半導體積體電路元件結構。

此實施例中，當該保護絕緣薄膜 18 由第 9C 圖之步驟熱氧化所形成時，無仿製已被執行在該區域 B 及 C 中之非結晶型矽薄膜 16 上。結果，該區域 B 及 C 中，該熱氧化物薄膜 18 係形成在該非結晶型矽薄膜 16 的表面上，但其被防止形成在該非結晶型矽薄膜 16 及該閘極氧化物薄膜 12B 間的一介面。此外，在第 9D 圖之該閘極電極 16B 及 16C 的仿製步驟後，無此熱氧化被執行於任何步驟。因此，雖然該保護絕緣薄膜 18 係形成以覆蓋該多層閘極電極結構 16F 如第 10A 圖所示，除了該閘極氧化物薄膜 12B，無任何熱氧化薄膜被沉積在該閘極電極 16B 之底部。因此，能避免該低壓操作電晶體於臨界特性上變化的問題。

如第 10A 圖圈出所示，第 9C 圖的步驟中，鳥嘴係形成在該浮動閘極電極圖案 13A 下面具有該保護絕緣薄膜 18 的形成。另一方面，有關該區域 B 及 C 中的 MOS 電晶體，鳥嘴，若曾形成，在厚度及穿透距離上係遠小於形成在該浮動閘極電極圖案 13A 下面者。

此外本實施例中，如第 11A 及 11B 圖所示，第 9C 圖之離子植入步驟中，無抗蝕劑圖案被需要被提供於該低壓操作

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (21)

電晶體B及該高壓操作電晶體C因該區域B及C係覆蓋有非結晶型矽薄膜16。結果，此簡化該半導體積體電路元件之製造程序。

[第二實施例]

第12A到12I圖係顯示根據本發明第二實施例一半導體積體電路元件的製造程序圖。該圖式中，與之前說明之相同元件係參照相同標號，並且將省略其說明。

此實施例中，對應於第7A到7D圖之步驟首先被執行，以致對應於第7E圖之結構被得到於第12A圖的步驟。此實施例中，一SOI基底亦可代替該Si基底11，再者，一熱氮化物氧化物薄膜可代替該隧道氧化物薄膜12A或該熱氧化物薄膜12B及12C。

接著，第12B圖的步驟中，其對應於第7F圖之步驟，厚度100至300nm的該非結晶型矽薄膜13係沉積在第12A圖的結構上，該非結晶型矽薄膜13可以一多晶矽薄膜取代。此外，該非結晶型矽薄膜13可被摻雜有 P^+ 。第12C圖的步驟中，仿製被執行在該非結晶型矽薄膜13上藉由利用一抗蝕劑圖案27₁作為一掩模以至該浮動閘極電極圖案13A被形成。該抗蝕劑圖案27₁覆蓋該低壓操作電晶體B及該高壓操作電晶體C。結果，第12C圖的步驟中，無仿製被執行在該區域B及C中的該非結晶型矽薄膜13上。

接著，第12D圖的步驟中，該抗蝕劑圖案27₁被除去，並且厚度5至10nm的保護絕緣薄膜18係由一熱氧化物薄膜所形成以便覆蓋該區域中的浮動閘極電極圖案13A藉由執

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (22)

行在800至900°C之溫度範圍下的熱氧化。由於該熱氧化，該熱氧化物薄膜18亦被形成在該區域B及C中非結晶型矽薄膜13的表面上。

接著，第12E圖的步驟中，一對應於第7I圖該抗蝕劑圖案17₂的抗蝕劑圖案27₂係形成在第12D圖的結構。以該抗蝕劑圖案27₂係利用作為一掩模，以 5×10^{14} 至 $3 \times 10^{15} \text{cm}^{-2}$ 之摻雜在30至80keV範圍的加速電壓下P⁺(或As⁺)之離子植入被執行以致該擴散區11a係緊鄰該快閃記憶體晶胞區A中的浮動閘極電極圖案13A而形成。此外第12E圖的步驟中，P⁺之離子植入後，以 1×10^{15} 至 $6 \times 10^{15} \text{cm}^{-2}$ 之摻雜在30至80keV範圍的加速電壓下執行As⁺之離子植入，以致該擴散區11a之電阻被將低。

接著，第12F圖的步驟中，該抗蝕劑圖案27₂被除去，以該浮動閘極電極圖案13A係利用作為一掩模，以 5×10^{14} 至 $3 \times 10^{15} \text{cm}^{-2}$ 之摻雜在20至60keV範圍的加速電壓下As⁺之離子植入被執行於該區域A，以致該擴散區11b及11c係形成於該區域A中的Si基底。在此論點上，第12E圖之步驟係可省略的。此外，一僅在該快閃記憶體晶胞區A上具有一開口之抗蝕劑圖案也可被形成。

接著，第12G圖的步驟中，一抗蝕劑圖案27₃係形成在第12F圖的結構上，該快閃記憶體晶胞區A係形成有該抗蝕劑圖案27₃。然後，仿製被執行在該非結晶型矽薄膜13以該抗蝕劑圖案27₃利用作為一掩模於該區域B及C，以致該閘極電極13B及13C被形成在其中。

(請先閱讀背面之注意事項再填寫本頁)

家

訂

綠

五、發明說明 (23)

第12H圖的步驟中，該抗蝕劑圖案27₃被除去並且一覆蓋該快閃記憶體晶胞區A之抗蝕劑圖案27₄被形成。以該抗蝕劑圖案27₄利用作為一掩模，一n-型或p-型雜質成分被導入該Si基底11藉由離子植入，以致該LDD擴散區11d及11e係分別形成於該區域B及C。

此外，第12I圖的步驟中，該抗蝕劑圖案27₄被除去，並且一CVD氧化物薄膜16S被沉積。此外，以被該快閃記憶體晶胞區A中的一抗蝕劑圖案27₅所保護之CVD氧化物薄膜16S，回蝕被執行於該區域B及C，以致該側壁氧化物薄膜16s係形成在每個閘極電極13B及13C的側壁上。

此外，藉由執行相同於第7M圖之步驟的離子植入在第12I圖的結構上，該擴散區11f及11g於該Si基底11，一n-型或p-型閘極電極同樣是可行成的。例如WSi或CoSi的一低電阻金屬矽化物薄膜，藉由金屬矽化物處理，依所需可被形成在每個該閘極電極13B及13C及該等擴散區11f及11g的表面上。

第13A及13B圖係顯示根據此實施例所形成的快閃記憶體元件及低壓操作電晶體之詳細結構圖。

如第13A圖所示，此實施例中該浮動閘極電極圖案13A不僅具有其側壁表面而且其頂表面係均勻覆蓋有該保護氧化物薄膜18。於是，即使該快閃記憶體元件被留於一熱環境一長時間隔薄膜，累積於該浮動閘極電極圖案13A的電子被穩定地保留。

再者此實施例中，當執行第12D圖之熱氧化步驟時，

(請先閱讀背面之注意事項再填寫本頁)

表

訂

錄

五、發明說明 (24)

該非結晶型矽薄膜13未被仿製於該區域B及C。於是，如第13B圖所示，無任何熱氧化物薄膜之鳥嘴在該該閘極電極13B及13C下面穿透。此使形成在該Si基底11其上也形成快閃記憶體元件的每個MOS電晶體之臨界特性及操作特性穩定。於該臨界特性及操作特性的改良係顯著於一具有一短閘極長度積一薄閘極氧化物薄膜的低壓操作電晶體。

此實施例中，無任何抗蝕劑圖案係需要被形成於第12F圖之離子植入步驟，因此簡化該製早程序。

根據之前實施例一多層閘極型的快閃記憶體元件中，於第9I圖的結構，該多層閘極電極結構16F同樣可具有其側表面及頂表面係連續覆蓋有該保護絕緣薄膜如同於第12I圖者。

根據本發明，在一閘極電極被仿製於一第一或第二元件區之前，一保護絕緣薄膜被形成以覆蓋一快閃記憶體晶胞區中的一多層閘極電極結構或一浮動閘極電極圖案，該保護絕緣薄膜防止一鳥嘴結構被形成一穿透進於該元件區之閘極電極。因此，在該元件區中一半導體元件之臨界特性上變化的問題能被避免。再者，根據本發明，當擴散區係藉由離子植入形成於該快閃記憶體晶胞區時，該元件區係覆蓋有一非結晶型矽薄膜，藉由利用該非結晶型矽薄膜作為一掩模，一抗蝕劑程序可被省略，於是簡化該製造程序。

本發明不僅限於該具體揭露之實施例，但在不脫離本發明之範圍下可做成變化及修飾。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (25)

【元件標號對照表】

11...矽基底	16C...閘極電極
11a ...n-型擴散區	16F...多層閘極電極結構
11b...n-型擴散區	16s...側壁絕緣薄膜
11c...n-型擴散區	17A...抗蝕劑圖案
11d...LDD擴散區	17B...抗蝕劑圖案
11e...LDD擴散區	18...保護氧化物薄膜
11f...p-型/n-型擴散區	19A...抗蝕劑圖案
11g...p-型/n-型擴散區	19B...抗蝕劑圖案
12A...隧道氧化物薄膜	19C...抗蝕劑圖案
12B...熱氧化物薄膜	19D...抗蝕劑圖案
12C...熱氧化物薄膜	19E...抗蝕劑圖案
13...非結晶型矽薄膜	20...介層絕緣薄膜
13A...非結晶型矽圖案	20A...W栓
14...絕緣薄膜	20B...W栓
14A...ONO圖案	20C...W栓
14a...熱氧化物薄膜	11A...元件區
14b...氮化矽薄膜	11B...元件區
14c...二氧化矽薄膜	11C...n ⁺ -型擴散區
15A...抗蝕劑圖案	11a ...n ⁻ -型源極區
15B...抗蝕劑圖案	11b...n ⁺ -型源極線區
16...非結晶型矽薄膜	11c...n ⁺ -型汲極區
16A...非結晶型矽圖案	11F...場氧化物薄膜
16B...閘極電極	12Ac...氧化物薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂

錄

五、發明說明 (26)

- | | |
|--------------------------|--------------------------|
| 13A...浮動閘極電極圖案 | 17 ₃ ...抗蝕劑圖案 |
| 13Ac...連接部 | 27 ₁ ...抗蝕劑圖案 |
| 15 ₁ ...抗蝕劑圖案 | 27 ₂ ...抗蝕劑圖案 |
| 15 ₂ ...抗蝕劑圖案 | 27 ₃ ...抗蝕劑圖案 |
| 17 ₁ ...抗蝕劑圖案 | 27 ₄ ...抗蝕劑圖案 |
| 17 ₂ ...抗蝕劑圖案 | 27 ₅ ...抗蝕劑圖案 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱： 半導體積體電路元件及其製造方法)

一種半導體積體電路元件包含一基底(11)、一形成於該基底(11)之記憶體晶胞區的非揮發記憶體元件、及一形成於該基底(11)之元件區之半導體元件。該非揮發記憶體元件具有一包含一隧道絕緣薄膜(12A)及一形成在其上之浮動閘極電極(13A)的多層閘極電極結構(16F)，該浮動閘極電極(13A)具有一覆蓋有一保護絕緣薄膜(18)之側壁表面，該半導體元件具有一閘極絕緣薄膜(12B, 12C)及一形成在其上之閘極電極(16B, 16C)。一鳥嘴結構係由一在該隧道絕緣薄膜(12A)及該浮動閘極電極(13A)之界面的熱氧化物薄膜所形成，該鳥嘴結構從該浮動閘極電極(13A)之側壁表面沿著該界面穿入該浮動閘極電極(13A)，並且該閘極絕緣薄膜(12B, 12C)係插置在該基底(11)及該閘極電極(16B, 16C)間使具有大致相同的厚度。

英文發明摘要 (發明之名稱： SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD OF PRODUCING THE SAME)

A semiconductor integrated circuit device includes a substrate (11), a nonvolatile memory device formed in a memory cell region of the substrate (11), and a semiconductor device formed in a device region of the substrate (11). The nonvolatile memory device has a multilayer gate electrode structure (16F) including a tunnel insulating film (12A) and a floating gate electrode (13A) formed thereon. The floating gate electrode (13A) has sidewall surfaces covered with a protection insulating film (18). The semiconductor device has a gate insulating film (12B, 12C) and a gate electrode (16B, 16C) formed thereon. A bird's beak structure is formed of a thermal oxide film at an interface of the tunnel insulating firm (12A) and the floating gate electrode (13A), the bird's beak structure penetrating into the floating gate electrode (13A) along the interface from the sidewall faces of the floating gate electrode (13A), and the gate insulating film (12B, 12C) is interposed between the substrate (11) and the gate electrode (16B, 16C) to have a substantially uniform thickness.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體積體電路元件包含：

一基底(11)；

一非揮發記憶體元件，係形成於該基底(11)之一記憶體晶胞區並具有一多層閘極電極結構(16F)包含覆蓋該基底(11)的一隧道絕緣薄膜(12A)及一形成在該隧道絕緣薄膜(12A)的浮動閘極電極(13A)並具有覆蓋有由熱氧化物薄膜所形成的一保護絕緣薄膜(18)之側壁表面；及

一半導體元件，係形成於該基底(11)之一元件區，該半導體元件包含一覆蓋該基底(11)之閘極絕緣薄膜(12B, 12C)及一形成在該閘極絕緣薄膜(12B, 12C)上之閘極電極(16B, 16C)，

其中一鳥嘴結構係由一在該隧道絕緣薄膜(12A)及該浮動閘極電極(13A)之界面的熱氧化物薄膜所形成，該鳥嘴結構從該浮動閘極電極(13A)之側壁表面沿著該界面穿入該浮動閘極電極(13A)；及

該閘極絕緣薄膜(12B, 12C)係插置在該基底(11)及該閘極電極(16B, 16C)間使具有一大致相同的厚度。

2. 如申請專利範圍第1項所述之半導體積體電路元件，其中該多層閘極電極結構(16F)更包含一形成在該浮動閘極電極(13A)上的絕緣薄膜(14A)及一形成在該絕緣薄膜(14A)上的控制閘極電極(16A)。

3. 如申請專利範圍第2項所述之半導體積體電路元件，其中該等閘極電極(16B, 16C)及該控制閘極電極(16A)中的每一個包含一多晶矽化金屬或多金屬結構其包含一摻雜有

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 一 n-型或 p-型摻雜物之矽薄膜。
- 4.如申請專利範圍第1項所述之半導體積體電路元件，其中形成該保護絕緣薄膜(18)之熱氧化物薄膜連接至該鳥嘴結構。
- 5.如申請專利範圍第1項所述之半導體積體電路元件，其中該保護絕緣薄膜(18)連續地覆蓋該多層閘極電極結構(16F)的側壁面及一頂表面。
- 6.如申請專利範圍第1項所述之半導體積體電路元件，其中一矽在上之絕緣體基底被利用作為該基底。
- 7.如申請專利範圍第1項所述之半導體積體電路元件，其中該隧道絕緣薄膜(12A)係一隧道氧化物薄膜。
- 8.如申請專利範圍第1項所述之半導體積體電路元件，其中該隧道絕緣薄膜(12A)係一隧道氮化物薄膜。
- 9.一種半導體積體電路元件包含：
- 一基底(11)；
 - 一非揮發記憶體元件，係形成於該基底(11)之一記憶體晶胞區，
- 該非揮發記憶體元件包含：
- 一第一主動區(11A)，係覆蓋有一隧道絕緣薄膜(12A)；
 - 一第二主動區(11B)，係緊鄰著該第一主動區(11A)形成並覆蓋有一隧道絕緣薄膜(12Ac)；
 - 一控制閘極，係由一形成於該第二主動區(11B)之埋置擴散區(11C)所形成；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

一第一閘極電極(13A)，係延伸在該第一主動區(11A)中的該隧道絕緣薄膜(12A)上並且形成一橋樑在該第一及第二主動區(11A, 11B)間使經由該絕緣薄膜(12Ac)被電容性連接至該埋置擴散區(11C)，該第一閘極電極(13A)具有其側壁覆蓋有一由一熱氧化物薄膜所形成的保護絕緣薄膜(18)；及

一擴散區(11a, 11c)，係形成在於該第一主動區(11A)之該第一閘極電極(13A)的每一側上；及

一半導體元件，係形成於該基底的一元件區，該半導體元件包含一覆蓋該基底(11)的閘極絕緣薄膜(12B, 12C)及一形成在該閘極絕緣薄膜(12B, 12C)上的第二閘極電極(13B, 13C)，

其中一鳥嘴結構係由一在該隧道絕緣薄膜(12A)及該第一閘極電極(13A)之界面的熱氧化物薄膜所形成，該鳥嘴結構從該第一閘極電極(13A)之側壁表面沿著該界面穿入該第一閘極電極(13A)；及

該閘極絕緣薄膜(12B, 12C)係插置在該基底(11)及該第二閘極電極(13B, 13C)間使具有大致相同的厚度。

10.如申請專利範圍第9項所述之半導體積體電路元件，其中形成該保護絕緣薄膜(18)之熱氧化物薄膜係連接至該鳥嘴結構。

11.如申請專利範圍第9項所述之半導體積體電路元件，其中該保護絕緣薄膜(18)連續地覆蓋該第一閘極電極(13A)的一頂表面。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

- 12.如申請專利範圍第9項所述之半導體積體電路元件，其中該第二閘極電極(13B, 13C)包含一多晶矽化金屬或多金屬結構其包含一摻雜有一n-型或p-型摻雜物之矽薄膜。
- 13.如申請專利範圍第9項所述之半導體積體電路元件，其中一絕緣體上矽基底係用來作為該基底。
- 14.如申請專利範圍第9項所述之半導體積體電路元件，其中該隧道絕緣薄膜(12A)係一隧道氧化物薄膜。
- 15.如申請專利範圍第9項所述之半導體積體電路元件，其中該隧道絕緣薄膜(12A)係一隧道氮化物薄膜。
- 16.一種製造一半導體積體電路元件之方法，包含步驟：
- (a) 形成一半導體結構包含一覆蓋一基底(11)之記憶體晶胞區的隧道絕緣薄膜(12A)、一覆蓋該隧道絕緣薄膜(12A)的第一矽薄膜(13)、一覆蓋該第一矽薄膜(13)的絕緣薄膜(14)、及一覆蓋該基底之一邏輯元件區的閘極絕緣薄膜(12C)；
- (b) 沉積一第二矽薄膜(16)在步驟(a)中所形成之半導體結構上以至於該第二矽薄膜(16)覆蓋該記憶體晶胞區中的絕緣薄膜(14)及該邏輯元件區中的閘極絕緣薄膜(12C)；
- (c) 藉由連續仿製該第二矽薄膜(16)，形成一多層閘極電極結構(16F)於該記憶體晶胞區以作為一控制閘極電極(16A)之用，該絕緣薄膜(14)、及在具有該第二矽薄膜(16)之記憶體晶胞區中的該第一矽薄膜(13)被留於

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

該邏輯元件區；

(d) 形成一保護絕緣薄膜(18)以至於該保護絕緣薄膜(18)覆蓋於該記憶體晶胞區之該多層閘極電極結構(16F)及於該邏輯元件區之該第二矽薄膜(16)；

(e) 形成擴散區(11a, 11c)於該記憶體晶胞區之該多層閘極電極結構(16F)的兩側藉由執行一雜質成分的離子植入該基底(11)以該多層閘極電極結構(16F)及該第二矽薄膜(16)用來作為掩模；

(f) 藉由仿製該第二矽薄膜(16)，形成一閘極電極(16B, 16C)於該邏輯元件區；及

(g) 藉由執行離子植入以該閘極電極(16B, 16C)用來作為一掩模，形成擴散區(11d, 11e, 11f, 11g)於該邏輯元件區，

藉此，一非揮發記憶體元件係形成於該記憶體晶胞區並且一半導體元件係形成於該邏輯元件區。

17. 如申請專利範圍第16項所述之方法，其中該邏輯元件區包含第一及第二元件區；

步驟(a)分別形成第一及第二閘極絕緣薄膜(12B, 12C)於該第一及第二元件區，該第二絕緣薄膜(12C)係厚於該第一絕緣薄膜(12B)；

步驟(f)分別形成第一及第二閘極電極(16B, 16C)於該第一及第二元件區，藉由仿製該第二矽薄膜(16)；及

步驟(g)形成擴散區(11d, 11e, 11f, 11g)於該第一

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

及第二元件區藉由分別利用該第一及第二閘極電極(16B, 16C)作為掩模。

18.如申請專利範圍第17項所述之方法，其中步驟(b)同時被執行於該記憶體晶胞區及該第一與第二元件區。

19.如申請專利範圍第17項所述之方法，其中該控制閘極電極(16A)及該第一及第二閘極電極(16B, 16C)中的每一個包含一多晶矽化金屬或多金屬結構其包含一摻雜有一n-型或p-型摻雜物之矽薄膜。

20.如申請專利範圍第16項所述之方法，其中步驟(b)同時被執行於該記憶體晶胞區及該邏輯元件區。

21.如申請專利範圍第16項所述之方法，其中步驟(e)被執行不用一抗蝕劑掩模。

22.如申請專利範圍第16項所述之方法，其中步驟(a)利用一隧道氧化物薄膜作為該隧道絕緣薄膜(12A)。

23.如申請專利範圍第16項所述之方法，其中步驟(a)利用一隧道氮化物薄膜作為該隧道絕緣薄膜(12A)。

24.如申請專利範圍第16項所述之方法，其中一矽在上之絕緣體基底被利用作為該基底(11)。

25.如申請專利範圍第16項所述之方法，其中步驟(d)藉由熱氧化形成該保護氧化物薄膜(18)以至於該保護氧化物薄膜(18)係由一熱氧化物薄膜所形成。

26.如申請專利範圍第16項所述之方法，其中步驟(g)執行離子植入以該記憶體晶胞區被一抗蝕劑掩模(19D, 19E)保護。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

27.如申請專利範圍第16項所述之方法，其中該控制閘極電極(16A)及該第等閘極電極(16B, 16C)中的每一個包含一多晶矽化金屬或多金屬結構其包含一摻雜有一n-型或p-型摻雜物之矽薄膜。

28.一種製造一半導體積體電路元件之方法，包含步驟：

(a) 形成一半導體結構包含一覆蓋一基底(11)之記憶體晶胞區的隧道絕緣薄膜(12A)及一覆蓋該基底之一邏輯元件區的閘極絕緣薄膜(12B, 12C)；

(b) 沉積一矽薄膜(13)在步驟(a)中所形成之半導體結構上以至於該矽薄膜(13)覆蓋該記憶體晶胞區中的隧道絕緣薄膜(12A)及該邏輯元件區中的閘極絕緣薄膜(12B, 12C)；

(c) 藉由選擇性仿製該矽薄膜(13)形成一第一閘極電極(13A)於該記憶體晶胞區以該矽薄膜(13)被留於該邏輯元件區；

(d) 形成一保護絕緣薄膜(18)以至於該保護絕緣薄膜(18)覆蓋於該記憶體晶胞區之該第一閘極電極(13A)以及於該邏輯元件區之該矽薄膜(13)；

(e) 形成擴散區(11a, 11c)於該記憶體晶胞區之該第一閘極電極(13A)的兩側藉由執行一雜質成分的離子植入該基底(11)以該第一閘極電極(13A)及該矽薄膜(13)用來作為掩模；

(f) 藉由仿製該矽薄膜(13)，形成一第二閘極電極(13B, 13C)於該邏輯元件區；及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

(g) 藉由執行離子植入以該閘極電極(13B, 13C)用來作為一掩模, 形成擴散區(11d, 11e, 11f, 11g)於該邏輯元件區,

藉此, 一非揮發記憶體元件係形成於該記憶體晶胞區並且一半導體元件係形成於該邏輯元件區。

29. 如申請專利範圍第28項所述之方法, 其中該邏輯元件區包含第一及第二元件區;

步驟(a)分別形成第一及第二閘極絕緣薄膜(13B, 13C)於該第一及第二元件區, 該第一絕緣薄膜(12C)係厚於該第一絕緣薄膜(12B);

步驟(f)分別形成第三及第四閘極電極(13B, 13C)於該第一及第二元件區, 藉由仿製該第二矽薄膜(13);
及

步驟(g)形成擴散區(11d, 11e, 11f, 11g)於該第一及第二元件區藉由分別利用該第三及第四閘極電極(13B, 13C)作為掩模。

30. 如申請專利範圍第29項所述之方法, 其中步驟(b)同時被執行於該記憶體晶胞區及該第一與第二元件區。

31. 如申請專利範圍第29項所述之方法, 其中該第三及第四閘極電極(13B, 13C)中的每一個包含一多晶矽化金屬或多金屬結構其包含一摻雜有一n-型或p-型摻雜物之矽薄膜。

32. 如申請專利範圍第28項所述之方法, 其中步驟(b)同時被執行於該記憶體晶胞區及該邏輯元件區。

(請先閱讀背面之注意事項再填寫本頁)

訂

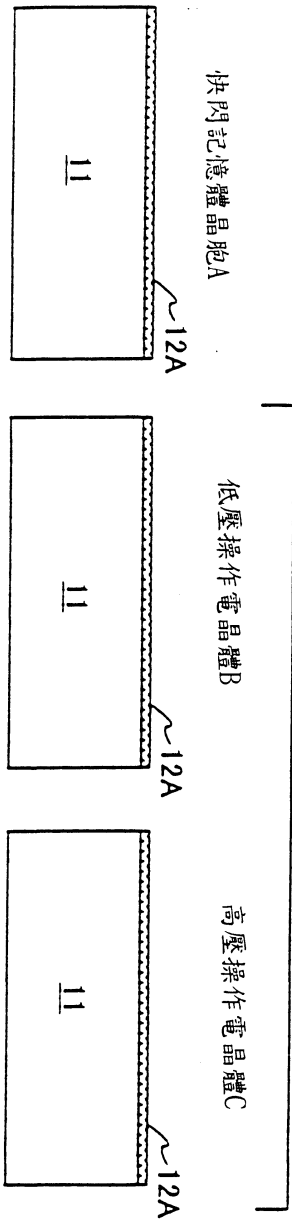
六、申請專利範圍

- 33.如申請專利範圍第28項所述之方法，其中步驟(e)被執行不用一抗蝕劑掩模。
- 34.如申請專利範圍第28項所述之方法，其中步驟(a)利用一隧道氧化物薄膜作為該隧道絕緣薄膜(12A)。
- 35.如申請專利範圍第28項所述之方法，其中步驟(a)利用一隧道氮化物薄膜作為該隧道絕緣薄膜(12A)。
- 36.如申請專利範圍第28項所述之方法，其中一矽在上之絕緣體基底被利用作為該基底(11)。
- 37.如申請專利範圍第28項所述之方法，其中步驟(d)藉由熱氧化形成該保護氧化物薄膜(18)以至於該保護氧化物薄膜(18)係由一熱氧化物薄膜所形成。
- 38.如申請專利範圍第28項所述之方法，其中步驟(g)執行離子植入以該記憶體晶胞區被一抗蝕劑掩模(27₄，27₅)保護。
- 39.如申請專利範圍第28項所述之方法，其中該第二閘極電極(13B，13C)包含一多晶矽化金屬或多金屬結構其包含一摻雜有一n-型或p-型摻雜物之矽薄膜。

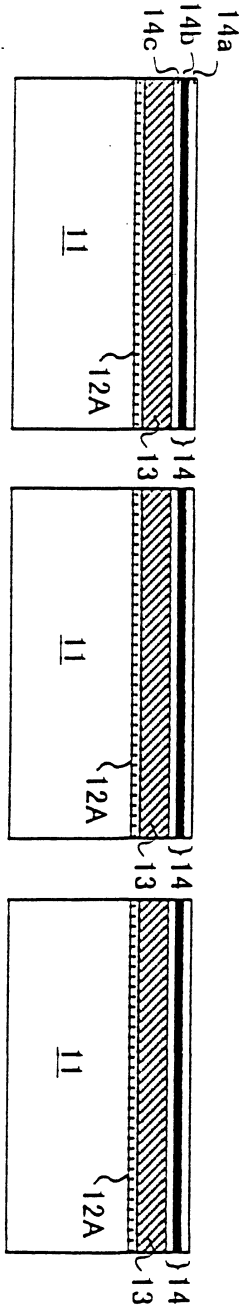
(請先閱讀背面之注意事項再填寫本頁)

訂

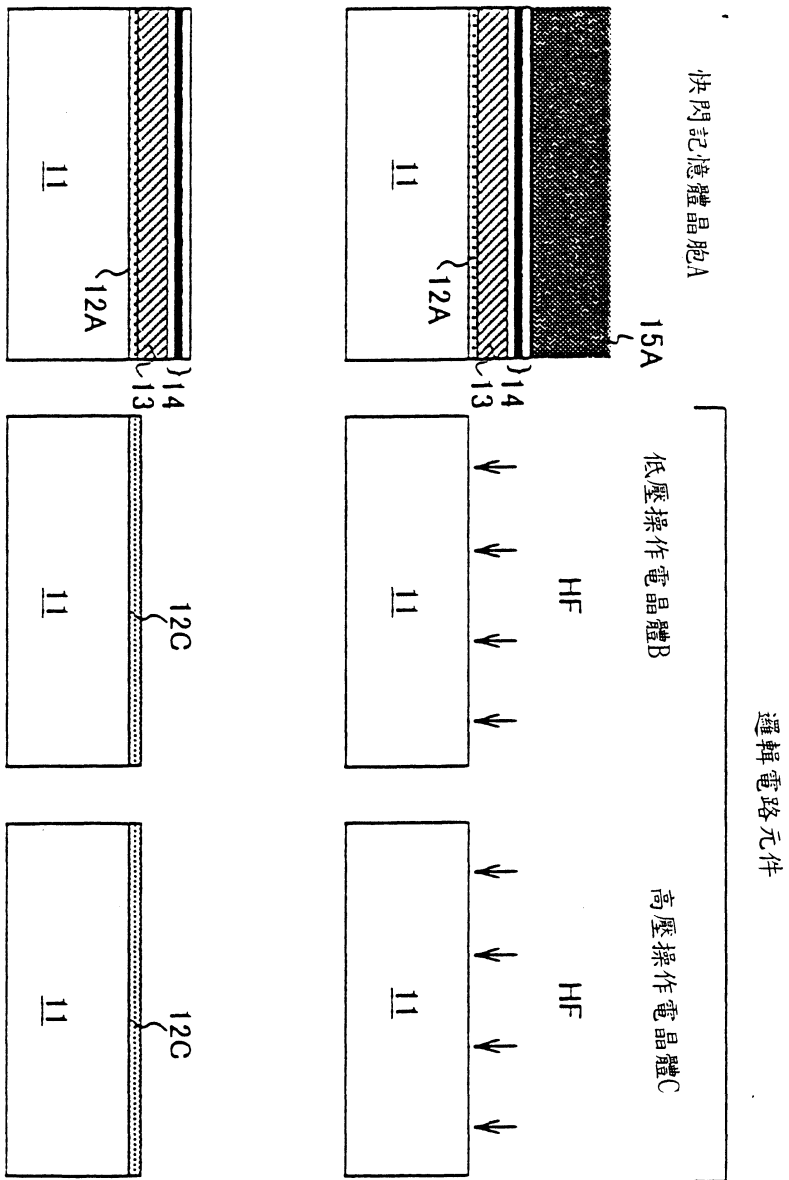
第 1A 圖
習知技藝



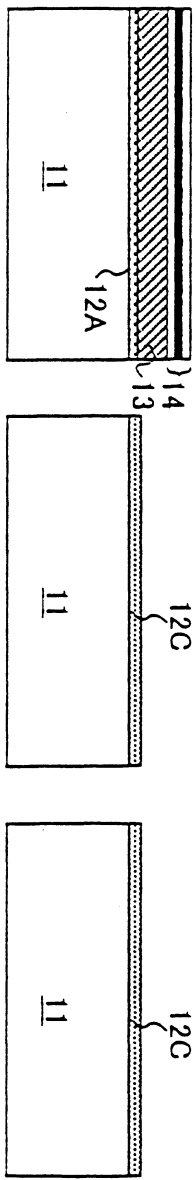
第 1B 圖
習知技藝



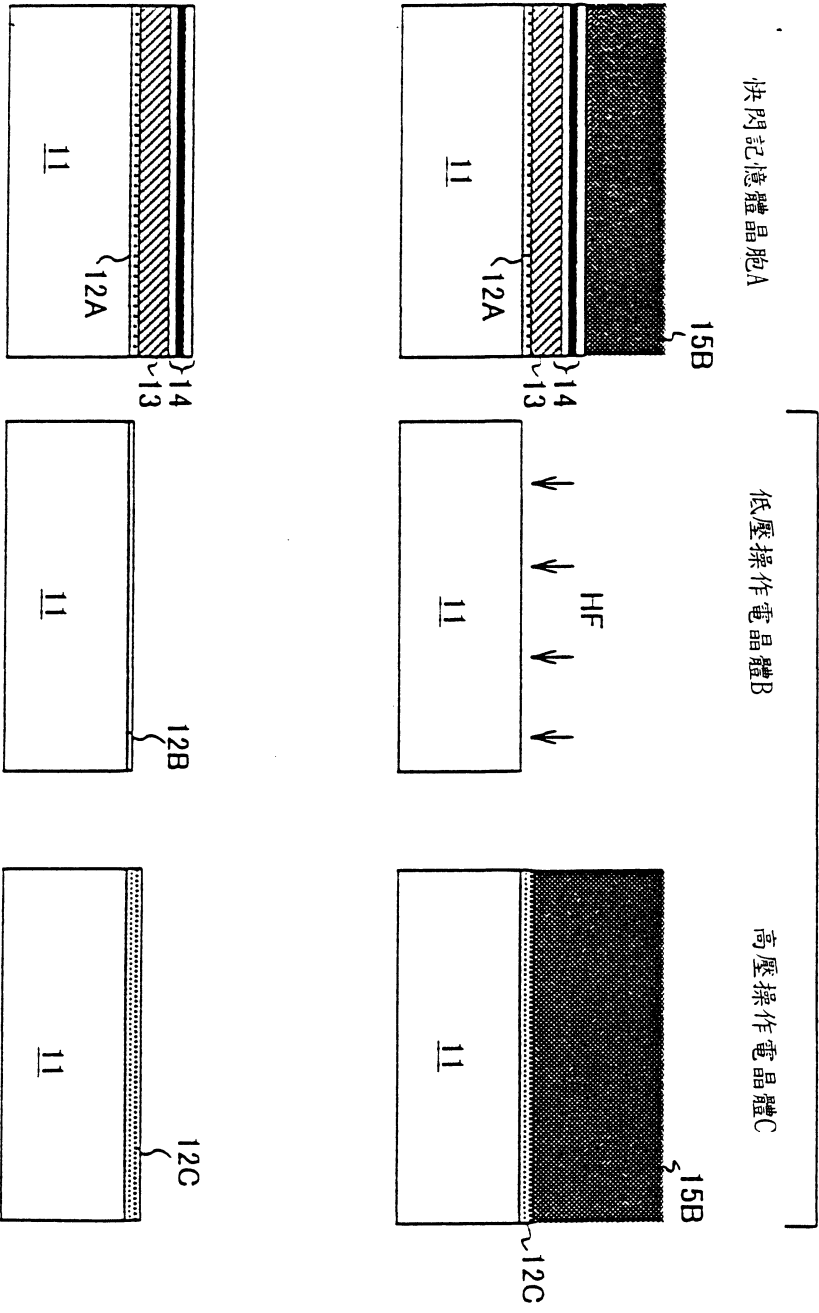
第 1C 圖
習知技藝



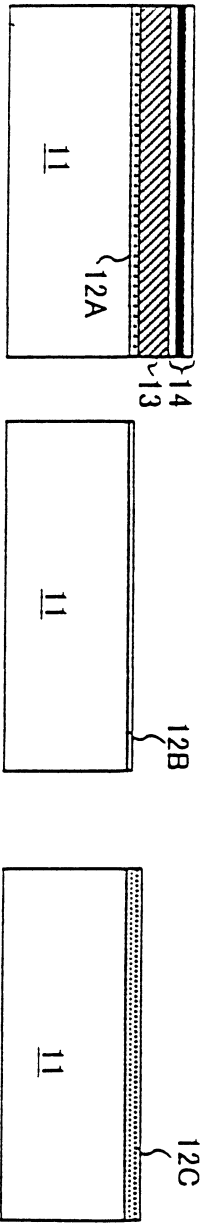
第 1D 圖
習知技藝



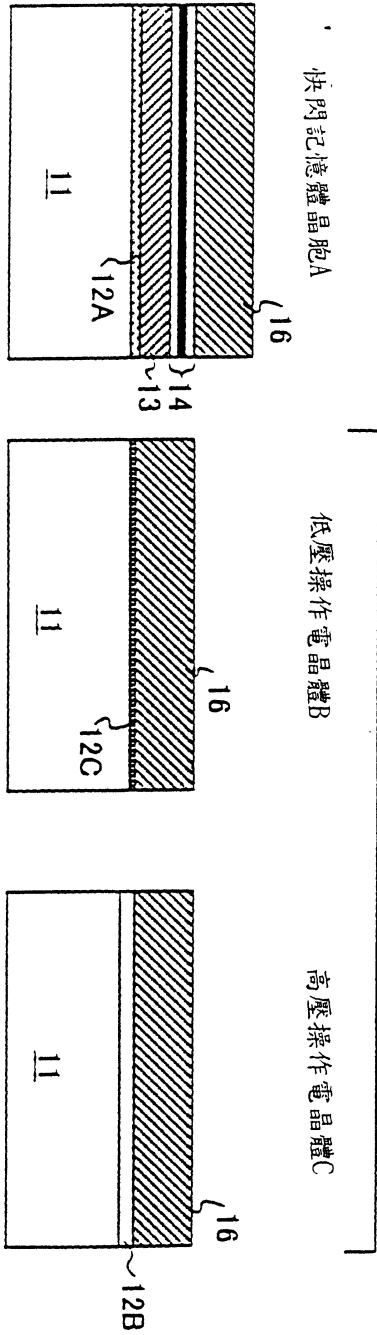
第 1E 圖
習知技藝



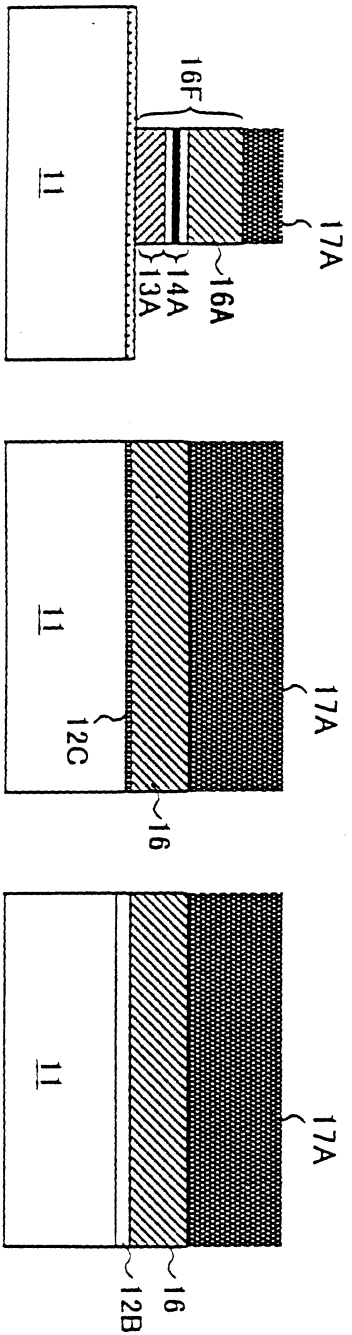
第 1F 圖
習知技藝



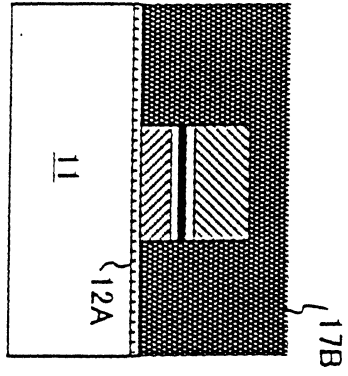
第 1G 圖
習知技藝



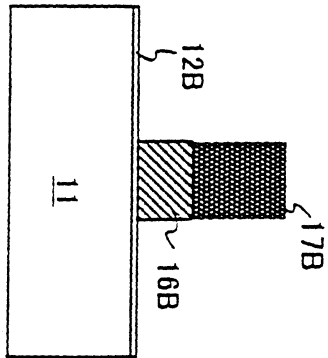
第 1H 圖
習知技藝



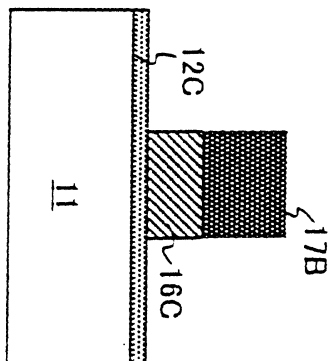
第 11 圖
習知技藝



快閃記憶體晶胞A



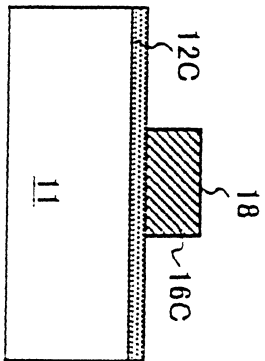
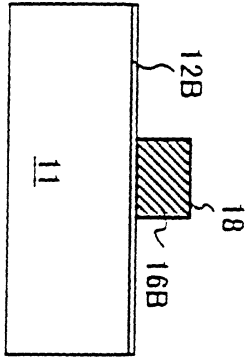
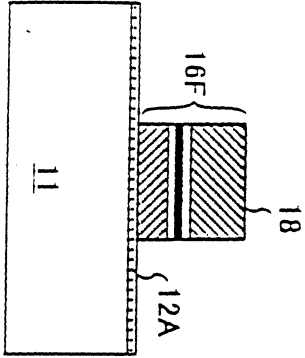
低壓操作電晶體B



高壓操作電晶體C

邏輯電路元件

第 1J 圖
習知技藝

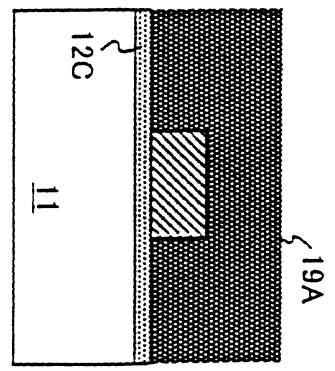
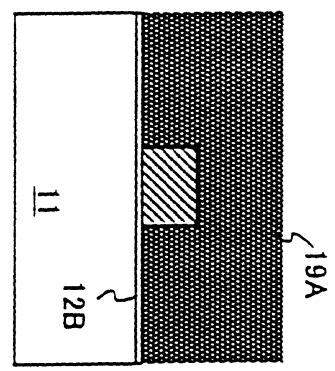
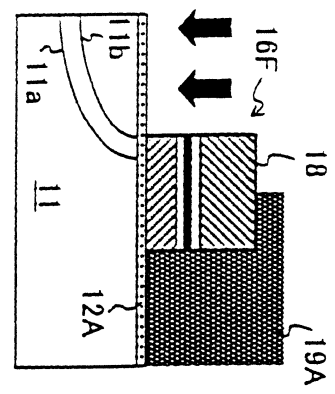


邏輯電路元件

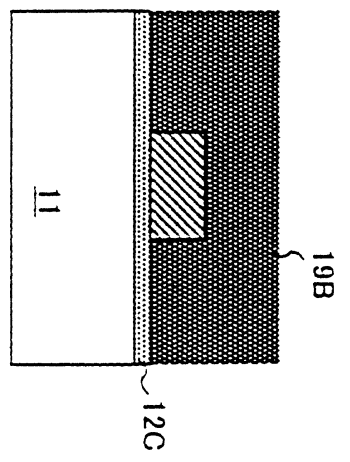
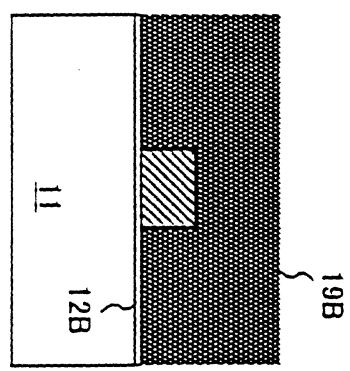
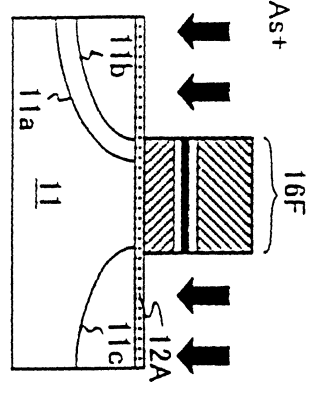
快閃記憶體晶胞A

P+ OR As+

第 1K 圖
習知技藝



第 1L 圖
習知技藝



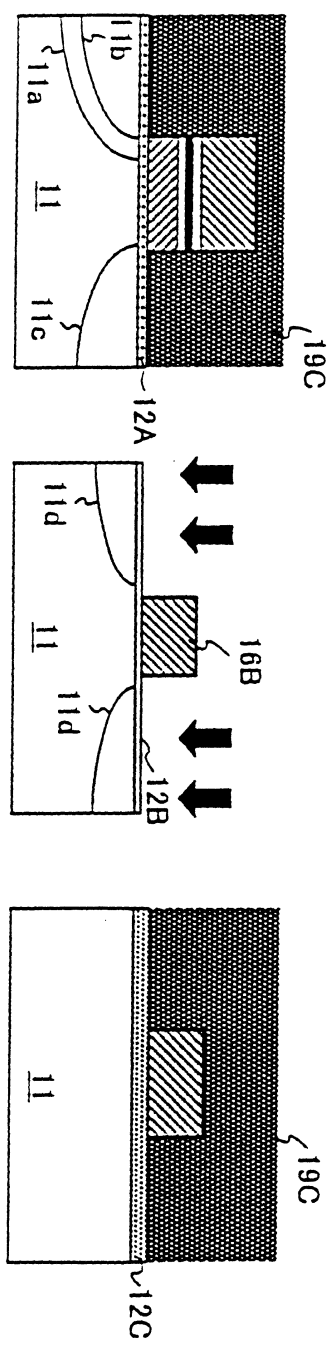
邏輯電路元件

快閃記憶體晶胞A

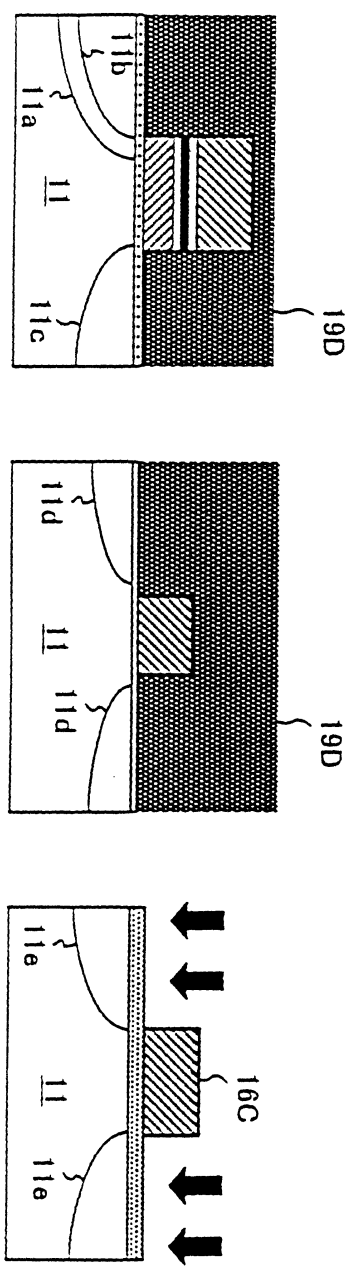
低壓操作電晶體B

高壓操作電晶體C

第 1M 圖
習知技藝

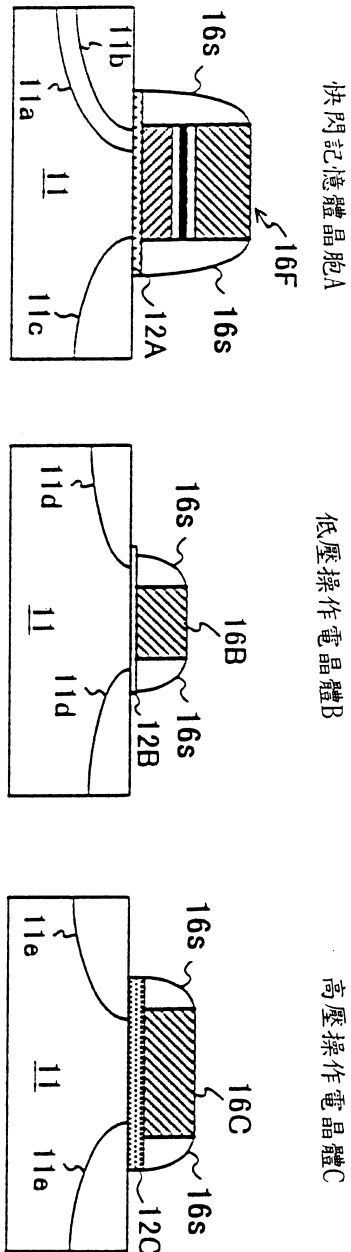


第 1N 圖
習知技藝

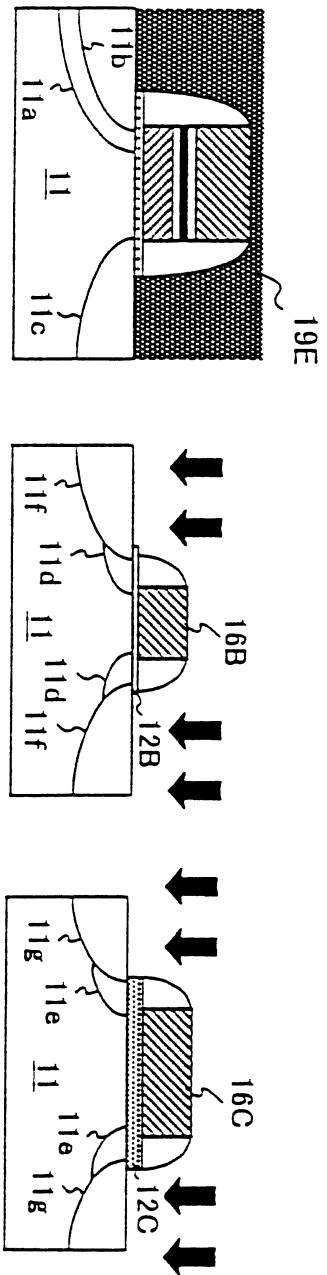


邏輯電路元件

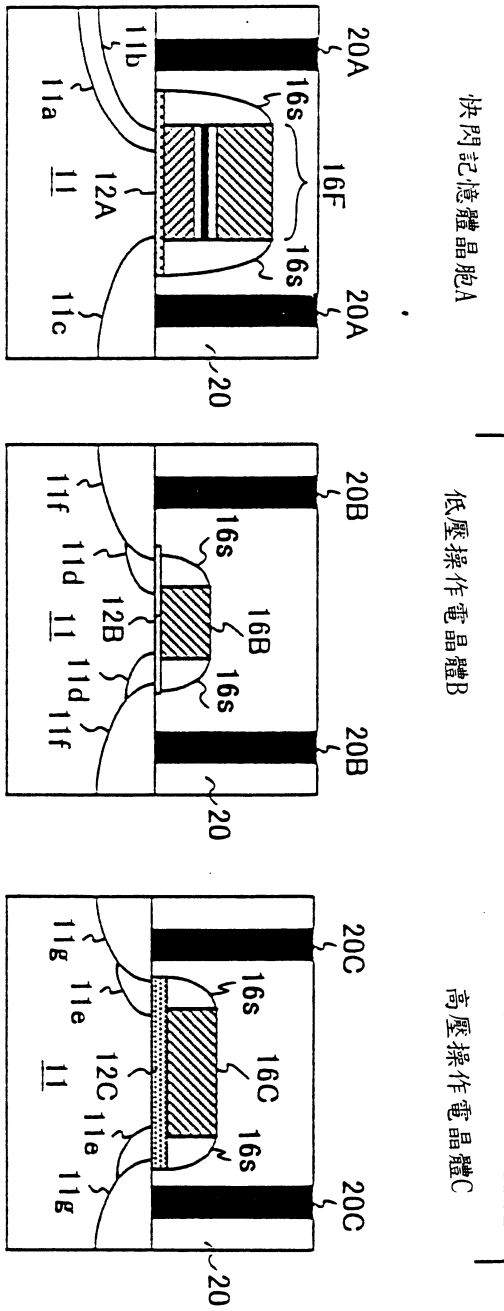
第 10 圖
習知技藝



第 1P 圖
習知技藝

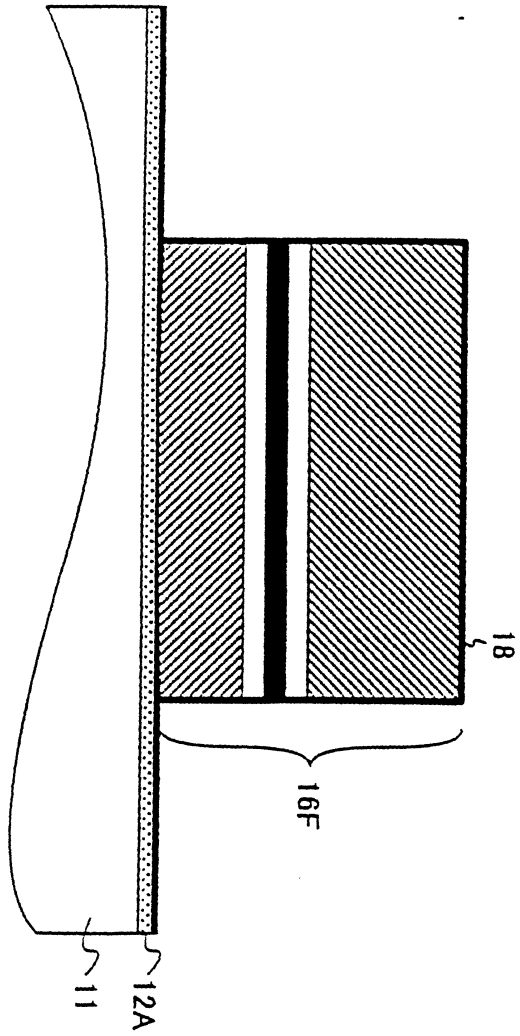


第 10 圖
習知技藝



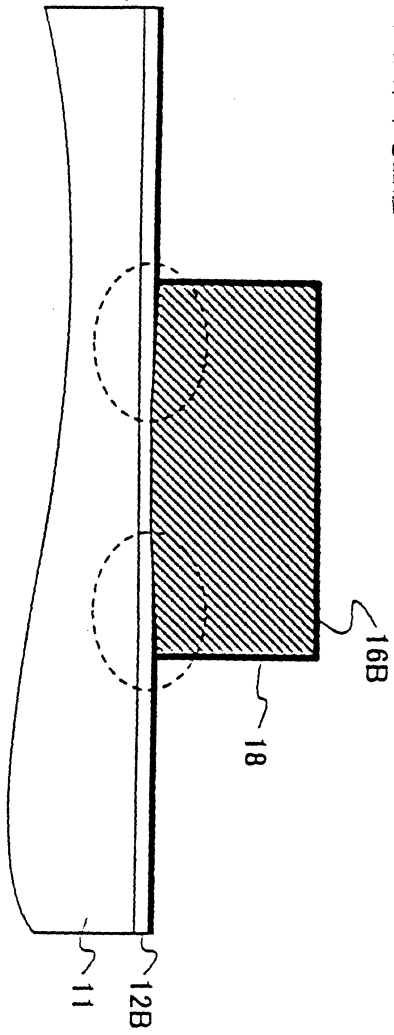
快閃記憶體

第 2A 圖
習知技藝

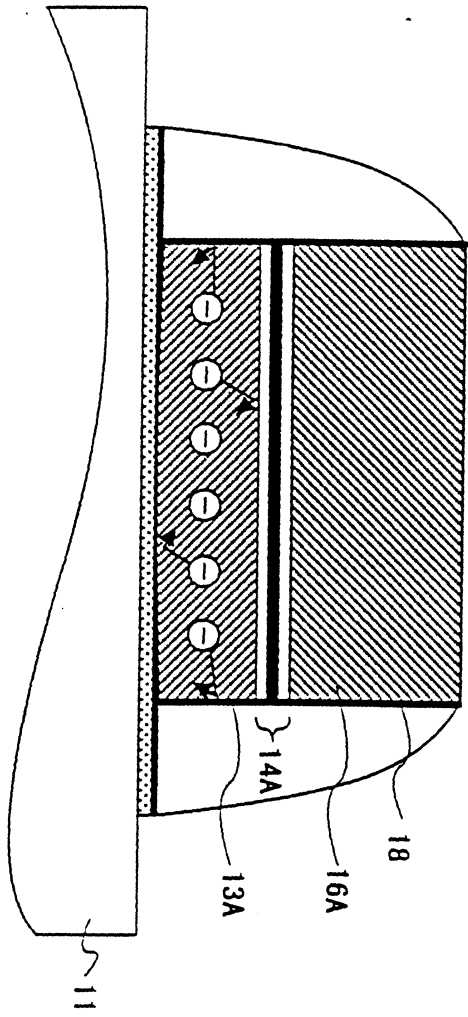


低壓操作電晶體

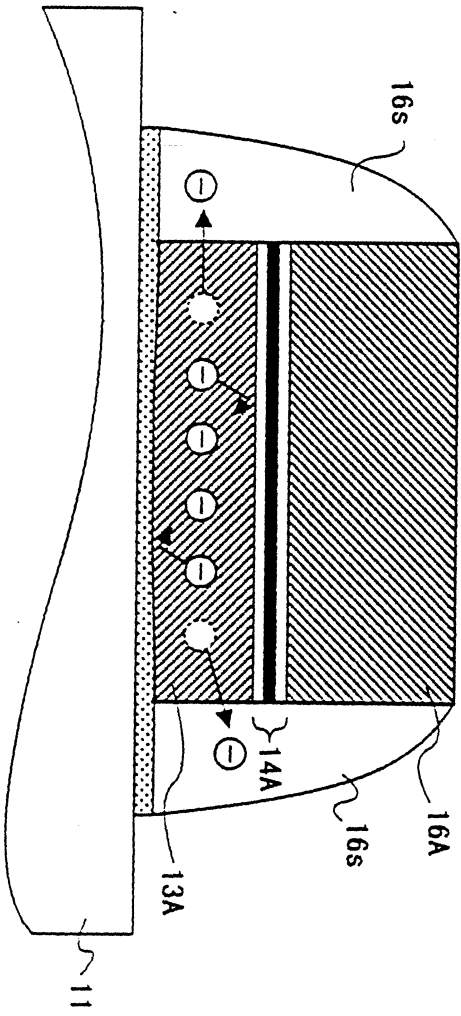
第 2B 圖
習知技藝



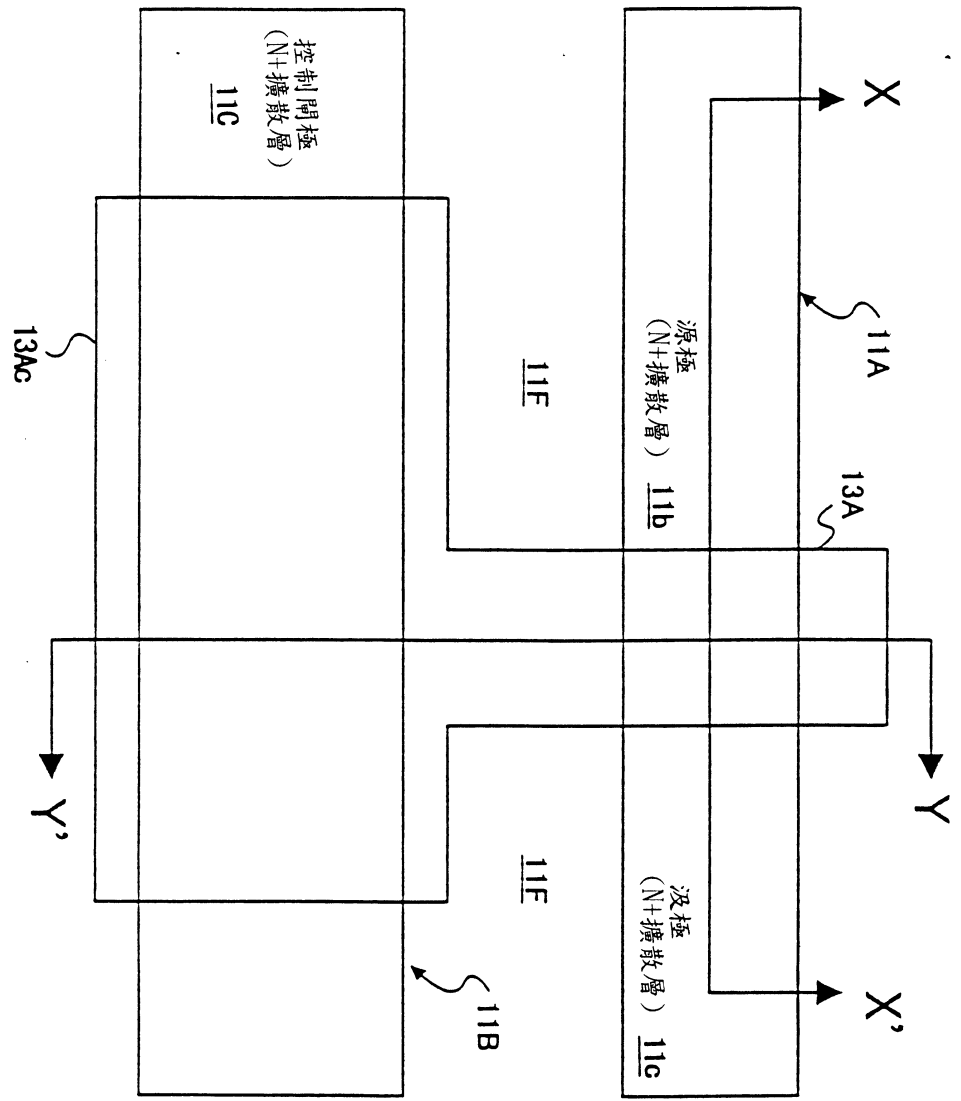
第 3A 圖
習知技藝



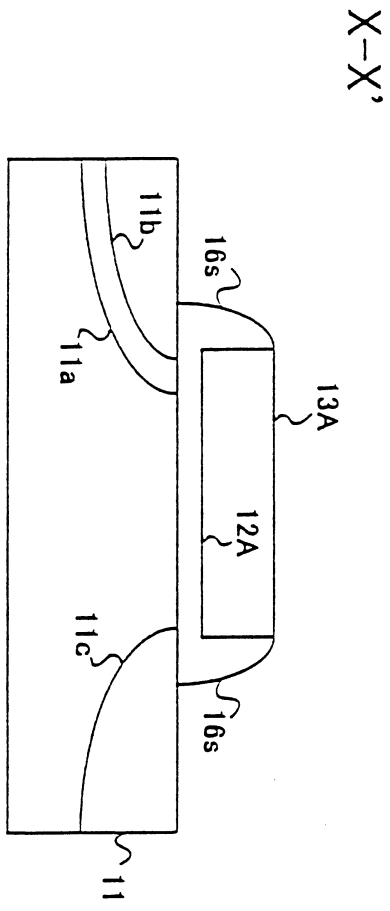
第 3B 圖
習知技藝



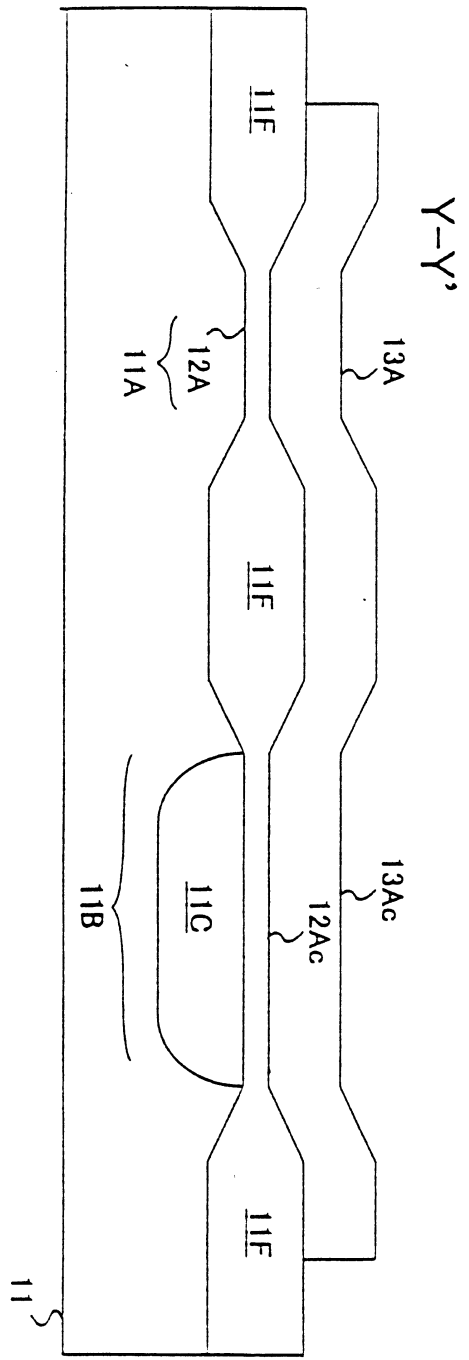
第 4 圖 相關技藝



第 5A 圖
相關技藝

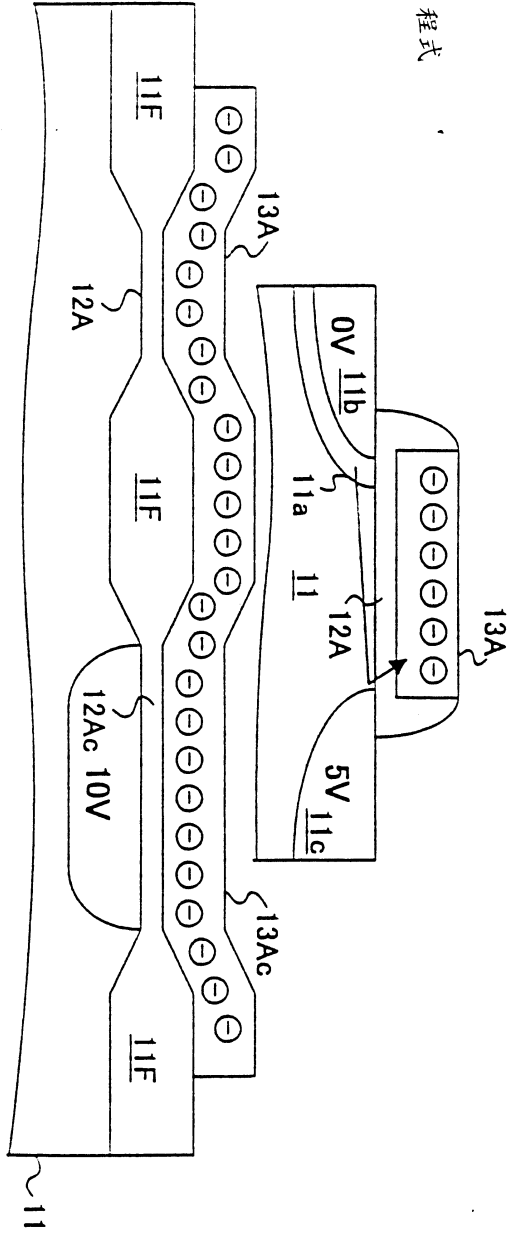


第 5B 圖
相關技藝

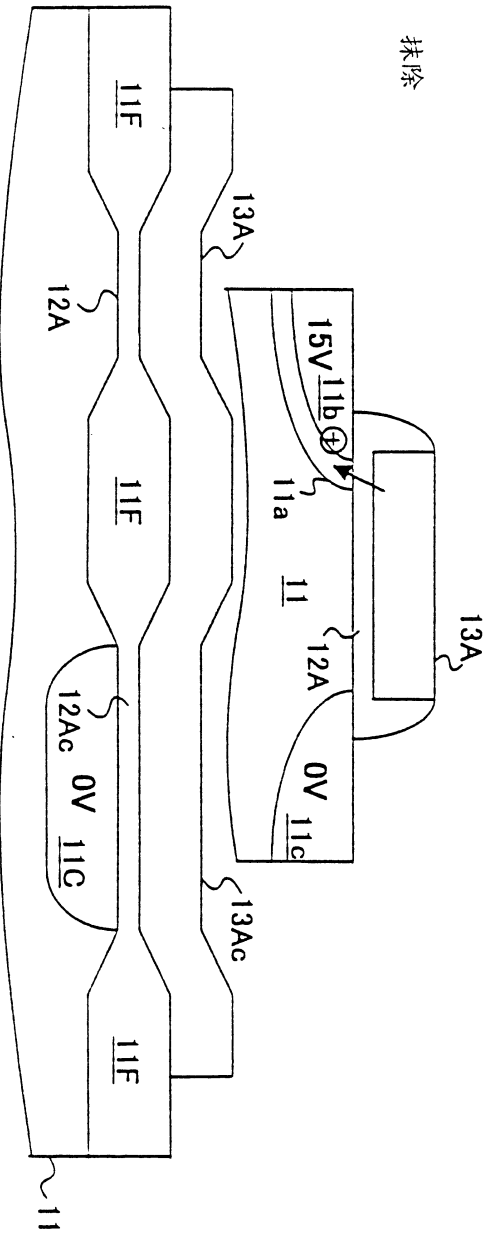


第 6A 圖
相關技藝

程式



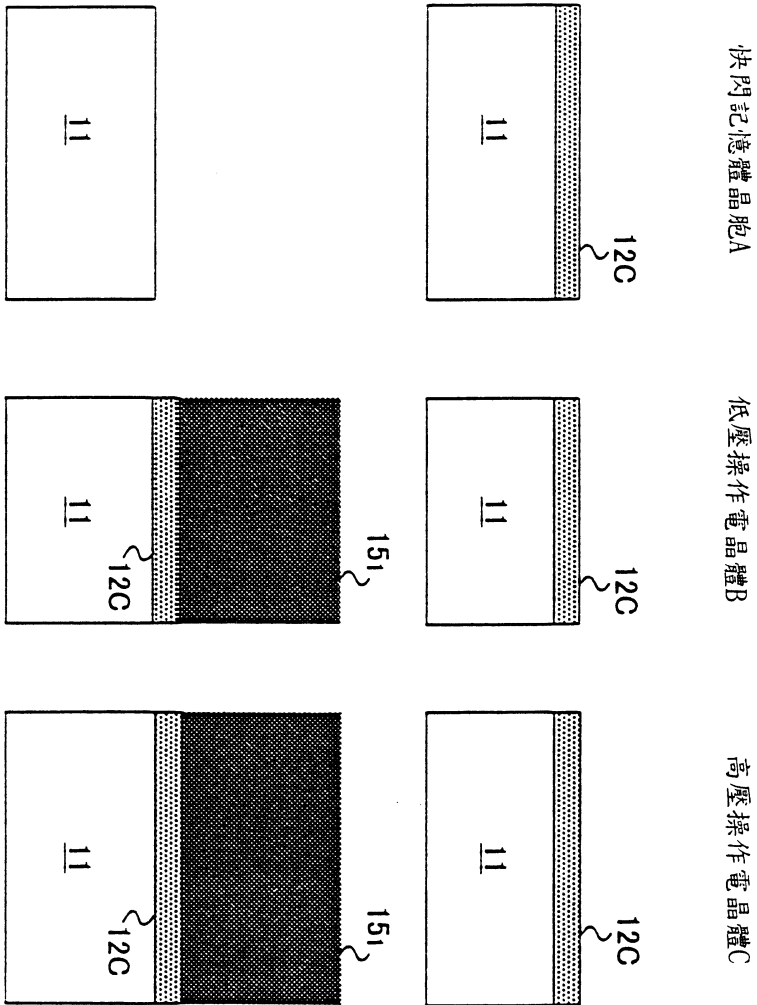
第 6B 圖
習知技藝



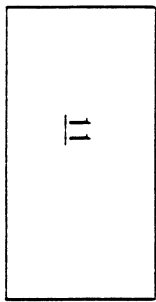
第 6C 圖
相關技藝

第 6D 圖
相關技藝

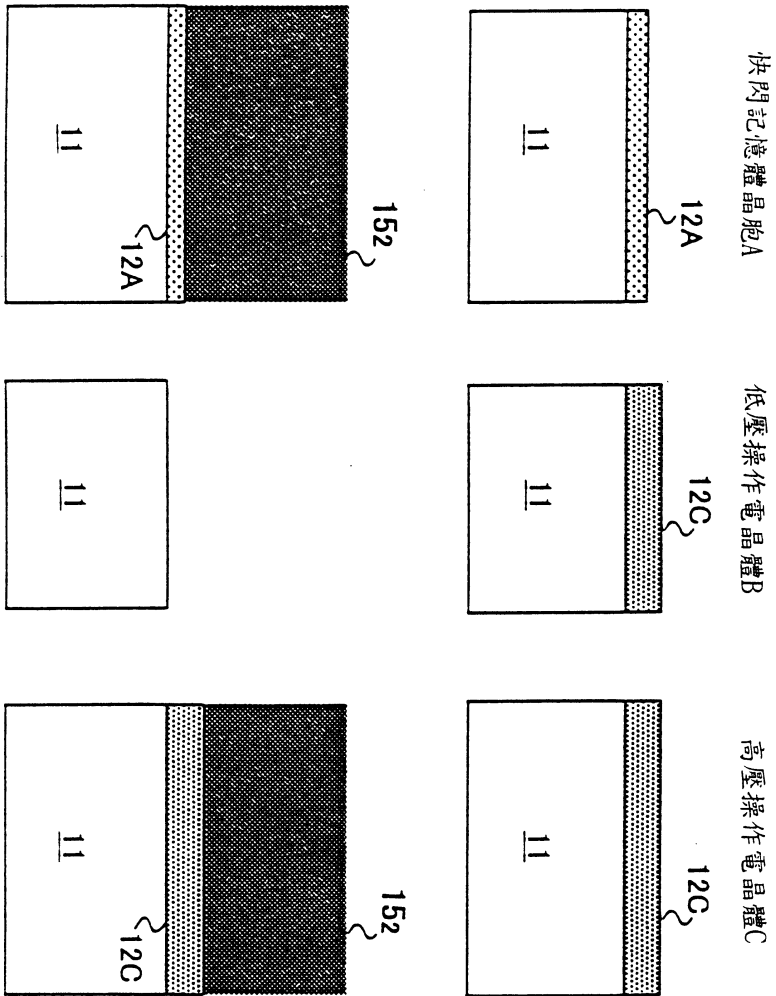
第 7A 圖
相關技藝



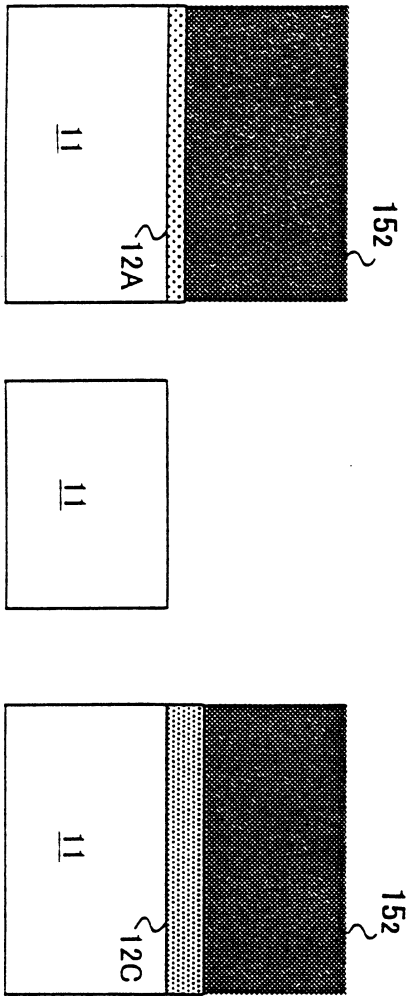
第 7B 圖
相關技藝



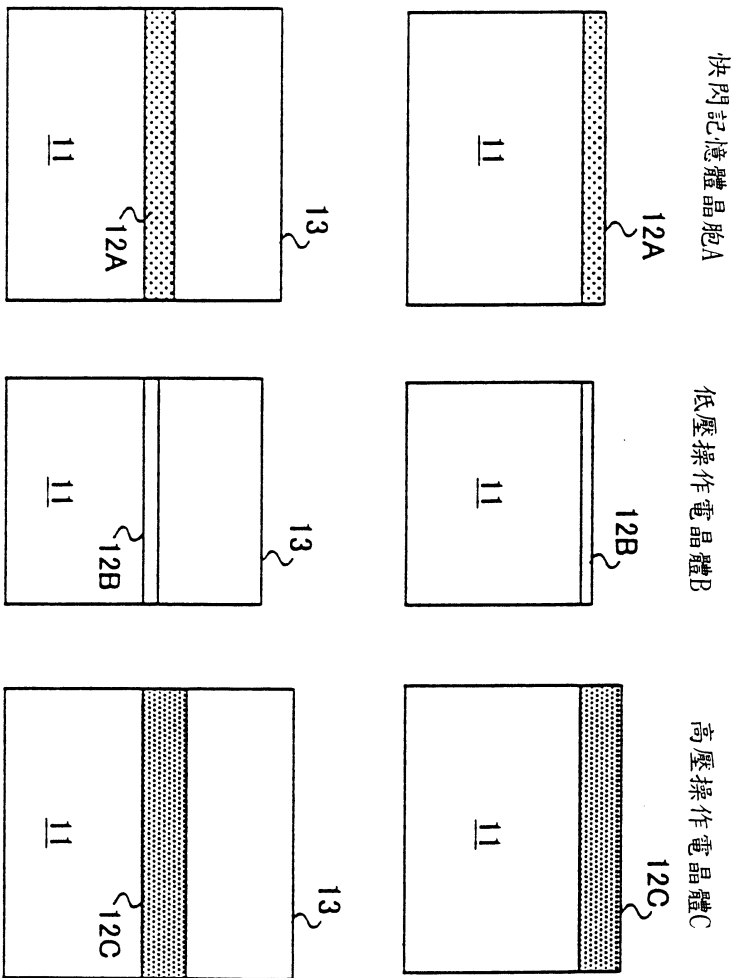
第 7C 圖
相關技藝



第 7D 圖
相關技藝

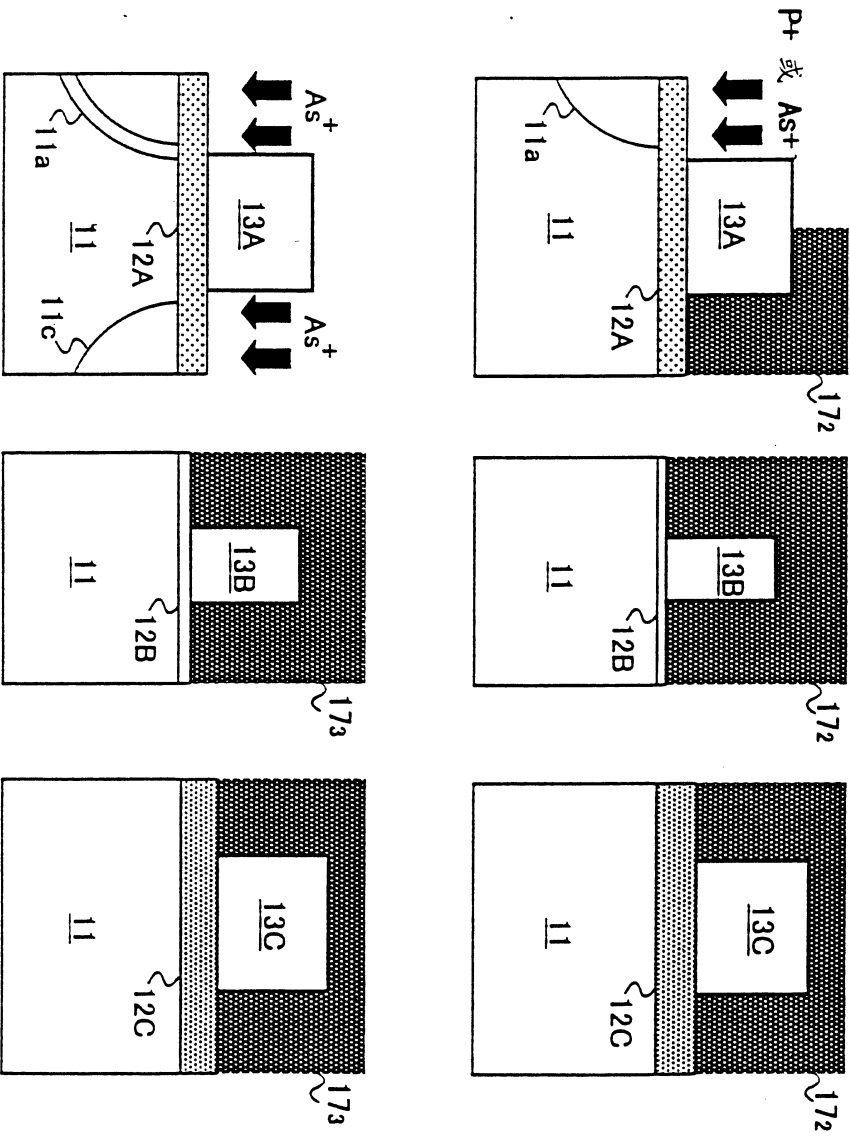


第7E圖
相關技藝



第7F圖
相關技藝

第 71 圖
相關技藝



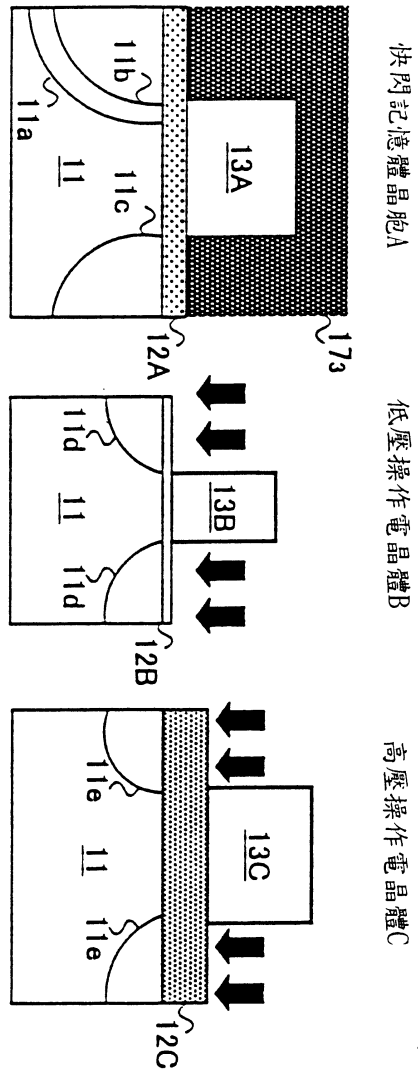
第 7J 圖
相關技藝

快閃記憶體晶胞A

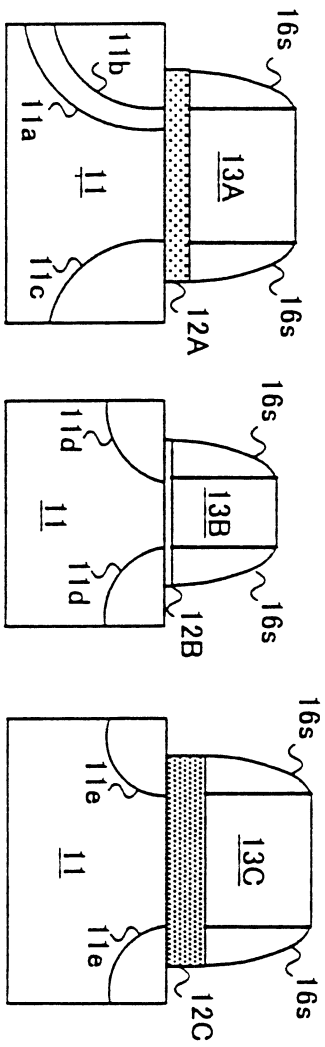
低壓操作電晶體B

高壓操作電晶體C

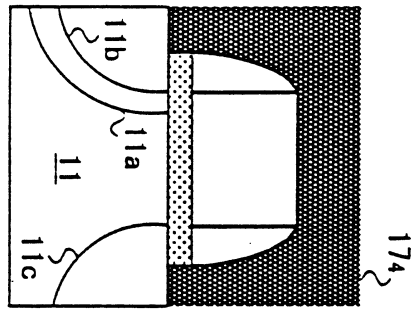
第 7K 圖
相關技藝



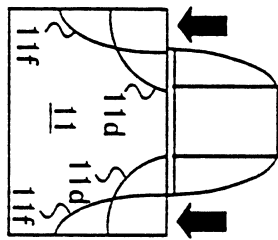
第 7L 圖
相關技藝



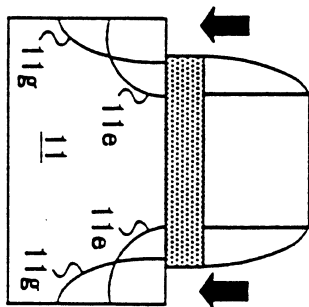
第 7M 圖
相關技藝



快閃記憶晶胞A

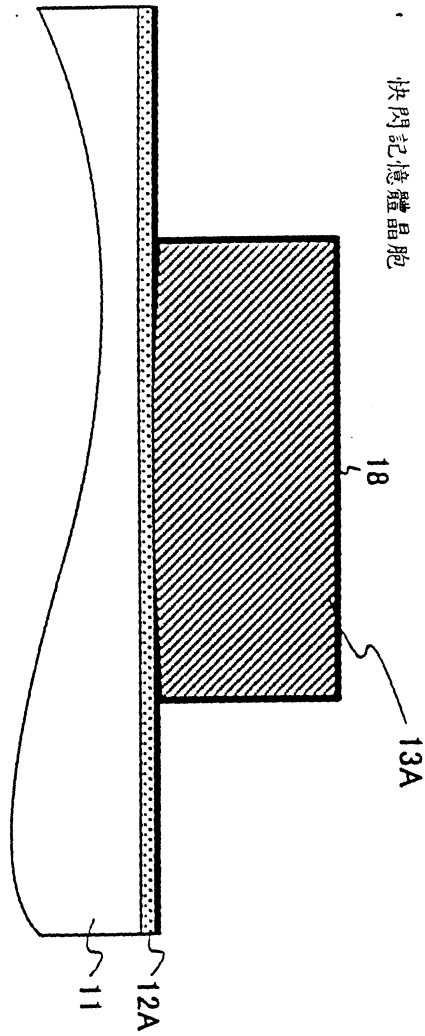


低壓操作電晶體B

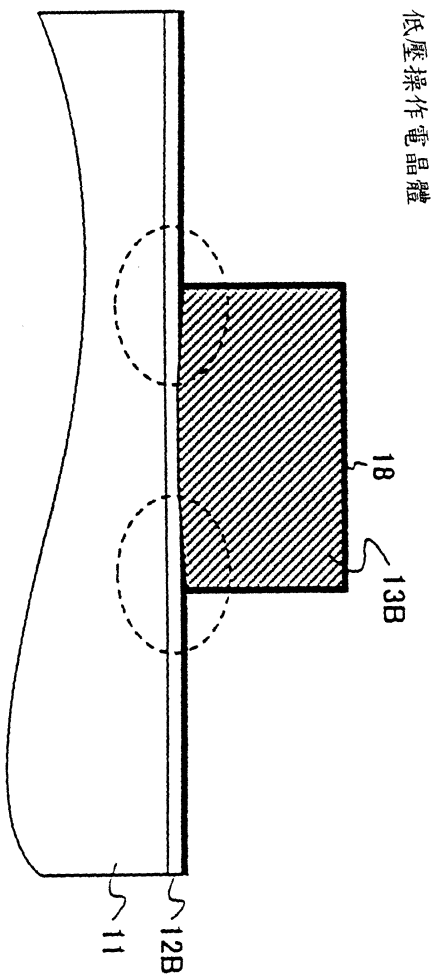


高壓操作電晶體C

第 8A 圖
相關技藝

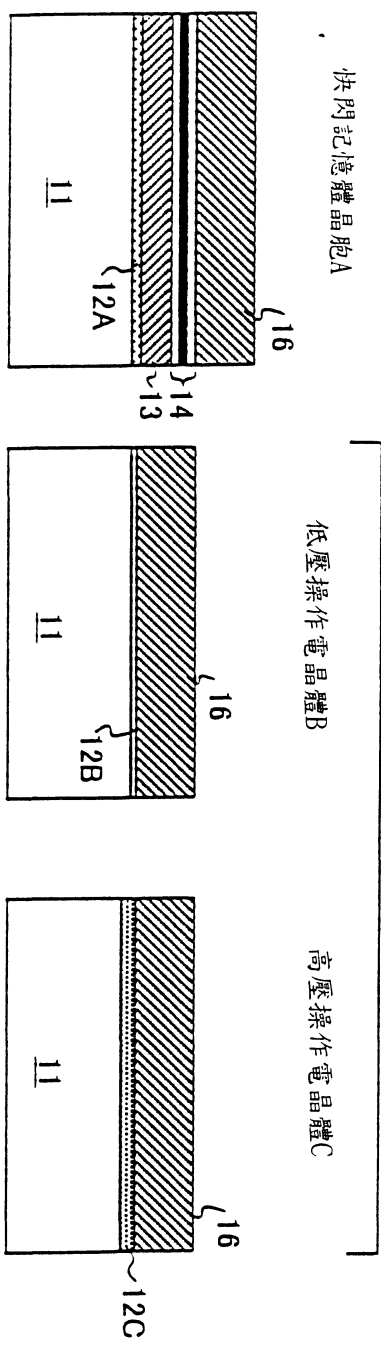


第 8B 圖
相關技藝

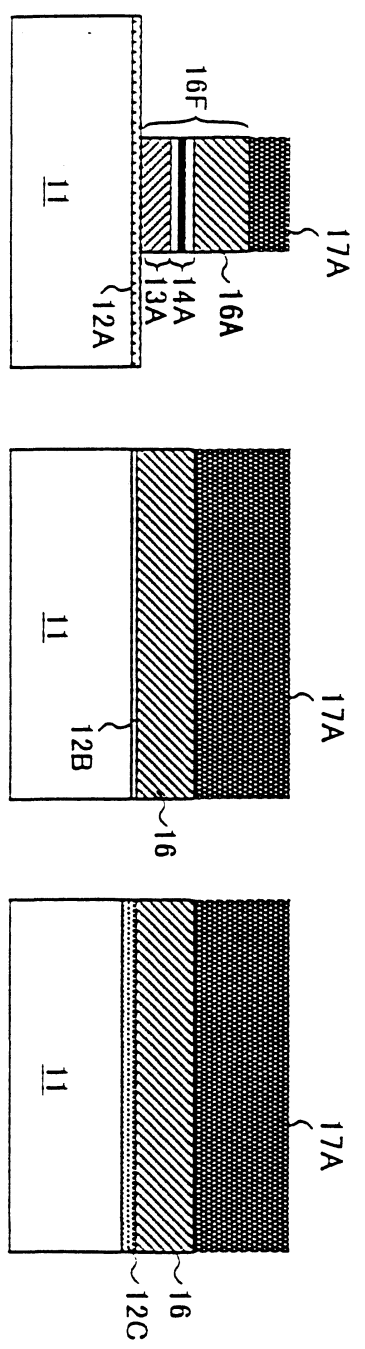


選擇電路元件

第 9A 圖



第 9B 圖



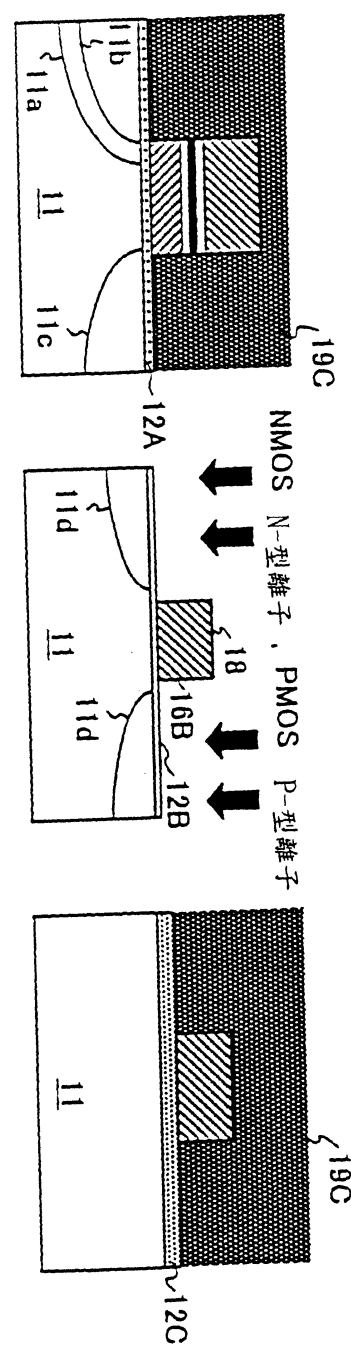
邏輯電路元件

快閃記憶體晶胞A

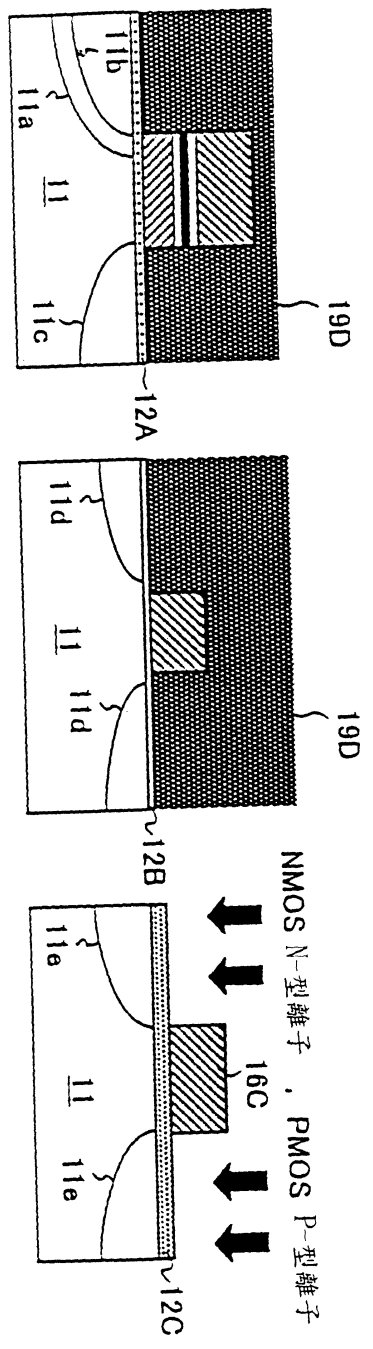
低壓操作電晶體B

高壓操作電晶體C

第 9E 圖



第 9F 圖



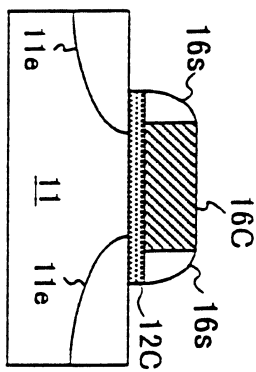
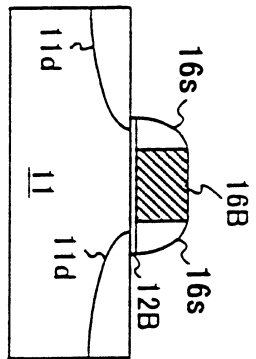
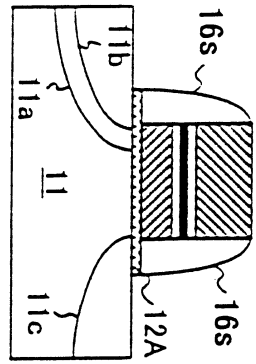
邏輯電路元件

快閃記憶體晶胞A

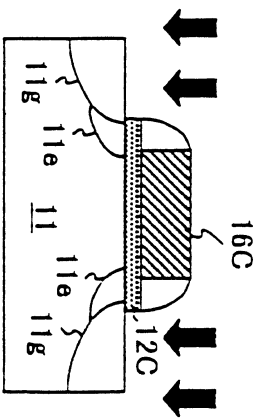
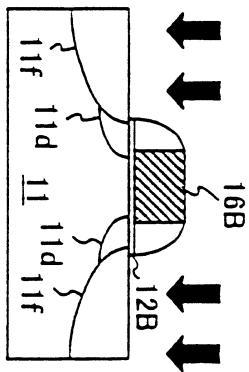
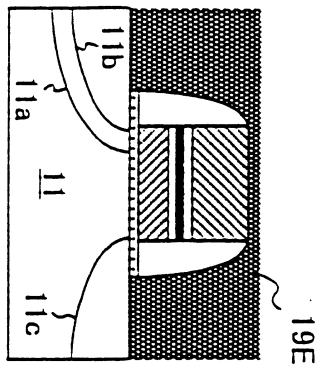
低壓操作電晶體B

高壓操作電晶體C

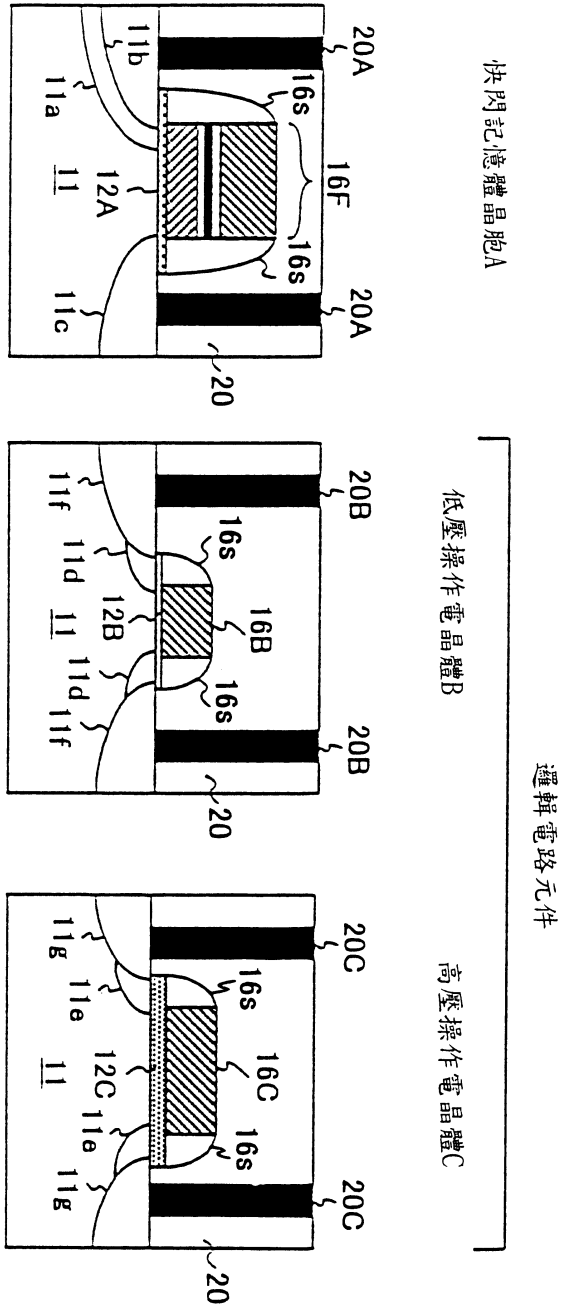
第 9G 圖



第 9H 圖

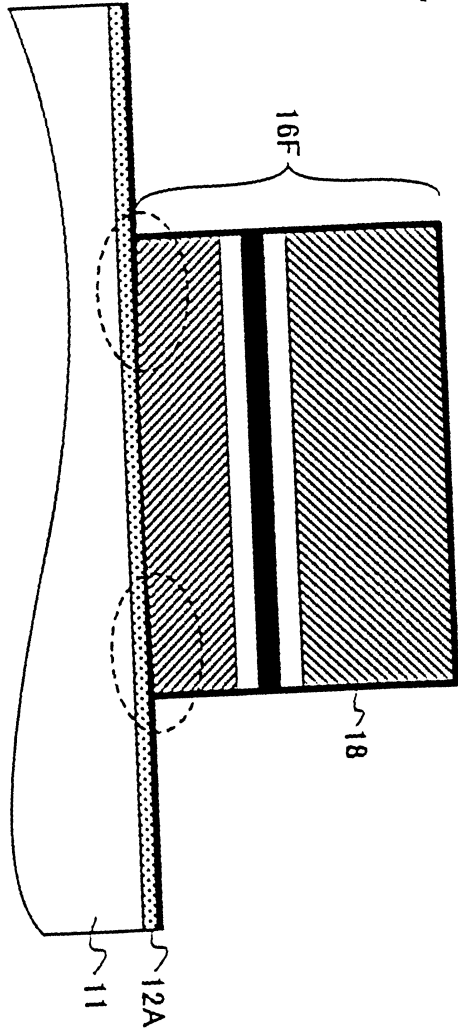


第 91 圖



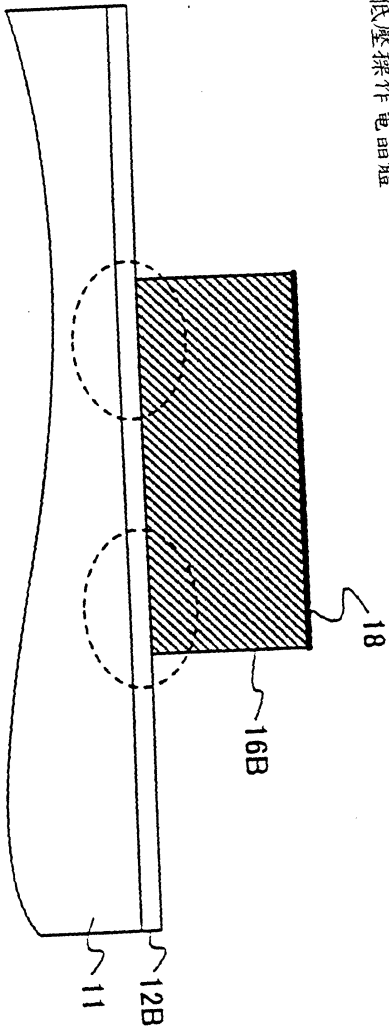
快閃記憶體晶胞

第 10A 圖

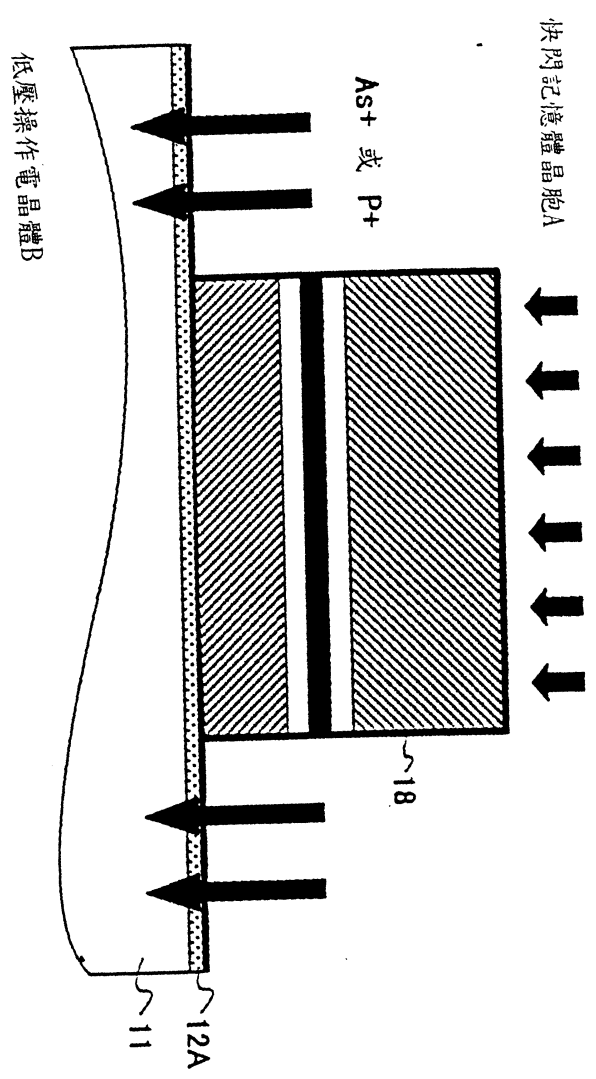


低壓操作電晶體

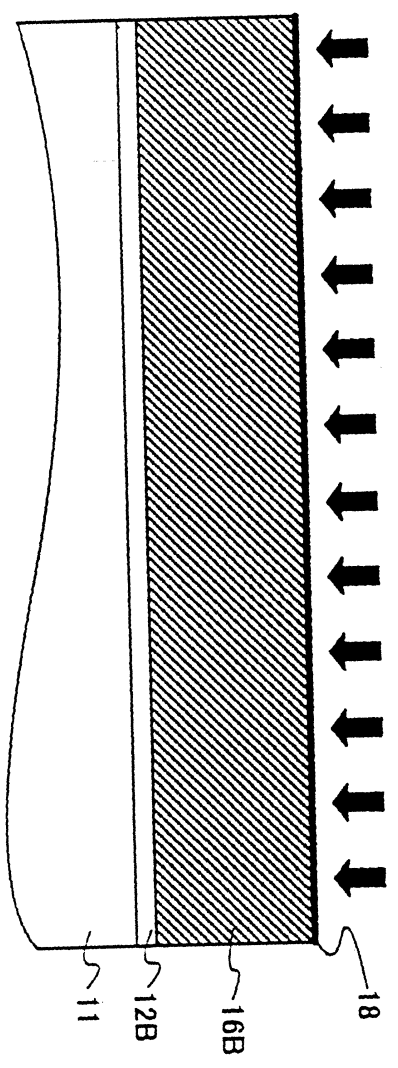
第 10B 圖



第 11A 圖



第 11B 圖



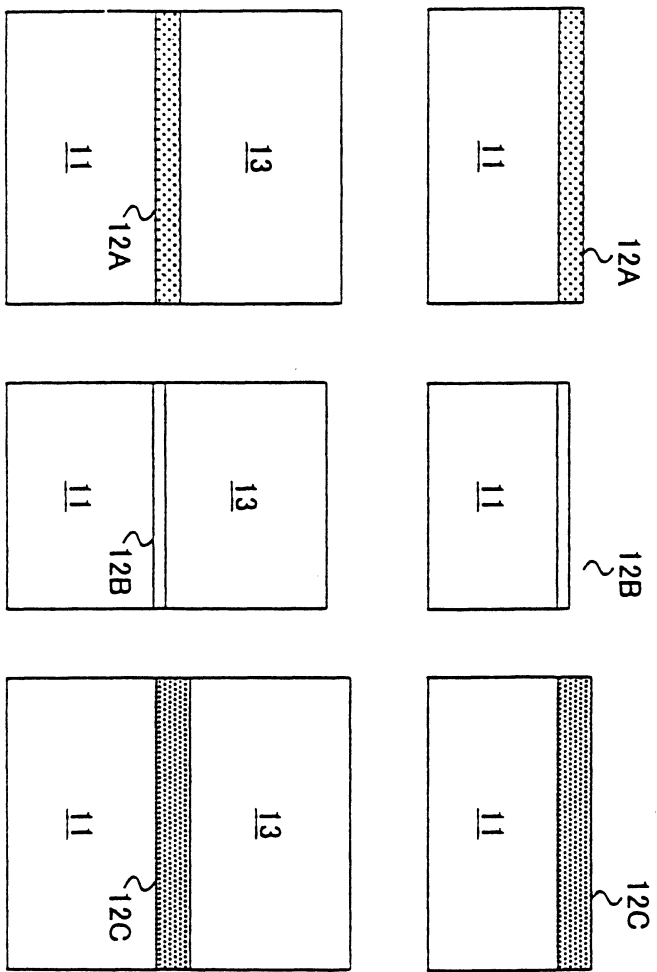
快閃記憶體晶胞A

低壓操作電晶體B

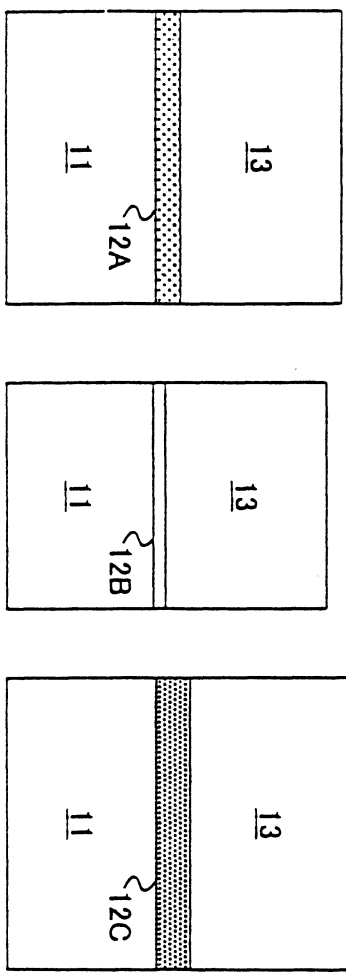
高壓操作電晶體C

邏輯電路元件

第 12A 圖



第 12B 圖



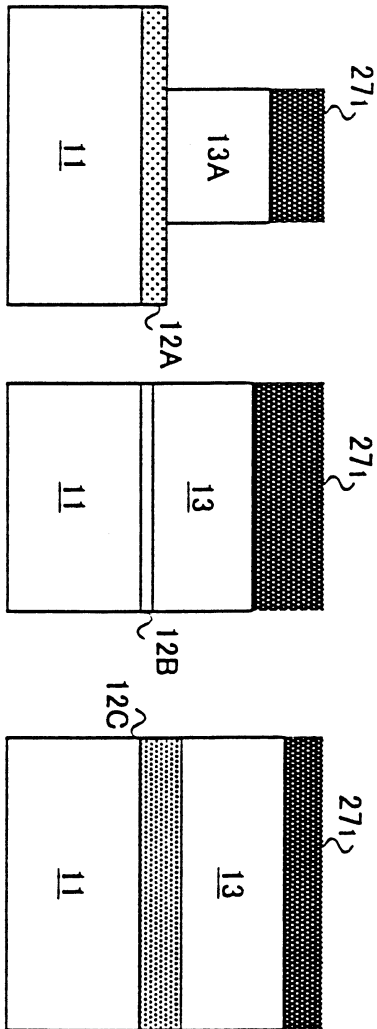
邏輯電路元件

快閃記憶體晶胞A

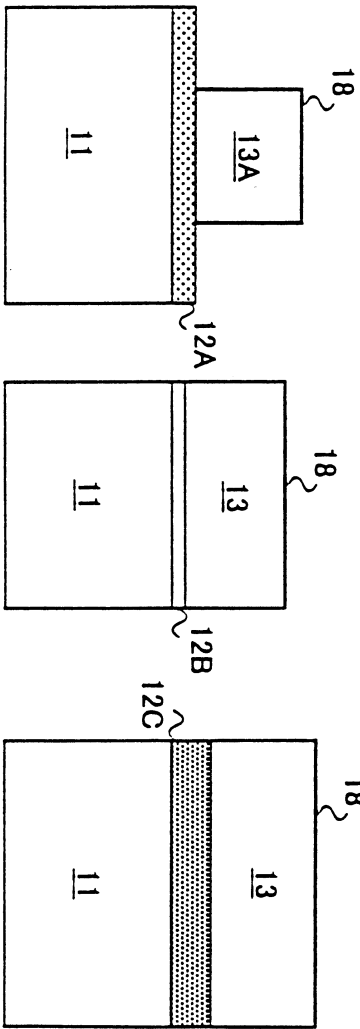
低壓操作電晶體B

高壓操作電晶體C

第12C圖



第12D圖



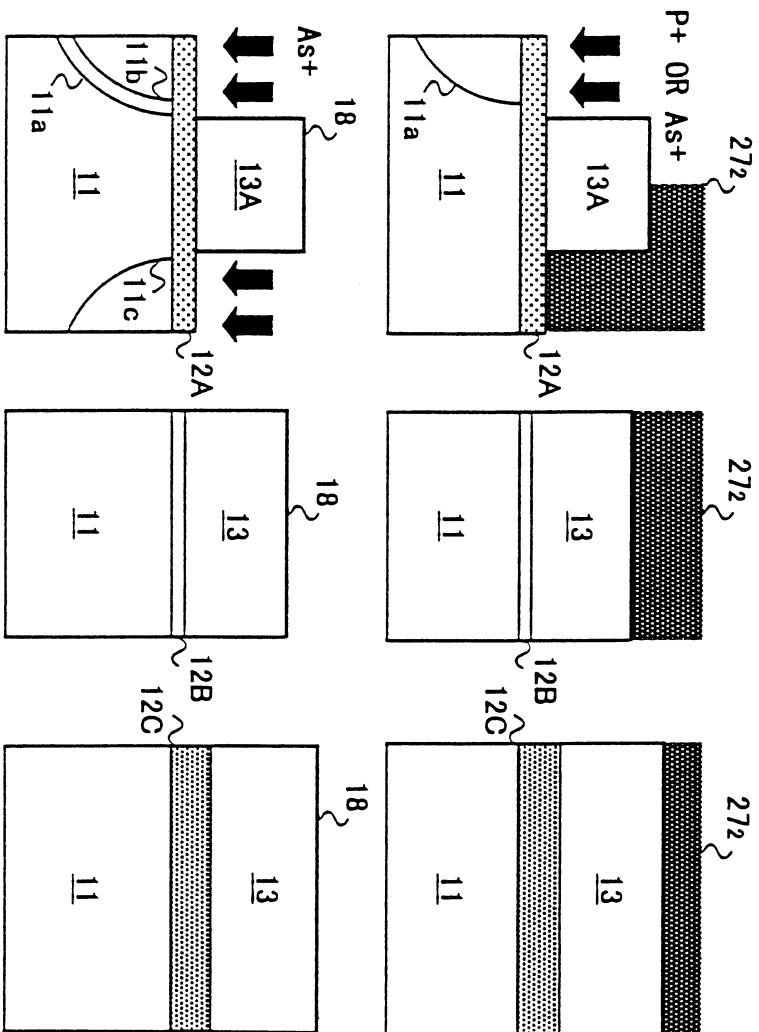
邏輯電路元件

快閃記憶體晶胞A

低壓操作電晶體B

高壓操作電晶體C

第12E圖



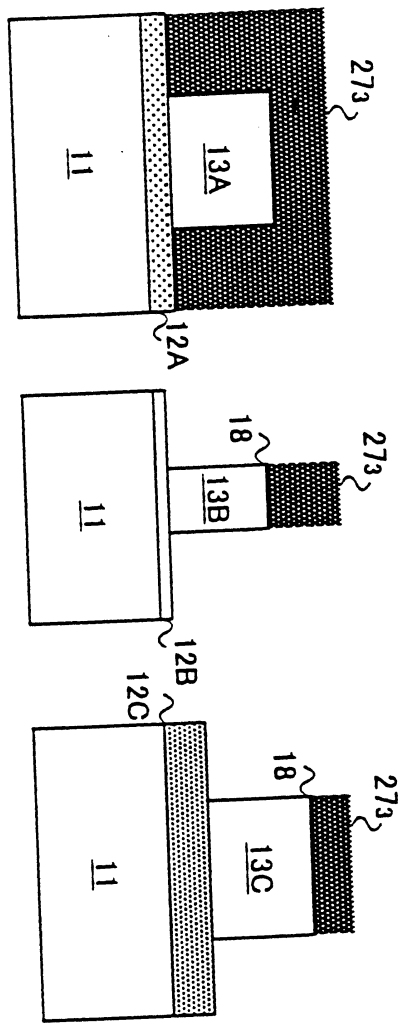
第12F圖

邏輯電路元件

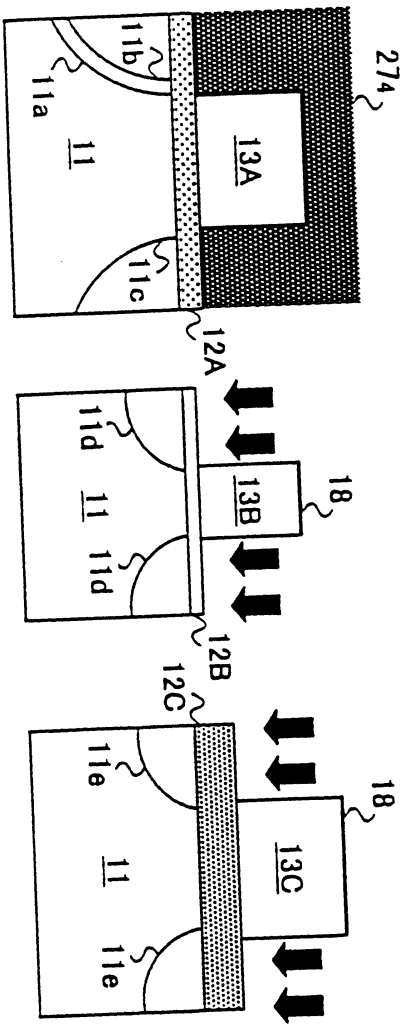
快閃記憶體晶胞A

低壓操作電晶體B

高壓操作電晶體C



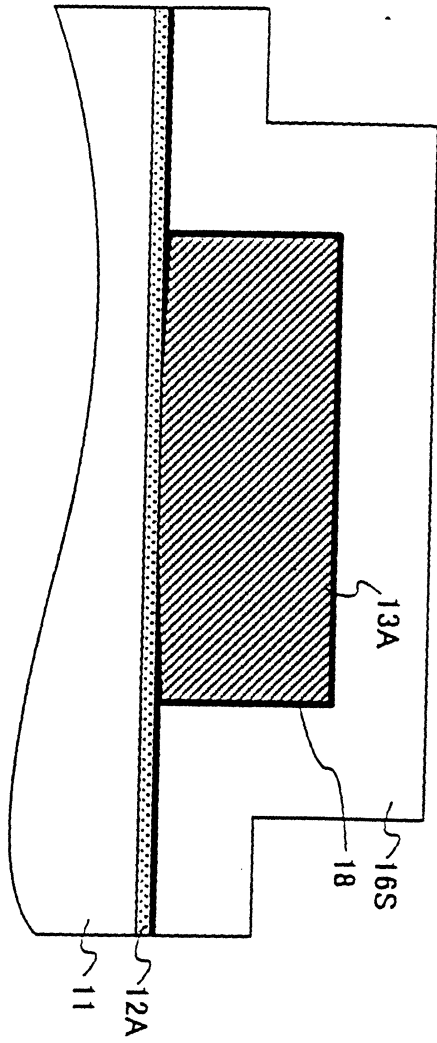
第12G圖



第12H圖

快閃記憶體晶胞

第13A圖



低壓操作電晶體

第13B圖

