

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2023 年 7 月 20 日 (20.07.2023)



(10) 国际公布号
WO 2023/134129 A1

(51) 国际专利分类号:
H02M 1/32 (2007.01) H02H 9/02 (2006.01)

(21) 国际申请号: PCT/CN2022/102095

(22) 国际申请日: 2022 年 6 月 28 日 (28.06.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210034523.2 2022 年 1 月 13 日 (13.01.2022) CN

(71) 申请人: 苏州浪潮智能科技有限公司
(**INSUR SUZHOU INTELLIGENT TECHNOLOGY CO., LTD.**) [CN/CN]; 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

(72) 发明人: 陈三霞(**CHEN, Sanxia**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。 刘铁军(**LIU, Tiejun**); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。 计晶(**Ji**,

Jing); 中国江苏省苏州市吴中区吴中经济开发区郭巷街道官浦路 1 号 9 幢, Jiangsu 215000 (CN)。

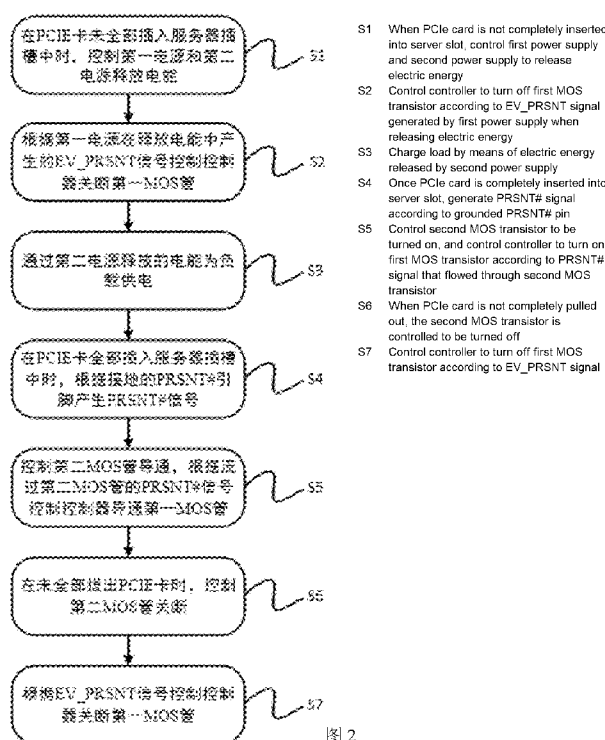
(74) 代理人: 北京市万慧达律师事务所 (**BEIJING WANHUIDA LAW FIRM**); 中国北京市海淀区中关村南大街 1 号友谊宾馆颐园写字楼 2 楼, Beijing 100873 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) **Title:** METHOD AND CIRCUIT FOR PROTECTING PCIE CARD POWER SUPPLY, DEVICE, AND MEDIUM

(54) 发明名称: 一种保护PCIE卡电源的方法、电路、装置及介质



(57) **Abstract:** The present application primarily relates to the field of card hardware design and discloses a method and circuit for protecting a PCIe card power supply, a device, and a medium. In the method, when a PCIe card is not completely inserted into a server slot, a first power supply and a second power supply are controlled to release electric energy; a controller is controlled to turn off a first MOS transistor according to a EV_PRSENT signal generated by the first power supply when releasing electric energy; a load is charged by means of electric energy released by the second power supply; once the card is completely inserted, a PRSNT# signal is generated according to a grounded PRSNT# pin; a second MOS transistor is controlled to be turned on, and the controller is controlled to turn on the first MOS transistor according to the PRSNT# signal; when the card is not completely pulled out, the second MOS transistor is controlled to be turned off; and the controller is controlled to turn off the first MOS transistor according to the EV_PRSENT signal. Compared to a traditional method for protecting a PCIe card power supply by means of a hot-plug chip, the present method does not need to use a hot-plug chip, and the cost of a PCIe card is reduced.

图 2



NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请公开了一种保护PCIE卡电源的方法、电路、装置及介质，主要涉及板卡硬件设计领域。该方法在PCIE卡未全部插入服务器插槽中时，控制第一电源和第二电源释放电能，根据第一电源在释放电能中产生的EV_PRSENT信号控制控制器关断第一MOS管，通过第二电源释放的电能为负载充电；在全部插入时，根据接地的PRSNT#引脚产生PRSNT#信号，控制第二MOS管导通，根据PRSNT#信号控制控制器导通第一MOS管；在未全部拔出时，控制第二MOS管关断，根据EV_PRSENT信号控制控制器关断第一MOS管。相较于传统的通过热插拔芯片保护PCIE卡电源的方法，该方法不需要使用热插拔芯片，降低了PCIE卡的成本。

一种保护 PCIE 卡电源的方法、电路、装置及介质

相关申请的交叉引用

本申请要求于 2022 年 1 月 13 日提交中国专利局，申请号为 202210034523.2，申请名称为“一种保护 PCIE 卡电源的方法、电路、装置及介质”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及板卡硬件设计领域，特别是涉及一种保护 PCIE 卡电源的方法、电路、装置及介质。

背景技术

近年来一种高速串行计算机扩展总线标准（Peripheral Component Interconnect Express, PCIE）卡运用越来越广，其以 PCIE 接口的形式插入服务器主板，从而达到特定功能的应用成为了趋势，优势在于可通过 PCIE 金手指，直接插入台式机或服务器的 PCIE 插槽中调试使用，简易灵活，开发成本低。在设计 PCIE 卡时，其自身需要有一定的电源保护电路，来防止带电插拔对自身和服务器产生不可逆的影响。

当前通过在 PCIE 卡上安装热插拔芯片，由热插拔芯片控制 PCIE 卡带电插拔时产生的瞬间电流实现带电插拔时的电源保护。但是，在 PCIE 卡上安装热插拔芯片会增加 PCIE 卡的设计成本。

由此可见，如何降低 PCIE 卡的成本是本领域技术人员亟待解决的问题。

发明内容

根据第一方面，本申请提供一种保护 PCIE 卡电源的电路，包括：第一 MOS 管、第二 MOS 管、控制器、第一电阻和第二电阻；

第一电阻的第一端与第一电源连接，第一电阻的第二端与第二 MOS 管的源极连接；

第二电阻的第一端与第一电源连接，第二电阻的第二端与第二 MOS 管的栅极连接；

第二 MOS 管的漏极与 PRSNT#引脚连接，第二 MOS 管的源极与控制器连接，用于响应于 PCIE 卡全部插入服务器插槽中，将 PRSNT#引脚接地产生的 PRSNT#信号传输至控制器；

控制器的第一端与第一电阻和第二 MOS 管的公共端连接，控制器的第二端与第一 MOS 管连接，用于响应于 PCIE 卡未全部插入服务器插槽中，根据第一电源在释放电能中产生的 EV_PRSNT 信号关断第一 MOS 管，以及响应于 PCIE 卡全部插入服务器插槽中，根据 PRSNT#信号导通第一 MOS 管；

第一 MOS 管的源极与第二电源连接，用于传输第二电源释放的电能。

在一些实施方式中，控制器包括电流泵、第一电压比较器、第二电压比较器和第三 MOS 管；

电流泵与第一 MOS 管的栅极连接，用于响应于 PCIE 卡全部插入服务器插槽中，为第一 MOS 管的栅极充电；

第一电压比较器的同相输入端与第一 MOS 管的漏极连接，第一电压比较器的反相输入端与第一 MOS 管的源极连接，第一电压比较器的输出端与第三 MOS 管的栅极连接，用于根据第一 MOS 管的漏极电压和源极电压的电压差向第三 MOS 管输出第一电压信号；

第二电压比较器的同相输入端与第一电阻和第二 MOS 管的公共端连接，第二电压比较器的反相输入端接地，第二电压比较器的输出端与第三 MOS 管的栅极连接，用于根据 EV_PRSNT 信号向第三 MOS 管输出第二电压信号，以及根据 PRSNT#信号向第三 MOS 管输出第三电压信号；

第三 MOS 管的漏极与第一 MOS 管连接，第三 MOS 管的源极与第二电源连接。

根据第二方面，本申请还提供一种保护 PCIE 卡电源的方法，应用于保护 PCIE 卡电源的电路，该方法包括：

响应于 PCIE 卡未全部插入服务器插槽中，控制第一电源和第二电源释放电能；

根据第一电源在释放电能中产生的 EV_PRSNT 信号控制控制器关断第一 MOS 管；

通过第二电源释放的电能为负载充电；

响应于 PCIE 卡全部插入服务器插槽中，根据接地的 PRSNT#引脚产生 PRSNT#信号；

控制第二 MOS 管导通，根据流过第二 MOS 管的 PRSNT#信号控制控制器导通第一 MOS 管；

响应于未全部拔出 PCIE 卡，控制第二 MOS 管关断；并且

根据 EV_PRSENT 信号控制控制器关断第一 MOS 管。

在一些实施方式中，控制第二 MOS 管的导通与关断包括：

根据 PRSENT#信号、第一电源的电压、第一电阻两端电压和第二电阻两端电压控制第二 MOS 管的导通与关断；其中，第一电阻的阻值小于第二电阻。

在一些实施方式中，响应于 PCIE 卡未全部插入服务器插槽中，则在控制控制器关断第一 MOS 管之前，还包括：

通过第二电源释放的电能为控制器充电。

在一些实施方式中，通过第二电源释放的电能为负载充电包括：

控制第二电源释放的电能通过第一 MOS 管的体二极管为负载充电。

根据第三方面，本申请还提供一种保护 PCIE 卡电源的装置，应用于保护 PCIE 卡电源的电路，包括：

第一控制模块，用于响应于 PCIE 卡未全部插入服务器插槽中，控制第一电源和第二电源释放电能；

第二控制模块，用于根据第一电源在释放电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管；

充电模块，用于通过第二电源释放的电能为负载充电；

产生模块，用于响应于 PCIE 卡全部插入服务器插槽中，根据接地的 PRSENT#引脚产生 PRSENT#信号；

第三控制模块，用于控制第二 MOS 管的导通与关断；

第四控制模块，用于根据流过第二 MOS 管的 PRSENT#信号控制控制器导通第一 MOS 管。

根据第四方面，本申请还提供一种保护 PCIE 卡电源的装置，应用于保护 PCIE 卡电源的电路，包括：

存储器，用于存储计算机程序；

处理器，用于执行计算机程序时实现上述保护 PCIE 卡电源的方法的步骤。

根据第五方面，本申请还提供一种计算机可读存储介质，该计算机可读存储介质上存储有计算机程序，计算机程序被处理器执行时实现上述保护 PCIE 卡电源的方法的步骤。

本申请的一个或多个实施例的细节在下面的附图和描述中提出。本申请的其它特征和优点将从说明书、附图以及权利要求书变得明显。

附图说明

为了更清楚地说明本申请实施例，下面将对实施例中所需要使用的附图做简单的介绍，显而易见地，下面描述中的附图仅仅是本申请的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本申请提供的一种保护 PCIE 卡电源的电路的结构图；

图 2 为本申请提供的一种保护 PCIE 卡电源的方法的流程图；

图 3 为本申请提供的一种保护 PCIE 卡电源的装置的结构图；

图 4 为本申请提供的另一种保护 PCIE 卡电源的装置的结构图。

具体实施方式

下面将结合本申请实施例中的附图，对本申请实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本申请一部分实施例，而不是全部实施例。基于本申请中的实施例，本领域普通技术人员在没有做出创造性劳动前提下，所获得的所有其他实施例，都属于本申请保护范围。

本申请的核心是提供一种保护 PCIE 卡电源的方法，用于在 PCIE 卡带电插拔时抑制浪涌电流，保护 PCIE 卡，能够降低 PCIE 卡的成本。

为了使本技术领域的人员更好地理解本申请方案，下面结合附图和具体实施方式对本申请作进一步的详细说明。

图 1 为本申请提供的一种保护 PCIE 卡电源的电路的结构图，下面对图 1 所示的保护 PCIE 卡电源的电路进行说明。

保护 PCIE 卡电源的电路，包括第一 MOS 管 Q1、第二 MOS 管 Q2、控制器 1、第一电阻 R1 和第二电阻 R2；第一电阻 R1 的第一端与第一电源连接，第一电阻 R1 的第二端与第二 MOS 管 Q2 的源极连接；第二电阻 R2 的第一端与第一电源连接，第二电阻 R2 的第二端与第二 MOS 管 Q2 的栅极连接；第二 MOS 管 Q2 的漏极与 PRSNT#引脚连接，第二 MOS 管 Q2 的源极与控制器 1 连接，用于在 PCIE 卡全部插入服务器插槽中时，将 PRSNT#引脚接地产生的 PRSNT#信号传输至控制器 1；控制器 1 的第一端与第一电阻 R1 和第二 MOS 管 Q2 的公共端连接，控制器 1 的第二端与第一 MOS 管 Q1 连接，用于在 PCIE 卡未全部插入服务器插槽中时，根据第一电源在释放电能中产生的 EV_PRSNT 信号关断第一 MOS 管 Q1，以及在 PCIE 卡全部插入服务器插槽中时，根据 PRSNT#信号导通第一 MOS 管 Q1；第一 MOS 管 Q1 的源极与第二电源连接，用于传输第二电源释放的电

能。

如图 1 所示,相较于 PCIE 卡上的电源引脚, PRSNT#引脚的长度较短。在本实施例中,当 PCIE 卡插入到服务器插槽中且 PRSNT#引脚未插入到服务器插槽中的预设位置时,认为 PCIE 卡未全部插入到服务器插槽中,第一电源和第二电源均会释放电能, PRSNT#引脚产生的 PRSNT#信号会在第一电阻 R1 的上拉作用下一直处于高电平状态,对应地,第一电源在释放电能中产生的 EV_PRSNT 信号也处于高电平状态。由于控制器 1 在接收到高电平时关断第一 MOS 管 Q1、接收到低电平时开启第一 MOS 管 Q1,因此,控制器 1 会根据接收到的 EV_PRSNT 信号使得第一 MOS 管 Q1 保持关断,此时金手指上的第二电源会通过第一 MOS 管 Q1 的体二极管对负载进行充电。当 PRSNT#引脚插入到服务器插槽中的预设位置时,认为 PCIE 卡全部插入到服务器插槽, PRSNT#引脚会被 PCIE 卡的短路线连接到地,此时 PRSNT#引脚产生的 PRSNT#信号为低电平,第二 MOS 管 Q2 的源极电压为第二 MOS 管 Q2 的体二极管的导通电压,而其栅极电压在第二电阻 R2 的上拉作用下仍为高电平,因此,第二 MOS 管 Q2 的栅极电压会大于其源极电压;当第二 MOS 管 Q2 的栅极电压与源极电压之间的电压差大于其自身的开启电压时,第二 MOS 管 Q2 导通,处于高电平状态的 EV_PRSNT 信号会被流过第二 MOS 管 Q2 的 PRSNT#信号下拉接地,也就是说,此时控制器 1 接收的电压信号为处于低电平状态的 PRSNT#信号。由于 PRSNT#信号为低电平,控制器 1 根据该 PRSNT#信号会导通第一 MOS 管 Q1,此时第二电源能够直接为负载充电。由于在 PCIE 卡未全部插入服务器插槽时,第二电源已经通过第一 MOS 管 Q1 的体二极管对负载进行预充电,因此,在第一 MOS 管 Q1 导通时能够有效降低插入 PCIE 卡时的浪涌电流。需要说明的是,本实施例中的预设位置可以为 PRSNT#引脚全部插入服务器插槽时的引脚顶端位置,也可以为 PRSNT#引脚全部插入服务器插槽时的引脚顶端位置的三分之二处,根据实际情况设置,本实施例对此不做限制。

此外,为保证能够准确感知 PCIE 卡的插入情况,本实施例中设置 PRSNT#引脚为两个,分别位于 PCIE 金手指的两端,且两个 PRSNT#引脚连接在一起,其公共端与第二 MOS 管 Q2 的漏极连接。当 PCIE 卡全部插入服务器插槽中时,至少存在一个 PRSNT#引脚会到达服务器插槽中的预设位置,进而会被 PCIE 卡的短路线连接到地,使得其产生的 PRSNT#信号变为低电平。显然, PRSNT#引脚的数量不限于两个, PRSNT#引脚的位置也不限于 PCIE 金手指的两端,可根据实际情况设置,本实施例对 PRSNT#引脚的数量和位置不做限制。

当 PCIE 卡的金手指被带电拔出时,由于 PRSNT#引脚较短,所以会最先离开服务器

插槽。当 PRSNT#引脚离开服务器插槽的预设位置时，PRSNT#信号在第一电阻 R1 的上拉作用下重新回到高电平，此时的第二 MOS 管 Q2 不满足栅极电压与源极电压的电压差大于其开启电压，第二 MOS 管 Q2 关断，EV_PRSNT 信号也在第一电阻 R1 的上拉作用下回到高电平，控制器 1 根据该 EV_PRSNT 信号会关断第一 MOS 管 Q1，以实现第一 MOS 管 Q1 的体二极管的方向关断，能够有效抑制带电拔出 PCIE 卡时产生的浪涌电流。需要说明的是，高电平和低电平是相对的，本申请中的高电平为相对于低电平时的高电压状态，例如，本实施例中的 EV_PRSNT 信号为高电平是指相对于 PRSNT#引脚接地产生的 PRSNT#信号的低电平状态，EV_PRSNT 信号的电压更高。

本实施例对保护 PCIE 卡电源的电路进行了说明，该电路包括第一 MOS 管、第二 MOS 管、控制器、第一电阻和第二电阻；第一电阻的第一端与第一电源连接，第二端与第二 MOS 管的源极连接；第二电阻的第一端与第一电源连接，第二端与第二 MOS 管的栅极连接；第二 MOS 管的漏极与 PRSNT#引脚连接，源极与控制器连接，用于在 PCIE 卡全部插入服务器插槽中时，将 PRSNT#引脚接地产生的 PRSNT#信号传输至控制器；控制器的第一端与第一电阻和第二 MOS 管的公共端连接，第二端与第一 MOS 管连接，用于在 PCIE 卡未全部插入服务器插槽中时，根据第一电源在释放电能中产生的 EV_PRSNT 信号关断第一 MOS 管，以及在 PCIE 卡全部插入服务器插槽中时，根据 PRSNT#信号导通第一 MOS 管；第一 MOS 管的源极与第二电源连接，用于传输第二电源释放的电能。由于在 PCIE 卡未全部插入服务器插槽时，关断了第一 MOS 管，使得第二电源通过第一 MOS 管的体二极管对负载进行了预充电，因此能够有效降低在 PCIE 卡全部插入服务器插槽，也就是第一 MOS 管导通时产生的浪涌电流；在未全部拔出 PCIE 卡时，通过关断第一 MOS 管将负载与第二电源断开，实现抑制带电拔出 PCIE 卡时产生的浪涌电流，有效保护了 PCIE 卡的电源。

由于在上述实施例中未对控制器 1 的结构进行说明，本实施例对此作补充说明。

控制器 1 包括电流泵、第一电压比较器、第二电压比较器和第三 MOS 管；电流泵与第一 MOS 管 Q1 的栅极连接，用于在 PCIE 卡全部插入服务器插槽中时，为第一 MOS 管 Q1 的栅极充电；第一电压比较器的同相输入端与第一 MOS 管 Q1 的漏极连接，第一电压比较器的反相输入端与第一 MOS 管 Q1 的源极连接，第一电压比较器的输出端与第三 MOS 管的栅极连接，用于根据第一 MOS 管 Q1 的漏极电压和源极电压的电压差向第三 MOS 管输出第一电压信号；第二电压比较器的同相输入端与第一电阻 R1 和第二 MOS 管 Q2 的公共端连接，第二电压比较器的反相输入端接地，第二电压比较器的输出端与第三 MOS 管的栅极连接，用于根据 EV_PRSNT 信号向第三 MOS 管输出第二电压信号，以及

根据 PRSNT#信号向第三 MOS 管输出第三电压信号；第三 MOS 管的漏极与第一 MOS 管 Q1 连接，第三 MOS 管的源极与第二电源连接。

在 PCIE 卡刚插入服务器插槽中时，第一 MOS 管 Q1 关断，第二电源释放的电能通过第一 MOS 管 Q1 的体二极管为负载充电。随着 PCIE 卡的进一步插入，当 PCIE 卡全部插入服务器插槽中时，此时控制器 1 接收的为处于低电平状态的 PRSNT#信号。控制器 1 接收到 PRSNT#信号后，电流泵会为第一 MOS 管 Q1 的栅极充电，直至第一 MOS 管 Q1 的栅极电压大于其源极电压，第一 MOS 管 Q1 导通，此时第二电源可通过第一 MOS 管 Q1 为负载充电。此外，为防止第一 MOS 管 Q1 导通时产生浪涌电流，第一电压比较器会采集第一 MOS 管 Q1 的漏极电压和源极电压，根据第一 MOS 管 Q1 的漏极电压和源极电压的电压差向第三 MOS 管输出第一电压信号，若第一 MOS 管 Q1 的漏极电压和源极电压的电压差超过了阈值电压，则认为产生了浪涌电流，此时第一电压比较器向第三 MOS 管的栅极输出的第一电压信号为高电平，第三 MOS 管导通，使得第一 MOS 管 Q1 的栅极与源极相连，即第一 MOS 管 Q1 的栅极电压与源极电压相等，因此，第一 MOS 管 Q1 关断，实现了将第二电源与负载断开，能够有效抑制产生的浪涌电流；若第一 MOS 管 Q1 的漏极电压和源极电压的电压差未超过阈值电压，则其向第三 MOS 管的栅极输出的第一电压信号为低电平，此时认为未产生浪涌电流，无法根据该第一电压信号打开第三 MOS 管。需要说明的是，本实施例中设置的是一个 30mV 的反向电压保护点，也就是说，阈值电压取为 30mV，当第一电压比较器采集到的第一 MOS 管 Q1 的漏极电压和源极电压的电压差大于 30mV 时，第一电压比较器向第三 MOS 管的栅极输出的第一电压信号为高电平。显然，阈值电压不限于 30mV，根据实际情况可以取合适的阈值电压，本实施例对此不做限制。

另外，当 PCIE 卡未全部插入服务器插槽中时，第二电压比较器的同相输入端会接收第一电源释放电能产生的 EV_PRSNT 信号，由于 EV_PRSNT 信号为高电平，因此向第三 MOS 管的栅极输出的第二电压信号为高电平，此时第三 MOS 管导通，第一 MOS 管 Q1 的栅极与源极相连，不满足第一 MOS 管 Q1 的导通条件，实现了在 PCIE 卡未全部插入服务器插槽中时关断第一 MOS 管 Q1。当 PCIE 卡全部插入服务器插槽中时，第二电压比较器的同相输入端接收的 PRSNT#信号为低电平，因此向第三 MOS 管的栅极输出的第三电压信号为低电平，此时第三 MOS 管的栅极电压不大于其源极电压，不满足第三 MOS 管的导通条件，第三 MOS 管关断；由于控制器 1 在接收到 PRSNT#信号后，电流泵会为第一 MOS 管 Q1 的栅极充电，因此当第一 MOS 管 Q1 的栅极电压大于其源极电压时，第一 MOS 管 Q1 导通，实现了在 PCIE 卡全部插入服务器插槽中时导通第一 MOS 管 Q1。

需要说明的是，第一电压比较器的输出端和第二电压比较器的输出端通过非门电路与第三 MOS 管的栅极连接，也就是说，只要第一电压比较器和第二电压比较器中存在一个输出端输出的是高电平，第三 MOS 管的栅极接收到的电压信号就为高电平，此时第三 MOS 管会导通，第一 MOS 管 Q1 会关断。

本实施例对控制器的结构进行了详细说明，控制器包括电流泵、第一电压比较器、第二电压比较器和第三 MOS 管；电流泵与第一 MOS 管的栅极连接，用于在 PCIE 卡全部插入服务器插槽中时，为第一 MOS 管的栅极充电；第一电压比较器的同相输入端与第一 MOS 管的漏极连接，第一电压比较器的反相输入端与第一 MOS 管的源极连接，第一电压比较器的输出端与第三 MOS 管的栅极连接，用于根据第一 MOS 管的漏极电压和源极电压的电压差向第三 MOS 管输出第一电压信号；第二电压比较器的同相输入端与第一电阻和第二 MOS 管的公共端连接，第二电压比较器的反相输入端接地，第二电压比较器的输出端与第三 MOS 管的栅极连接，用于根据 EV_PRSENT 信号向第三 MOS 管输出第二电压信号，以及根据 PRSENT#信号向第三 MOS 管输出第三电压信号；第三 MOS 管的漏极与第一 MOS 管连接，第三 MOS 管的源极与第二电源连接。本实施例中，第二电压比较器根据 EV_PRSENT 信号和 PRSENT#信号向第三 MOS 管输出对应的电压信号，通过导通第三 MOS 管实现关断第一 MOS 管，通过关断第三 MOS 管实现导通第一 MOS 管，以实现控制第一 MOS 管的导通与关断。此外，第一电压比较器监测第一 MOS 管漏极电压和源极电压，在第一 MOS 管的漏极电压和源极电压的电压差大于阈值电压时，会向第三 MOS 管输出为高电平的第一电压信号，以关断第一 MOS 管，有效抑制了浪涌电流，保护了 PCIE 卡电源。

图 2 为本申请提供的一种保护 PCIE 卡电源的方法的流程图，该方法应用于上述实施例中的保护 PCIE 卡电源的电路。如图 2 所示，该方法包括：

- S1：在 PCIE 卡未全部插入服务器插槽中时，控制第一电源和第二电源释放电能；
- S2：根据第一电源在释放电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管；
- S3：通过第二电源释放的电能为负载充电；
- S4：在 PCIE 卡全部插入服务器插槽中时，根据接地的 PRSENT#引脚产生 PRSENT#信号；
- S5：控制第二 MOS 管导通，根据流过第二 MOS 管的 PRSENT#信号控制控制器导通第一 MOS 管；
- S6：在未全部拔出 PCIE 卡时，控制第二 MOS 管关断；

S7: 根据 EV_PRSENT 信号控制控制器关断第一 MOS 管。

在本实施例中，当 PCIE 卡未全部插入服务器插槽中时，PCIE 卡先控制第一电源和第二电源放电，此时控制器会接收到第一电源释放电能时产生的 EV_PRSENT 信号，由于 EV_PRSENT 信号在上拉电阻的作用下为高电平，而在上述实施例中提到控制器接收到高电平的电压信号时会关断外部 MOS 管，因此，PCIE 卡会通过控制器关断第一 MOS 管，使得第二电源释放的电能只能通过第一 MOS 管的体二极管为负载充电。当 PCIE 卡全部插入服务器插槽中时，PRSNT#引脚会被 PCIE 卡的短路线连接到地，产生 PRSNT#信号，此时 PCIE 卡会控制第二 MOS 管导通，PRSNT#信号流过第二 MOS 管将 EV_PRSENT 信号下拉接地，使得控制器接收的电压信号不再为处于高电平状态的 EV_PRSENT 信号，而是处于低电平状态的 PRSNT#信号，控制器根据 PRSNT#信号会导通第一 MOS 管，由于第一 MOS 管被使能开始工作，因此，第二电源能够通过第一 MOS 管为负载正常充电。在未全部拔出 PCIE 卡时，由于 PRSNT#引脚较短，会与短路线先断开，因此第二 MOS 管会被关断，此时控制器接收到的仍为处于高电平状态的 EV_PRSENT 信号，根据 EV_PRSENT 信号控制器会关断第一 MOS 管，以断开负载和电源。

本实施例提出一种保护 PCIE 卡电源的方法，应用于上述实施例中提到的保护 PCIE 卡电源的电路，该方法在 PCIE 卡未全部插入服务器插槽中时，控制第一电源和第二电源释放电能，然后，根据第一电源在释放电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管，再通过第二电源释放的电能为负载充电；在 PCIE 卡全部插入服务器插槽中时，根据接地的 PRSNT#引脚产生 PRSNT#信号，再控制第二 MOS 管导通，根据流过第二 MOS 管的 PRSNT#信号控制控制器导通第一 MOS 管；在未全部拔出 PCIE 卡时，控制第二 MOS 管关断，根据 EV_PRSENT 信号控制控制器关断第一 MOS 管。该方法在 PCIE 卡未全部插入服务器插槽中时，第二电源通过第一 MOS 管的体二极管为负载充电，通过预充电的方式降低插入 PCIE 卡时的浪涌电流，在未全部拔出 PCIE 卡时，通过关断第一 MOS 管将负载与第二电源断开，抑制带电拔出 PCIE 卡时产生的浪涌电流，实现了热插拔保护。

在上述实施例的基础上，本实施例对控制第二 MOS 管的导通与关断的步骤进行补充说明，该步骤包括：

根据 PRSNT#信号、第一电源的电压、第一电阻两端电压和第二电阻两端电压控制第二 MOS 管的导通与关断；其中，第一电阻的阻值小于第二电阻。

具体地，第二 MOS 管的栅极电压为第一电源的电压与第二电阻两端电压的电压差，第二 MOS 管的源极电压为第一电源的电压与第一电阻两端电压的电压差。当 PCIE 卡未

全部插入服务器插槽中时，由于第一电阻的阻值小于第二电阻的阻值，因此，此时第二 MOS 管的源极电压大于其栅极电压，不满足第二 MOS 管的导通条件；当 PCIE 卡全部插入服务器插槽中时，受 PRSNT#信号下拉作用的影响，此时第二 MOS 管的源极电压会减小，当第二 MOS 管的源极电压减小至其栅极电压与源极电压的电压差大于第二 MOS 管自身的开启电压时，第二 MOS 管导通；对应地，在拔出 PCIE 卡时，第二 MOS 管的源极电压会增大，当增大至不满足其导通条件时，第二 MOS 管被关断。

由于在第二 MOS 管关断时，控制器接收的电压信号为处于高电平状态的 EV_PRSNT 信号，在第二 MOS 管导通时，控制器接收的电压信号为处于低电平状态的 PRSNT#信号，因此本实施例对控制第二 MOS 管的导通与关断的步骤进行详细说明，以便于控制器根据在第二 MOS 管导通与关断状态下接收的不同电压信号控制第一 MOS 管的导通与关断。

在上述实施例的基础上，若 PCIE 卡未全部插入服务器插槽中，则在控制控制器关断第一 MOS 管之前，还包括：通过第二电源释放的电能为控制器充电。

具体地，当 PCIE 卡未全部插入服务器插槽中时，第二电源释放的电能为控制器中的电流泵提供电压输入，以便于在 PCIE 卡全部插入服务器插槽中时为第一 MOS 管的栅极充电。此外，控制器中的第一电压比较器会采集第二电源释放的电能为第一 MOS 管漏极电压和源极电压的电压差向第三 MOS 管输出第一电压信号，在第一 MOS 管漏极电压和源极电压的电压差超过阈值电压时，输出的第一电压信号为高电平，第三 MOS 管会导通，使得第一 MOS 管的栅极电压与源极电压相等，关断第一 MOS 管，有效防止了在第二电源刚释放电能时就产生浪涌电流对电源造成损伤。

在上述实施例的基础上，当 PCIE 卡未全部插入服务器插槽中时，第二电源会释放电能，此时通过第二电源释放的电能为负载充电的步骤包括：控制第二电源释放的电能通过第一 MOS 管的体二极管为负载充电。

在 PCIE 卡未全部插入服务器插槽中时，由于第一 MOS 管被关断，因此第二电源释放的电能只能通过第一 MOS 管的体二极管为负载充电，也就是说，此时第二电源释放的电能被限制在低通流模式为负载进行充电，即在 PCIE 卡未全部插入服务器插槽中时进行预充电，通过预充电的方式降低插入 PCIE 卡时的浪涌电流，有效保护了 PCIE 卡的电源。

在上述实施例中，对于保护 PCIE 卡电源的方法进行了详细描述，本申请还提供保护 PCIE 卡电源的装置对应的实施例。需要说明的是，本申请从两个角度对装置部分的实施例进行描述，一种是基于功能模块的角度，另一种是基于硬件的角度。

图 3 为本申请提供的一种保护 PCIE 卡电源的装置的结构图。如图 3 所示，该装置应用于上述实施例中的保护 PCIE 卡电源的电路，包括：

第一控制模块 10，用于在 PCIE 卡未全部插入服务器插槽中时，控制第一电源和第二电源释放电能；

第二控制模块 11，用于根据第一电源在释放电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管；

充电模块 12，用于通过第二电源释放的电能为负载充电；

产生模块 13，用于在 PCIE 卡全部插入服务器插槽中时，根据接地的 PRSENT#引脚产生 PRSENT#信号；

第三控制模块 14，用于控制第二 MOS 管的导通与关断；

第四控制模块 15，用于根据流过第二 MOS 管的 PRSENT#信号控制控制器导通第一 MOS 管。

由于装置部分的实施例与方法部分的实施例相互对应，因此装置部分的实施例请参见方法部分的实施例的描述，这里暂不赘述。

本实施例所提供的保护 PCIE 卡电源的装置，在 PCIE 卡未全部插入服务器插槽中时，通过第一控制模块控制第一电源和第二电源释放电能；然后，根据第一电源在释放电能中产生的 EV_PRSENT 信号通过第二控制模块控制控制器关断第一 MOS 管；再由充电模块通过第二电源释放的电能为负载充电；在 PCIE 卡全部插入服务器插槽中时，根据接地的 PRSENT#引脚通过产生模块产生 PRSENT#信号；通过第三控制模块控制第二 MOS 管的导通与关断；再根据流过第二 MOS 管的 PRSENT#信号通过第四控制模块控制控制器导通第一 MOS 管。该装置在 PCIE 卡未全部插入服务器插槽中时，由充电模块通过第二电源释放的电能为负载充电，由于第一 MOS 管被关断，此时第二电源释放的电能只能以低通流模式通过第一 MOS 管的体二极管为负载充电，通过预充电的方式有效降低了插入 PCIE 卡时的浪涌电流；在未全部拔出 PCIE 卡时，通过关断第一 MOS 管将负载与第二电源断开，抑制带电拔出 PCIE 卡时产生的浪涌电流，实现了热插拔保护。

图 4 为本申请另一实施例提供的一种保护 PCIE 卡电源的装置的结构图，其应用于上述实施例中的保护 PCIE 卡电源的电路，如图 4 所示，该保护 PCIE 卡电源的装置包括：

存储器 20，用于存储计算机程序；

处理器 21，用于执行计算机程序时实现如上述实施例中所提到的保护 PCIE 卡电源的方法的步骤。

本实施例提供的保护 PCIE 卡电源的装置可以包括但不限于智能手机、平板电脑、笔

笔记本电脑或台式电脑等。

其中，处理器 21 可以包括一个或多个处理核心，比如 4 核心处理器、8 核心处理器等。处理器 21 可以采用数字信号处理器(Digital Signal Processor, DSP)、现场可编程门阵列(Field-Programmable Gate Array, FPGA)、可编程逻辑阵列 (Programmable Logic Array, PLA)中的至少一种硬件形式来实现。处理器 21 也可以包括主处理器和协处理器，主处理器是用于对在唤醒状态下的数据进行处理的处理单元，也称中央处理器(Central Processing Unit, CPU)；协处理器是用于对在待机状态下的数据进行处理的低功耗处理器。在一些实施例中，处理器 21 可以在集成有图像处理器(Graphics Processing Unit, GPU)，GPU 用于负责显示屏所需要显示的内容的渲染和绘制。一些实施例中，处理器 21 还可以包括人工智能(Artificial Intelligence, AI)处理器，该 AI 处理器用于处理有关机器学习的计算操作。

存储器 20 可以包括一个或多个计算机可读存储介质，该计算机可读存储介质可以是非暂态的。存储器 20 还可包括高速随机存取存储器，以及非易失性存储器，比如一个或多个磁盘存储设备、闪存存储设备。本实施例中，存储器 20 至少用于存储以下计算机程序 201，其中，该计算机程序被处理器 21 加载并执行之后，能够实现前述任一实施例公开的保护 PCIE 卡电源的方法的相关步骤。另外，存储器 20 所存储的资源还可以包括操作系统 202 等，存储方式可以是短暂存储或者永久存储。其中，操作系统 202 可以包括 Windows、Unix、Linux 等。

在一些实施例中，保护 PCIE 卡电源的装置还可包括有显示屏 22、输入输出接口 23、通信接口 24、电源 25 以及通信总线 26。

本领域技术人员可以理解，图 4 中示出的结构并不构成对该保护 PCIE 卡电源的装置的限定，可以包括比图示更多或更少的组件。

本申请实施例提供的保护 PCIE 卡电源的装置，包括存储器和处理器，处理器在执行存储器存储的程序时，能够实现上述保护 PCIE 卡电源的方法，效果同上。

最后，本申请还提供一种计算机可读存储介质对应的实施例。计算机可读存储介质上存储有计算机程序，计算机程序被处理器执行时实现如上述方法实施例中记载的保护 PCIE 卡电源的方法的步骤。

可以理解的是，如果上述实施例中的方法以软件功能单元的形式实现并作为独立的产品销售或使用，可以存储在一个计算机可读存储介质中。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分或者该技术方案的全部或部分可以以软件产品的形式体现出来，该计算机软件产品存储在一个存储介质中，执行本申请

各个实施例所述方法的全部或部分步骤。而前述的存储介质包括：U 盘、移动硬盘、只读存储器（Read-Only Memory, ROM）、随机存取存储器（Random Access Memory, RAM）、磁碟或者光盘等各种可以存储程序代码的介质。

本申请提供的计算机可读存储介质包括上述提到的保护 PCIE 卡电源的方法，效果同上。

以上对本申请所提供的保护 PCIE 卡电源的方法、电路、装置及介质进行了详细介绍。说明书中各个实施例采用递进的方式描述，每个实施例重点说明的都是与其他实施例的不同之处，各个实施例之间相同相似部分互相参见即可。对于实施例公开的装置而言，由于其与实施例公开的方法相对应，所以描述的比较简单，相关之处参见方法部分说明即可。应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以对本申请进行若干改进和修饰，这些改进和修饰也落入本申请权利要求的保护范围内。

还需要说明的是，在本说明书中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

权利要求书

1、一种保护 PCIE 卡电源的电路，其特征在于，包括：第一 MOS 管、第二 MOS 管、控制器、第一电阻和第二电阻；

所述第一电阻的第一端与第一电源连接，所述第一电阻的第二端与所述第二 MOS 管的源极连接；

所述第二电阻的第一端与所述第一电源连接，所述第二电阻的第二端与所述第二 MOS 管的栅极连接；

所述第二 MOS 管的漏极与 PRSNT#引脚连接，所述第二 MOS 管的源极与所述控制器连接，用于响应于 PCIE 卡全部插入服务器插槽中，将所述 PRSNT#引脚接地产生的 PRSNT#信号传输至所述控制器；

所述控制器的第一端与所述第一电阻和所述第二 MOS 管的公共端连接，所述控制器的第二端与所述第一 MOS 管连接，用于响应于所述 PCIE 卡未全部插入所述服务器插槽中，根据所述第一电源在释电能中产生的 EV_PRSNT 信号关断所述第一 MOS 管，以及响应于所述 PCIE 卡全部插入所述服务器插槽中，根据所述 PRSNT#信号导通所述第一 MOS 管；

所述第一 MOS 管的源极与第二电源连接，用于传输所述第二电源释放的所述电能。

2、根据权利要求 1 所述的保护 PCIE 卡电源的电路，其特征在于，所述控制器包括电流泵、第一电压比较器、第二电压比较器和第三 MOS 管；

所述电流泵与所述第一 MOS 管的栅极连接，用于响应于所述 PCIE 卡全部插入所述服务器插槽中，为所述第一 MOS 管的栅极充电；

所述第一电压比较器的同相输入端与所述第一 MOS 管的漏极连接，所述第一电压比较器的反相输入端与所述第一 MOS 管的源极连接，所述第一电压比较器的输出端与所述第三 MOS 管的栅极连接，用于根据所述第一 MOS 管的漏极电压和源极电压的电压差向所述第三 MOS 管输出第一电压信号；

所述第二电压比较器的同相输入端与所述第一电阻和所述第二 MOS 管的所述公共端连接，所述第二电压比较器的反相输入端接地，所述第二电压比较器的输出端与所述第三 MOS 管的栅极连接，用于根据所述 EV_PRSNT 信号向所述第三 MOS 管输出第二电压信号，以及根据所述 PRSNT#信号向所述第三 MOS 管输出第三电压信号；

所述第三 MOS 管的漏极与所述第一 MOS 管连接，所述第三 MOS 管的源极与所述第二电源连接。

3、一种保护 PCIE 卡电源的方法，其特征在于，应用于权利要求 1-2 任一项所述的保护 PCIE 卡电源的电路，所述方法包括：

响应于所述 PCIE 卡未全部插入服务器插槽中，控制第一电源和第二电源释放电能；

根据所述第一电源在释放所述电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管；

通过所述第二电源释放的所述电能为负载充电；

响应于所述 PCIE 卡全部插入所述服务器插槽中，根据接地的 PRSENT#引脚产生 PRSENT#信号；

控制第二 MOS 管导通，根据流过所述第二 MOS 管的所述 PRSENT#信号控制所述控制器导通所述第一 MOS 管；

响应于未全部拔出所述 PCIE 卡，控制所述第二 MOS 管关断；并且

根据所述 EV_PRSENT 信号控制所述控制器关断所述第一 MOS 管。

4、根据权利要求 3 所述的保护 PCIE 卡电源的方法，其特征在于，控制所述第二 MOS 管的导通与关断包括：

根据所述 PRSENT#信号、所述第一电源的电压、第一电阻两端所述电压和第二电阻两端所述电压控制所述第二 MOS 管的导通与关断；其中，所述第一电阻的阻值小于所述第二电阻。

5、根据权利要求 3 所述的保护 PCIE 卡电源的方法，其特征在于，响应于所述 PCIE 卡未全部插入所述服务器插槽中，则在控制所述控制器关断所述第一 MOS 管之前，还包括：

通过所述第二电源释放的所述电能为所述控制器充电。

6、根据权利要求 3 所述的保护 PCIE 卡电源的方法，其特征在于，所述通过所述第二电源释放的所述电能为负载充电包括：

控制所述第二电源释放的所述电能通过所述第一 MOS 管的体二极管为所述负载充电。

7、一种保护 PCIE 卡电源的装置，其特征在于，应用于权利要求 1-2 任一项所述的保护 PCIE 卡电源的电路，包括：

第一控制模块，用于响应于 PCIE 卡未全部插入服务器插槽中响应于，控制第一电源和第二电源释放电能；

第二控制模块，用于根据所述第一电源在释放所述电能中产生的 EV_PRSENT 信号控制控制器关断第一 MOS 管；

充电模块，用于通过所述第二电源释放的所述电能为负载充电；

产生模块，用于响应于所述 PCIE 卡全部插入所述服务器插槽中响应于，根据接地的 PRSNT#引脚产生 PRSNT#信号；

第三控制模块，用于控制第二 MOS 管的导通与关断；

第四控制模块，用于根据流过所述第二 MOS 管的所述 PRSNT#信号控制所述控制器导通所述第一 MOS 管。

8、一种保护 PCIE 卡电源的计算机设备，其特征在于，应用于权利要求 1-2 任一项所述的保护 PCIE 卡电源的电路，包括：

存储器，用于存储计算机可读指令；

处理器，用于执行所述计算机可读指令时实现如权利要求 3 至 6 任一项所述的保护 PCIE 卡电源的方法的步骤。

9、一种计算机可读存储介质，其特征在于，所述计算机可读存储介质上存储有计算机可读指令，所述计算机可读指令被处理器执行时实现如权利要求 3 至 6 任一项所述的保护 PCIE 卡电源的方法的步骤。

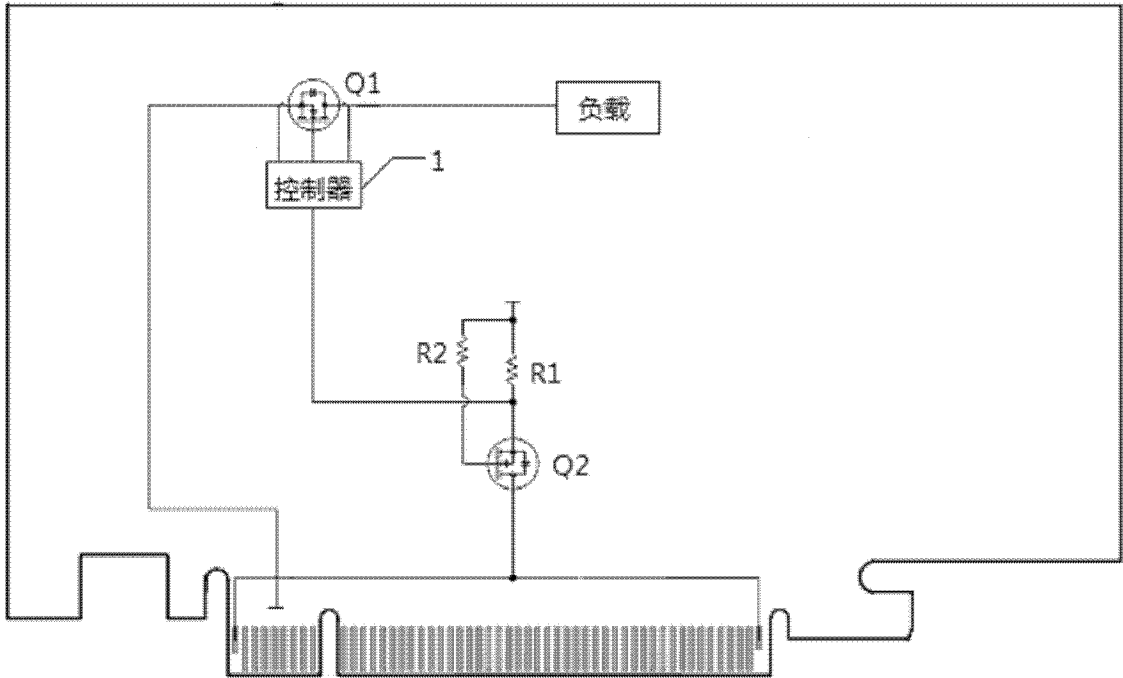


图 1

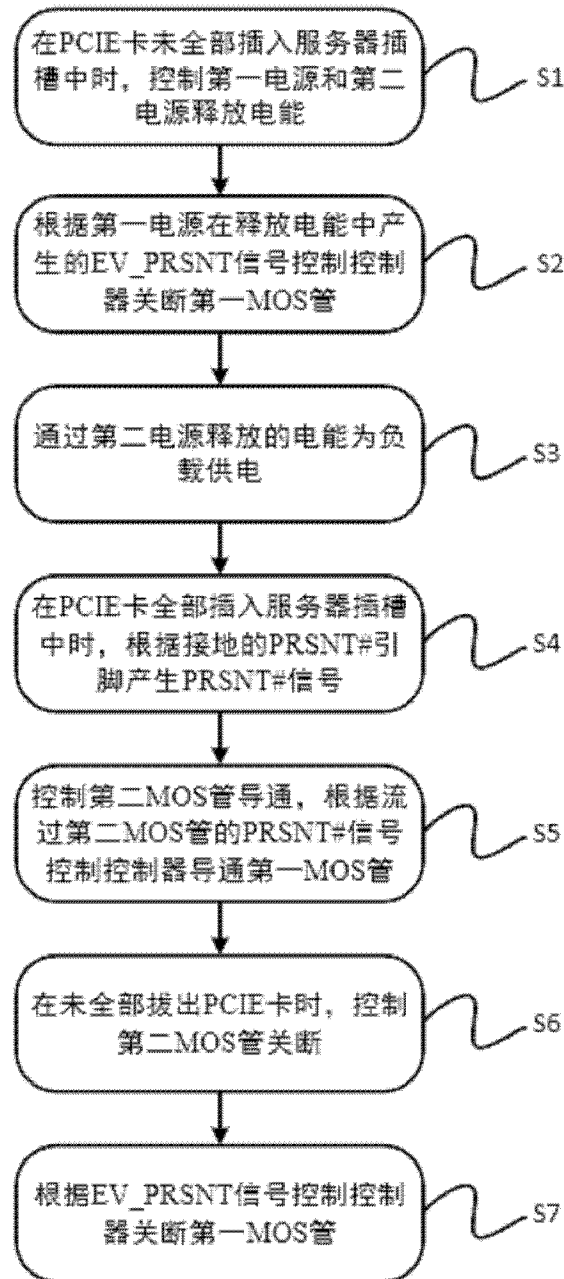


图 2

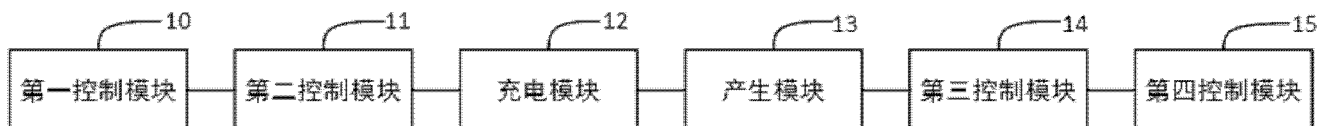


图 3

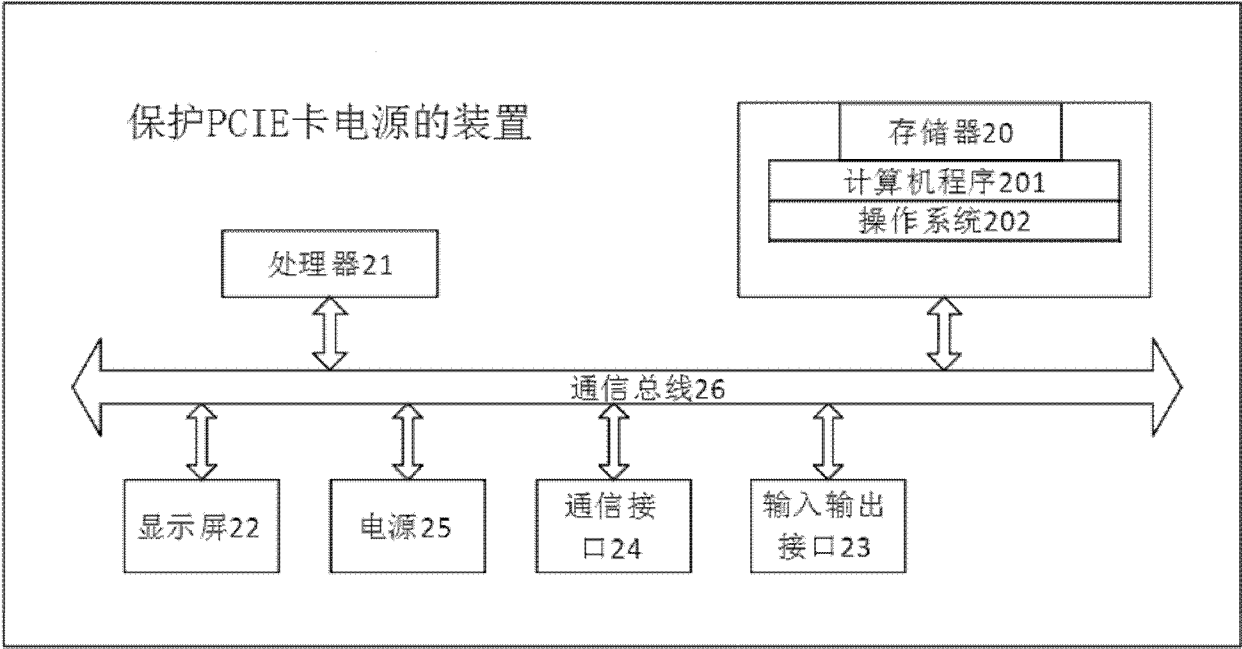


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/102095

A. CLASSIFICATION OF SUBJECT MATTER

H02M 1/32(2007.01)i; H02H 9/02(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M; H02H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT ENTXT ENTXTC DWPI CNKI: 栅极, 控制, 接地, 电阻, 源极, 信号, 插拔, 漏极, 浪涌; gate, control, ground, resistance, source, signal, drain, surge, hot, pci?e, plug+, protect+, mos+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 114050714 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 15 February 2022 (2022-02-15) claims 1-9	1-9
A	CN 104716621 A (HONGFUJIN PRECISION ELECTRONICS (TIANJIN) CO., LTD. et al.) 17 June 2015 (2015-06-17) description, paragraphs 8-14, and figure 1	1-9
A	CN 110674072 A (BEIHANG UNIVERSITY) 10 January 2020 (2020-01-10) entire document	1-9
A	CN 110995221 A (SUZHOU INSPUR INTELLIGENT TECHNOLOGY CO., LTD.) 10 April 2020 (2020-04-10) entire document	1-9
A	CN 106407148 A (ZHENGZHOU YUNHAI INFORMATION TECHNOLOGY CO., LTD.) 15 February 2017 (2017-02-15) entire document	1-9
A	US 2007136504 A1 (INVENTEC CORP.) 14 June 2007 (2007-06-14) entire document	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

07 September 2022

Date of mailing of the international search report

29 September 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/102095

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	王巍等 (WANG, Wei et al.). "Micro TCA计算机中AMC的热插拔设计和实现 (Non-official translation: Design and Realization of AMC Hot Plug in Micro TCA Computer)" <i>工业控制计算机 (Industrial Control Computer)</i> , Vol. 29, No. 05, 25 May 2016 (2016-05-25), ISSN: 1001-182X, pp. 8-10	1-9

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/102095

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114050714	A	15 February 2022	CN	114050714	B	22 April 2022
CN	104716621	A	17 June 2015	US	2015171616	A1	18 June 2015
				CN	108054722	A	18 May 2018
				CN	104716621	B	19 January 2018
				CN	108054722	B	06 March 2020
				US	9490622	B2	08 November 2016
CN	110674072	A	10 January 2020	CN	110674072	B	03 November 2020
CN	110995221	A	10 April 2020	CN	110995221	B	07 June 2022
CN	106407148	A	15 February 2017	None			
US	2007136504	A1	14 June 2007	US	7447822	B2	04 November 2008

国际检索报告

国际申请号

PCT/CN2022/102095

A. 主题的分类

H02M 1/32 (2007.01) i; H02H 9/02 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H02M; H02H

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNTXT ENTXT ENTXTC DWPI CNKI: 栅极, 控制, 接地, 电阻, 源极, 信号, 插拔, 漏极, 浪涌; gate, control, ground, resistance, source, signal, drain, surge, hot, pci?e, plug+, protect+, mos+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 114050714 A (苏州浪潮智能科技有限公司) 2022年2月15日 (2022 - 02 - 15) 权利要求1-9	1-9
A	CN 104716621 A (鸿富锦精密电子天津有限公司 等) 2015年6月17日 (2015 - 06 - 17) 说明书第8-14段, 附图1	1-9
A	CN 110674072 A (北京航空航天大学) 2020年1月10日 (2020 - 01 - 10) 全文	1-9
A	CN 110995221 A (苏州浪潮智能科技有限公司) 2020年4月10日 (2020 - 04 - 10) 全文	1-9
A	CN 106407148 A (郑州云海信息技术有限公司) 2017年2月15日 (2017 - 02 - 15) 全文	1-9
A	US 2007136504 A1 (INVENTEC CORPORATION) 2007年6月14日 (2007 - 06 - 14) 全文	1-9
A	王巍等, “Micro TCA计算机中AMC的热插拔设计和实现” 工业控制计算机, 第29卷, 第05期, 2016年5月25日 (2016 - 05 - 25), ISSN: 1001-182X, 第8-10页	1-9

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2022年9月7日

国际检索报告邮寄日期

2022年9月29日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

受权官员

曹志明

电话号码 (86-10)62412307

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/102095

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	114050714	A	2022年2月15日	CN	114050714	B	2022年4月22日		
CN	104716621	A	2015年6月17日	US	2015171616	A1	2015年6月18日		
				CN	108054722	A	2018年5月18日		
				CN	104716621	B	2018年1月19日		
				CN	108054722	B	2020年3月6日		
				US	9490622	B2	2016年11月8日		
CN	110674072	A	2020年1月10日	CN	110674072	B	2020年11月3日		
CN	110995221	A	2020年4月10日	CN	110995221	B	2022年6月7日		
CN	106407148	A	2017年2月15日	无					
US	2007136504	A1	2007年6月14日	US	7447822	B2	2008年11月4日		