

(21)申請案號：100128435

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

H01L23/52 (2006.01)

(30)優先權：2010/08/10 日本

2010-179468

(71)申請人：國立大學法人 東北大學 (日本) TOHOKU UNIVERSITY (JP)
日本

(72)發明人：大見忠弘 OHMI, TADAHIRO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：17 項 圖式數：10 共 25 頁

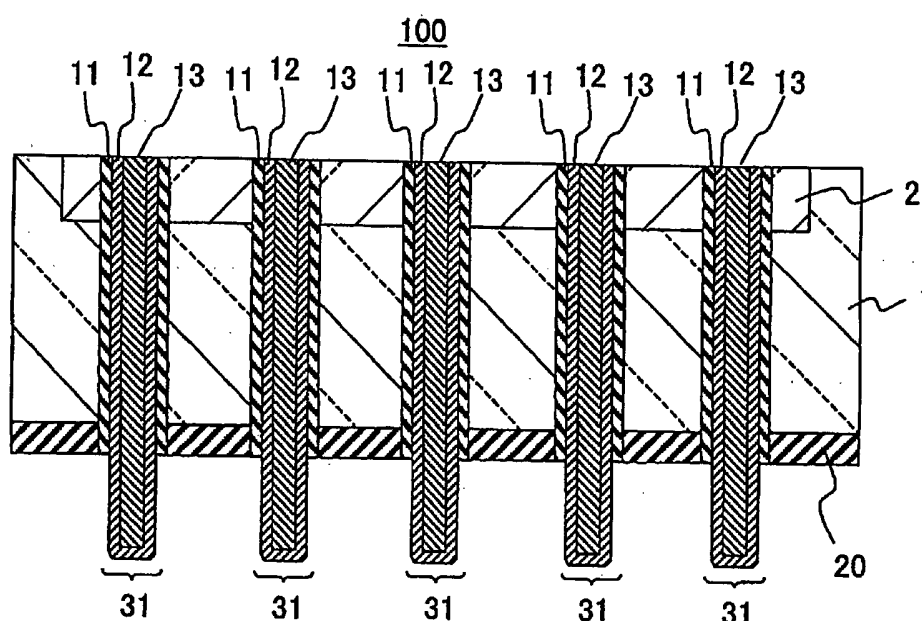
(54)名稱

半導體裝置之製造方法及半導體裝置

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種即使讓基板變薄也能夠防止其發生翹曲的 TSV 構造的製造方法。本發明之半導體裝置的製造方法包含以下步驟：在半導體基板的表面上整合半導體元件以形成電路的至少一部份，在半導體基板的表面上形成開孔，在開孔的內表面上形成絕緣膜以及阻隔膜，在阻隔膜的表面上以填充開孔的方式形成導電性金屬，對半導體基板的背面進行加工以減少其厚度，使導電性金屬突出，在半導體基板的背面上設置 SiCN 膜。



- 1：基板
- 2：電路(LSI 構造)
- 11：絕緣膜
- 12：阻隔膜(TaN 膜)
- 13：栓塞(導電性金屬)
- 20：SiCN 膜
- 31：貫通電極
- 100：半導體裝置

(21)申請案號：100128435

(22)申請日：中華民國 100 (2011) 年 08 月 09 日

(51)Int. Cl. : **H01L21/768 (2006.01)**

H01L23/52 (2006.01)

(30)優先權：2010/08/10 日本

2010-179468

(71)申請人：國立大學法人 東北大學 (日本) TOHOKU UNIVERSITY (JP)
日本

(72)發明人：大見忠弘 OHMI, TADAHIRO (JP)

(74)代理人：周良謀；周良吉

申請實體審查：無 申請專利範圍項數：17 項 圖式數：10 共 25 頁

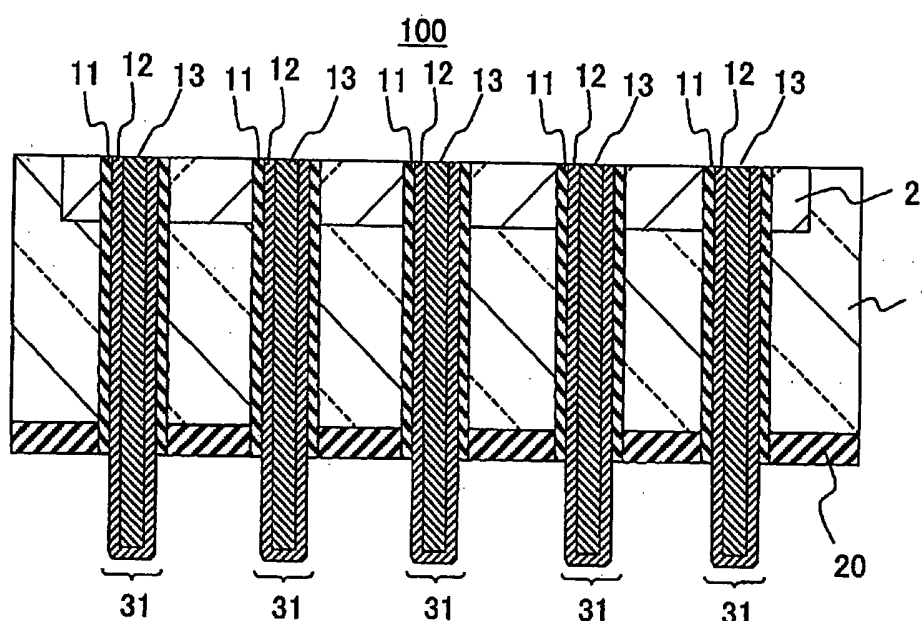
(54)名稱

半導體裝置之製造方法及半導體裝置

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE

(57)摘要

本發明提供一種即使讓基板變薄也能夠防止其發生翹曲的 TSV 構造的製造方法。本發明之半導體裝置的製造方法包含以下步驟：在半導體基板的表面上整合半導體元件以形成電路的至少一部份，在半導體基板的表面上形成開孔，在開孔的內表面上形成絕緣膜以及阻隔膜，在阻隔膜的表面上以填充開孔的方式形成導電性金屬，對半導體基板的背面進行加工以減少其厚度，使導電性金屬突出，在半導體基板的背面上設置 SiCN 膜。



- 1：基板
- 2：電路(LSI 構造)
- 11：絕緣膜
- 12：阻隔膜(TaN 膜)
- 13：栓塞(導電性金屬)
- 20：SiCN 膜
- 31：貫通電極
- 100：半導體裝置

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種具有 TSV 構造的半導體裝置的製造方法以及半導體裝置。

【先前技術】

近年來，為了因應半導體 LSI 的超高密度化，並以三維方式構成裝置，遂開始採用 TSV (Through Silicon Via, 矽貫通電極) 構造，亦即以貫通半導體裝置 (半導體晶片或半導體晶圓) 內部的方式設置貫通電極，使該貫通電極的端部與其他半導體裝置的電極連接以形成三維構造的技術。

在 TSV 構造中，在堆疊複數片半導體裝置的情況下，由於係透過貫通電極連接各半導體裝置，故不需要連接用的接合墊或內插層等構件，可使半導體裝置更進一步小型化。

在此，在具有 TSV 構造的半導體裝置中，為了使裝置更進一步薄型化，會在形成了電路的矽基板 (晶圓) 上形成複數個必要開孔，在其中形成 Cu 或 W 的電極金屬柱作為 TSV，之後從晶圓背面進行蝕刻等的加工，藉此使晶圓變薄，同時讓電極金屬柱從背面突出 (專利文獻 1)。

習知技術文獻

專利文獻

專利文獻 1：日本特開 2010-114155 號公報

【發明內容】

[發明所欲解決的問題]

然而，實施上述加工雖可使基板變薄，但此時會有基板容易發生翹曲的問題存在。

有鑑於上述問題，本發明之目的在於提供一種具有 TSV 構造的半導體裝置的製造方法，其即使讓基板變薄也能夠防止該翹曲問題的發生。

[解決問題之技術手段]

為了解決上述問題，本發明的第 1 態樣係一種半導體裝置的製造方法，包含：在半導體基板的表面上整合半導體元件以形成電路的全部或一部份的步驟 (a)；在該半導體基板的表面上形成開孔的步驟 (b)；在該開孔的內表面上形成絕緣膜以及阻隔膜（對其後所形成之導電性金屬具有阻隔作用的膜層）的步驟 (c)；在該阻隔膜的內表面上，以填埋該開孔的方式形成導電性金屬的步驟 (d)；之後對該半導體基板的背面進行加工使該半導體基板的厚度減少，讓該導電性金屬、該阻隔膜以及該絕緣膜從該背面突出的步驟 (e)；以及之後在該半導體基板的背面上設置 SiCN 膜的步驟 (f)。

本發明的第 2 態樣係一種半導體裝置，包含：在表面上形成有半導體元件的半導體基板；貫通該半導體基板且一部分從該半導體基板的背面突出的貫通電極；以及覆蓋該半導體基板的背面的 SiCN 膜。

[對照先前技術之功效]

本發明提供一種即使讓基板變薄也能夠防止其發生翹曲的具有 TSV 構造的二維半導體裝置的製造方法。

【實施方式】

以下，參照圖式詳細說明本發明的較佳實施態樣。

首先，參照圖 1 說明本實施態樣之半導體裝置 100 的構造。

如圖 1 所示的，半導體裝置 100 具有矽基板等的基板 1，在基板 1 的表面上設有由圖中未顯示之半導體元件整合所形成的 DRAM 或快閃記憶體等的 LSI 構造，亦即電路 2。

另外，在半導體裝置 100 上，以貫通基板 1 的方式設置了貫通電極 31 (TSV)，貫通電極 31 的一部分從基板 1 的背面（電路 2 形成面的相反側的面）突出。

貫通電極 31 包含由 Cu 等導電性金屬所形成的柱狀栓塞 13 以及包覆栓塞 13 的 TaN 等的阻隔膜 12。

再者，在貫通電極 31 與基板 1 之間，以覆蓋貫通電極 31 且與基板 1 接觸的方式設置了 Si_3N_4 等的絕緣膜 11。

另一方面，在基板 1 的背面上，以覆蓋該背面的方式形成了 SiCN 膜 20。

SiCN 膜 20 係設置在基板的背面，防止基板 1 產生翹曲的保護膜。一般而言會使用氧化矽膜或氮化矽膜作為保護膜，惟該等膜層用在較薄的基板上會有產生翹曲的問題。詳細情況容後敘述，惟 SiCN 膜 20 由於其內部應力會因為膜中的 C 量而改變，故可藉由控制成膜時的 C 量使晶圓的翹曲實質上為 0。

以下，參照圖 2～圖 10 說明半導體裝置 100 的製造方法。

首先，準備如圖 2 所示的基板 1。

如前所述，使用矽基板等作為基板 1，在其表面上整合未經圖示之半導體元件，以形成電路 2 的全部或一部份。

在此係準備厚度 $775\mu\text{m}$ 的矽基板作為基板 1，並在其表面上整合半導體元件以形成 DRAM 或快閃記憶體等 LSI 構造的電路 2。

接著，如圖 3 所示的，在基板 1 用來形成 TSV 構造（貫通電極 31）的部位上，從表面打出既定數量的開孔 10。

在此，開孔 10 的徑長約為 $10\mu\text{m}\times 10\mu\text{m}$ 左右，深度約為 $40\mu\text{m}\sim 50\mu\text{m}$ 左右。

可用例如蝕刻來形成開孔。具體而言，開孔蝕刻可使用 2.45GHz 微波激發 RLSA 電漿蝕刻器或 915MHz 微波激發 MSEP（Metal Surfacewave Excitation Plasma）電漿蝕刻器來進行。

該等蝕刻器，利用非水溶液的陽極氧化以 Al_2O_3 膜覆蓋處理室的內壁表面，故完全不會跑出水分。若將抗蝕劑的有機溶媒或水分預先全部抽乾的話，則抗蝕劑與 Si 的蝕刻選擇比會變成 50～100。因此，抗蝕劑的膜厚在 $2\mu\text{m}$ 左右比較好，能夠提高解析度。

接著，如圖 4 所示的，在開孔 10 的內表面上形成絕緣膜 11。關於絕緣膜 11 的形成方法，例如：將 Si 直接氮化，在其上以 CVD（Chemical Vapor Deposition，化學氣相沉積）方式形成氮化矽膜的方法。

此時，關於直接氮化，係使用 915MHz 微波激發的 1 段噴淋板的 MSEP 電漿處理裝置，從噴淋板噴出 Ar 氣體以及 NH_3 氣體的混合氣體來進行該步驟。接著，在該氮化矽上以 CVD 方式形成 Si_3N_4 膜。

關於該 CVD 步驟，係使用 915MHz 微波激發的 2 段噴淋板的 MSEP 電漿處理裝置，從上段噴淋板噴出 Ar 氣體以及 NH_3 氣體的混合氣體，從下段噴淋板噴出 Ar 氣體以及 SiH_4 氣體的混合氣體來進行該步驟。

接著，如圖 5 所示的，在絕緣膜 11 的內表面上形成阻隔膜 12。在此，與用來形成絕緣膜 11 的裝置相同，使用 915MHz 微波激發的 2 段噴淋板的 MSEP 電漿處理裝置，從上段噴淋板噴出 Ar 氣體以及 NH_3 氣體的混合氣體，從下段噴淋板噴出 TaCl_3 等的氣體，在 Si_3N_4 膜上以 CVD 方式形成 TaN 膜作為阻隔膜 12。該阻隔膜 12 係用來防止其後成膜之 Cu 向半導體基板擴散的導電性阻隔膜。

接著，如圖 6 所示的，以填埋開孔 10 的方式在開孔 10 內部形成栓塞 13。在此讓電流流過 TaN 膜（阻隔膜 12），以 TaN 膜為晶種膜在 TaN 膜的內表面上進行 Cu 的電鍍，形成 Cu 的金屬柱（TSV 電極）作為栓塞 13。

如是，分別在各開孔 10 內形成 TSV 電極（貫通電極 31）。

接著，如圖 7 所示的，從基板 1 的背面側進行蝕刻，使基板 1 的厚度變薄至既定厚度，並使 TaN 膜 12 以及絕緣膜 11 所包覆的 TSV 電極（栓塞 13）的底面側的一部分從基板 1 的背面突出（露出）。

關於蝕刻，係將基板 1 的表面側貼合在多孔質的玻璃基板 33（東京應化製品）上，以使用 $\text{HF}/\text{HNO}_3/\text{CH}_3\text{COOH}/\text{H}_2\text{O}$ 溶液的超高速濕式蝕刻，對 775 μm 的矽基板 1 的背面側，以 750 $\mu\text{m}/\text{min}$ 的速度，進行約 1 分鐘的蝕刻。最後基板 1 的厚度變成 20 μm ~30 μm 左右。此時， Si_3N_4 膜（絕緣膜 11）不會受到蝕刻，使用濕式蝕刻便可只讓基板 1 變薄。

由圖 7 可知，TaN 膜（阻隔膜 12）以及 Si_3N_4 膜（絕緣膜 11）

所包覆的 Cu 的栓塞 13 的底面側從變薄至 $20\mu\text{m}\sim 30\mu\text{m}$ 的基板 1 的背面側突出。

接著，如圖 8 所示的，在基板 1 的背面上以 CVD 方式形成 SiCN 膜 20。

具體而言，SiCN 膜 20，係使用 915MHz 微波激發的 2 段噴淋板的 MSEP 電漿處理裝置，從上段噴淋板噴出 Ar 氣體以及 NH_3 氣體的混合氣體，下段噴淋板噴出 Ar 氣體、 SiH_4 氣體以及 $\text{SiH}(\text{CH}_3)_3$ 氣體的混合氣體，在 100°C 左右的溫度下成膜。

結果，便可完全控制晶圓（基板 1）的翹曲。

亦即，就 SiCN 而言，由於讓 C 量在 10 原子%前後便可使內部應力由正變負，故控制 C 量便可找到使晶圓的翹曲為零的條件。

具體而言，SiCN 膜 20 的內部應力，如圖 10 的白色箭號所示的，藉由調節例如 $\text{SiH}(\text{CH}_3)_3$ 氣體的濃度（亦即，藉由調節膜中的 C 含有量），便可實質上為 0。

關於 SiCN 的組成，在氮化矽 Si_3N_4 中添加 10% 以下的 C 是最好的，惟添加 2 原子%~40 原子%的 C 也是可以。

另外，SiCN，除了作為保護膜的特性優異之外，更具有熱傳導性優異的特性。相對於 SiO_2 的熱傳導率為 $1.4\text{W}/\text{m}/\text{Kelvin}$ ，SiCN 為 $70\text{W}/\text{m}/\text{Kelvin}$ 明顯大很多。

因此，在基板 1 的背面上形成 SiCN 膜 20，如上所述的，可同時達到完整的保護膜功能與晶圓的翹曲控制這兩個目的。

另外，在形成 SiCN 時，如圖 8 所示的，在 TaN 膜（阻隔膜 12）以及 Si_3N_4 膜（絕緣膜 11）所包覆的 Cu 的栓塞 13 的突出部表面上也會形成 SiCN 膜 20。

之後，從玻璃基板 33 將晶圓（基板 1）剝除。另外，由於玻璃基板 33 就這樣放著的話會被濕式蝕刻用的 $\text{HF}/\text{HNO}_3/$
 $\text{CH}_3\text{COOH}/\text{H}_2\text{O}$ 溶液一點一點地蝕刻掉，故會在其露出面上塗佈添加了 CeO_2 的 Y_2O_3 並在 700°C 左右煅燒成圖中未顯示的保護膜以覆蓋該露出面，讓蝕刻停止。

另外，在剝除玻璃基板 33 之前，如圖 9 所示的，在基板 1 的

背面側，於 SiCN 膜 20（形成於矽基板背面的部分）的表面上塗佈抗蝕劑，將貫通電極 31 的表面（從基板 1 的背面突出的阻隔膜 12 的表面）所包覆的 SiCN 膜 20 以及 Si_3N_4 膜（絕緣膜 11）蝕刻除去。

利用以上的步驟便可完成如圖 1 所示的半導體裝置 100。

如是，根據本實施態樣，半導體裝置 100 係以下述方式製造：在基板 1 上形成開孔 10，在開孔 10 內形成絕緣膜 11、阻隔膜 12、栓塞 13，對基板 1 的背面進行蝕刻使基板 1 變薄並使絕緣膜 11、阻隔膜 12、栓塞 13 突出來，之後，在基板 1 的背面上形成 SiCN 膜 20。

因此，根據本發明的具有 TSV 構造的血導體裝置的製造方法，即使在利用蝕刻使基板 1 變薄的情況下，也能夠防止基板 1 產生翹曲。

產業利用性

上述實施態樣，係針對將本發明應用於半導體裝置 100 的情況進行說明，該半導體裝置 100 使用了在表面上形成有 DRAM 或快閃記憶體的矽基板，惟本發明並非以此為限，本發明可應用於所有的 TSV 構造。

【圖式簡單說明】

圖 1 係表示半導體裝置 100 的剖面圖。

圖 2 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 3 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 4 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 5 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 6 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 7 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 8 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 9 係表示半導體裝置 100 的製造步驟的剖面圖。

圖 10 係表示 SiCN 膜 20 的組成與物性(內部應力)的關係圖。

【主要元件符號說明】

- 1 基板
- 2 電路 (LSI 構造)
- 10 開孔
- 11 絕緣膜
- 12 阻隔膜 (TaN 膜)
- 13 栓塞 (導電性金屬)
- 20 SiCN 膜
- 31 貫通電極
- 33 玻璃基板
- 100 半導體裝置

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100128435

※ 申請日：100.8.9

※IPC 分類：H01L 21/168 2006.01

一、發明名稱：(中文/英文)

H01L 23/52 2006.01

半導體裝置之製造方法及半導體裝置

METHOD OF MANUFACTURING A SEMICONDUCTOR DEVICE
AND SEMICONDUCTOR DEVICE

二、中文發明摘要：

本發明提供一種即使讓基板變薄也能夠防止其發生翹曲的 TSV 構造的製造方法。本發明之半導體裝置的製造方法包含以下步驟：在半導體基板的表面上整合半導體元件以形成電路的至少一部份，在半導體基板的表面上形成開孔，在開孔的內表面上形成絕緣膜以及阻隔膜，在阻隔膜的表面上以填埋開孔的方式形成導電性金屬，對半導體基板的背面進行加工以減少其厚度，使導電性金屬突出，在半導體基板的背面上設置 SiCN 膜。

三、英文發明摘要：

An object of this invention is to provide a method of manufacturing a TSV structure capable of preventing a substrate from being warped even if the substrate is reduced in thickness. A method of manufacturing a semiconductor device according to this invention includes integrating semiconductor elements on a surface of a semiconductor substrate to form at least a part of a circuit, forming a hole from the surface of the semiconductor substrate, forming an insulating film and a barrier film on an inner surface of the hole, forming a conductive metal on the surface of the barrier film to fill the hole, processing a rear surface of the semiconductor substrate to

201216411

reduce the thickness to protrude the conductive metal, and forming a SiCN film on the rear surface of the semiconductor substrate.

七、申請專利範圍：

1、一種半導體裝置的製造方法，包含：

在半導體基板的表面上整合半導體元件以形成電路的至少一部份的步驟 (a)；

在該半導體基板的表面上形成開孔的步驟 (b)；

在該開孔的內表面上形成絕緣膜以及阻隔膜的步驟 (c)；

在該阻隔膜的內表面上，以填埋該開孔的方式形成導電性金屬的步驟 (d)；

之後對該半導體基板的背面加工，使該半導體基板的厚度減少，讓該導電性金屬、該阻隔膜以及該絕緣膜從該背面突出的步驟 (e)；以及之後在該半導體基板的背面上設置 SiCN 膜的步驟 (f)。

2、如申請專利範圍第 1 項之半導體裝置的製造方法，其中，該步驟 (f) 係控制該 SiCN 膜的組成以使該半導體基板的翹曲實質上為零的步驟。

3、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (f) 係形成 SiCN 膜的步驟，該 SiCN 膜具有在 Si_3N_4 中添加 2 原子%~40 原子%的 C 的組成。

4、如申請專利範圍第 1 至 3 項中任一項之半導體裝置的製造方法，其中，該步驟 (e) 係對該半導體基板的背面進行蝕刻以使該半導體基板的厚度減少的步驟。

5、如申請專利範圍第 1 至 4 項中任一項之半導體裝置的製造方法，其中，該步驟 (e) 係將該半導體基板的表面側貼合在多孔質的玻璃基板上，對該半導體基板的背面進行濕式蝕刻，使該半導體基板的厚度減少的步驟。

6、如申請專利範圍第 1 至 5 項中任一項之半導體裝置的製造方法，其中，該步驟 (f) 係以 CVD 方式在該半導體基板的背面上形成 SiCN 膜之後，將從該背面突出的該阻隔膜的表面上所形成的該絕緣膜以及該 SiCN 膜除去的步驟。

7、如申請專利範圍第 1 至 6 項中任一項之半導體裝置的製造方法，其中，該半導體基板為 Si 基板，該步驟 (c) 係將該開孔的內表面氮化以形成該絕緣膜的至少一部份的步驟。

8、如申請專利範圍第 1 至 7 項中任一項之半導體裝置的製造方法，其中，該步驟 (c) 包含形成導電性阻隔膜作為該阻隔膜的步驟；該步驟 (d) 包含使用該導電性阻隔膜作為通電機構並利用電鍍形成該導電性金屬的步驟。

9、如申請專利範圍第 1 至 7 項中任一項之半導體裝置的製造方法，其中，該步驟 (c) 包含在形成該絕緣膜之後，於該絕緣膜上形成 TaN 膜作為該阻隔膜的步驟。

10、如申請專利範圍第 9 項之半導體裝置的製造方法，其中，該步驟 (d) 係以該 TaN 膜為晶種層，在該 TaN 膜上電鍍 Cu 作為該導電性金屬的步驟。

11、一種半導體裝置，包含：

半導體基板，其在表面上形成有電路；

貫通電極，其貫通該半導體基板且一部分從該半導體基板的背面突出；以及 SiCN 膜，其覆蓋該半導體基板的背面。

12、如申請專利範圍第 11 項之半導體裝置，其中，該 SiCN 膜具有使該半導體基板的翹曲實質上為零的組成。

13、如申請專利範圍第 11 或 12 項之半導體裝置，其中，該 SiCN 膜具有在 Si_3N_4 中添加 2 原子%~40 原子%的 C 的組成。

14、如申請專利範圍第 11 至 13 項中任一項之半導體裝置，其中，該貫通電極被對該貫通電極的材料具有阻隔作用的阻隔膜所包覆，且該阻隔膜被與該半導體基板接觸的絕緣膜所覆蓋。

15、如申請專利範圍第 14 項之半導體裝置，其中，該半導體基板為 Si 基板，該絕緣膜包含 Si_3N_4 膜。

16、如申請專利範圍第 14 項之半導體裝置，其中，該阻隔膜的材料為 TaN。

17、如申請專利範圍第 11 至 16 項中任一項之半導體裝置，其中，該貫通電極的材料為 Cu。

201216411

八、圖式：

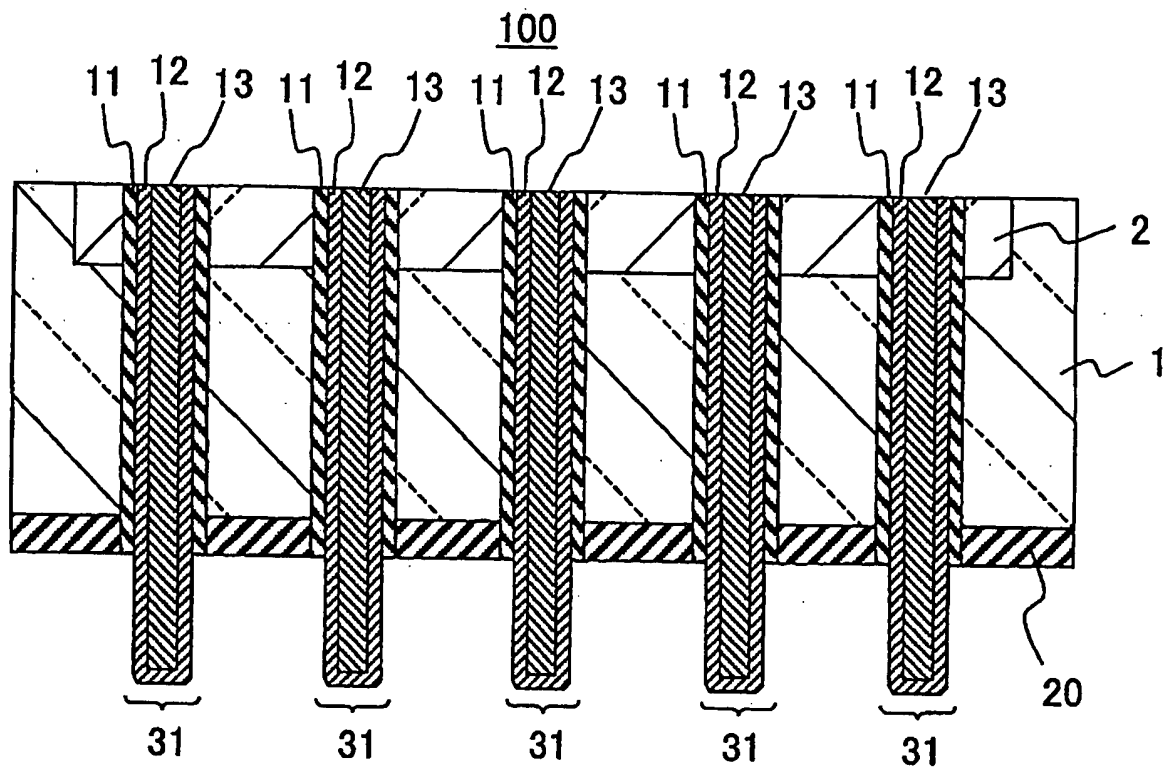


圖 1

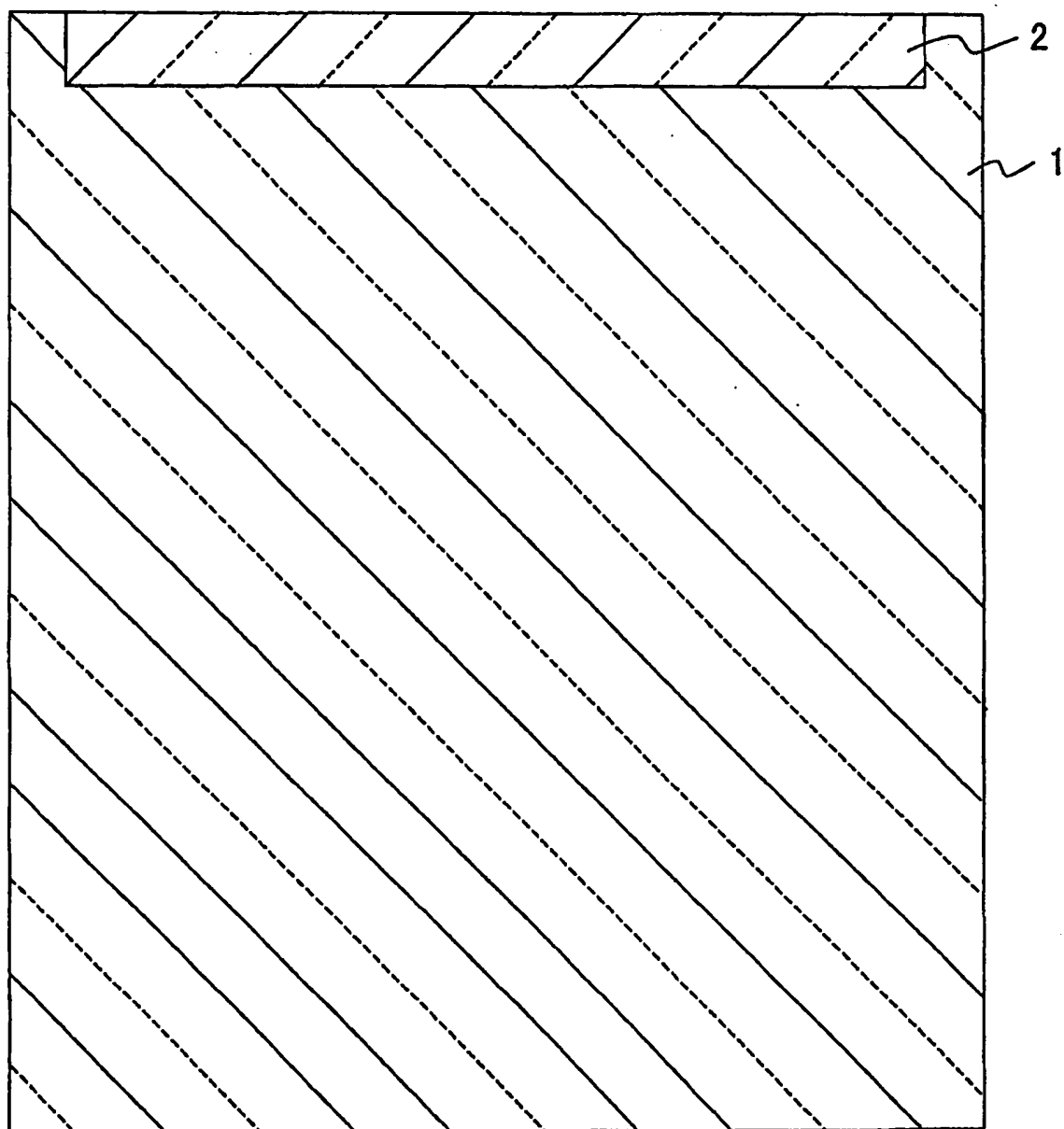


圖 2

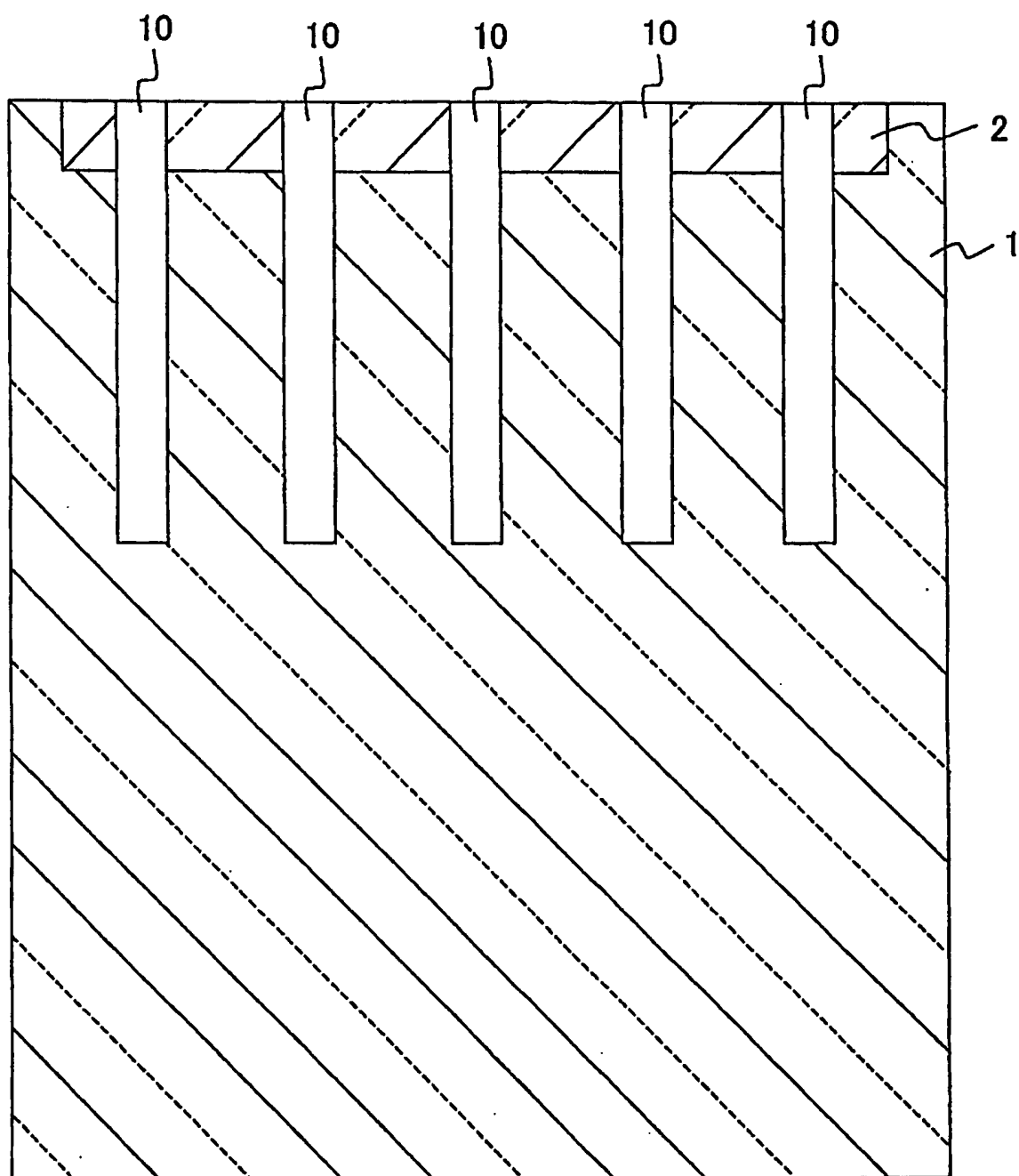


圖 3

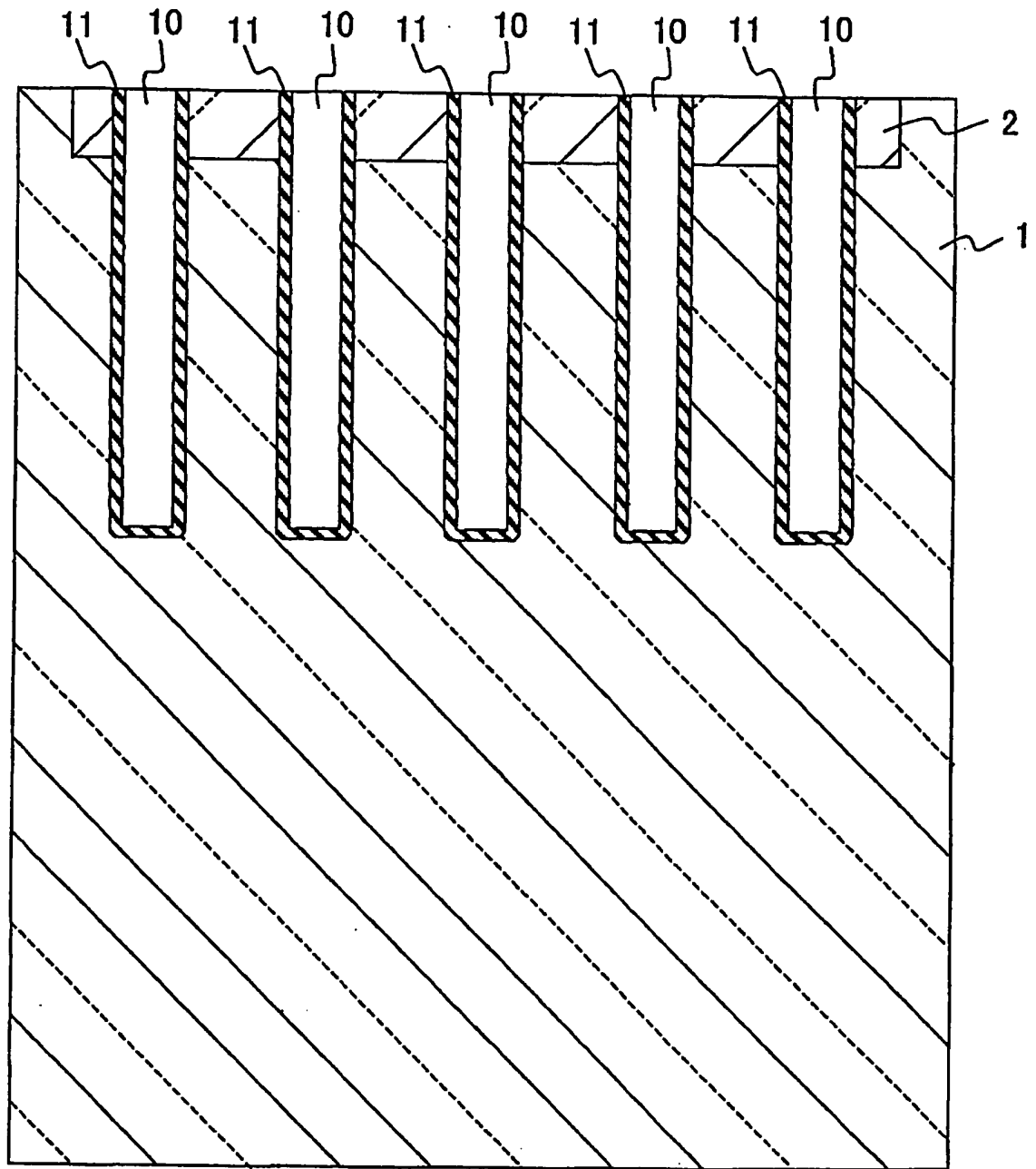


圖 4

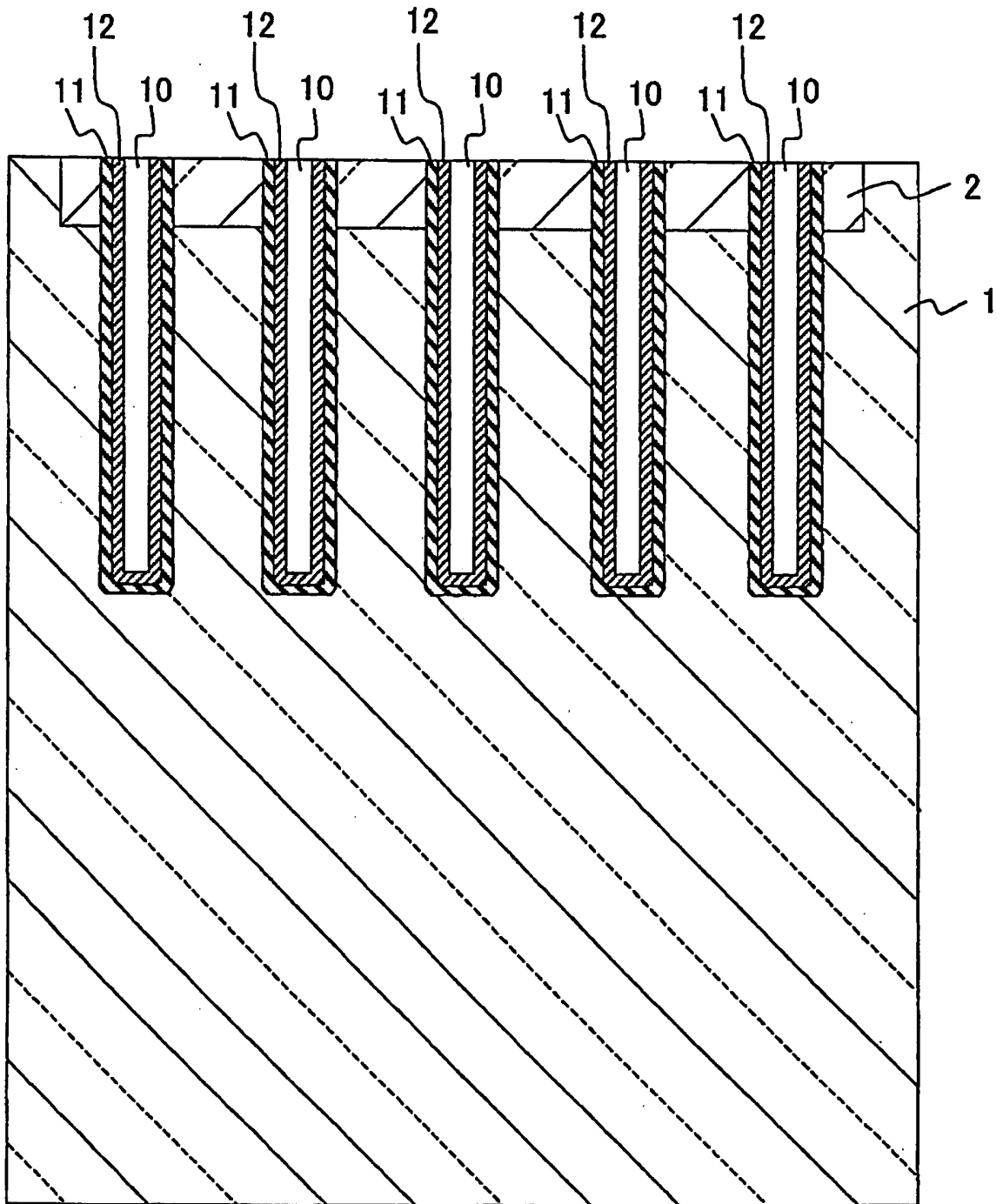


圖 5

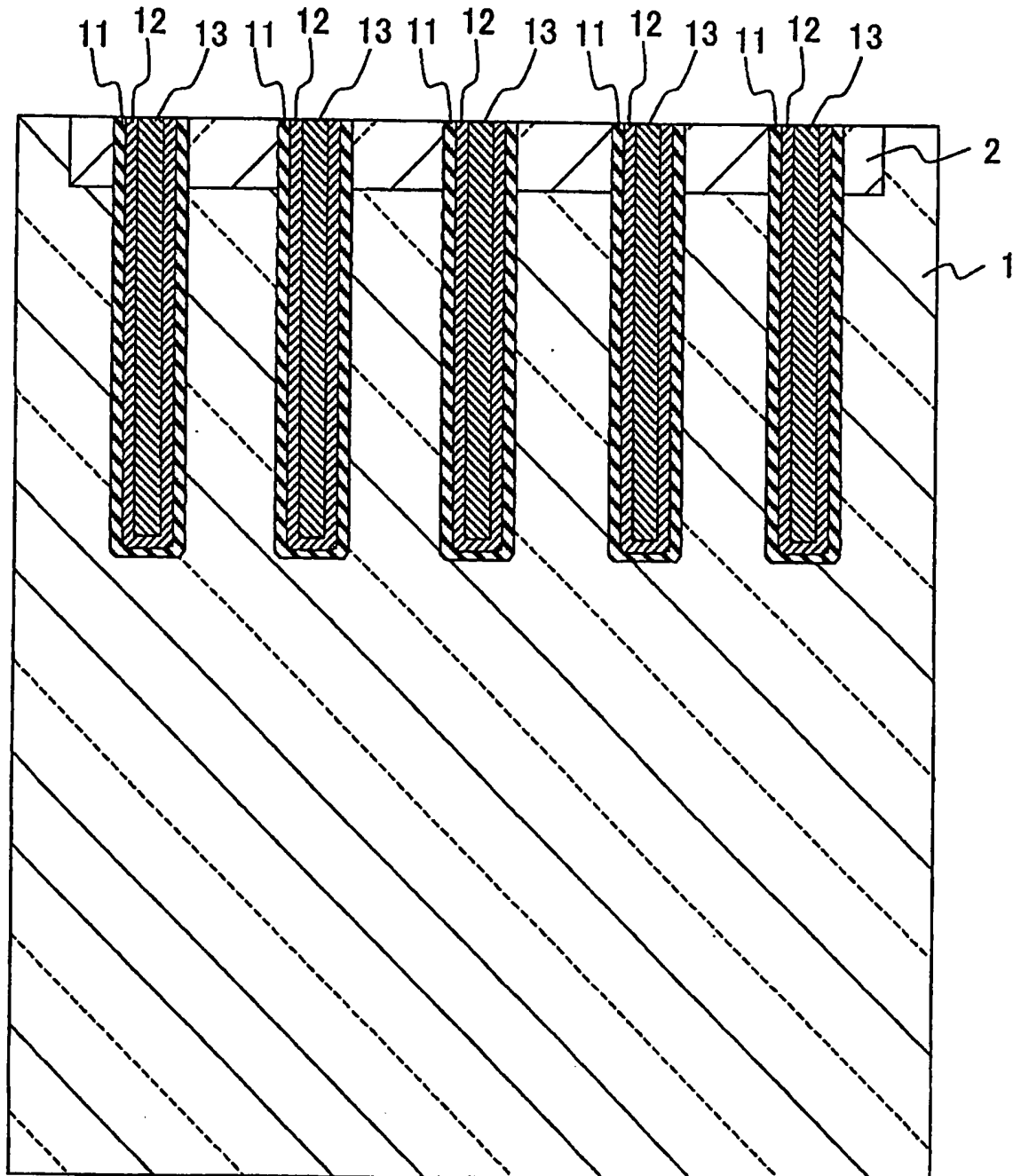


圖 6

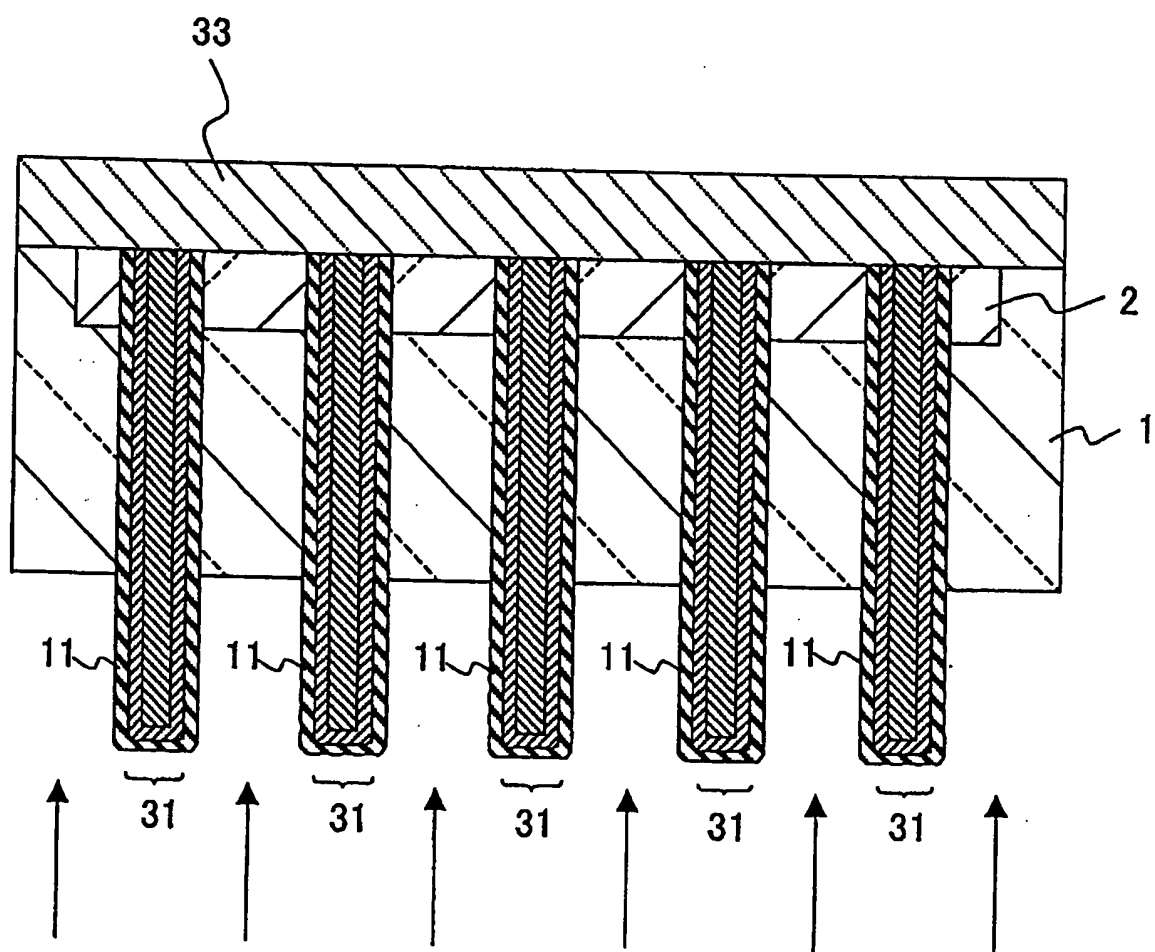


圖 7

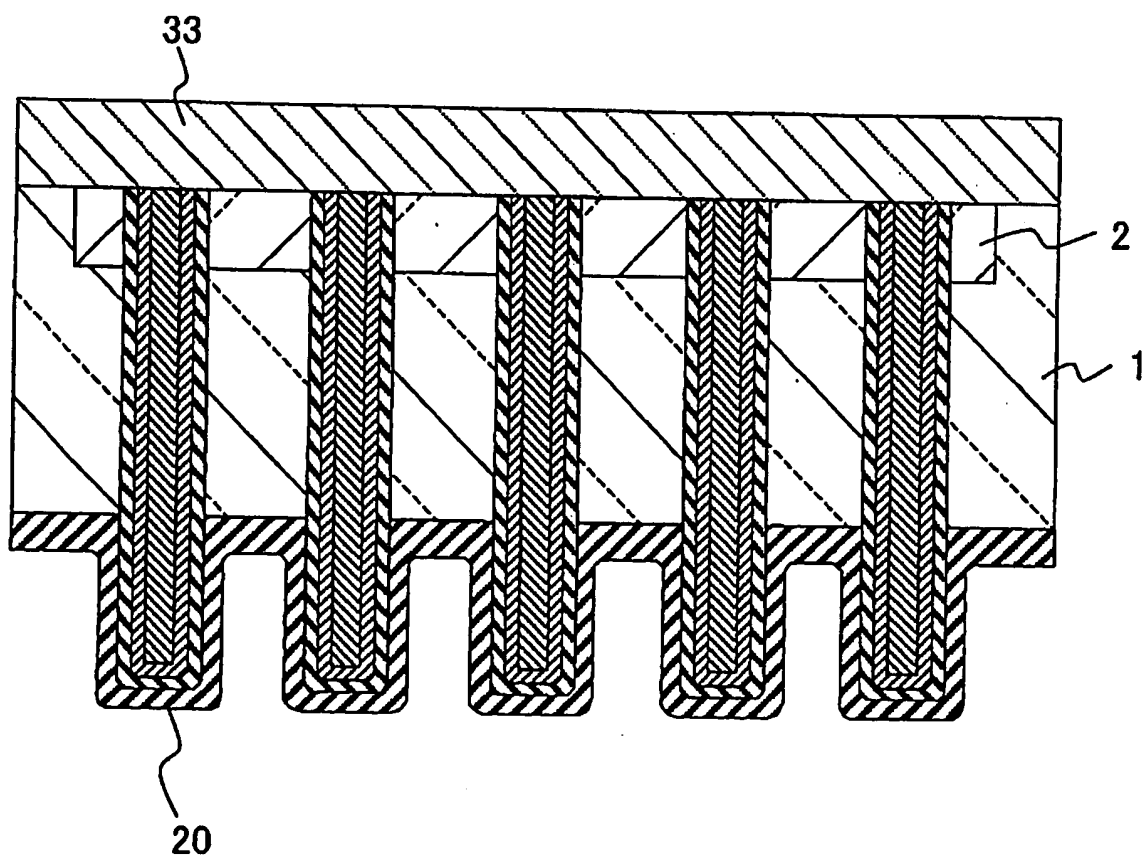


圖 8

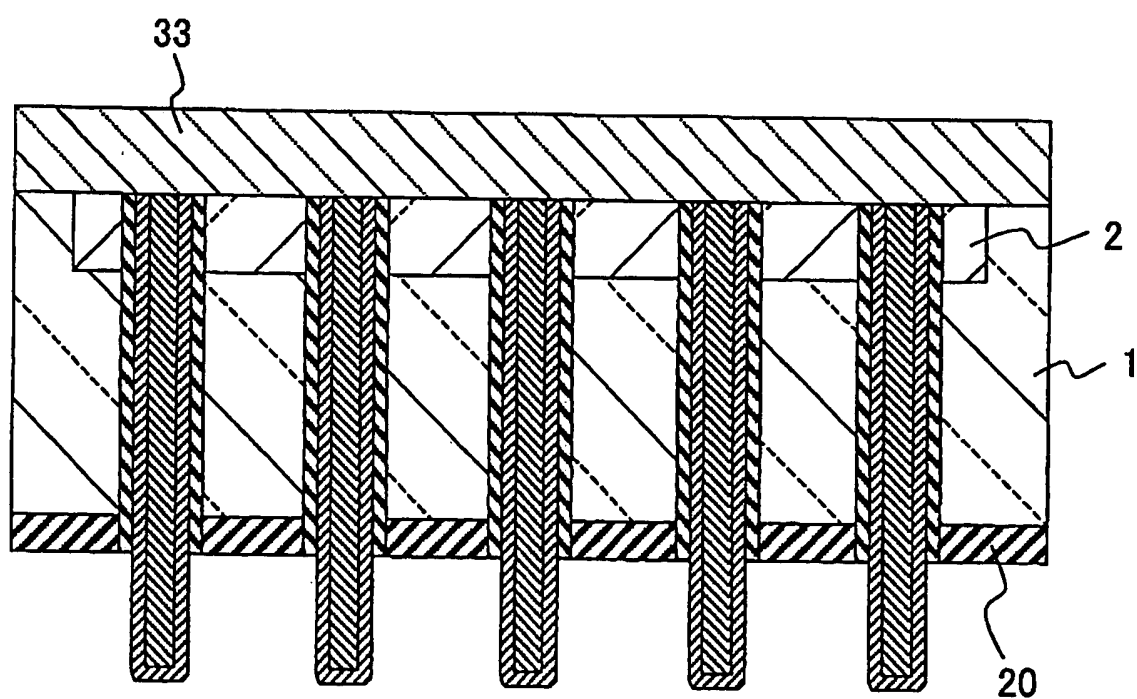


圖 9

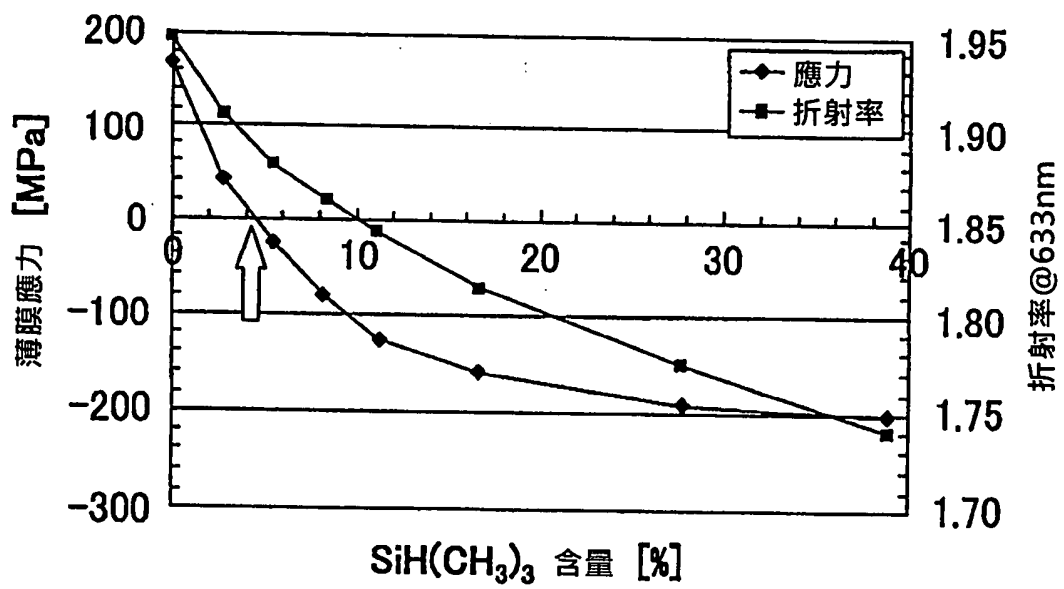


圖 10

四、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

- 1 基板
- 2 電路 (LSI 構造)
- 11 絕緣膜
- 12 阻隔膜 (TaN 膜)
- 13 栓塞 (導電性金屬)
- 20 SiCN 膜
- 31 貫通電極
- 100 半導體裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

七、申請專利範圍：

1、一種半導體裝置的製造方法，包含：

在半導體基板的表面上整合半導體元件以形成電路的至少一部份的步驟 (a)；

在該半導體基板的表面上形成開孔的步驟 (b)；

在該開孔的內表面上形成絕緣膜以及阻隔膜的步驟 (c)；

在該阻隔膜的內表面上，以填埋該開孔的方式形成導電性金屬的步驟 (d)；

之後對該半導體基板的背面加工，使該半導體基板的厚度減少，讓該導電性金屬、該阻隔膜以及該絕緣膜從該背面突出的步驟 (e)；以及之後在該半導體基板的背面上設置 SiCN 膜的步驟 (f)。

2、如申請專利範圍第 1 項之半導體裝置的製造方法，其中，該步驟 (f) 係控制該 SiCN 膜的組成以使該半導體基板的翹曲實質上為零的步驟。

3、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (f) 係形成 SiCN 膜的步驟，該 SiCN 膜具有在 Si_3N_4 中添加 2 原子%~40 原子%的 C 的組成。

4、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (e) 係對該半導體基板的背面進行蝕刻以使該半導體基板的厚度減少的步驟。

5、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (e) 係將該半導體基板的表面側貼合在多孔質的玻璃基板上，對該半導體基板的背面進行濕式蝕刻，使該半導體基板的厚度減少的步驟。

6、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (f) 係以 CVD 方式在該半導體基板的背面上形成 SiCN 膜之後，將從該背面突出的該阻隔膜的表面上所形成的該絕緣膜以及該 SiCN 膜除去的步驟。

7、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該半導體基板為 Si 基板，該步驟 (c) 係將該開孔的內表面氮化以形成該絕緣膜的至少一部份的步驟。

8、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (c) 包含形成導電性阻隔膜作為該阻隔膜的步驟；該步驟 (d) 包含使用該導電性阻隔膜作為通電機構並利用電鍍形成該導電性金屬的步驟。

9、如申請專利範圍第 1 或 2 項之半導體裝置的製造方法，其中，該步驟 (c) 包含在形成該絕緣膜之後，於該絕緣膜上形成 TaN 膜作為該阻隔膜的步驟。

10、如申請專利範圍第 9 項之半導體裝置的製造方法，其中，該步驟 (d) 係以該 TaN 膜為晶種層，在該 TaN 膜上電鍍 Cu 作為該導電性金屬的步驟。

11、一種半導體裝置，包含：

半導體基板，其在表面上形成有電路；

貫通電極，其貫通該半導體基板且一部分從該半導體基板的背面突出；以及 SiCN 膜，其覆蓋該半導體基板的背面。

12、如申請專利範圍第 11 項之半導體裝置，其中，該 SiCN 膜具有使該半導體基板的翹曲實質上為零的組成。

13、如申請專利範圍第 11 或 12 項之半導體裝置，其中，該 SiCN 膜具有在 Si_3N_4 中添加 2 原子%~40 原子%的 C 的組成。

14、如申請專利範圍第 11 或 12 項之半導體裝置，其中，該貫通電極被對該貫通電極的材料具有阻隔作用的阻隔膜所包覆，且該阻隔膜被與該半導體基板接觸的絕緣膜所覆蓋。

15、如申請專利範圍第 14 項之半導體裝置，其中，該半導體基板為 Si 基板，該絕緣膜包含 Si_3N_4 膜。

16、如申請專利範圍第 14 項之半導體裝置，其中，該阻隔膜的材料為 TaN。

17、如申請專利範圍第 11 或 12 項之半導體裝置，其中，該貫通電極的材料為 Cu。