

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3704094号

(P3704094)

(45) 発行日 平成17年10月5日(2005. 10. 5)

(24) 登録日 平成17年7月29日(2005. 7. 29)

(51) Int. Cl.⁷

F I

H03K 17/22

H03K 17/22

D

G06F 1/24

H03K 17/22

E

H03K 17/22

F

G06F 1/00 351

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2002-28426 (P2002-28426)	(73) 特許権者	000000572
(22) 出願日	平成14年2月5日(2002. 2. 5)		アンリツ株式会社
(65) 公開番号	特開2003-229750 (P2003-229750A)		神奈川県厚木市恩名1800番地
(43) 公開日	平成15年8月15日(2003. 8. 15)	(74) 代理人	100058479
審査請求日	平成15年7月17日(2003. 7. 17)		弁理士 鈴江 武彦
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100068814
			弁理士 坪井 淳
		(74) 代理人	100092196
			弁理士 橋本 良郎
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠

最終頁に続く

(54) 【発明の名称】 リセット信号発生回路

(57) 【特許請求の範囲】

【請求項 1】

電源(1)から供給された電源電圧(V_p)が下限値以下のときローレベルのリセット信号(6)を出力すると共に、前記下限値より低い動作しきい値電圧を有するリセット信号出力回路(3)と、

このリセット信号出力回路の前記リセット信号の出力端子(5)と接地との間に介挿され、前記電源電圧が前記下限値以下で導通し前記下限値を超えると遮断するディプレッション型のスイッチング回路(9、16)とを備えたリセット信号発生回路。

【請求項 2】

前記スイッチング回路(9)は、ゲート端子が接地されたn型FET(11)とゲート端子に前記電源電圧(V_p)が印加されたp型FET(12)との直列回路であることを特徴とする請求項1記載のリセット信号発生回路。

【請求項 3】

前記スイッチング回路(16)は、前記電源電圧でオン・オフ制御されるディプレッション型の光MOSカプラであることを特徴とする請求項1記載のリセット信号発生回路。

【請求項 4】

前記リセット信号出力回路の前記リセット信号の出力端子(5)と前記電源(1)からの電源ライン(4)との間に、前記電源電圧(V_p)が前記下限値以下で遮断し前記下限値を超えると導通するエンハンスメント型の第2のスイッチング回路(10)を介挿した

ことを特徴とする請求項 1 乃至 3 のいずれか 1 項記載のリセット信号発生回路。

【請求項 5】

前記リセット信号出力回路の前記リセット信号の出力端子 (5) と前記電源 (1) から
の電源ライン (4) との間に、前記電源電圧 (V_p) が前記下限値より小さい所定電圧以
下で遮断し当該所定電圧を超えると導通するエンハンスメント型の第 2 のスイッチング回
路 (10) を介挿したことを特徴とする請求項 1 乃至 3 のいずれか 1 項記載のリセット信
号発生回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

10

本発明は、コンピュータ等の電子装置に組込まれ、電源投入時や電源遮断時にリセット信
号を出力するリセット信号発生回路に関する。

【0002】

【従来の技術】

一般に、IC 等が組込まれたコンピュータ等の電子装置には、リセット信号発生回路が組
込まれている。このリセット信号発生回路は電源投入時にローレベルのリセット信号を出
力する。そして、電源電圧 V_p が予め指定された例えば 4.5 v 等の下限電圧を超えると
リセット信号を解除する。また、電源遮断した時や停電発生時に電源電圧 V_p が例えば 5
v 等の規定電圧から 4.5 v の下限電圧以下に低下すると、ローレベルのリセット信号を
出力する。コンピュータ等の電子装置は、このローレベルのリセット信号の出力期間中に
おいては、通常の処理動作を停止する。また、必要に応じてメモリの初期化等の処理を行
う。

20

【0003】

図 10 は一般的なリセット信号発生回路の回路図である。

【0004】

電源 1 から直流の電源電圧 V_p が電源スイッチ 2 を介して図示しないコンピュータ本体及
びリセット信号出力回路 3 へ供給される。リセット信号出力回路 3 内において、電源ライ
ン 4 と接地間に一对の抵抗 R_1 、 R_2 で分圧された分圧電圧 V_1 が、トランジスタ Q_1 のベ
ースに印加されている。このトランジスタ Q_1 のコレクタには電源ライン 4 から抵抗 R_3
を介して電源電圧 V_p が印加されている。

30

【0005】

電源ライン 4 と接地間に、抵抗 R_4 、トランジスタ Q_2 、抵抗 R_5 の直列回路が接続されて
いる。トランジスタ Q_2 のベースにトランジスタ Q_1 のコレクタ電圧が印加されている。
さらに、電源ライン 4 と接地間に、抵抗 R_6 、トランジスタ Q_3 の直列回路が接続されてい
る。トランジスタ Q_3 のベースにトランジスタ Q_2 のエミッタ電圧が印加されている。した
がって、トランジスタ Q_2 、 Q_3 はダーリントン回路を構成する。

【0006】

トランジスタ Q_2 のコレクタ電圧が出力端子 5 を介してリセット信号 6 として図示しない
コンピュータ本体へ印加される。

【0007】

40

なお、電源ライン 4 と出力端子 5 間にはプルアップ抵抗 R_7 が接続され、出力端子 5 と接
地間にはプルダウン抵抗 R_8 が接続されている。

【0008】

このように構成された、リセット信号発生回路の動作を、図 11 のタイムチャートを用い
て説明する。図 11 のタイムチャートは、電源スイッチ 2 の投入時と電源スイッチ 2 の遮
断時におけるリセット信号 6 の信号電圧 V_{RST} の変化を示す。

【0009】

一般に、トランジスタには例えば 0.7 ~ 0.8 v 等の動作しきい値電圧が存在し、この
動作しきい値電圧以下の電圧をベースに印加しても動作しないか、又は動作しても不安定
になる。ダーリントン回路の場合は、回路全体の動作しきい値電圧は倍の 1.4 ~ 1.6

50

vとなる。

【0010】

電源スイッチ2の投入前においては、リセット信号出力回路3自体に電源電圧 V_p が供給されないので、リセット信号6の信号電圧 V_{RST} は0v（ボルト）である。時刻 t_1 にて電源スイッチ2が投入されると、電源電圧 V_p は上昇を開始する。しかし、この時点では、抵抗 R_1 、 R_2 の分圧電圧 V_1 は低く、トランジスタ Q_1 は導通しないので、抵抗 R_3 を介して電源電圧 V_p がトランジスタ Q_2 のベースに印加されている。さらに、この時点では、トランジスタ Q_2 のベースに印加されている電源電圧 V_p は動作しきい値電圧に達していないので、このトランジスタ Q_2 は導通しない。よって、このトランジスタ Q_2 にダーリントン接続されたトランジスタ Q_3 も導通しない。その結果、リセット信号出力回路3の出力端子5には抵抗 R_6 で分圧された電源電圧 V_p に比例する電圧が現れ、この電圧がリセット信号6の信号電圧 V_{RST} となる。

10

【0011】

時刻 t_2 にて、電源電圧 V_p がダーリントン接続されたトランジスタ Q_2 、 Q_3 の動作しきい値電圧（1.4～1.6v）に達すると、トランジスタ Q_2 、 Q_3 が導通して、リセット信号6の信号電圧 V_{RST} が0vとなる。

【0012】

さらに、電源電圧 V_p が上昇して、時刻 t_3 にて、下限電圧（＝4.5v）に達すると、抵抗 R_1 、 R_2 の分圧電圧 V_1 が上昇して、トランジスタ Q_1 が導通して、トランジスタ Q_1 のコレクタ電圧が低下する。よって、トランジスタ Q_2 、 Q_3 が遮断され、リセット信号6の信号電圧 V_{RST} は抵抗 R_6 で分圧された電源電圧 V_p に比例する電圧となる。

20

【0013】

そして、時刻 t_4 にて、電源電圧 V_p が規定値（＝5.0v）になると、リセット信号6の信号電圧 V_{RST} も一定値となる。

【0014】

なお、時刻 t_5 にて、電源スイッチ2を遮断した場合も、電源投入時とほぼ同じ動作を行う。

【0015】

図12は、図10に示すリセット信号発生回路における各抵抗 R_1 ～ R_8 、各トランジスタ Q_1 ～ Q_3 に実際の値を設定して、計算機で電源電圧 V_p とリセット信号6の信号電圧 V_{RST} との関係をシミュレーション演算した結果を示す図である。

30

【0016】

【発明が解決しようとする課題】

しかしながら、図10に示すリセット信号発生回路には改良すべき次のような課題がある。

【0017】

すなわち、図11に示すように、電源スイッチ2を投入した電源投入時刻 t_1 から直ちにローレベルのリセット信号6が出力されるのではなく、電源投入時刻 t_1 から電源電圧 V_p が動作しきい値電圧（＝1.4～1.6v）に達する時刻 t_2 までの期間に、元来不要な三角波形状の微小波形7が生じ、その後に、ローレベルのリセット信号6が出力される。

40

【0018】

また、図12に示すシミュレーション演算結果においても、電源電圧 V_p が0vから動作しきい値電圧に達するまでの間に、元来不要な三角波形状の微小波形7が生じる。

【0019】

電源投入時点から、ローレベルのリセット信号6の出力まえに、電源電圧 V_p がコンピュータ本体又は電子装置に提供される。この期間における電源電圧 V_p の最大値は前述した動作しきい値電圧（＝1.4～1.6v）である。従来、この電圧値では、コンピュータ本体又は電子装置は起動することはないが、近年、ICの駆動電圧の低電圧化が進んでいること、あるいはバックアップ時の電源低下により駆動電圧が低下すること（＋5vが3

50

vとか)から、前述した動作しきい値電圧(=1.4~1.6v)でも動作する懸念がある。しかし、このような低電圧で駆動すると、誤動作したり、誤ったデータをメモリに書込む懸念がある。

【0020】

このような不都合を回避するために、図13に示すように、電源ライン4とリセット信号出力回路3の出力端子5との間に、この出力端子5へ電圧を供給する電源電圧供給回路8を介挿したリセット信号発生回路が提唱されている(特許第2695696号)。

【0021】

そして、この提案のリセット信号発生回路においては、電源電圧供給回路8の動作しきい値電圧をリセット信号出力回路3の動作しきい値電圧より高い値に設定している。このように構成することにより、電源電圧V_pが小さい期間にリセット信号出力回路3から出力されるリセット信号6の不安定性が解消される。

10

【0022】

しかし、この手法においては、電源電圧供給回路8は、電源ライン4と接地間にトランジスタQ4と抵抗R9と直列接続されるプルダウン方式であるので、TTL IC等のようにプルアップ特性を有した負荷にリセット信号6が供給された場合、前述した微小波形7の信号レベルが引上げられて、前述と同様の問題が生じる。

【0023】

さらに、出力されるリセット信号6の出力インピーダンスが高い場合で、かつ雑音防止用のコンデンサが介挿されていた場合は、リセット信号6の立上がり特性が低下する。

20

【0024】

本発明は、このような事情に鑑みてなされたものであり、電源投入時や電源遮断時においてたとえ電源電圧がリセット信号出力回路の動作しきい値電圧以下の状態期間においてもリセット信号出力端子の出力信号レベルを確実にローレベル状態に維持でき、リセット信号が入力されるコンピュータ本体や電子装置に誤動作が生じることが未然に防止でき、さらに、リセット信号が出力されていない状態時においても低い出力インピーダンスを維持できるリセット信号発生回路を提供することを目的とする。

【0025】

【課題を解決するための手段】

上記課題を解消するために、本発明のリセット信号発生回路は、入力された電源電圧が下限値以下のときローレベルのリセット信号を出力すると共に、下限値より低い動作しきい値電圧を有するリセット信号出力回路と、このリセット信号出力回路のリセット信号の出力端子と接地との間に介挿され、電源電圧が下限値以下で導通し下限値を超えると遮断するディプレッション型のスイッチング回路とを備えている。

30

【0026】

このように構成されたリセット信号発生回路においては、リセット信号出力回路のリセット信号の出力端子と接地との間にディプレッション型のスイッチング回路が介挿されている。

【0027】

したがって、電源電圧が下限電圧以下の状態においては、スイッチング回路は導通しているので、リセット信号出力回路におけるリセット信号出力端子の出力信号レベルは、たとえば、電源電圧がリセット信号出力回路の動作しきい値電圧以下であっても接地レベル、すなわちローレベルを維持している。

40

【0028】

電源が投入されると、電源電圧は上昇を開始し電源電圧が動作しきい値電圧まで上昇する期間においては、リセット信号出力回路は動作しないので、電源とリセット信号出力回路のリセット信号の出力端子との間に接続されたプルアップ抵抗により、出力端子の信号レベルは上昇しようとするが、前述したように、スイッチング回路が導通しているので、リセット信号の出力端子は接地レベルを維持している。

【0029】

50

したがって、このリセット信号が印加されるコンピュータ本体は、電源投入時点から電源電圧が上昇を開始し動作しきい値電圧まで上昇する期間においてもローレベルのリセット信号が出力されていると判断する。したがって、この期間においてコンピュータ本体や電子装置が誤動作をすることはない。

【0030】

電源電圧が動作しきい置電圧に達すると、リセット信号出力回路は正常に動作開始し、正規のローレベルのリセット信号を出力する。そして、電源電圧が下限電圧を超えると、ローレベルのリセット信号は解除される。

【0031】

なお、電源電圧が下限電圧を超えた時点においては、スイッチング回路は遮断しているの
10

【0032】

また別の発明におけるリセット信号発生回路においては、スイッチング回路を、ゲート端子が接地されたn型FETとゲート端子に電源電圧が印加されたp型FETとの直列回路で構成している。

【0033】

図5に示すように、互いに、動作特性が異なるn型のFETとp型のFETとの直列回路で、電源電圧 V_p が前記1.4～1.6Vの動作しきい値電圧までは、図4に示すようにドレイン電流 I_D は増加し、動作しきい値電圧近傍でピークとなり、この動作しきい値電圧を過ぎると、ドレイン電流 I_D は減少し、電源電圧 V_p が4.5Vの下限電圧近傍で0
20

【0034】

また、別の発明のリセット信号発生回路においては、スイッチング回路を、電源電圧でオン・オフ制御されるディプレッション型の光MOSカプラで構成している。

【0035】

このように構成されたリセット信号発生回路においては、電源スイッチが投入されていない状態又は微小電圧時においては、リセット信号出力回路のリセット信号の出力端子と接地間に介挿されたディプレッション型の光MOSカプラは導通している。そして、電源電圧が例えば下限値を超えると光MOSカプラは遮断される。
30

【0036】

したがって、電源電圧が動作しきい値電圧以下のときにおいても、リセット信号出力回路のリセット信号の出力端子はローレベル状態を維持している。

【0037】

また、遮断状態の光MOSカプラは高いインピーダンス特性を有するので、リセット信号が出力されていない状態時において高い出力インピーダンスを維持できる。

【0038】

さらに、別のリセット信号発生回路においては、リセット信号出力回路のリセット信号の出力端子と電源からの電源ラインとの間に、電源電圧が下限値以下で遮断し下限値を超えると導通するエンハンスメント型の第2のスイッチング回路が介挿されている。
40

また、別のリセット信号発生回路においては、リセット信号出力回路のリセット信号の出力端子と電源からの電源ラインとの間に、電源電圧が下限値より小さい所定電圧以下で遮断し当該所定電圧を超えると導通するエンハンスメント型の第2のスイッチング回路が介挿されている。

【0039】

このように構成されたリセット信号発生回路においては、プルアップ抵抗に並列にこのエンハンスメント型の第2のスイッチング回路が接続されている。したがって、電源電圧が下限値を超えると、プルアップ抵抗の機能を停止でき、リセット信号出力回路のリセット信号の出力端子に電源電圧を直接印加できる。したがって、たとえ、リセット信号の出力端子と接地間に介挿されたスイッチング回路が遮断状態時においても、低い出力インピ
50

ーダンスを維持できる。

【0040】

【発明の実施の形態】

以下、本発明の各実施形態を図面を用いて説明する。

(第1実施形態)

図1は本発明の第1実施形態に係るリセット信号発生回路の回路構成図である。図10に示す従来のリセット信号発生回路と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0041】

この第1実施形態のリセット信号発生回路においては、リセット信号出力回路3のリセット信号6の出力端子5と接地間に第1のスイッチング回路9が接続されている。さらに、電源1の電源ライン4と前記リセット信号6の出力端子5との間に第2のスイッチング回路10が接続されている。

10

【0042】

前記第1のスイッチング回路9は、ゲート端子が接地されたn型FET11とゲート端子が電源ライン4に接続されたp型FET12との直列回路で構成されている。より具体的には、n型FET11のドレイン端子Dがリセット信号6の出力端子5に接続され、このn型FET11のソース端子Sがp型FET12のソース端子Sに接続されている。p型FET12のドレイン端子Dは接地されている。

【0043】

この第1のスイッチング回路9の動作を図3、図4及び図5を用いて説明する。説明を簡単にするために、この第1のスイッチング回路9は電源ライン4と接地間に介挿されているとする。

20

【0044】

一般に、n型のn型FET11においては、図5(a)に示すように、ドレイン・ソース間電圧 V_{DS} が上昇しかつゲート・ソース間電圧 V_{GS} が上昇するとドレイン電流 I_D が上昇する。一方、p型FET12においては、図5(b)に示すように、ドレイン・ソース間電圧 V_{DS} が低下しかつゲート・ソース間電圧 V_{GS} が上昇するとドレイン電流 I_D が減少する。

【0045】

ここで、n型のn型FET11がなく、p型FET12のみの場合を考える。この場合、ゲート・ソース間電圧 V_{GS} は0であるので、電源電圧 V_p (=ドレイン・ソース間電圧 V_{DS})が増加すると、ドレイン電流 I_D が増加する。

30

【0046】

よって、ゲート端子が接地されたn型FET11をp型FET12と電源ライン4との間に介挿することにより、電源電圧 V_p の上昇に応じて、p型FET12におけるゲート・ソース間電圧 V_{GS} を低下させている。

【0047】

また、n型FET11のゲート端子は接地されているので、電源電圧 V_p が増加すると、ゲート・ソース間電圧 V_{GS} は(－)方向へ変化するので、電源電圧 V_p が増加すると、ドレイン電流 I_D が減少する。

40

【0048】

したがって、電源電圧 V_p の上昇に応じて、それぞれドレイン電流 I_D に対する特性は異なる特性を有するn型FET11とp型FET12とを直列接続した第1のスイッチング回路9における、このスイッチング回路9に印加される電源電圧 V_p を変化させた場合におけるドレイン電流 I_D は図4に示す特性13となる。

【0049】

この特性13にて理解できるように、リセット信号出力回路3の1.4～1.6Vの動作しきい値電圧近傍でドレイン電流 I_D は最大値を示し、この動作しきい値電圧を超えると減少し、4.5Vの下限電圧を超えるとほぼ0mAに低下する。よって、この第1のスイ

50

ッチング回路 9 は、電源電圧 V_p が下限値以下で導通し、下限値を超えると遮断するディプレッション型のスイッチング回路を構成する。

【0050】

また、電源ライン 4 とリセット信号 6 の出力端子 5 との間に接続された第 2 のスイッチング回路 10 は、ソース端子 S が電源ライン 4 に接続され、ドレイン端子 D が信号の出力端子 5 に接続され、ゲート端子 G が接地された MOS p 型 FET 14 で構成されている。

【0051】

次に、この第 2 のスイッチング回路 10 の動作を図 6 及び図 7 を用いて説明する。説明を簡単にするために、この第 2 のスイッチング回路 10 は電源ライン 4 と接地間に介挿されているとする。

10

【0052】

ゲート端子 G は接地されているので、電源電圧 V_p が上昇して、ゲート・ソース間電圧 V_{GS} が、この p 型 FET 14 が持っているスレッシュホールド電圧から決まる電圧、例えば、3.1V に達すると、この p 型 FET 14 は導通する。導通後、電源電圧 V_p がさらに上昇すると、MOS p 型 FET 14 のドレイン・ソース電圧 V_{DS} は上昇し、ドレイン電流 I_D は増加するので、プルダウン抵抗 R6 の上端から取出されたリセット信号の信号レベルであるプルアップ電圧 V_{PU} は、電源電圧 V_p の上昇に応じて上昇する。

【0053】

したがって、電源電圧 V_p を変化させた場合におけるプルアップ電圧 V_{PU} は図 7 に示す特性 15 となる。

20

この特性 15 にて理解できるように、この第 2 のスイッチング回路 10 は、電源電圧 V_p の 3.1V 以上で導通し、その電圧を下回ると遮断しているエンハンスメント型のスイッチング回路を構成する。

【0054】

次に、このように構成された第 1 のスイッチング回路 9 と第 2 のスイッチング回路 10 とが組込まれた第 1 実施形態のリセット信号発生回路の動作説明を行う。

【0055】

電源スイッチ 2 が投入されて電源電圧 V_p が例えば 1.4 ~ 1.6V の動作しきい値電圧に達するまでは、リセット信号出力回路 3 は動作しないので、このリセット信号出力回路 3 からローレベルのリセット信号は出力されない。しかし、電源電圧 V_p が例えば 1.4 ~ 1.6V の動作しきい値電圧に達するまでの期間においては、第 1 のスイッチング回路 9 は導通しているので、リセット信号出力回路 3 の出力端子 5 の信号レベルは強制的に接地レベルとなる。

30

【0056】

したがって、このリセット信号発生回路全体としては、電源スイッチ 2 が投入されて電源電圧 V_p が例えば 1.4 ~ 1.6V の動作しきい値電圧に達するまでの期間において、あたかもローレベルのリセット信号 6 を出力しているのと同等になる。したがって、このリセット信号発生回路からのリセット信号 6 を用いるコンピュータ等が誤動作を起こすことはない。

【0057】

40

図 2 は、図 1 に示す第 1 実施形態のリセット信号発生回路における各抵抗 R1 ~ R8、各トランジスタ Q1 ~ Q3、第 1、第 2 のスイッチング回路 9、10 に実際の値を設定して、計算機で電源電圧 V_p とリセット信号 6 の信号電圧 V_{RST} との関係をシミュレーション演算した結果を示す図である。

【0058】

この図 2 の特性でも理解できるように、電源スイッチ 2 を投入してから電源電圧 V_p が下限電圧に達するまで、ローレベルのリセット信号 6 を継続して出力する。

【0059】

さらに、FET を用いた第 1、第 2 のスイッチング回路 9、10 で、信号出力端子 5 と接地間、及び信号出力端子 5 と電源間を開閉制御しているので、このリセット信号発生回

50

路におけるローレベルのリセット信号6の出力期間における出力インピーダンスを低インピーダンスに制御でき、リセット信号6が出力されていないハイレベル期間における出力インピーダンスも低インピーダンスに制御できる。その結果、このリセット信号発生回路からのリセット信号6を用いるコンピュータ等の動作特性を向上できる。

【0060】

(第2実施形態)

図8は本発明の第2実施形態に係るリセット信号発生回路の回路構成図である。図1に示す第1実施形態のリセット信号発生回路と同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0061】

この第2実施形態のリセット信号発生回路においては、リセット信号出力回路3のリセット信号6の出力端子5と接地間に接続された第1のスイッチング回路として、電源電圧 V_p でオン・オフ制御されるディプレッション型の光MOSカプラ16が用いられている。

【0062】

この光MOSカプラ16は、図示するように、電源ライン4と接地間に介挿された発光ダイオード17と、リセット信号出力回路3の出力端子5と接地間に介挿されたフォトFET18とで構成されている。このフォトFET18は、光が照射されていない状態においては導通しており、光が照射されると遮断される特性を有する。

【0063】

したがって、このディプレッション型の光MOSカプラ16全体としての特性は、図9に示すように、電源電圧 V_p が0Vから4.5Vの下限電圧に達するまでは導通している。そして、電源電圧が例えば下限値を超えると遮断される。したがって、電源電圧 V_p が動作しきい値電圧以下のときにおいても、リセット信号出力回路3のリセット信号の出力端子5はローレベル状態を維持している。

【0064】

また、遮断状態の光MOSカプラ16は高いインピーダンス特性を有するので、ローレベルのリセット信号6が出力されていない状態時において高い出力インピーダンスを維持できる。

【0065】

したがって、上述した第1実施形態のリセット信号発生回路とほぼ同様の効果を奏することができる。

【0066】

【発明の効果】

以上説明したように、本発明のリセット信号発生回路においては、リセット信号出力回路のリセット信号出力端子と接地との間に、電源電圧が下限値以下で導通し下限値を超えると遮断するディプレッション型のスイッチング回路を介挿している。

【0067】

したがって、電源投入時や電源遮断時において、たとえ電源電圧がリセット信号出力回路の動作しきい値電圧以下の状態期間においても、リセット信号出力端子の出力信号レベルを確実にローレベル状態に維持でき、リセット信号が入力されるコンピュータ本体や電子装置の誤動作が生じることが未然に防止できる。

【0068】

さらに、リセット信号が出力されている状態においても、リセット信号が出力されていない状態時においても低い出力インピーダンスを維持でき、このリセット信号発生回路からのリセット信号6を用いるコンピュータ等の動作特性を向上できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係わるリセット信号発生回路の回路構成図

【図2】 同リセット信号発生回路の動作特性図

【図3】 同リセット信号発生回路に組込まれた第1のスイッチング回路を取出して示す図

【図4】 同第1のスイッチング回路の動作特性図

10

20

30

40

50

【図 5】 同第 1 のスイッチング回路に組込まれた各 F E T の動作特性図

【図 6】 同リセット信号発生回路に組込まれた第 2 のスイッチング回路を取出して示す図

【図 7】 同第 2 のスイッチング回路の動作特性図

【図 8】 本発明の第 2 実施形態に係わるリセット信号発生回路の回路構成図

【図 9】 同リセット信号発生回路に組込まれた第 1 のスイッチング回路の動作特性図

【図 10】 従来のリセット信号発生回路の回路構成図

【図 11】 同従来リセット信号発生回路の動作特性図

【図 12】 同じく従来リセット信号発生回路の動作特性図

【図 13】 他の従来のリセット信号発生回路の回路構成図

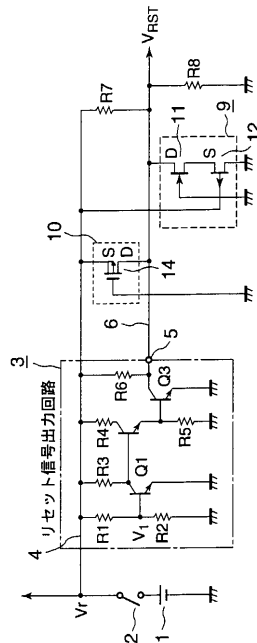
【符号の説明】

- 1 … 電源
- 2 … 電源スイッチ
- 3 … リセット信号出力回路
- 4 … 電源ライン
- 5 … 出力端子
- 6 … リセット信号
- 9 … 第 1 のスイッチング回路
- 10 … 第 2 のスイッチング回路
- 11 … n 型 F E T
- 12 … p 型 F E T
- 14 … MOS p 型 F E T
- 16 … 光 MOS カプラ

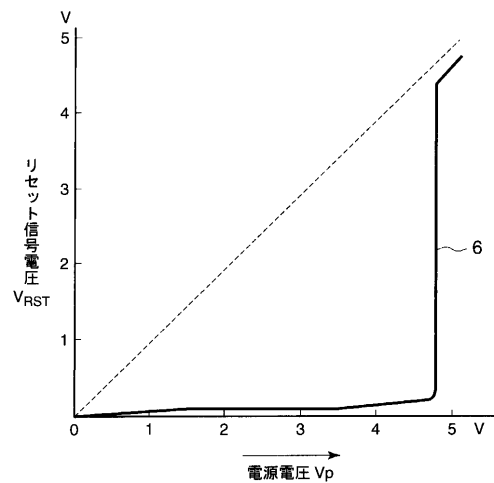
10

20

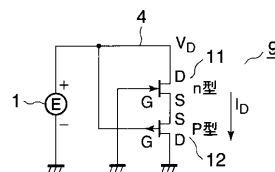
【図 1】



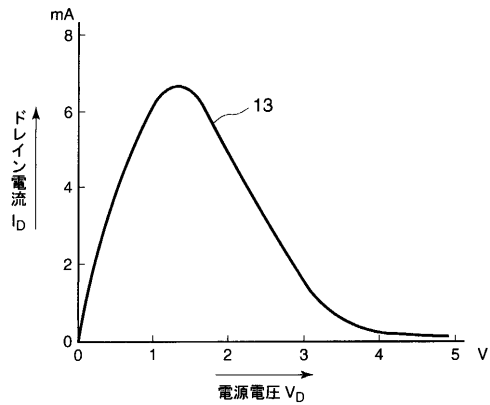
【図 2】



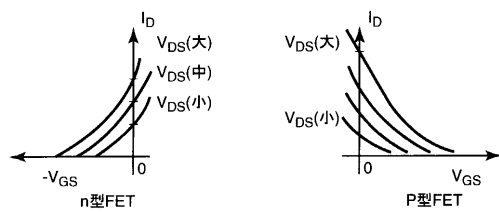
【図 3】



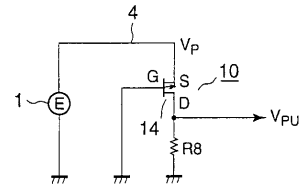
【図 4】



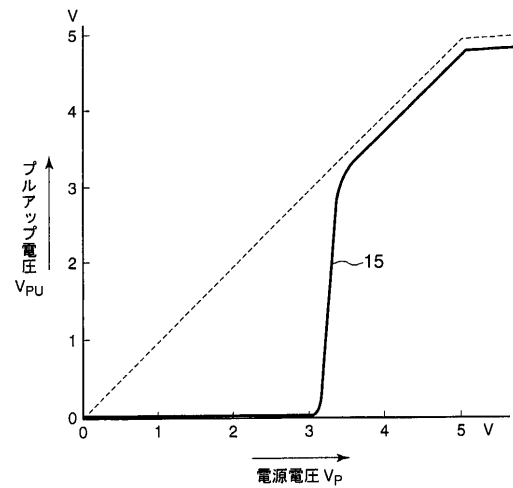
【図 5】



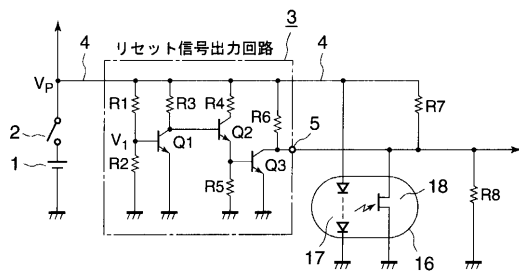
【図 6】



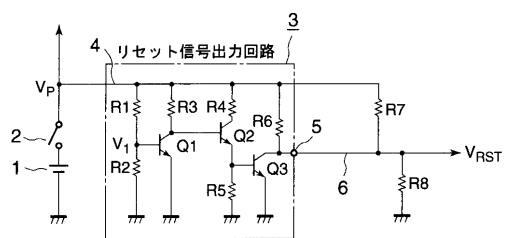
【図 7】



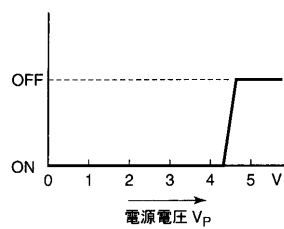
【図 8】



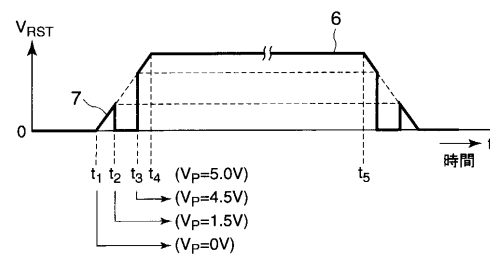
【図 10】



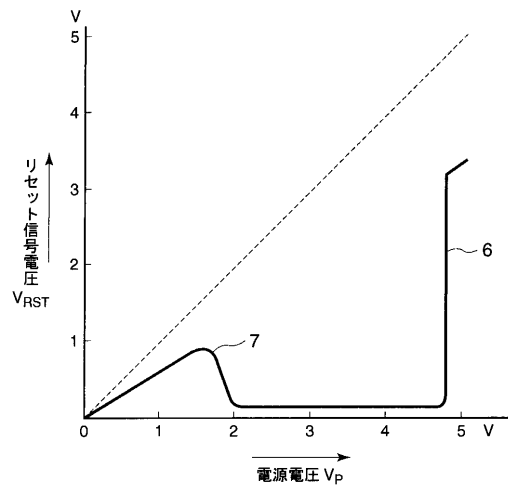
【図 9】



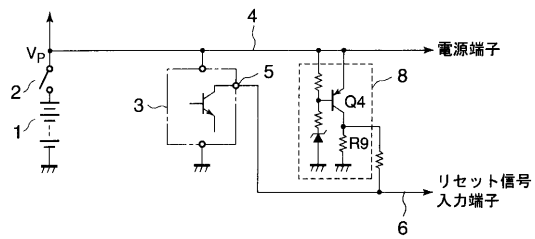
【図 11】



【図 1 2】



【図 1 3】



フロントページの続き

(72)発明者 斉藤 澄夫
東京都港区南麻布五丁目10番27号 アンリツ株式会社内

審査官 宮島 郁美

(56)参考文献 特開平3-10516 (JP, A)
特開昭58-63231 (JP, A)
特開平04-192917 (JP, A)
実開平1-65521 (JP, U)

(58)調査した分野(Int.Cl.⁷, DB名)
H03K 17/00-17/70