(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2016 년 6 월 23 일 (23.06.2016)

WIPO | PCT

(10) 국제공개번호
WO 2016/098978 A1

(51) 국제특허분류:
H01L 33/00 (2010.01) *H01L 33/36* (2010.01)

(21) 국제출원번호: PCT/KR2015/007077

(22) 국제출원일: 2015 년 7 월 8 일 (08.07.2015)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(30) 우선권정보:
10-2014-0183164 2014 년 12 월 18 일 (18.12.2014) KR

(71) 출원인: **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS)** [KR/KR]; 136-701 서울시 성북구 안암로 145 (안암동), Seoul (KR).

(72) 발명자: **성태연 (SEONG, Tae Yeon)**; 137-907 서울시 서초구 신반포로 33 길 64 한신로얄아파트 1 동 506 호, Seoul (KR). **김성기 (KIM, Sung Ki)**; 442-870 경기도 수원시 팔달구 덕영대로 697 번길 48, 411 동 305 호(화서동, 화서주공 4 단지), Gyeonggi-do (KR).

(74) 대리인: **이동건 (LEE, Dong Gun)**; 135-829 서울시 강남구 논현로 120 길 7 (논현동, 원일빌딩 402 호), Seoul (KR).

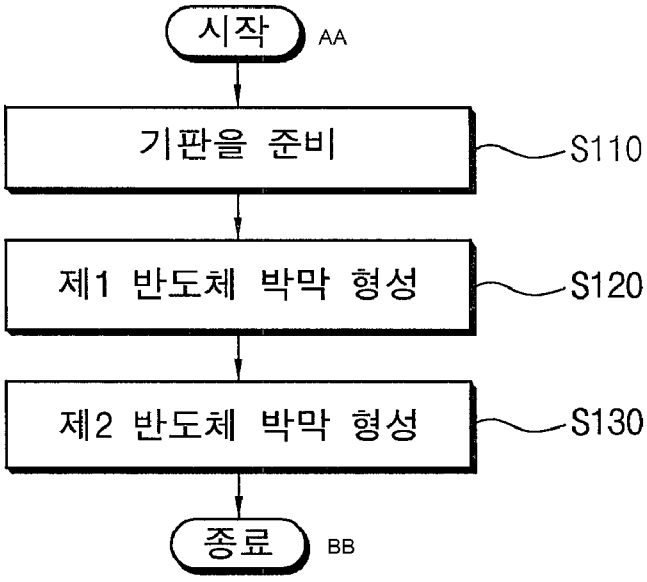
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: METHOD FOR FORMING P-TYPE SEMICONDUCTOR THIN FILM STRUCTURE AND METHOD FOR MANUFACTURING P-TYPE OHMIC ELECTRODE USING SAME

(54) 발명의 명칭 : P 형 반도체 박막 구조물의 형성 방법 및 이를 이용한 P 형 오믹 전극의 제조 방법



S110 ... Prepare substrate
S120 ... Form first semiconductor thin film
S130 ... Form second semiconductor thin film
AA ... Start
BB ... End

(57) **Abstract**: In a method for forming a p-type semiconductor thin film structure, a substrate, of which a semi-polar or non-polar plane is exposed, is prepared. A first semiconductor thin film having a first surface roughness is formed on the plane by supplying a group III metal source and a nitrogen source having a first flow rate at a first temperature. Then, a second semiconductor thin film, having a second surface roughness greater than the first surface roughness, is formed on the first semiconductor thin film by supplying the group III metal source and a nitrogen source having a second flow rate less than the first flow rate.

(57) **요약서**: P 형 반도체 박막 구조물의 형성 방법에 있어서, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다. 상기 평면 상에 제 1 온도에서 Ⅲ족 금속 소스 및 제 1 유량을 갖는 질소 소스를 공급하여 제 1 표면 거칠기를 갖는 제 1 반도체 박막을 형성한다. 이후, 상기 Ⅲ족 금속 소스 및 상기 제 1 보다 작은 제 2 유량의 질소 소스를 공급하여 상기 제 1 반도체 박막 상에 상기 제 1 표면 거칠기보다 큰 제 2 표면 거칠기를 갖는 제 2 반도체 박막을 형성한다.

WO 2016/098978 A1

명세서

발명의 명칭: P형 반도체 박막 구조물의 형성 방법 및 이를 이용한 P형 오믹 전극의 제조 방법

기술분야

[1] 본 발명은 P형 반도체 박막 구조물의 형성 방법 및 이를 포함하는 P형 오믹 전극의 제조 방법에 관한 것으로, 보다 상세하게는 반극성 또는 무극성 P형 반도체 박막 구조물의 형성 방법 및 이를 이용한 P형 오믹 전극의 제조 방법에 관한 것이다.

배경기술

[2] 일반적으로 반도체 발광 소자는, 정방향의 전류(forward current)가 흐를 경우 빛을 발생하는 발광다이오드(light-emitting diode; LED) 및 레이저다이오드(laser diode; LD)로 구분될 수 있다. 특히 LED 및 LD는 공통적으로 p-n접합 구조(p-n junction)를 가지고 있으며, 이러한 발광소자들에 전류를 인가하면 전류가 광자(photon)로 변환되어 광이 발생한다.

[3] 일반적으로 그룹 3-5족 질화물계 반도체는 양질의 반도체 박막을 얻기 위하여 최초 성장 기판 상에 헤테로 에피택셜하게 성장시켜 제조되는데, 이러한 최초 성장 기판으로서 사파이어, 실리콘, 실리콘 탄소(SiC) 등이 이용되고 있다.

[4] 상기 최초 성장 기판의 일 평면으로부터 상기 반도체 박막을 형성하는 데 있어서, (0001) 평면과 같은 극성 평면 및 (1100) 평면과 같은 반극성 또는 비극성 평면이 이용되고 있다.

[5] 상기 반극성(Semipoalr) 및 비극성(nonpolar)을 갖는 평면으로부터 성장된 GaN-기반 반도체 박막은 고효율의 광전자 및 전자 소자의 구성요소로서 매우 중요하다. 최근 반극성 또는 비극성 GaN으로 제작한 LED가 장파장에서 보다 효율적이고 안정한 발광 특성을 나타내는 것으로 나타났다. 또한 반극성 또는 비극성 GaN에서 제조된 LED는 일반적으로 녹색 갭(Green gap)을 채울 수 있는 최종적인 해결책으로 여겨지고 있으며, 향상된 효율의 헤테로구조 전자소자(HFET)가 비극성 AlGaN/GaN 헤테로 구조에서 증명되었다.

[6] 상기 반극성 또는 비극성 GaN-기반 반도체의 경우, N site가 다수 존재하며 후속하는 어닐링 공정에서 상기 N site에 산소 원자가 댕글링 본딩(dangling bonding)되어 있다. 따라서, 다수의 산소 원자로 인하여 오믹 저항값이 커지며 오믹 컨택 특성을 악화시키는 문제가 있다.

[7] 이러한 반극성 및 비극성 GaN-기반 반도체의 효율을 더 올리기 위해서는 반극성 GaN 표면상에서의 금속과의 낮은 저항의 오믹 컨택을 형성, 향상시키는 것은 매우 중요하다. 현재 오믹 전극 제조기술은 고농도 도핑, 이종 이상의 금속을 사용하는 방법 또는 열처리하는 방법이 있다.

[8] 하지만, 고농도 도핑 기술을 사용하는 경우, 도핑 물질의 농도 조절에 따라

저농도 도핑 소자에는 적용하기 어렵다는 문제가 있다.

발명의 상세한 설명

기술적 과제

[9] 본 발명은 이와 같은 문제점을 감안한 것으로써, 본 발명의 일 목적은 상대적으로 낮은 저항의 오믹 컨택을 가능하게 할 수 있는 p형 반도체 박막 구조물의 형성 방법을 제공하는 것이다.

[10] 본 발명의 다른 목적은 상대적으로 낮은 저항의 오믹 컨택을 가능하게 할 수 있는 p형 오믹 전극의 제조 방법을 제공하는 것이다.

과제 해결 수단

[11] 본 발명의 일 목적을 달성하기 위하여, 본 발명의 실시예에 따른 p형 반도체 박막 구조물의 형성 방법에 따르면, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다. 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 이후, 상기 III족 금속 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다. 여기서, 상기 제2 유량은 상기 제1 유량의 반 이하일 수 있다.

[12] 본 발명의 일 실시예에 있어서, 상기 제2 반도체 박막을 형성하기 위하여 상기 제1 온도보다 낮으며 100℃ 이상의 온도차를 갖는 제2 온도에서 수행될 수 있다.

[13] 본 발명의 일 실시예에 있어서, 상기 제2 반도체 박막을 형성하는 공정 중 식각 가스가 추가적으로 공급될 수 있다. 상기 식각 가스는 수소 가스를 포함할 수 있다.

[14] 본 발명의 실시예에 따른 p형 오믹 전극의 제조 방법에 따르면, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다. 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 상기 III족 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성하다. 이어서, 상기 제2 반도체 박막 상에 금속층을 형성한다. 여기서, 상기 제2 유량은 상기 제1 유량의 반 이하일 수 있다.

[15] 본 발명의 일 실시예에 있어서, 상기 제2 반도체 박막을 형성하기 위하여 상기 제1 온도보다 낮으며 100℃ 이상의 온도차를 갖는 제2 온도에서 수행될 수 있다.

[16] 본 발명의 일 실시예에 있어서, 상기 제2 반도체 박막을 형성하는 공정 중 식각 가스가 추가적으로 공급될 수 있다. 상기 식각 가스는 수소 가스를 포함할 수 있다.

[17] 본 발명의 일 실시예에 있어서, 상기 금속층은 상기 반극성 또는 비극성 평면과 다른 상기 제2 반도체 박막의 결정면 상에 형성될 수 있다.

발명의 효과

[18] 상술한 본 발명의 실시예들에 따른 p형 반도체 박막 구조물의 형성 방법 및 p형 오믹 전극의 제조 방법에 따르면, 3차원 성장을 통하여 반극성 또는 무극성 반도체 표면이 증대된 표면 거칠기를 가짐에 따라 새로운 면이 드러나게 된다. 상기 새로운 면에는 존재하는 산소 원자가 감소하게 된다. 따라서, 기존의 극성면으로부터 형성된 반도체 박막 및 금속 전극 간의 오믹 컨택 기술이 본 발명의 실시예들에 적용될 수 있다.

[19] 나아가, 표면 거칠기를 증대시키기 위한 별도의 식각 공정이 생략됨으로써 추가적인 식각 공정이 없이 p형 반도체 박막을 형성하기 위한 공정 조건만을 변경하여 간단하게 상기 표면 거칠기를 증대시킬 수 있다. 또한, 상기 표면 거칠기를 증대시키기 위하여, 상기 반도체 박막 상에, 금속을 포함하는 금속질화물(예; MgN) 또는 금속 산화물을 이용하는 추가적인 박막 형성 공정이 생략될 수 있다.

도면의 간단한 설명

[20] 도 1은 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법을 설명하기 위한 순서도이다.

[21] 도 2는 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제1 레시피를 설명하기 위한 그래프이다.

[22] 도 3은 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제2 레시피를 설명하기 위한 그래프이다.

[23] 도 4는 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제3 레시피를 설명하기 위한 그래프이다.

[24] 도 5는 본 발명의 일 실시예에 따라 형성된 p형 반도체 박막 구조물의 표면 상태를 나타내는 주사 전자 현미경 사진이다.

[25] 도 6은 비교예로서 p형 반도체 박막 구조물의 표면 상태를 나타내는 주사 전자 현미경 사진이다.

[26] 도 7은 본 발명의 일 실시예에 따른 p형 오믹 전극의 제조 방법을 설명하기 위한 순서도이다.

발명의 실시를 위한 최선의 형태

[27] 본 발명의 실시예에 따른 p형 반도체 박막 구조물의 형성 방법에 따르면, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다. 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 이후, 상기 III족 금속 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다. 여기서, 상기 제2 유량은 상기 제1 유량의 반 이하일 수 있다.

[28]

[29] 이하, 첨부한 도면을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 첨부된 도면에 있어서, 대상물들의 크기와 양은 본 발명의 명확성을 기하기 위하여 실제보다 확대 또는 축소하여 도시한 것이다.

[30] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[31] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "구비하다" 등의 용어는 명세서 상에 기재된 특징, 단계, 기능, 구성요소 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 다른 특징들이나 단계, 기능, 구성요소 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[32] 한편, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥 상 가지는 의미와 일치하는 의미를 가지는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.

[33]

[34] **p형 반도체 박막 구조물의 형성 방법**

[35] 도 1은 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법을 설명하기 위한 순서도이다.

[36] 도 1을 참조하면, 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법에 따르면, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다(S110).

[37] 상기 기판은 사파이어 기판을 들 수 있다. 또한, 극성 평면은 예를 들면 (00-01) 평면(c-plane)을 들 수 있는 반면에, 상기 반극성을 갖는 평면의 예로는 (11-22), (10-11), (20-21) 또는 (30-31) 평면을 들 수 있다. 또한, 비극성 평면의 예로는 (11-20), (10-11) 또는 (11-22) 평면을 들 수 있다.

[38] 이후, 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소

소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다(S120). 이때 금속 유기 화학적 기상 증착(Metal Organic Chemical Vapor Deposition) 공정이 수행될 수 있다. 이로써 상기 기판의 평면 상에 III족 금속 및 질소를 포함하는 제1 반도체 박막이 형성된다. 상기 제1 반도체 박막의 예로는 질화 알루미늄, 질화 갈륨 및 질화 인듐을 포함할 수 있다. 또한 상기 제1 반도체 박막은 제1 표면 거칠기를 가진다.

[39] 상기 III족 금속 소스는 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나를 포함할 수 있다. 또한 상기 III족 금속 소스는 상기 금속을 포함하는 전구체를 포함할 수 있다. 상기 III족 금속 소스가 갈륨 소스에 해당할 경우, 트리메틸갈륨($Ga(CH_3)_3$)을 포함할 수 있다.

[40] 상기 질소 소스는 암모니아 가스를 포함할 수 있다. 상기 질소 가스는 제1 유량으로 챔버 내에 공급될 수 있다.

[41] 이후, 상기 제1 반도체 박막 상에 III족 금속 소스 및 상기 제1 유량 보다 작은 제2 유량을 갖는 질소 소스를 공급하여 상기 제1 표면 거칠기 보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다(S130). 이로써 상기 제2 반도체 박막은 반극성 또는 비극성 표면과 다른 새로운 평면이 드러난 3차원 구조를 가질 수 있다. 이때 상기 제2 반도체 박막의 표면에 산소 원자가 상대적으로 감소될 수 있다. 결과적으로 상기 제2 반도체 박막 상에 금속층이 형성될 경우 감소된 저항을 갖는 오믹 컨택이 형성될 수 있다.

[42] 상기 제2 반도체 박막을 형성하기 위하여, 금속 유기 화학적 기상 증착(Metal Organic Chemical Vapor Deposition) 공정이 수행될 수 있다. 즉, 제1 반도체 박막 및 제2 반도체 박막은 인시튜로 형성될 수 있다. 따라서, 상기 제2 반도체 표면에 대한 표면 거칠기를 증대시키 위하여 별도의 식각 공정이 생략될 수 있다. 결과적으로 표면 거칠기를 증가시키기 위한 식각 공정이 생략된 채, III-V족 반도체 박막을 형성하기 위한 금속 유기 화학적 기상 증착 공정에서 질소 소스(질소 전구체)의 유량을 조절함으로써 증대된 표면 거칠기를 갖는 3차원 구조를 III-V족 반도체 박막 구조물이 형성될 수 있다.

[43] 이로써 상기 제1 반도체 박막 상에 III족 금속 및 질소를 포함하는 제2 반도체 박막이 형성된다. 상기 제2 반도체 박막의 예로는 질화 알루미늄, 질화 갈륨 및 질화 인듐을 포함할 수 있다.

[44] 상기 III족 금속 소스는 알루미늄(Al), 갈륨(Ga) 및 인듐(In) 중 적어도 하나를 포함할 수 있다. 또한 상기 III족 금속 소스는 상기 금속을 포함하는 전구체를 포함할 수 있다. 상기 III족 금속 소스가 갈륨 소스에 해당할 경우, 트리메틸갈륨($Ga(CH_3)_3$)을 포함할 수 있다.

[45] 상기 질소 소스는 암모니아 가스를 포함할 수 있다. 상기 질소 가스는 제1 유량보다 작은 제2 유량으로 챔버 내에 공급될 수 있다. 따라서, III-V족 반도체 박막을 형성하기 위한 금속 유기 화학적 기상 증착 공정에서 질소 소스(질소 전구체)의 유량을 조절함으로써 증대된 표면 거칠기를 갖는 3차원 구조를

III-V족 반도체 박막 구조물이 형성될 수 있다. 이때 상기 반도체 박막 구조물에는 반극성 또는 비극성 표면과 다른 새로운 결정면이 노출될 수 있다.

[46]

[47] 도 2는 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제1 레시피를 설명하기 위한 그래프이다.

[48] 도 2를 참조하면, 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 이때 III족 금속 소스로서 트리메틸갈륨이 이용되며, 질소 소스로서 암모니아 가스가 이용될 수 있다.

[49] 이후, 상기 제1 반도체 박막 상에 III족 금속 소스 및 상기 제1 유량 보다 작은 제2 유량을 갖는 질소 소스를 공급하여 상기 제1 표면 거칠기 보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다.

[50] 상기 제2 유량은 상기 제1 유량의 반 이하의 공급량으로 조절될 수 있다. 이로써 상기 제2 표면 거칠기값이 높아질 수 있다.

[51] 도 3은 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제2 레시피를 설명하기 위한 그래프이다.

[52] 도 3을 참조하면, 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 이때 III족 금속 소스로서 트리메틸갈륨이 이용되며, 질소 소스로서 암모니아 가스가 이용될 수 있다.

[53] 이후, 상기 제1 반도체 박막 상에 III족 금속 소스 및 상기 제1 유량 보다 작은 제2 유량을 갖는 질소 소스를 공급하여 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다.

[54] 상기 제2 유량은 상기 제1 유량의 반 이하의 공급량으로 조절될 수 있다. 나아가, 상기 제2 반도체 박막을 형성하기 위한 제2 공정 온도는 상기 제1 반도체 박막을 형성할 때의 제1 공정 온도보다 낮으며, 적어도 100℃ 의 온도 차이를 가지도록 구비될 수 있다. 따라서, 상대적으로 낮은 온도인 제2 공정 온도에 금속 유기 화학적 기상 증착 공정이 수행됨에 따라, 상기 제2 반도체 박막은 증대된 제2 표면 거칠기를 가질 수 있다.

[55] 도 4는 본 발명의 일 실시예에 따른 p형 반도체 박막 구조물의 형성 방법의 제3 레시피를 설명하기 위한 그래프이다.

[56] 도 4를 참조하면, 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다. 이때 III족 금속 소스로서 트리메틸갈륨이 이용되며, 질소 소스로서 암모니아 가스가 이용될 수 있다.

[57] 이후, 상기 제1 반도체 박막 상에 III족 금속 소스 및 상기 제1 유량 보다 작은 제2 유량을 갖는 질소 소스를 공급하여 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다.

[58] 상기 제2 유량은 상기 제1 유량의 반 이하의 공급량으로 조절될 수 있다. 나아가, 상기 제2 반도체 박막을 형성하기 위한 제2 공정 온도는 상기 제1 반도체 박막을 형성할 때의 제1 공정 온도보다 낮으며, 적어도 100℃ 의 온도 차이를 가지도록 구비될 수 있다.

[59] 또한, 상기 제2 반도체 박막을 형성하기 위한 공정 중 추가적으로 식각 가스가 챔버 내에 공급될 수 있다. 상기 식각 가스의 예로는 수소 가스를 포함할 수 있다. 이로써 상기 제2 반도체 박막의 표면이 식각됨으로써 상기 제2 반도체 박막이 개선된 제2 표면 거칠기를 가질 수 있다.

[60] 도 5는 본 발명의 일 실시예에 따라 형성된 p형 반도체 박막 구조물의 표면 상태를 나타내는 주사 전자 현미경 사진이다. 도 6은 비교예로서 p형 반도체 박막 구조물의 표면 상태를 나타내는 주사 전자 현미경 사진이다.

[61] 도 5 및 도 6을 참조하면, 비교예는 갈륨 전구체로서 트리메틸갈륨 및 질소 전구체로서 암모니아 가스가 이용되었으며, 일정한 유량 및 동일한 온도에서 갈륨 질소 박막이 형성되었다. 반면에, 도2를 참조로 하여 제1 리세피에 따라 형성된 제1 및 2 갈륨 질소 박막들을 포함하는 p형 반도체 박막 구조물이 형성되었다.

[62] 상술한 바와 같이 도2를 참조로 하여 제1 리세피에 따라 형성된 p형 반도체 박막 구조물에 따르면 증대된 제2 표면 거칠기를 갖는 제2 반도체 박막이 형성됨을 확인할 수 있다. 이때, 상기 제2 표면 거칠기를 갖는 제2 반도체 박막은 상기 반극성 평면 또는 비극성 평면과 다른 새로운 결정면이 노출됨을 확인할 수 있다.

[63]

[64] **p형 오믹 전극의 제조 방법**

[65] 도 7은 본 발명의 일 실시예에 따른 p형 오믹 전극의 제조 방법을 설명하기 위한 순서도이다.

[66] 본 발명의 일 실시예에 따른 p형 오믹 전극의 제조 방법에 있어서, 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비한다(S110). 이후, 상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성한다(S120). 상기 III족 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성한다(S130). 이로서 기판 상에 제1 및 제2 반도체 박막들이 형성된 p형 전극 구조물이 형성된다. 상기 제2 반도체 박막 상에는 N site가 감소되며 나아가 산소 원자가 상대적으로 감소된 결정면이 노출될 수 있다. 이 때 상기 결정면은 반극성 또는 비극성을 갖는 평면과는 서로 다를 수 있다.

[67] 이후, 상기 제2 반도체 박막 상에 금속층을 형성한다(S140). 상기 금속층은 팔라듐(Pd), 백금(Pt), 은(Ag) 또는 니켈(Ni)을 포함할 수 있다.

[68] 이때, 상기 금속층은 상기 반극성 또는 비극성 평면과 다른 상기 제2 반도체

박막의 결정면 상에 형성된다. 따라서, 상기 제2 반도체 박막 및 상기 금속층은 감소된 컨택 저항을 갖는 오믹 컨택 특성을 형성할 수 있다.

산업상 이용가능성

[69] 본 발명의 실시예들에 따른 p형 반도체 박막 구조물의 형성 방법 및 p형 오믹 전극의 제조 방법은 발광 다이오드 소자, 레이저 다이오드 소자 등에 적용될 수 있다.

[70] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

청구범위

[청구항 1] 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비하는 단계;
상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성하는 단계; 및
상기 III족 금속 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성하는 단계를 포함하는 p형 반도체 박막 구조물의 형성 방법.

[청구항 2] 제1항에 있어서, 상기 제2 유량은 상기 제1 유량의 반 이하인 것을 특징으로 하는 p형 반도체 박막 구조물의 형성 방법.

[청구항 3] 제1항에 있어서, 상기 제2 반도체 박막을 형성하는 단계는 상기 제1 온도보다 낮으며 100℃ 이상의 온도차를 갖는 제2 온도에서 수행되는 것을 특징으로 하는 p형 반도체 박막 구조물의 형성 방법.

[청구항 4] 제1항에 있어서, 상기 제2 반도체 박막을 형성하는 단계는 식각 가스를 공급하는 것을 특징으로 하는 p형 반도체 박막 구조물의 형성 방법.

[청구항 5] 제1항에 있어서, 상기 식각 가스는 수소 가스를 포함하는 것을 특징으로 하는 p형 반도체 박막 구조물의 형성 방법.

[청구항 6] 반극성 또는 비극성을 갖는 평면이 노출된 기판을 준비하는 단계;
상기 평면 상에 제1 온도에서 III족 금속 소스 및 제1 유량을 갖는 질소 소스를 공급하여 제1 표면 거칠기를 갖는 제1 반도체 박막을 형성하는 단계;
상기 III족 소스 및 상기 제1 보다 작은 제2 유량의 질소 소스를 공급하여 상기 제1 반도체 박막 상에 상기 제1 표면 거칠기보다 큰 제2 표면 거칠기를 갖는 제2 반도체 박막을 형성하는 단계; 및
상기 제2 반도체 박막 상에 금속층을 형성하는 단계를 포함하는 p형 오믹 전극의 제조 방법.

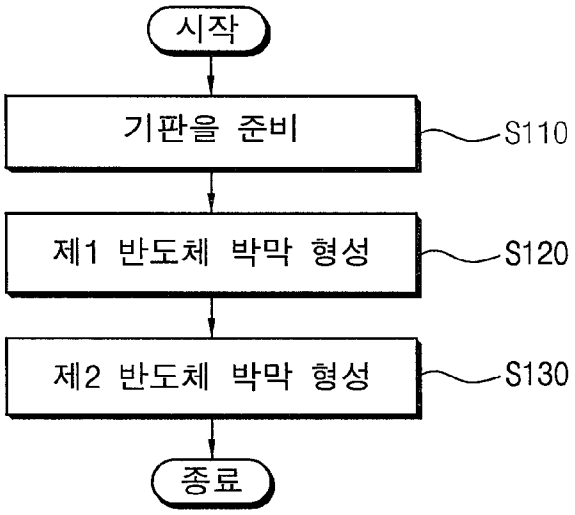
[청구항 7] 제6항에 있어서, 상기 제2 유량은 상기 제1 유량의 반 이하인 것을 특징으로 하는 p형 오믹 전극의 제조 방법.

[청구항 8] 제6항에 있어서, 상기 제2 반도체 박막을 형성하는 단계는 상기 제1 온도보다 100℃ 이상의 온도차를 갖는 제2 온도에서 수행되는 것을 특징으로 하는 p형 오믹 전극의 제조 방법.

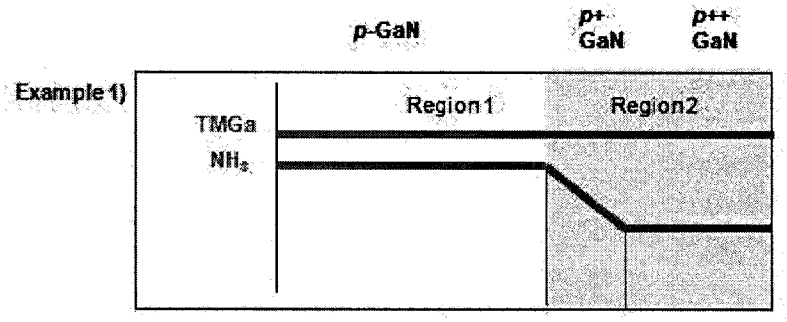
[청구항 9] 제6항에 있어서, 상기 제2 반도체 박막을 형성하는 단계는 수소 가스를 식각 가스로서 공급하는 것을 특징으로 하는 p형 오믹 전극의 제조 방법.

[청구항 10] 제6항에 있어서, 상기 금속층은 상기 반극성 또는 비극성 평면과 다른 상기 제2 반도체 박막의 결정면 상에 형성되는 것을 특징으로 하는 p형 오믹 전극의 제조방법.

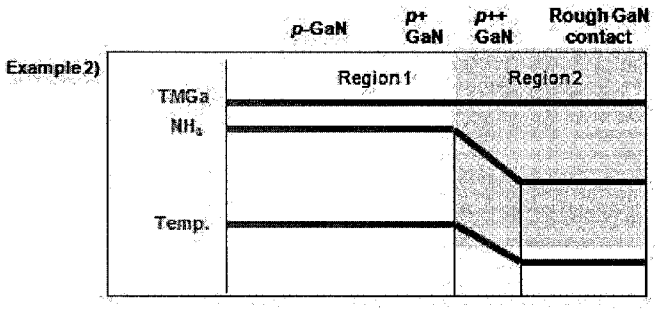
[도1]


시작
기판을 준비
S110
제1 반도체 박막 형성
S120
제2 반도체 박막 형성
S130
종료

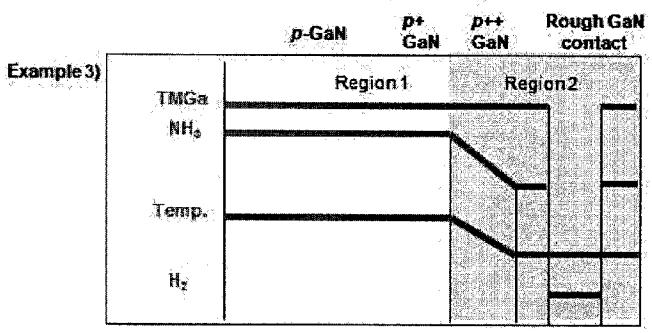
[도2]


p-GaN
p+ GaN
p++ GaN
Example 1)
TMGa
NH3
Region1
Region2

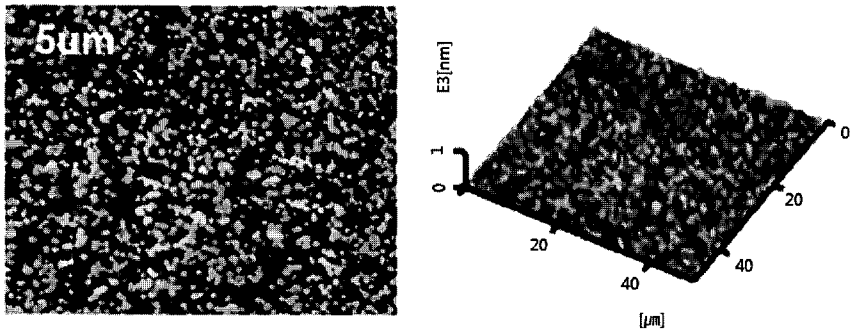
[도3]


p-GaN
p+ GaN
p++ GaN
Rough GaN contact
Example 2)
TMGa
NH3
Temp.
Region1
Region2

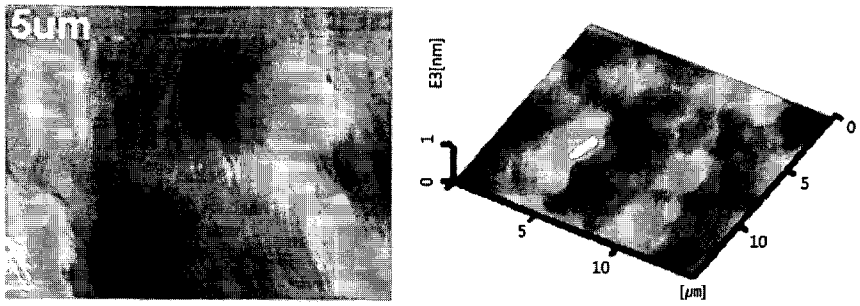
[도4]


p-GaN
p+ GaN
p++ GaN
Rough GaN contact
Example 3)
TMGa
NH3
Temp.
H2
Region1
Region2

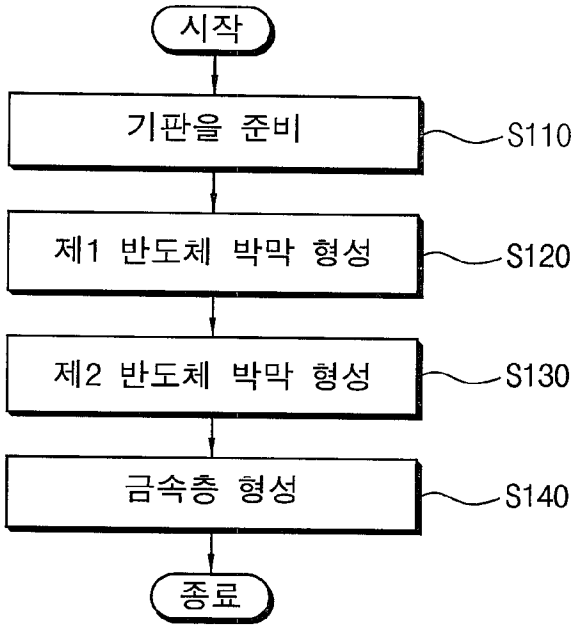
[도5]


5um
E3[nm]
0
1
0
20
40
20
40
[μm]

[도6]


5um
E3[nm]
0
1
0
5
10
5
10
[μm]

[도7]


시작
기판을 준비
S110
제1 반도체 박막 형성
S120
제2 반도체 박막 형성
S130
금속층 형성
S140
종료

INTERNATIONAL SEARCH REPORT

International application No.
PCT/KR2015/007077

A. CLASSIFICATION OF SUBJECT MATTER

H01L 33/00(2010.01)i, H01L 33/36(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/00; H01L 21/205; H01L 21/20; H01S 5/343; H01S 5/042; H01L 33/36; H01L 33/32; H01L 33/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Korean Utility models and applications for Utility models: IPC as above
Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: nonpolar, semipolar, non-polar, nitrogen, gallium, group-III

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2013-0107815 A (SEOUL VIOSYS CO., LTD.) 02 October 2013 See paragraphs [0021]-[0034] and figures 1-5.	1-5
Y		6-10
Y	KR 10-1372352 B1 (INDUSTRIAL COOPERATION FOUNDATION CHONBUK NATIONAL UNIVERSITY) 12 March 2014 See abstract, paragraphs [0032]-[0034] and figure 1a.	6-10
A	KR 10-1317106 B1 (INDUSTRIAL COOPERATION FOUNDATION CHONBUK NATIONAL UNIVERSITY) 11 October 2013 See abstract, paragraphs [0033]-[0037] and figures 1a-1d.	1-10
A	KR 10-2011-0110803 A (SUMITOMO ELECTRIC INDUSTRIES, LTD.) 07 October 2011 See abstract, paragraphs [0029]-[0059] and figures 1-3.	1-10
A	KR 10-2013-0141709 A (SUMITOMO ELECTRIC INDUSTRIES, LTD. et al.) 26 December 2013 See abstract, paragraphs [0043]-[0079] and figures 1-3.	1-10

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
20 OCTOBER 2015 (20.10.2015)	**20 OCTOBER 2015 (20.10.2015)**
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2015/007077

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2013-0107815 A	02/10/2013	CN 104205297 A	10/12/2014
		KR 10-2013-0106925 A	01/10/2013
		US 2013-0248818 A1	26/09/2013
		US 2015-0270435 A1	24/09/2015
		US 9076896 B2	07/07/2015
		WO 2013-141617 A1	26/09/2013
KR 10-1372352 B1	12/03/2014	NONE	
KR 10-1317106 B1	11/10/2013	WO 2014-030816 A1	27/02/2014
KR 10-2011-0110803 A	07/10/2011	CN 102414848 A	11/04/2012
		CN 102414848 B	09/07/2014
		EP 2528118 A1	28/11/2012
		JP 2011-146636 A	28/07/2011
		JP 5749888 B2	15/07/2015
		TW 201131810 A	16/09/2011
		US 2011-0175103 A1	21/07/2011
		US 8227898 B2	24/07/2012
		WO 2011-086755 A1	21/07/2011
KR 10-2013-0141709 A	26/12/2013	CN 103650263 A	19/03/2014
		EP 2728683 A1	07/05/2014
		JP 2013-033930 A	14/02/2013
		TW 201310705 A	01/03/2013
		US 2013-0009202 A1	10/01/2013
		WO 2013-002389 A1	03/01/2013

국 제 조 사 보 고 서

국제출원번호
PCT/KR2015/007077

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/00(2010.01)i, H01L 33/36(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/00; H01L 21/205; H01L 21/20; H01S 5/343; H01S 5/042; H01L 33/36; H01L 33/32; H01L 33/16

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 비극성, 반극성, 무극성, 질소, 갈륨, 3족

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2013-0107815 A (서울바이오시스 주식회사) 2013.10.02 단락 [0021]-[0034] 및 도면 1-5 참조.	1-5
Y		6-10
Y	KR 10-1372352 B1 (전북대학교산학협력단) 2014.03.12 요약, 단락 [0032]-[0034] 및 도면 1a 참조.	6-10
A	KR 10-1317106 B1 (전북대학교산학협력단) 2013.10.11 요약, 단락 [0033]-[0037] 및 도면 1a-1d 참조.	1-10
A	KR 10-2011-0110803 A (스미토모덴키고교가부시키가이샤) 2011.10.07 요약, 단락 [0029]-[0059] 및 도면 1-3 참조.	1-10
A	KR 10-2013-0141709 A (스미토모덴키고교가부시키가이샤 등) 2013.12.26 요약, 단락 [0043]-[0079] 및 도면 1-3 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

"A" 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

"E" 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

"L" 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

"O" 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

"P" 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

"T" 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

"X" 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

"Y" 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

"&" 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일	국제조사보고서 발송일
2015년 10월 20일 (20.10.2015)	2015년 10월 20일 (20.10.2015)

ISA/KR의 명칭 및 우편주소
대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)
팩스 번호 +82-42-472-7140

심사관
박혜련
전화번호 +82-42-481-3463

국제조사보고서
대응특허에 관한 정보

국제출원번호
PCT/KR2015/007077

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2013-0107815 A	2013/10/02	CN 104205297 A	2014/12/10
		KR 10-2013-0106925 A	2013/10/01
		US 2013-0248818 A1	2013/09/26
		US 2015-0270435 A1	2015/09/24
		US 9076896 B2	2015/07/07
		WO 2013-141617 A1	2013/09/26
KR 10-1372352 B1	2014/03/12	없음	
KR 10-1317106 B1	2013/10/11	WO 2014-030816 A1	2014/02/27
KR 10-2011-0110803 A	2011/10/07	CN 102414848 A	2012/04/11
		CN 102414848 B	2014/07/09
		EP 2528118 A1	2012/11/28
		JP 2011-146636 A	2011/07/28
		JP 5749888 B2	2015/07/15
		TW 201131810 A	2011/09/16
		US 2011-0175103 A1	2011/07/21
		US 8227898 B2	2012/07/24
		WO 2011-086755 A1	2011/07/21
KR 10-2013-0141709 A	2013/12/26	CN 103650263 A	2014/03/19
		EP 2728683 A1	2014/05/07
		JP 2013-033930 A	2013/02/14
		TW 201310705 A	2013/03/01
		US 2013-0009202 A1	2013/01/10
		WO 2013-002389 A1	2013/01/03