(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 7 月 5 日(05.07.2012)

WIPO | PCT

(10) 国際公開番号
WO 2012/090986 A1

(51) 国際特許分類:
H01G 4/30 (2006.01) *H01G 4/12* (2006.01)
H01G 2/06 (2006.01) *H05K 1/18* (2006.01)

(21) 国際出願番号: PCT/JP2011/080164

(22) 国際出願日: 2011 年 12 月 27 日(27.12.2011)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2010-291413 2010 年 12 月 28 日(28.12.2010) JP
特願 2011-121174 2011 年 5 月 31 日(31.05.2011) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 **(Murata Manufacturing Co., Ltd.)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 服部和生 **(HATTORI Kazuo)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社 村田製作所内 Kyoto (JP). 山田忠輝 **(YAMADA Tadateru)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社 村田製作所内 Kyoto (JP). 藤本力 **(FUJIMOTO Isamu)** [JP/JP]; 〒6178555 京都府長岡京市東神足１丁目１０番１号 株式会社 村田製作所内 Kyoto (JP).

(74) 代理人: 特許業務法人 楓国際特許事務所 **(Kaede Patent Attorneys' Office)**; 〒5400011 大阪府大阪市中央区農人橋１丁目４番３４号 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

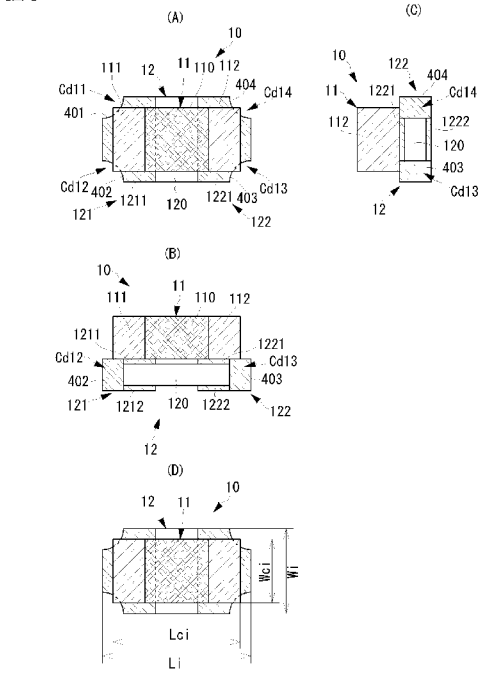
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) **Title**: ELECTRONIC COMPONENT

(54) 発明の名称 : 電子部品

[図1]



(57) **Abstract**: Upper-surface electrodes (1211, 1221) are formed on one principal surface, of an insulating substrate (120) of an interposer (12), on which a multilayer ceramic capacitor (11) is installed. The insulating substrate (120) is formed to substantially the same shape as the installed multilayer ceramic capacitor (11) when viewed from the direction orthogonal to the principal surface, and the multilayer ceramic capacitor (11) is installed so that the length directions substantially match. Cutout sections (Cd11, Cd12, Cd13, Cd14) provided with connecting electrodes (401-404) are formed on four corners of the insulating substrate (120) when viewed from the direction orthogonal to the principal surface. The connecting electrodes (401-404) connect the upper-surface electrodes (1211, 1221) on one principal surface to respective lower surface electrodes (1212, 1222) formed on the other principal surface, the lower surface electrodes connecting to a circuit board (20).

(57) 要約: インターポーザー（１２）の絶縁性基板（１２０）における積層セラミックコンデンサ（１１）を実装する一方主面には、上面電極（１２１１，１２２１）が形成されている。絶縁性基板（１２０）は、主面に直交する方向から見て、実装される積層セラミックコンデンサ（１１）と略同じ形状で形成されており、長さ方向が略一致するように積層セラミックコンデンサ（１１）が実装されている。絶縁性基板（１２０）には、主面に直交する方向から見た四つの角に、接続電極（４０１－４０４）を備える切り欠き部（Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４）が形成されている。これら接続電極（４０１－４０４）で、一方主面の上面電極（１２１１，１２２１）が、回路基板（２０）に接続する他方主面に形成された下面電極（１２１２，１２２２）にそれぞれ接続されている。

WO 2012/090986 A1

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 電子部品

技術分野

[0001] 本発明は、積層セラミックコンデンサ等のチップ部品を回路基板に実装する際に用いる、一般にインターポーザーを備えた電子部品に関する。

背景技術

[0002] 現在、チップ部品、特に小型の積層セラミックコンデンサは、携帯電話等の移動体端末に多く利用されている。積層セラミックコンデンサは、コンデンサとして機能する矩形状の部品本体と、該部品本体の対向する両端に形成された外部電極とから構成される。

[0003] 従来、一般的には、特許文献１に示すように、積層セラミックコンデンサは、移動体端末の回路基板の実装用ランドに外部電極を直接載置し、実装用ランドと外部電極とをはんだ等の接合剤で接合することで、回路基板に電気的物理的に接続されていた。

[0004] ところが、積層セラミックコンデンサは、当該積層セラミックコンデンサを含む電子回路内で生じる電圧変化によって、機械的な歪みが生じることがある。当該歪みが発生すると、歪みは回路基板に伝達されて、回路基板が振動する。回路基板が振動すると、人の耳に聞こえる振動音が生じることがある。

[0005] これを解決する構成として、例えば、特許文献２，３には、実装用ランドに直接積層セラミックコンデンサを実装しないことが記載されている。特許文献２，３では、絶縁性基板からなるインターポーザーを用いている。インターポーザーを用いる場合、積層セラミックコンデンサをインターポーザーの上面電極に接合し、当該インターポーザーの下面電極を回路基板の実装用電極に接合している。上面電極と下面電極とは、インターポーザーを貫通するビアホールにより導通されている。

先行技術文献

特許文献

[0006] 特許文献1：特開平８－５５７５２号公報

特許文献2：特開平７－１１１３８０号公報

特許文献3：特開２００４－１３４４３０号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上述の特許文献２の構成では、支持基板の上に部品基板を重ね合わせ、接合材で接合した後、半田レジストを部品基板の側面にだけ形成して、回路基板への実装時のはんだが部品基板にまでぬれ上がるのを防止している。つまり、実装時のはんだは支持基板の側面にはぬれ上がるが、部品基板の外部電極には付着しないので、部品基板が強く拘束されない。その結果、部品基板が振動しても、その振動が支持基板を介して回路基板などに伝播するのを抑制できる。しかし、この構造では、支持基板に部品基板を接合材で接合した後で、部品基板の側面にのみ半田レジストを形成しなければならず、製造コストがかかるおそれがあった。

[0008] また、特許文献３の構成では、インターポーザーにおける下面電極の配列方向と、上面電極の配列方向が交差する、すなわち積層セラミックコンデンサの外部電極の配列方向とインターポーザーの回路基板への実装電極の配列方向とが交差するという、特殊な構造を用いている。したがって、インターポーザーが大型化するとともに、インターポーザーの電極形状が複雑になり、さらに高コスト化してしまう可能性があった。

[0009] したがって、本発明の目的は、構造設計や実装が容易で、従来の一般的な実装構造と同等の実装強度および電気特性を有し、振動音の発生をより効果的に抑制できる電子部品を実現することにある。

課題を解決するための手段

[0010] この発明は、平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、絶縁性基板の他方主面に形成された第１下面

電極、第２下面電極を備える基板と、本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、第１外部電極が第１上面電極に実装され、第２外部電極が第２上面電極に実装されるチップ部品と、を備える電子部品に関する。この電子部品では、基板は、一方主面と他方主面に直交する端面に形成され、第１上面電極と第１下面電極を接続し、第２上面電極と第２上面電極とを接続する複数の接続電極を備える。チップ部品の本体の長さ方向と直交する幅方向の略中央において、第１上面電極と第１下面電極とが離間し、第２上面電極と第２下面電極とが離間している。

[0011] この構成では、チップ部品と基板とからなる電子部品を回路基板に接合する際には、はんだ等の接合部材（以下、代表してはんだを例に説明する。）を用いる。

[0012] このようなはんだによる接合では、少なくとも回路基板に形成された実装用のランドから基板の接続電極にかけてはんだフィレットが形成されるように、はんだ接合を行う。このようにフィレットを形成することで、電子部品の実装時の浮きを防止したり、接合強度を確保できたり、確実にはんだ接合していることを目視確認することができるため、非常に有効である。この際、供給されたはんだ量によっては、はんだが電子部品に多くぬれ上がることがある。はんだが絶縁性基板を介してチップ部品の端面中央部にまで濡れ広がると、チップ部品の両端部を強く拘束してしまい、チップ部品の振動が絶縁性基板を介して回路基板に伝わりやすく、振動音を生じる可能性がある。しかしながら、本願発明の構成を用いれば、はんだが電子部品からぬれ上がり、チップ部品の第１、第２外部電極に到達しても、チップ部品の底面側の角部に最も付着し、例えば、当該角部から主面に直交する方向に延びる稜線部へはんだが広がり、はんだが外部電極の中心付近に付着することが規制される。これにより、上述の振動音の発生を抑制できる。

[0013] さらに、電子部品がチップ部品に平板状の絶縁性基板を追加するだけの構造であるため、低背化が可能であり、従来と同様の接合強度も得られる。また、特殊な構造を必要としないので、容易な部品変更や設計変更が可能であ

る。

[0014] また、この発明の電子部品は次の構成であることが好ましい。絶縁性基板には、チップ部品の第１外部電極に対応する位置に、それぞれ第１上面電極および第１下面電極が設けられ、チップ部品の第２外部電極に対応する位置に、それぞれ第２上面電極および第２下面電極が設けられている。複数の接続電極は、絶縁性基板の四隅に形成されている。

[0015] この構成では、チップ部品の両端に形成された第１、第２外部電極の配列方向と、電子部品の第１、第２上面電極および第１、第２下面電極の配列方向とが略同じであり、絶縁性基板の四隅に接続電極が形成されているので、当該接続電極は第１、第２外部電極の稜線部に最も近くなる。これにより、第１、第２上面電極にぬれ上がったはんだは、稜線部付近に付着する。

[0016] また、この発明の電子部品では、絶縁性基板の四隅に切り欠き部が形成されており、該切り欠き部の内壁面に接続電極が形成されていることが好ましい。

[0017] この構成では、接続電極と第１、第２外部電極の稜線部の第１、第２上面電極側端部との距離が、より近くなる。

[0018] また、この発明の電子部品では、絶縁性基板にチップ部品を搭載した際に、一方主面および他方主面に直交する方向から見て、切り欠き部の少なくとも一部はチップ部品の外形で構成される領域内に存在することが好ましい。

[0019] この構成では、切り欠き部の少なくとも一部がチップ部品の外形形状の領域内に配置されるので、切り欠き部に形成された接続電極をはんだがぬれ上がっても、そのはんだがチップ部品の外部電極の稜線部付近で止まり、絶縁性基板の上面電極全体、ひいてはチップ部品の長さ方向両端面全体に濡れ広がるのを抑制できる。また、接続電極とチップ部品の外部電極の稜線部とがほぼ同じ位置にあるので、直接チップ部品を回路基板に実装する際に利用する回路基板上のランドを、そのまま利用することができる。

[0020] また、この発明の電子部品では、切り欠き部は、一方主面および他方主面に直交する方向から見た状態で、絶縁性基板の中心側に膨らむ円弧形状で形

成されていることが好ましい。

[0021] この構成では、基板の外形すなわち第１、第２上面電極の配列方向である長さ方向、および長さ方向に直交する幅方向に対して切り欠く長さに対して、絶縁性基板の中心側へ凹む距離を、より長くすることができる。これにより、接続電極と第１、第２外部電極の稜線部の第１、第２上面電極側端部との距離が、さらに近くなる。

[0022] また、この発明の電子部品では、絶縁性基板は、チップ部品を搭載した際、一方主面および他方主面に直交する方向から見た状態で、チップ部品の外形よりも小さい外形形状で形成されていてもよい。

[0023] この構成では、絶縁性基板がチップ部品の外形の内側に入り込むことで、接続電極をぬれ上がったはんだが、チップ部品の第１、第２外部電極の稜線部の底面側によってせき止められるので、さらに第１、第２外部電極の中心付近へのはんだの付着を抑制できる。また、絶縁性基板の主面に直交する方向から見て、第１、第２外部電極の稜線部の位置が、電子部品と回路基板との接合位置になるため、チップ部品単体を直接回路基板へ実装する実装用ランドと略同じ形状の実装用ランドで、電子部品を実装できる。これにより、平面的に大型化することなく、電子部品を実装できる。

[0024] また、この発明の電子部品では、絶縁性基板は、チップ部品の第１外部電極および第２外部電極が形成される端部の中心から基板に下ろした垂線が該基板と交差する位置を含む所定範囲において、第１外部電極および第２外部電極に対して直接対面していてもよい。

[0025] この構成では、チップ部品の第１外部電極および第２外部電極が形成される端部の中心から基板に下ろした垂線が該基板と交差する位置を含む所定範囲において、第１外部電極および第２外部電極に対して絶縁性基板が直接対面していることにより、ぬれ上がったはんだが第１、第２外部電極の端面の中心に到達することを阻止できる。すなわち、絶縁性基板の上記所定範囲に電極非形成部が形成されていることで、ぬれ上がったはんだが第１、第２外部電極の端面の中心に到達することを阻止できる。

[0026] また、この発明の電子部品では、第１上面電極および第２上面電極のチップ部品を搭載する面には、チップ部品の第１外部電極および第２外部電極が形成される端部の中心から第１上面電極および第２上面電極に下ろした垂線が基板と交差する位置を含む所定範囲にレジスト膜が設けられていてもよい。

[0027] この構成では、レジスト膜により、ぬれ上がったはんだが第１、第２外部電極の端面の中心に到達することを阻止できる。

[0028] また、この発明は、平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、絶縁性基板の他方主面に形成された第１下面電極、第２下面電極を備える基板と、本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、第１外部電極が第１上面電極に実装され、第２外部電極が第２上面電極に実装されるチップ部品と、を備える電子部品に関するものであり、次の構成であってもよい。この電子部品では、基板は、一方主面と他方主面に直交する端面に形成され、第１上面電極と第１下面電極を接続し、第２上面電極と第２上面電極とを接続する複数の接続電極を備える。第１上面電極および第２上面電極には、第１外部電極および第２外部電極の端面の中心から第１上面電極および第２上面電極に下ろした垂線が基板と交差する位置を含む所定範囲が第１上面電極および第２上面電極に対して非接触となる接触規制手段が形成されている。

[0029] この構成では、電子部品をはんだで回路基板に実装する際に、はんだが電子部品からぬれ上がり、チップ部品の第１、第２外部電極に到達しても、接触規制手段により、はんだが第１、第２外部電極の中心付近に付着することを阻止できる。これにより、上述の振動音の発生を抑制できる。

[0030] また、この発明の電子部品では、次の構成であることが好ましい。絶縁性基板には、チップ部品の第１外部電極に対応する位置に、それぞれ第１上面電極および第１下面電極が設けられ、チップ部品の第２外部電極に対応する位置に、それぞれ第２上面電極および第２下面電極が設けられる。接触規制手段は、第１上面電極および第２上面電極に設けられた開口領域である。

[0031] この構成では、第１、第２外部電極の中心から第１、第２上面電極にそれぞれ下ろした垂線の位置（中心直下位置）には電極が形成されない。これにより、当該中心直下位置へのはんだの付着を阻止できる。

[0032] また、この発明の電子部品では、次の構成であることが好ましい。絶縁性基板には、チップ部品の第１外部電極に対応する位置に、それぞれ第１上面電極および第１下面電極が設けられ、チップ部品の第２外部電極に対応する位置に、それぞれ第２上面電極および第２下面電極が設けられている。接触規制手段は、第１上面電極および第２上面電極に形成されたレジスト膜である。

[0033] この構成では、第１、第２外部電極の中心直下位置では、第１、第２外部電極と第１、第２上面電極との間にレジスト膜が配設されている。これにより、当該中心直下位置へのはんだの付着を阻止できる。

[0034] また、この発明の電子部品では、接続電極は、チップ部品の本体の長さ方向と直交する幅方向の略中央に形成されていてもよい。

[0035] また、この発明の電子部品では、接続電極は、絶縁性基板の端面部に形成された切り欠き部の内壁面に形成されていることが好ましい。

[0036] また、この発明の電子部品では、切り欠き部は、一方主面および他方主面に直交する方向から見た状態で、絶縁性基板の中心側に膨らむ円弧形状で形成されていることが好ましい。

[0037] この構成では、絶縁性基板の外形すなわち第１、第２上面電極の配列方向である長さ方向、および長さ方向に直交する幅方向に対して切り欠く長さに対して、絶縁性基板の中心側へ凹む距離を、より長くすることができる。

[0038] また、この発明は、平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、絶縁性基板の他方主面に形成された第１下面電極、第２下面電極を備える基板と、本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、第１外部電極が第１上面電極に実装され、第２外部電極が第２上面電極に実装されるチップ部品と、を備える電子部品に関するものであり、次の構成であってもよい。この

電子部品では、接続電極は、絶縁性基板の端面から凹む形状で形成された切り欠き部を形成する内壁面に形成されている。切り欠き部の第１上面電極側および第２上面電極側には、絶縁性基板を平面視して切り欠き部を覆う規制部が形成されている。

[0039] この構成では、規制部により、回路基板から絶縁性基板の接続電極を沿って濡れ上がる接合部材が、規制部により堰き止められ、第１、第２上面電極に達しない。これにより、チップ部品の第１、第２外部電極への接合部材の不要な付着を防止できる。

[0040] また、この発明の電子部品では、チップ部品の第１外部電極および第２外部電極が形成される端面の中心を含む所定範囲に接合規制手段が形成されていてもよい。

[0041] この構成では、チップ部品に対しても、はんだがチップ部品の端面中央に付着することを抑制する構造を設けている。これにより、上述の絶縁性基板に対する構造的特徴とともに、チップ部品の端面中央にはんだが付着することを、より確実に抑制できる。

[0042] また、この発明の電子部品では、接合規制手段は端面の全面に亘っていてもよい。

[0043] この構成では、例えば第１、第２外部電極がチップ部品の底面（絶縁性基板へ接合される側の面）にしか形成されていない。これにより、チップ部品の端面中央にはんだが付着することを、さらに確実に抑制できる。

[0044] また、この発明の電子部品では、チップ部品が積層セラミックコンデンサである、ことが好ましい。

発明の効果

[0045] この発明に示す電子部品を用いて積層セラミックコンデンサ等のチップ部品を回路基板へ実装すれば、振動音の発生を抑制できる。さらに、構造が簡素で小型化が可能であり、回路基板への実装構造も容易になる。また、従来の一般的な実装構造と同等の実装強度および電気特性を確保することもできる。

図面の簡単な説明

[0046] [図1]第１の実施形態に係るインターポーザー１２を含む電子部品１０の構成を示す三面図およびインターポーザー１２と積層セラミックコンデンサ１１との形状の関係を示す図である。

[図2]第１の実施形態に係るインターポーザー１２の三面図である。

[図3]第１の実施形態の係る電子部品１０を回路基板２０に実装した状態での三面図である。

[図4]第１の実施形態の構成および従来の構成による音圧レベルー周波数特性を示す図である。

[図5]第２の実施形態に係るインターポーザー１２Ａを含む電子部品１０Ａの構成を示す三面図およびインターポーザー１２Ａと積層セラミックコンデンサ１１との形状の関係を示す図である。

[図6]第２の実施形態の係る電子部品１０Ａを回路基板２０に実装した状態での三面図である。

[図7]第３の実施形態の係るインターポーザー１２Ｂを含む電子部品１０Ｂの構成を示す三面図およびインターポーザー１２Ｂと積層セラミックコンデンサ１１との形状の関係を示す図である。

[図8]第４の実施形態の係るインターポーザー１２Ｃを含む電子部品１０Ｃの構成を示す三面図である。

[図9]第５の実施形態の係るインターポーザー１２Ｄを含む電子部品１０Ｄの構成を示す三面図である。

[図10]第６の実施形態の係るインターポーザー１２Ｅを含む電子部品１０Ｅの構成を示す三面図である。

[図11]第７の実施形態の係るインターポーザー１２Ｆを含む電子部品１０Ｆの構成を示す三面図である。

[図12]第８の実施形態の係るインターポーザー１２Ｇを含む電子部品１０Ｇの構成を示す三面図である。

[図13]第９の実施形態の係るインターポーザー１２Ｈを含む電子部品１０Ｈ

の構成を示す三面図である。

[図14]第１０の実施形態の係るインターポーザー１２Ｋを含む電子部品１０Ｋの構成を示す三面図である。

[図15]第１１の実施形態の係るインターポーザー１２Ｌを含む電子部品１０Ｌの構成を示す三面図である。

[図16]その他の実施形態に係る電子部品１０Ｊを回路基板２００に実装した状態を示す三面図である。

発明を実施するための形態

[0047] 本発明の第１の実施形態に係るインターポーザーを含む電子部品について、図を参照して説明する。図１は本実施形態に係るインターポーザー１２を含む電子部品１０の構成を示す三面図およびインターポーザー１２と積層セラミックコンデンサ１１との形状の関係を示す図である。図２は本実施形態に係るインターポーザー１２の三面図である。図３は本実施形態に係る電子部品１０を回路基板２００に実装した状態を示す三面図である。図１、図２、図３に示す三面図は、各図（Ａ）が平面図、各図（Ｂ）が長さ方向側面図、および各図（Ｃ）が幅方向側面図で記載されている。ここで、平面図は、インターポーザー１２もしくは電子部品１０を上面側から見た図である。長さ方向側面図は、インターポーザー１２もしくは電子部品１０を、インターポーザー１２の中間接続用電極（以下、「ＩＰ電極」と称する）１２１，１２２の配列する方向に直交し、インターポーザー１２の主面（積層セラミックコンデンサ１１の実装面）に平行な方向から見た図である。また、幅方向側面図は、インターポーザー１２もしくは電子部品１０を、インターポーザー１２のＩＰ電極１２１，１２２の配列する方向に平行で、インターポーザー１２の主面（積層セラミックコンデンサ１１の実装面）に平行な方向から見た図である。各図では、ハッチングを行っているが、これらは、各部位を識別しやすくするものであり、断面図を示すものではない。なお、以下の各図でも同様に記載しており、断面図である場合には、その都度、断面図であることを示す。

[0048] 積層セラミックコンデンサ１１は、本発明の「チップ部品」に相当し、部品本体１１０を備える。部品本体１１０は、誘電体層と内層電極層とを所定数積層して焼成することで、形成される。積層セラミックコンデンサ１１は、部品本体１１０の長さ方向（図１（Ａ）に示す図面の横方向）の一方端に外部電極１１１（本発明の「第１外部電極」に相当する。）が形成されており、対向する他方端に外部電極１１２（本発明の「第２外部電極」に相当する。）が形成されている。当該外部電極１１１，１１２は所定の導電性ペーストを焼成することで形成され、表面に錫メッキが施されている。以下、この外部電極１１１，１１２の配列する方向を積層セラミックコンデンサ１１の長さ方向とし、当該長さ方向に直交し、さらに積層セラミックコンデンサ１１が実装される実装面に平行な方向を積層セラミックコンデンサ１１の幅方向として、説明する。

[0049] 外部電極１１１，１１２は、部品本体１１０の長さ方向の両端面のみでなく、当該長さ方向の両端面から幅方向の両端面および天面および底面にかけて広がるように形成されている。

[0050] このように形成される積層セラミックコンデンサ１１は、例えば、長さ×幅が、３．２ｍｍ×１．６ｍｍ、２．０ｍｍ×１．２５ｍｍ、１．６ｍｍ×０．８ｍｍ、１．０ｍｍ×０．５ｍｍ、０．６ｍｍ×０．３ｍｍ等の寸法で形成されている。

[0051] インターポーザー１２は、本発明の「基板」に相当し、図２に示すように、絶縁性基板１２０を備える。絶縁性基板１２０は、例えば０．５ｍｍ程度～１．０ｍｍ程度の厚みを有し、絶縁性樹脂から構成されている。絶縁性基板１２０は、主面に直交する方向から見て、積層セラミックコンデンサ１１と相似な略矩形状に形成されている。絶縁性基板１２０は、主面に直交する方向から見た状態で、四つの角部が主面の中央側に凹む形状で形成された切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４を有する。この際、切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４は、主面に直交する方向から見た状態で、矩形状の絶縁性基板１２０の各角を中心として、所定の半径

Ｒで切り欠く形状で形成されている。このような切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４は、複数の絶縁性基板１２０を配列したベース基板から個別の絶縁性基板１２０を分割する際に、隣接する四つの絶縁性基板１２０の接する点に円筒形のスルーホールを形成しておき、当該スルーホール形成部を通るように切断して分割することで容易に形成できる。

[0052] 絶縁性基板１２０は、平面視した長さおよび幅が、実装する積層セラミックコンデンサ１１の長さおよび幅に対してわずかに大きくなるように、形成されている。すなわち、図１（Ｄ）に示すように、積層セラミックコンデンサ１１の長さをＬｃｉとし、絶縁性基板１２０（インターポーザー１２）の長さをＬｉとした場合に、Ｌｉ≒Ｌｃｉ且つＬｉ＞Ｌｃｉとする。同様に、積層セラミックコンデンサ１１の幅をＷｃｉとし、絶縁性基板１２０（インターポーザー１２）の幅をＷｉとした場合に、Ｗｉ≒Ｗｃｉ且つＷｉ＞Ｗｃｉとする。

[0053] この際、切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４を規定する曲面の中央部が、実装された積層セラミックコンデンサ１１の外形範囲内に入るように、形成されている。

[0054] 絶縁性基板１２０の積層セラミックコンデンサ１１が実装される側となる一方主面には、上面電極１２１１、１２２１が形成されている。上面電極１２１１、１２２１は互いに離間して形成されている。上面電極１２１１が本発明の「第１上面電極」に相当し、上面電極１２２１が本発明の「第２上面電極」に相当する。

[0055] 上面電極１２１１は、一方主面の長さ方向の一方端の領域に形成されている。この際、上面電極１２１１は、インターポーザー１２（絶縁性基板１２０）の一方主面上に、互いの長さ方向が略一致するように積層セラミックコンデンサ１１を実装した際に、積層セラミックコンデンサ１１の外部電極１１１の底面が接する領域を含むように、長さ方向に対する電極の形成寸法が設定されている。また、上面電極１２１１は、幅方向には全幅に亘り形成されている。

[0056] 上面電極１２２１は、一方主面の長さ方向の他方端の領域に形成されている。この際、上面電極１２２１は、インターポーザー１２（絶縁性基板１２０）の一方主面上に、互いの長さ方向が略一致するように積層セラミックコンデンサ１１を実装した際に、積層セラミックコンデンサ１１の外部電極１１２の底面が接する領域を含むように、長さ方向に対する電極の形成寸法が設定されている。また、上面電極１２２１は、幅方向には全幅に亘り形成されている。

[0057] 絶縁性基板１２０の積層セラミックコンデンサ１１が実装される側と反対側になる他方主面には、下面電極１２１２、１２２２が形成されている。下面電極１２１２、１２２２は互いに離間して形成されている。下面電極１２１２が本発明の「第１下面電極」に相当し、下面電極１２２２が本発明の「第２下面電極」に相当する。

[0058] 下面電極１２１２は、絶縁性基板１２０の他方主面の長さ方向の一方端の領域に、上面電極１２１１と略対向する形状に形成されている。下面電極１２２２は、絶縁性基板１２０の他方主面の長さ方向の他方端の領域に、上面電極１２２１と略対向する形状で形成されている。この際、下面電極１２１２，１２２２は、実装される積層セラミックコンデンサ１１の外部電極１１１，１１２と、主面に直交する方向から見て、重なる位置に電極が存在するように形成されていると、より好ましい。

[0059] 絶縁性基板１２０の長さ方向の一方端に形成された上面電極１２１１と下面電極１２１２は、切り欠き部Ｃｄ１１，Ｃｄ１２の壁面に形成された接続電極４０１，４０２によりそれぞれ接続されている。これら上面電極１２１１、下面電極１２１２および切り欠き部Ｃｄ１１の接続電極４０１、切り欠き部Ｃｄ１２の接続電極４０２により、上述のＩＰ電極１２１が形成される。

[0060] 絶縁性基板１２０の長さ方向の他方端に形成された上面電極１２２１と下面電極１２２２は、切り欠き部Ｃｄ１３，Ｃｄ１４の壁面に形成された接続電極４０３，４０３によりそれぞれ接続されている。これら上面電極１２２

１、下面電極１２２２および切り欠き部Ｃｄ１３の接続電極４０３、切り欠き部Ｃｄ１４の接続電極４０４により、上述のＩＰ電極１２２が形成される。

[0061] このようなインターポーザー１２に、積層セラミックコンデンサ１１が実装される場合、インターポーザー１２のＩＰ電極１２１の上面電極１２１１と、積層セラミックコンデンサ１１の外部電極１１１とを、外部電極１１１の錫メッキの再溶融により、電気的、機械的に接続する。また、インターポーザー１２のＩＰ電極１２２の上面電極１２２１と、積層セラミックコンデンサ１１の外部電極１１２とを、外部電極１１２の錫メッキの再溶融により、電気的、機械的に接続する。なお、ＩＰ電極１２１，１２２に、予め錫メッキを行っていれば、このＩＰ電極１２１，１２２の錫メッキも含めて接続される。このように錫メッキを用いることで、必要最小限の量で接合でき、チップ部品の外部電極の中心付近をできるだけ拘束しないようにすることができる。これにより、電子部品１０が形成される。なお、積層セラミックコンデンサ１１とインターポーザー１２との接合は、外部電極１１１，１１２の錫メッキやインターポーザー１２の錫メッキを用いず、略同量のはんだによって行ってもよい。

[0062] 電子部品１０は、図３に示すように、回路基板２０に実装される。この際、回路基板２０の実装用ランド２０１にインターポーザー１２のＩＰ電極１２１の下面電極１２１２が接続し、実装用ランド２０２にインターポーザー１２のＩＰ電極１２２の下面電極１２２２が接続するように、実装される。インターポーザー１２のＩＰ電極１２１，１２２と回路基板２０の実装用ランド２０１，２０２との接続には、はんだ３００を用いる。

[0063] このようなはんだ３００による接合では、少なくとも回路基板２０の実装用ランド２０１，２０１からインターポーザー１２の接続電極４０１－４０４にかけてはんだフィレットが形成されるように、はんだ接合を行う。このようにフィレットを形成することで、電子部品１０の実装時の浮きを防止したり、接合強度を確保できたり、確実にはんだ接合していることを目視確認

することができるため、非常に有効である。

[0064] なお、ぬれ性を有し導電性を有する接合剤であれば、はんだ３００以外の材料を用いてもよい。

[0065] このようなはんだ３００による接合を行うと、供給されるはんだ量が多かった場合、ＩＰ電極１２１，１２２の接続電極４０１－４０４ではんだフィレットを形成する以上に、接続電極４０１－４０４を介してインターポーザー１２の上面側まではんだ３００が上がってくることがある。

[0066] しかしながら、本実施形態の構成では、インターポーザー１２の四つの角にのみ接続電極４０１－４０４を形成し、当該接続電極４０１－４０４が形成される切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４が、主面に直交する方向から見た積層セラミックコンデンサ１１の四つ角、すなわち外部電極１１１，１１２における主面に直交する方向に延びる四稜線の位置と一致する。この構成により、はんだ３００は、図３に示すように、当該四つの角部付近の切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４に対応する外部電極１１１，１１２の四稜線の各下端から四稜線に沿うように付着する。これにより、外部電極１１１，１１２の端面の中央付近にははんだ３００が付着せず、上述のような積層セラミックコンデンサ１１の歪みによる振動音の発生を効果的に抑制することができる。

[0067] 図４は、本実施形態の構成および従来の構成による音圧レベルー周波数特性を示す図である。図４における従来の構成とは、インターポーザーを用いず積層セラミックコンデンサを回路基板へ直接実装する構成（態様Ｔ０）と、インターポーザーを用いながら外部電極の端面中心を主として端面全体ではんだ接合した構成（態様Ｉ０）である。図４に示すように、本実施形態の構成を用いることで、従来の態様Ｔ０と比較して、振動音の音圧レベルを広い周波数帯域で大幅に抑制することができる。同様に、従来の態様Ｉ０と比較しても効果的に振動音の音圧レベルを抑制することができる。

[0068] さらに、本実施形態のように板厚の薄い絶縁性基板１２０からなるインターポーザー１２を用いることで、電子部品１０の高さが大きくなることを抑

制でき、低背化が可能になる。また、積層セラミックコンデンサ１１、インターポーザー１２を回路基板２０に対して主面が一致するように積層して実装する構造であるので、高い接合強度を実現できる。これにより、積層セラミックコンデンサ１１を回路基板２０に直接実装する場合と略同等の接合強度を得られる。

[0069] さらに、上述の実施形態では、実装用ランド２０１，２０２は、積層セラミックコンデンサ１１を直接実装する場合と同じ仕様で、形状および間隔が設定されている。

[0070] 上述のように、本実施形態の電子部品１０は、主面に直交する方向から見て、インターポーザー１２のＩＰ電極１２１，１２２の位置と積層セラミックコンデンサ１１の外部電極１１１，１１２の位置とが重なり、積層セラミックコンデンサ１１の外部電極１１１，１１２の四稜線と略同じ位置に接続電極４０１－４０４が存在するので、積層セラミックコンデンサ１１を直接実装する場合と同じ仕様の実装用ランド２０１，２０２で、そのまま電子部品１０を実装することができる。すなわち、回路基板２０の実装ランド２０１，２０２の設計変更を必要としない。さらに、回路基板２０に積層セラミックコンデンサ１１単体を実装する場合とほぼ同じ専有面積で、電子部品１０を実装することができる。これにより、インターポーザー１２を用いても平面的に殆ど大型化することなく、積層セラミックコンデンサ１１を回路基板２０へ接続できる。

[0071] 次に、第２の実施形態に係る電子部品について、図を参照して説明する。図５（Ａ）～図５（Ｃ）は本実施形態に係るインターポーザー１２Ａを含む電子部品１０Ａの構成を示す三面図である。図５（Ｄ）はインターポーザー１２Ａと積層セラミックコンデンサ１１との形状の関係を示す図である。図６は本実施形態の係る電子部品１０Ａを回路基板２０に実装した状態での三面図である。

[0072] 本実施形態のインターポーザー１２Ａは、基本的構成は第１の実施形態に示したインターポーザー１２と同じであるが、長さおよび幅が異なる。

[0073] 図５（Ｄ）に示すように、インターポーザー１２Ａすなわち絶縁性基板１２０Ａの長さＬｉＡは、積層セラミックコンデンサ１１の長さＬｃｉに対してわずかに短い。すなわち、ＬｉＡ≒Ｌｃｉ且つＬｉＡ＜Ｌｃｉとなる。インターポーザー１２Ａすなわち絶縁性基板１２０Ａの幅は、積層セラミックコンデンサ１１の幅と略同じで且つ短い。すなわち、ＷｉＡ≒Ｗｃｉ且つＷｉＡ＜Ｗｃｉとなる。

[0074] このような構成で、第１の実施形態と同様の回路基板２０へのはんだ接合を行うと、供給されるはんだ量が多かった場合、はんだ３００が、図６に示すように、切り欠き部Ｃｄ１１Ａ，Ｃｄ１２Ａ，Ｃｄ１３Ａ，Ｃｄ１４Ａ（接続電極４０１Ａ，４０２Ａ，４０３Ａ，４０４Ａ）に対応する外部電極１１１，１１２の四稜線の各下端から四稜線に沿うように付着する。これにより、外部電極１１１，１１２の端面の中央付近にははんだ３００が付着せず、上述のような積層セラミックコンデンサ１１の歪みによる振動音の発生を効果的に抑制することができる。

[0075] さらに、本実施形態の構成では、回路基板２０に積層セラミックコンデンサ１１単体を実装する場合と同じ実装用ランドを利用できる。また、積層セラミックコンデンサ１１を単体で実装する場合と同じ面積で、電子部品１０を実装することができる。これにより、インターポーザー１２を用いても、さらなる小型化が可能になる。

[0076] 次に、第３の実施形態に係る電子部品について、図を参照して説明する。図７（Ａ）～図７（Ｃ）は本実施形態に係るインターポーザー１２Ｂを含む電子部品１０Ｂの構成を示す三面図である。図７（Ｄ）はインターポーザー１２Ｂと積層セラミックコンデンサ１１との形状の関係を示す図である。

[0077] 図７（Ｄ）に示すように、本実施形態のインターポーザー１２Ｂは、第１の実施形態に示したインターポーザー１２に対して、長さおよび幅がより大きくなる構造を有する。具体的には、インターポーザー１２Ｂの長さをＬｉＢとし、幅をＷｉＢとした場合に、ＬｉＢ＞Ｌｃｉ、ＷｉＢ＞Ｗｃｉとなる。

[0078] また、インターポーザー１２Ｂでは、切り欠き部Ｃｄ１１Ｂ，Ｃｄ１２Ｂ，Ｃｄ１３Ｂ，Ｃｄ１４Ｂが、主面に直交する方向から見て直線状となるように、形成されている。切り欠き部Ｃｄ１１Ｂ，Ｃｄ１２Ｂ，Ｃｄ１３Ｂ，Ｃｄ１４Ｂは、主面に直交する方向から見て、積層セラミックコンデンサ１１の外形形状の内側に入らないような形状で形成されている。このような形状であっても、切り欠き部Ｃｄ１１Ｂ，Ｃｄ１２Ｂ，Ｃｄ１３Ｂ，Ｃｄ１４Ｂに形成された接続電極４０１Ｂ，４０２Ｂ，４０３Ｂ，４０４Ｂは、積層セラミックコンデンサ１１の外部電極１１１，１１２に対して、当該外部電極１１１，１１２の前記主面に直交する方向に延びる四稜線のインターポーザー１２Ｂ側端部に最も近くなる。これにより、接続電極４０１Ｂ，４０２Ｂ，４０３Ｂ，４０４Ｂを介してはんだがぬれあがって、外部電極１１１，１１２に付着しても、外部電極１１１，１１２の四稜線付近にのみ付着する。したがって、上述の各実施形態と同様に、振動音の発生を抑制できる。

[0079] さらに、インターポーザー１２ＢのＩＰ電極１２１Ｂの上面電極１２１１Ｂは、幅方向に沿って離間して形成された部分上面電極１２１１ＬＢ，１２１１ＲＢで構成される。すなわち、インターポーザー１２Ｂの上面には、部分上面電極１２１１ＬＢ，１２１１ＲＢで挟まれる電極離間部５００（本発明の「接触規制手段」に相当する。）が形成されている。これら部分上面電極１２１１ＬＢ，１２１１ＲＢは、外部電極１１１の二稜線の位置を含む範囲で電極形成されている。

[0080] インターポーザー１２ＢのＩＰ電極１２２Ｂの上面電極１２２１Ｂは、幅方向に沿って離間して形成された部分上面電極１２２１ＬＢ，１２２１ＲＢで構成される。すなわち、インターポーザー１２Ｂの上面には、部分上面電極１２２１ＬＢ，１２２１ＲＢで挟まれる電極離間部５００（本発明の「接触規制手段」に相当する。）が形成されている。これら部分上面電極１２２１ＬＢ，１２２１ＲＢは、外部電極１１２の二稜線の位置を含む範囲で電極形成されている。

[0081] このような構成とすることで、外部電極１１１，１１２の端面における幅

方向の中央付近（電極離間部５００）には、上面電極が形成されず、当該外部電極１１１，１１２の端面における幅方向の中央付近へのはんだの付着を防止できる。これにより、さらに確実に振動音の発生を抑制できる。

[0082] なお、図７では、ＩＰ電極１２１Ｂ，１２２Ｂの下面電極がそれぞれ幅方向に分離していないが、分離させてもよい。

[0083] 第４の実施形態に係る電子部品について、図を参照して説明する。図８は本実施形態に係るインターポーザー１２Ｃを含む電子部品１０Ｃの構成を示す三面図である。

[0084] 本実施形態のインターポーザー１２Ｃは、上面電極がインターポーザー１２Ｃの全幅に亘って形成されたものであり、他の構成は、第３の実施形態に示したインターポーザー１２Ｂと同じである。

[0085] 本実施形態のＩＰ電極１２１Ｃの上面電極１２１１Ｃは、インターポーザー１２Ｃの全幅に亘り形成されている。ＩＰ電極１２２Ｃの上面電極１２２１Ｃも、インターポーザー１２Ｃの全幅に亘り形成されている。

[0086] このような構成であっても、上述の第３実施形態に示したように、切り欠き部Ｃｄ１１Ｃ，Ｃｄ１２Ｃ，Ｃｄ１３Ｃ，Ｃｄ１４Ｃに形成された接続電極４０１Ｃ，４０２Ｃ，４０３Ｃ，４０４Ｃは、積層セラミックコンデンサ１１の外部電極１１１，１１２に対して、当該外部電極１１１，１１２の前記主面に直交する方向に延びる四稜線のインターポーザー１２Ｃ側端部に最も近くなる。これにより、接続電極４０１Ｃ，４０２Ｃ，４０３Ｃ，４０４Ｃを介してはんだがぬれ上がって、外部電極１１１，１１２に付着しても、外部電極１１１，１１２の四稜線付近にのみ付着する。したがって、第３実施形態と同様に、振動音の発生を抑制できる。

[0087] 次に、第５の実施形態に係る電子部品について、図を参照して説明する。図９は本実施形態に係るインターポーザー１２Ｄを含む電子部品１０Ｄの構成を示す三面図である。

[0088] 本実施形態のインターポーザー１２Ｄは、上面電極１２１１Ｄ，１２２１Ｄ上に、はんだレジスト膜Ｒｅ１２が形成されたものであり、他の構成は、

第１の実施形態に示したインターポーザー１２と同じである。

[0089] はんだレジスト膜Ｒｅ１２は、本発明の「接触規制手段」に相当し、積層セラミックコンデンサ１１の外部電極１１１，１１２の幅方向の中心位置から上面電極１２１１Ｄ，１２２１Ｄに下ろす垂線が上面電極１２１１Ｄ，１２２１Ｄに直交する位置を含む所定幅の範囲に形成されている。はんだレジスト膜Ｒｅ１２は、インターポーザー１２Ｄの長さ方向に対しても、前記垂線が上面電極１２１１Ｄ，１２２１Ｄに直交する位置を含む所定長の範囲に形成されている。これにより、外部電極１１１，１１２の幅方向の中央付近が、ＩＰ電極１２１Ｄ，１２２Ｄの上面電極１２１１Ｄ，１２２１Ｄに接しない。

[0090] このため、上述のように、はんだが上面電極１２１１Ｄ，１２２１Ｄにぬれ上がっても、はんだレジスト膜Ｒｅ１２により、中央付近には付着しない。これにより、より確実に振動音の発生を抑制できる。

[0091] 次に、第６の実施形態に係る電子部品について、図を参照して説明する。図１０は本実施形態に係るインターポーザー１２Ｅを含む電子部品１０Ｅの構成を示す三面図である。なお、図１０では、インターポーザー１２Ｅの構造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0092] 本実施形態のインターポーザー１２Ｅは、第３の実施形態に対して、切り欠き部Ｃｄ６１，Ｃｄ６２の形成位置が異なるものであり、他の構成は、第３の実施形態に示したインターポーザー１２Ｂと同じである。

[0093] インターポーザー１２ＥのＩＰ電極１２１Ｅの上面電極１２１１Ｅは、インターポーザー１２Ｅすなわち絶縁性基板１２０Ｅの幅方向に沿って離間して配置された部分上面電極１２１１ＬＥ，１２１１ＲＥを備える。すなわち、インターポーザー１２Ｅの上面には、部分上面電極１２１１ＬＥ，１２１１ＲＥで挟まれる電極離間部５０１が形成されている。この電極離間部５０１では、インターポーザー１２Ｅの絶縁性基板１２０Ｅの上面と、積層セラミックコンデンサ１１の外部電極１１１とが直接対面している。部分上面電

極１２１１ＬＥ，１２１１ＲＥは、絶縁性基板１２０Ｅの長さ方向の一方端付近で、且つ積層セラミックコンデンサ１１の外部電極１１１が載置される位置よりも端部側に形成された接続電極により接続されている。

[0094] 切り欠き部Ｃｄ６１は、絶縁性基板１２０ＥのＩＰ電極１２１Ｅが形成される側の端面で、絶縁性基板１２０Ｅの幅方向の略中心位置に形成されている。切り欠き部Ｃｄ６１の形状は、上述の第１の実施形態に示した切り欠き部Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４と同様に、主面に直交する方向から見て円弧状になるような形状である。切り欠き部Ｃｄ６１の壁面には接続電極４１１Ｅが形成されており、前記部分上面電極１２１１ＬＥ，１２１１ＲＥを接続する電極を介して、部分上面電極１２１１ＬＥ，１２１１ＲＥに接続されている。

[0095] インターポーザー１２ＥのＩＰ電極１２２Ｅの上面電極１２２１Ｅは、インターポーザー１２Ｅすなわち絶縁性基板１２０Ｅの幅方向に沿って離間して配置された部分上面電極１２２１ＬＥ，１２２１ＲＥを備える。すなわち、インターポーザー１２Ｅの上面には、部分上面電極１２２１ＬＥ，１２２１ＲＥで挟まれる電極離間部５０１が形成されている。この電極離間部５０１では、インターポーザー１２Ｅの絶縁性基板１２０Ｅの上面と、積層セラミックコンデンサ１１の外部電極１１２とが直接対面している。部分上面電極１２２１ＬＥ，１２２１ＲＥは、絶縁性基板１２０Ｅの長さ方向の他方端付近で、且つ積層セラミックコンデンサ１１の外部電極１１２が載置される位置よりも端部側に形成された接続電極により接続されている。

[0096] 切り欠き部Ｃｄ６２は、絶縁性基板１２０ＥのＩＰ電極１２２Ｅが形成される側の端面で、絶縁性基板１２０Ｅの幅方向の略中心位置に形成されている。切り欠き部Ｃｄ６２の形状も、切り欠き部Ｃｄ６１と同様に、主面に直交する方向から見て円弧状になるような形状である。切り欠き部Ｃｄ６２の壁面には接続電極４１２Ｅが形成されており、前記部分上面電極１２２１ＬＥ，１２２１ＲＥを接続する電極を介して、部分上面電極１２２１ＬＥ，１２２１ＲＥに接続されている。

[0097] このような構成とすることで、接続電極４１１Ｅ，４１２Ｅをそれぞれ備える切り欠き部Ｃｄ６１，Ｃｄ６２を、インターポーザー１２Ｅの幅方向の中央に設置しても、上述の各実施形態に示したように上面電極１２１Ｅ，１２２Ｅにぬれ上がったはんだは、外部電極１１１，１１２の四稜線付近に付着し、幅方向の中央付近には付着しない。これにより、上述の各実施形態と同様に、振動音の発生を抑制できるとともに、上述の各効果を奏することができる。

[0098] 次に、第７の実施形態に係る電子部品について、図を参照して説明する。図１１は本実施形態に係るインターポーザー１２Ｆを含む電子部品１０Ｆの構成を示す三面図である。なお、図１１では、インターポーザー１２Ｆの構造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0099] 本実施形態のインターポーザー１２Ｆは、第６の実施形態に示したインターポーザー１２Ｅに対して、上面電極１２１１Ｆ，１２２１Ｆを、絶縁性基板１２０Ｆの略全幅に亘るように形成し、部分的に電極非形成部１３１Ｆ，１３２Ｆを設けたものであり、他の構成は同じである。

[0100] 電極非形成部１３１Ｆは、積層セラミックコンデンサ１１の外部電極１１１の幅方向の中心位置から上面電極１２１１Ｆに下ろす垂線が上面電極１２１１Ｆに直交する位置を含む所定幅の範囲に形成されている。電極非形成部１３１Ｆは、インターポーザー１２Ｆの長さ方向すなわち絶縁性基板１２０Ｆの長さ方向に対しても、前記垂線が上面電極１２１１Ｆに直交する位置を含む所定長の範囲に形成されている。言い換えれば、インターポーザー１２Ｆの上面における外部電極１１１の幅方向の中央付近に、電極の開口パターンが形成されている。これにより、外部電極１１１の幅方向の中央付近が、ＩＰ電極１２１Ｆの上面電極１２１１Ｆに接しない。

[0101] 同様に、電極非形成部１３２Ｆは、積層セラミックコンデンサ１１の外部電極１１２の幅方向の中心位置から上面電極１２２１Ｆに下ろす垂線が上面電極１２２１Ｆに直交する位置を含む所定幅の範囲に形成されている。電極

非形成部１３２Ｆは、インターポーザー１２Ｆの長さ方向すなわち絶縁性基板１２０Ｆの長さ方向に対しても、前記垂線が上面電極１２２１Ｆに直交する位置を含む所定長の範囲に形成されている。言い換えれば、インターポーザー１２Ｆの上面における外部電極１１２の幅方向の中央付近に、電極の開口パターンが形成されている。これにより、外部電極１１２の幅方向の中央付近が、ＩＰ電極１２２Ｆの上面電極１２２１Ｆに接しない。

[0102] このため、上述のように、はんだが接続電極４１１Ｆ，４１２Ｆを介して上面電極１２１１Ｆ，１２２１Ｆにぬれ上がっても、電極非形成部１３１Ｆ，１３２Ｆにより、外部電極１１１，１１２の中央付近には付着しない。これにより、振動音の発生を抑制できる。

[0103] 次に、第８の実施形態に係る電子部品について、図を参照して説明する。図１２は本実施形態に係るインターポーザー１２Ｇを含む電子部品１０Ｇの構成を示す三面図である。なお、図１２では、インターポーザー１２Ｇの構造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0104] 本実施形態のインターポーザー１２Ｇは、第７の実施形態に示した電極非形成部１３１Ｆ，１３２Ｆと同じ位置に、はんだレジスト膜Ｒｅ１２Ｇをそれぞれ形成したものであり、他の構成は第７の実施形態と同じである。この際、図１２では、当該位置に上面電極を形成しているように図示されているが、当該位置には上面電極を形成してもしなくてもよい。このはんだレジスト膜Ｒｅ１２Ｇが本発明の「接触規制手段」に相当する。

[0105] このような構成では、上述のように、はんだが接続電極４１１Ｇ，４１２Ｇを介して上面電極１２１１Ｇ，１２２１Ｇにぬれ上がっても、はんだレジスト膜Ｒｅ１２Ｇにより、外部電極１１１，１１２の中央付近には付着しない。これにより、振動音の発生を抑制できる。

[0106] 次に、第９の実施形態に係る電子部品について、図を参照して説明する。図１３は本実施形態に係るインターポーザー１２Ｈを含む電子部品１０Ｈの構成を示す三面図である。なお、図１３では、インターポーザー１２Ｈの構

造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0107] 本実施形態のインターポーザー１２Ｈは、第７の実施形態に示した電極非形成部１３１Ｆ，１３２Ｆを形成せず、絶縁性基板１２０Ｈの略全幅に亘って、上面電極１２１１Ｈ，１２２１Ｈが形成されており、当該上面電極１２１１Ｈ，１２２１Ｈ上にはんだレジスト膜Ｒｅ１２Ｈが形成されている。他の構成は、第７の実施形態と同じである。

[0108] はんだレジスト膜Ｒｅ１２Ｈは、積層セラミックコンデンサ１１の外部電極１１１，１１２の幅方向の中心位置から上面電極１２１１Ｈ，１２２１Ｈに下ろす垂線が上面電極１２１１Ｈ，１２２１Ｈに直交する位置を含む所定幅の範囲に形成されている。はんだレジスト膜Ｒｅ１２Ｈは、インターポーザー１２Ｈの長さ方向に対しても、前記垂線が上面電極１２１１Ｈ，１２２１Ｈに直交する位置を含む所定長の範囲に形成されている。このはんだレジスト膜Ｒｅ１２Ｈが本発明の「接触規制手段」に相当する。

[0109] さらに、はんだレジスト膜Ｒｅ１２Ｈは、上面電極１２１１Ｈ，１２２１Ｈが切り欠き部Ｃｄ６１，Ｃｄ６２の接続電極４１１Ｈ，４１２Ｈに接続する領域と、上面電極１２１１Ｈ，１２２１Ｈが外部電極１１１，１１２の前記四稜線に接する領域とを、絶縁性基板１２０Ｈの主面に直交する方向から見て分割するような形状で形成されている。例えば、図１３（Ａ）に示すように、切り欠き部Ｃｄ６１，Ｃｄ６２側に中心を有し、外部電極１１１，１１２の幅方向の中央付近を通り、所定の幅を有する円弧状に形成する。

[0110] このような構成とすることで、上述のようにはんだが接続電極４１１Ｈ，４１２Ｈを介して上面電極１２１１Ｈ，１２２１Ｈにぬれ上がっても、はんだレジスト膜Ｒｅ１２Ｈにより、外部電極１１１，１１２には全くはんだが付着しない。これにより、さらに確実に振動音の発生を抑制できる。

[0111] 次に、第１０の実施形態に係る電子部品について、図を参照して説明する。図１４は本実施形態に係るインターポーザー１２Ｋを含む電子部品１０Ｋの構成を示す三面図である。なお、図１４では、インターポーザー１２Ｋの

構造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0112] 本実施形態のインターポーザー１２Ｋは、第９の実施形態に示したインターポーザー１２Ｈに対して、はんだレジスト膜Ｒｅ１２Ｋの形状が異なるものであり、他の構成は同じである。

[0113] はんだレジスト膜Ｒｅ１２Ｋは、インターポーザー１２Ｋの長さ方向に対して、積層セラミックコンデンサ１１の外部電極１１１，１１２の幅方向の中心位置から上面電極１２１１Ｋ，１２２１Ｋに下ろす垂線が上面電極１２１１Ｋ，１２２１Ｋに直交する位置を含み、且つ長さ方向の両端まで達する形状で形成されている。このはんだレジスト膜Ｒｅ１２Ｋが本発明の「規制部」に相当する。

[0114] この際、はんだレジスト膜Ｒｅ１２Ｋは、接続電極４１１Ｋ，４１２Ｋを備える切り欠き部Ｃｄ６１，Ｃｄ６２の上面電極１２１１Ｋ，１２２１Ｋ側の開口端を覆うような形状で形成されている。

[0115] このような構造とすることで、電子部品１０Ｋを回路基板に実装する際にはんだが切り欠き部Ｃｄ６１，Ｃｄ６２の接続電極４１１Ｋ，４１２Ｋに沿ってぬれ上がってきても、はんだレジスト膜Ｒｅ１２Ｋによって、はんだのインターポーザー１２Ｋの上面側へのぬれ上がりを堰き止めることができる。これにより、回路基板へ実装するためのはんだが、インターポーザー１２Ｋの上面側すなわち積層セラミックコンデンサ１１の外部電極１１１，１１２に、不要に付着することを防止できる。この結果、上述の各実施形態と同様に、振動音の発生を抑制できる。

[0116] 次に、第１１の実施形態に係る電子部品について、図を参照して説明する。図１５は本実施形態に係るインターポーザー１２Ｌを含む電子部品１０Ｌの構成を示す三面図である。なお、図１５では、インターポーザー１２Ｌの構造を明確に示すために積層セラミックコンデンサ１１の図示を簡略化している。

[0117] 本実施形態のインターポーザー１２Ｌは、第１０の実施形態に示したイン

ターポーザー１２Ｋに対して、はんだレジスト膜Ｒｅ１２Ｌの形状が異なるものであり、他の構成は同じである。

[0118] はんだレジスト膜Ｒｅ１２Ｌは、第１０の実施形態のインターポーザー１２Ｋと同様に、インターポーザー１２Ｌの接続電極４１１Ｌ，４１２Ｌを備える切り欠き部Ｃｄ６１，Ｃｄ６２の上面電極１２１１Ｌ，１２２１Ｌ側を覆うような形状で形成されている。ただし、本実施形態のはんだレジスト膜Ｒｅ１２Ｌは、前記長さ方向の中央側の端部が、積層セラミックコンデンサ１１の外部電極１１１，１１２が上面電極１２１１Ｌ，１２２１Ｌに当接する（実装される）位置まで届かない形状で形成されている。言い換えれば、はんだレジスト膜Ｒｅ１２Ｌは、切り欠き部Ｃｄ６１，Ｃｄ６２を覆うことを最小限とし、できる限り小さい形状に形成されている。このはんだレジスト膜Ｒｅ１２Ｌが本発明の「規制部」に相当する。

[0119] このような構造のはんだレジスト膜Ｒｅ１２Ｌを形成すれば、上述の第１０の実施形態に示したインターポーザー１２Ｋと同様に、本実施形態のインターポーザー１２Ｌでも、回路基板へ実装するためのはんだが、インターポーザー１２Ｌの上面側すなわち積層セラミックコンデンサ１１の外部電極１１１，１１２に、不要に付着することを防止できる。この結果、上述の各実施形態と同様に、振動音の発生を抑制できる。

[0120] さらに、本実施形態の構造を用いることで、はんだレジスト膜Ｒｅ１２Ｌが積層セラミックコンデンサ１１の実装される領域まで広がらない形状であるので、積層セラミックコンデンサ１１を上面電極１２１１Ｌ，１２２１Ｌへ実装する際に、積層セラミックコンデンサ１１の外部電極１１１，１１２の底面と上面電極１２１１Ｌ，１２２１Ｌとの間に、はんだレジスト膜Ｒｅ１２Ｌが介在しない。これにより、積層セラミックコンデンサ１１の外部電極１１１，１１２の底面と上面電極１２１１Ｌ，１２２１Ｌとが離間することなく、確実に当接する。したがって、積層セラミックコンデンサ１１の外部電極１１１，１１２の底面と上面電極１２１１Ｌ，１２２１Ｌとの接合強度が向上する。

[0121] なお、第１０の実施形態および第１１の実施形態に示したはんだレジスト膜は、インターポーザーの幅方向の中央領域にのみ形成されているが、幅方向の全域に亘って形成してもよい。

[0122] また、第１０の実施形態および第１１の実施形態に示したインターポーザーは、幅方向の中央に切り欠き部を形成したものであるが、上述の各実施形態に示した、角部に切り欠き部を設けたものであっても、当該切り欠き部を覆うようにはんだレジスト膜を形成することができる。これにより、第１０の実施形態および第１１の実施形態と同様に不要なはんだの外部電極への付着を防止できる。

[0123] また、第１０の実施形態および第１１の実施形態に示したインターポーザーは、はんだレジスト膜を用いた例を示したが、切り欠き部を上面電極側から覆うように金属膜を形成してもよく、はんだのぬれ上がりを堰き止められる板状の部材であればよい。

[0124] また、上述の各実施形態の構成は単独で用いてもよいが、複数の実施形態の構成を組み合わせて用いることもできる。さらには、これらの実施形態の構成に基づき類推できる形状であれば、上述の各実施形態と同様の作用効果を得られる。

[0125] また、上述の実施形態では、絶縁性基板に対して電極非形成部やレジスト膜を形成することで、積層セラミックコンデンサ１１の外部電極１１１，１１２の端面中央にはんだが付着することを抑制したが、このような電極非形成部やレジスト膜を、外部電極１１１，１１２に形成することも可能である。

[0126] 図１６は、その他の実施形態に係る電子部品１０Ｊを回路基板２００に実装した状態を示す三面図である。

[0127] 図１６に示す電子部品１０Ｊは、第１の実施形態に示した電子部品１０に対して、積層セラミックコンデンサ１１Ｊの外部電極が異なるものであり、他の構成は同じである。

[0128] 電子部品１０Ｊの積層セラミックコンデンサ１１Ｊの外部電極１１１Ｊ，

１１２Ｊは、図１６（Ｃ）に示すように、部品本体１１０の長手方向の端面、すなわち外部電極１１１Ｊ，１１２Ｊの形成面の中央に、所定面積で電極非形成部１４０が設けられている。このような構成とすることで、部品本体１１０の外部電極１１１Ｊ，１１２Ｊが形成される端面の中央にはんだが付着することを、さらに確実に防止できる。この電極非形成部１４０が、本発明の「接合規制手段」に相当する。

[0129] なお、外部電極に非形成部を設けることやレジスト膜を形成し、直接回路基板に接合する構成でも、振動音の発生を抑制することが可能であるが、上述の構成からなるインターポーザーを介することにより、より確実に振動音の発生を抑制するとともに、実装時の浮きを抑制し接合の安定性を得ることができる。

[0130] また、図１６では、電極非形成部１４０を設ける例を示したが、当該領域に、電極の有無に関係なく、レジスト膜を形成するようにしてもよい。さらには、外部電極を底面にのみ形成する構造であってもよい。そして、このような図１６に類する構成は、上述のいずれの実施形態の構成とも組み合わせることができる。

[0131] また、上述の説明では、チップ部品として積層セラミックコンデンサを用いた例を示したが、同様の振動が発生する他のチップ部品にも、上述の構成を適用することができる。

[0132] そして、本発明で示す略矩形とは、長方形に限るものではなく、正方形や、これら長方形や正方形の角部（隅）が切り取られた多角形、長方形や正方形の角部（隅）が曲面状に成形された形状も含む。

符号の説明

[0133] １０，１０Ａ，１０Ｂ，１０Ｃ，１０Ｄ，１０Ｅ，１０Ｆ，１０Ｇ，１０Ｈ，１０Ｋ，１０Ｌ：電子部品、

１１，１１Ｊ：積層セラミックコンデンサ、

１１０：部品本体、

１１１，１１２，１１１Ｊ，１１２Ｊ：外部電極、

１２，１２Ａ，１２Ｂ，１２Ｃ，１２Ｄ，１２Ｅ，１２Ｆ，１２Ｇ，１２Ｈ，１２Ｋ，１２Ｌ：インターポーザー、

１２０，１２０Ａ，１２０Ｂ，１２０Ｃ，１２０Ｄ，１２０Ｅ，１２０Ｅ，１２０Ｇ，１２０Ｈ，１２０Ｋ，１２０Ｌ：絶縁性基板、

１２１，１２２，１２１Ａ，１２２Ａ，１２１Ｂ，１２２Ｂ，１２１Ｃ，１２２Ｃ，１２１Ｄ，１２２Ｄ，１２１Ｅ，１２２Ｅ，１２１Ｆ，１２２Ｆ，１２１Ｇ，１２２Ｇ，１２１Ｈ，１２２Ｈ，１２１Ｋ，１２２Ｋ，１２１Ｌ，１２２Ｌ：ＩＰ電極、

１２１１，１２２１，１２１１Ａ，１２２１Ａ，１２１１Ｂ，１２２１Ｂ，１２１１Ｃ，１２２１Ｃ，１２１１Ｄ，１２２１Ｄ，１２１１Ｅ，１２２１Ｅ，１２１１Ｆ，１２２１Ｆ，１２１１Ｇ，１２２１Ｇ，１２１１Ｈ，１２２１Ｈ，１２１１Ｋ，１２２１Ｋ，１２１１Ｌ，１２２１Ｌ：上面電極、

１２１１ＬＢ，１２１１ＲＢ，１２２１ＬＢ，１２２１ＲＢ，１２１１ＬＥ，１２１１ＲＥ，１２２１ＬＥ，１２２１ＲＥ：部分上面電極、

１２１２，１２２２：下面電極、

１３１Ｆ，１３２Ｆ：電極非形成部、

１４０：電極非形成部（外部電極）、

Ｃｄ１１，Ｃｄ１２，Ｃｄ１３，Ｃｄ１４，Ｃｄ１１Ａ，Ｃｄ１２Ａ，Ｃｄ１３Ａ，Ｃｄ１４Ａ，Ｃｄ１１Ｂ，Ｃｄ１２Ｂ，Ｃｄ１３Ｂ，Ｃｄ１４Ｂ，Ｃｄ１１Ｃ，Ｃｄ１２Ｃ，Ｃｄ１３Ｃ，Ｃｄ１４Ｃ，Ｃｄ１１Ｄ，Ｃｄ１２Ｄ，Ｃｄ１３Ｄ，Ｃｄ１４Ｄ，Ｃｄ６１，Ｃｄ６２：切り欠き部、

Ｒｅ１２，Ｒｅ１２Ｇ，Ｒｅ１２Ｈ，Ｒｅ１２Ｋ，Ｒｅ１２Ｌ：はんだレジスト膜、

２０：回路基板、

２０１，２０２：実装用ランド、

４０１，４０２，４０３，４０４，４０１Ａ，４０２Ａ，４０３Ａ，４０４Ａ，４０１Ｂ，４０２Ｂ，４０３Ｂ，４０４Ｂ，４０１Ｃ，４０２Ｃ，４０３Ｃ，４０４Ｃ，４０１Ｄ，４０２Ｄ，４０３Ｄ，４０４Ｄ，４１１Ｅ，４

１２Ｅ，４１１Ｆ，４１２Ｆ，４１１Ｇ，４１２Ｇ，４１１Ｈ，４１２Ｈ，４１１Ｋ，４１２Ｋ，４１１Ｌ，４１２Ｌ：接続電極、

５００，５０１：電極離間部

請求の範囲

[請求項1] 平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、前記絶縁性基板の他方主面に形成された第１下面電極、第２下面電極を備える基板と、

本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、前記第１外部電極が前記第１上面電極に実装され、前記第２外部電極が前記第２上面電極に実装されるチップ部品と、を備える電子部品であって、

前記基板は、前記一方主面と前記他方主面に直交する端面に形成され、前記第１上面電極と前記第１下面電極を接続し、前記第２上面電極と前記第２上面電極とを接続する複数の接続電極を備え、

前記チップ部品の本体の長さ方向と直交する幅方向の略中央において、前記第１上面電極と前記第１下面電極とが離間し、前記第２上面電極と前記第２下面電極とが離間していることを特徴とする電子部品。

[請求項2] 請求項１に記載の電子部品であって、

前記絶縁性基板には、前記チップ部品の前記第１外部電極に対応する位置に、それぞれ前記第１上面電極および前記第１下面電極が設けられ、前記チップ部品の前記第２外部電極に対応する位置に、それぞれ前記第２上面電極および前記第２下面電極が設けられ、

前記複数の接続電極は、前記絶縁性基板の四隅に形成されている、電子部品。

[請求項3] 請求項２に記載の電子部品であって、

前記絶縁性基板の四隅には切り欠き部が形成されており、

該切り欠き部の内壁面に前記接続電極が形成されている、電子部品。

[請求項4] 請求項３に記載の電子部品であって、

前記絶縁性基板に前記チップ部品を搭載した際に、前記一方主面お

よび前記他方主面に直交する方向から見て、前記切り欠き部の少なくとも一部は前記チップ部品の外形で構成される領域内に存在する、電子部品。

[請求項5] 請求項３または請求項４に記載の電子部品であって、

前記切り欠き部は、前記一方主面および前記他方主面に直交する方向から見た状態で、前記絶縁性基板の中心側に膨らむ円弧形状で形成されている、電子部品。

[請求項6] 請求項３または請求項４に記載の電子部品であって、

前記絶縁性基板は、前記チップ部品を搭載した際、前記一方主面および前記他方主面に直交する方向から見た状態で、前記チップ部品の外形よりも小さい外形形状で形成されている、電子部品。

[請求項7] 請求項１乃至請求項６のいずれかに記載の電子部品であって、

前記絶縁性基板は、前記チップ部品の前記第１外部電極および前記第２外部電極が形成される端部の中心から前記絶縁性基板に下ろした垂線が該絶縁性基板と交差する位置を含む所定範囲において、前記第１外部電極および前記第２外部電極に対して直接対面している、電子部品。

[請求項8] 請求項１乃至請求項６のいずれかに記載の電子部品であって、

前記第１上面電極および前記第２上面電極の前記チップ部品を搭載する面には、前記チップ部品の前記第１外部電極および前記第２外部電極が形成される端部の中心から前記第１上面電極および前記第２上面電極に下ろした垂線が前記基板と交差する位置を含む所定範囲にレジスト膜が設けられている、電子部品。

[請求項9] 平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、前記絶縁性基板の他方主面に形成された第１下面電極、第２下面電極を備える基板と、

本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、前記第１外部電極が前記第１上面電極に実装され

、前記第２外部電極が前記第２上面電極に実装されるチップ部品と、を備える電子部品であって、

前記基板は、前記一方主面と前記他方主面に直交する端面に形成され、前記第１上面電極と前記第１下面電極を接続し、前記第２上面電極と前記第２上面電極とを接続する複数の接続電極を備え、

前記第１上面電極および前記第２上面電極には、前記第１外部電極および前記第２外部電極の端面の中心から前記第１上面電極および前記第２上面電極に下ろした垂線が前記基板と交差する位置を含む所定範囲が前記第１上面電極および前記第２上面電極に対して非接触となる接触規制手段が形成されている、電子部品。

[請求項10] 請求項９に記載の電子部品であって、

前記絶縁性基板には、前記チップ部品の前記第１外部電極に対応する位置に、それぞれ前記第１上面電極および前記第１下面電極が設けられ、前記チップ部品の前記第２外部電極に対応する位置に、それぞれ前記第２上面電極および前記第２下面電極が設けられ、

前記接触規制手段は、前記第１上面電極および前記第２上面電極に設けられた開口領域である、電子部品。

[請求項11] 請求項９に記載の電子部品であって、

前記絶縁性基板には、前記チップ部品の前記第１外部電極に対応する位置に、それぞれ前記第１上面電極および前記第１下面電極が設けられ、前記チップ部品の前記第２外部電極に対応する位置に、それぞれ前記第２上面電極および前記第２下面電極が設けられ、

前記接触規制手段は、前記第１上面電極および前記第２上面電極に形成されたレジスト膜である、電子部品。

[請求項12] 請求項９乃至請求項１１のいずれかに記載の電子部品であって、

前記接続電極は、前記チップ部品の本体の長さ方向と直交する幅方向の略中央に形成されている、電子部品。

[請求項13] 請求項９乃至請求項１２のいずれかに記載の電子部品であって、

前記接続電極は、前記絶縁性基板の端面部に形成された切り欠き部の内壁面に形成されている、電子部品。

[請求項14] 請求項１３に記載の電子部品であって、

前記切り欠き部は、前記一方主面、前記他方主面に直交する方向から見た状態で、前記絶縁性基板の中心側に膨らむ円弧形状で形成されている、電子部品。

[請求項15] 平板状の絶縁性基板、該絶縁性基板の一方主面に形成された第１上面電極、第２上面電極、前記絶縁性基板の他方主面に形成された第１下面電極、第２下面電極を備える基板と、

本体の長さ方向の両端にそれぞれ対向して第１外部電極と第２外部電極とが形成され、前記第１外部電極が前記第１上面電極に実装され、前記第２外部電極が前記第２上面電極に実装されるチップ部品と、を備える電子部品であって、

前記基板は、前記一方主面と前記他方主面に直交する端面に形成され、前記第１上面電極と前記第１下面電極を接続し、前記第２上面電極と前記第２上面電極とを接続する複数の接続電極を備え、

前記接続電極は、前記絶縁性基板の前記端面から凹む形状で形成された切り欠き部を形成する内壁面に形成されており、

該切り欠き部の前記第１上面電極側および前記第２上面電極側には、前記絶縁性基板を平面視して前記切り欠き部を覆う規制部が形成されている、電子部品。

[請求項16] 請求項１乃至請求項１５に記載の電子部品であって、

前記チップ部品の前記第１外部電極および前記第２外部電極が形成される端面の中心を含む所定範囲に接合規制手段が形成されている、電子部品。

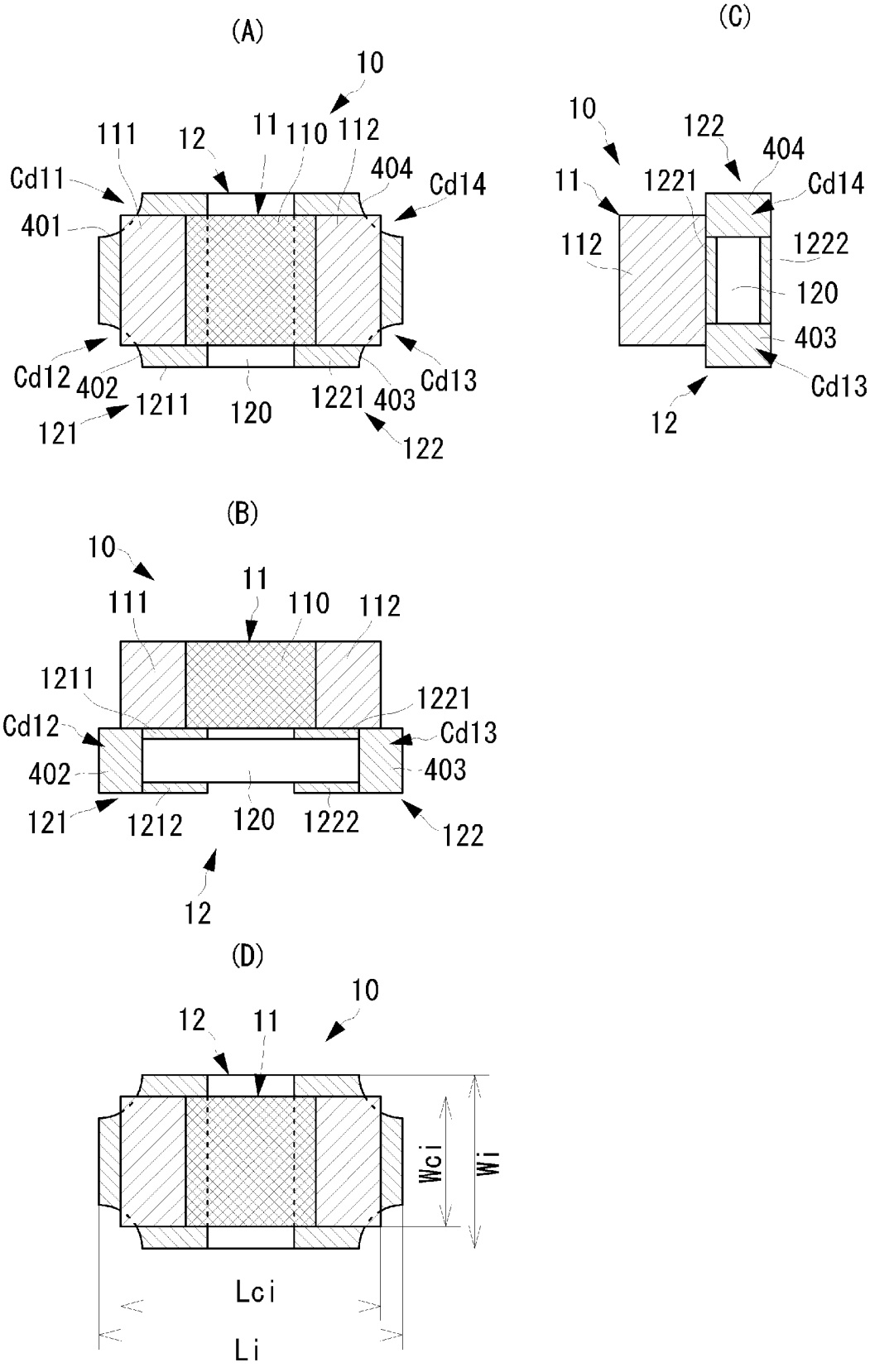
[請求項17] 請求項１６に記載のチップ構造体であって、

前記接合規制手段は、前記端面の全面に亘る、チップ構造体。

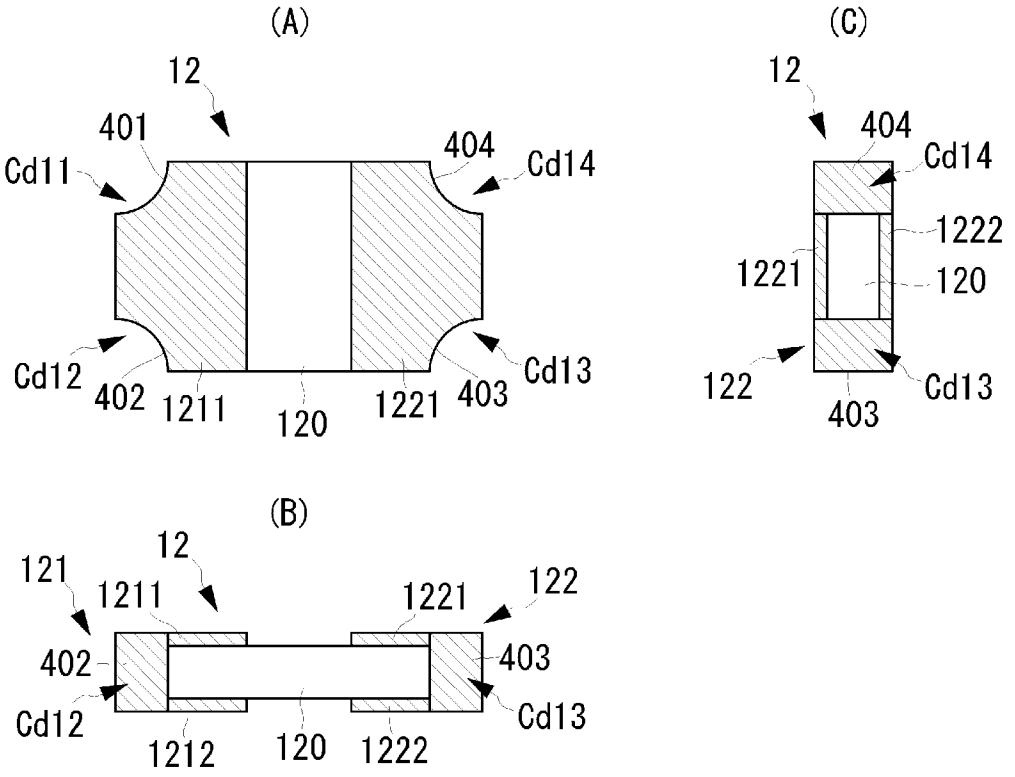
[請求項18] 請求項１乃至請求項１７のいずれかに記載の電子部品であって、

前記チップ部品が、二端子型の積層セラミックコンデンサである、電子部品。

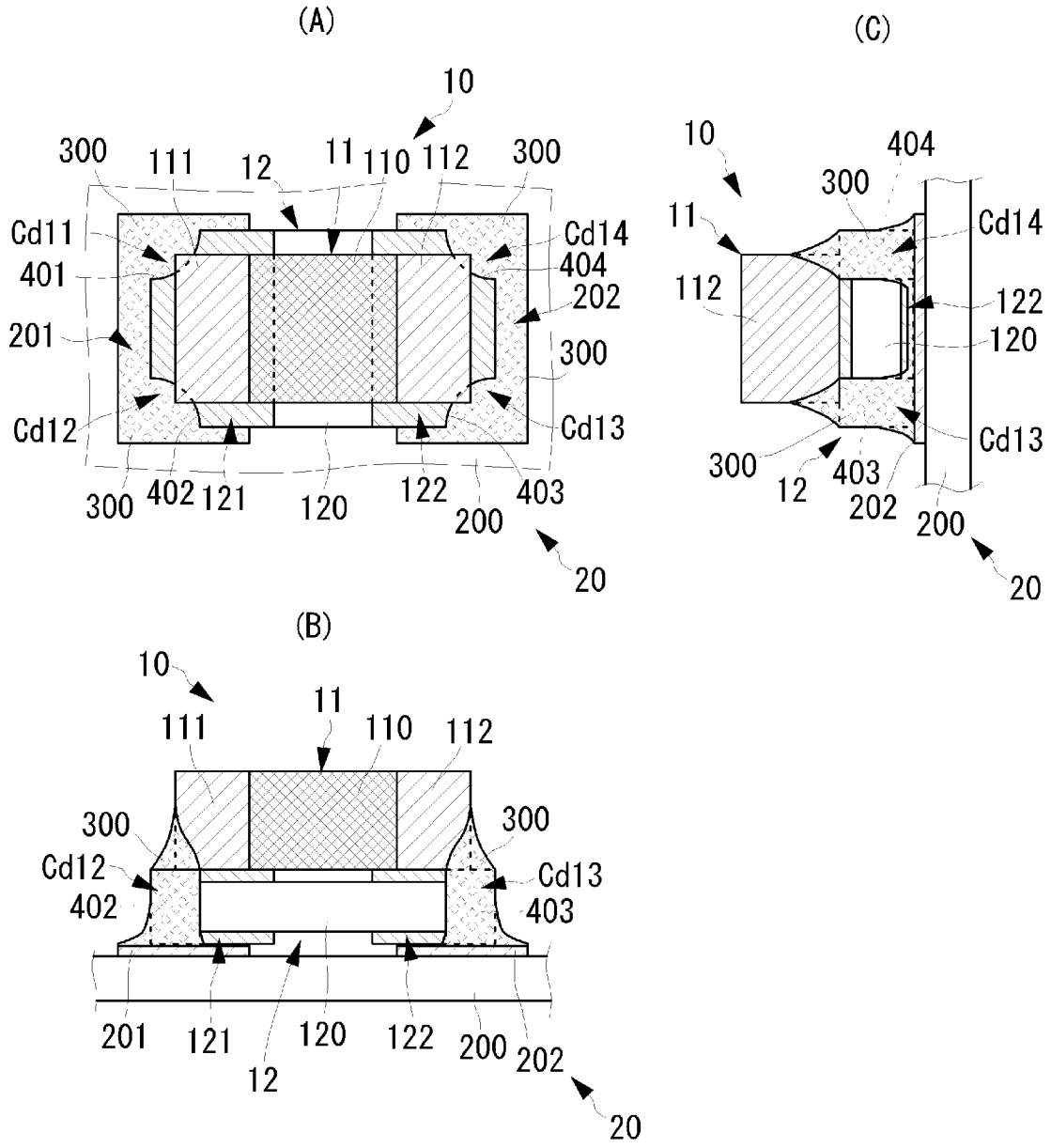
[図1]


(A)
10
111
12
11
110
112
404
Cd14
Cd11
401
Cd12
402
1211
120
1221
403
Cd13
121
122
(C)
10
122
404
11
1221
Cd14
112
1222
120
403
Cd13
12
(B)
10
11
111
110
112
1211
1221
Cd12
Cd13
402
403
121
1212
120
1222
122
12
(D)
10
12
11
Wci
Wi
Lci
Li

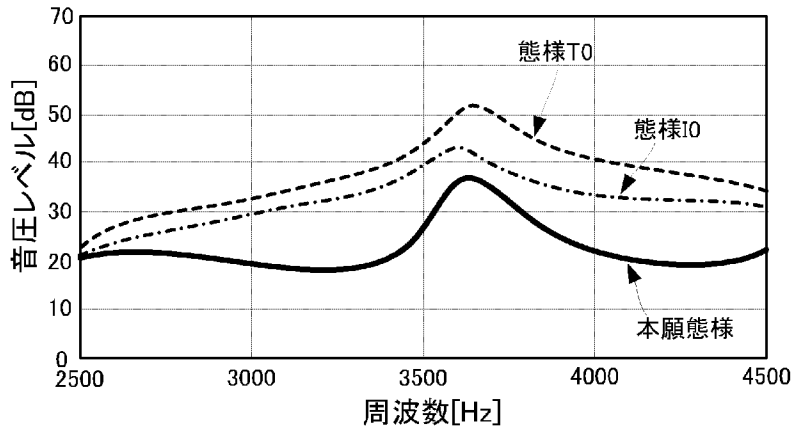
[図2]


(A)
12
401
Cd11
404
Cd14
Cd12
402
1211
120
1221
403
Cd13
(C)
12
404
Cd14
1222
1221
120
122
403
Cd13
(B)
12
121
1211
1221
122
402
403
Cd12
Cd13
1212
120
1222

[図3]

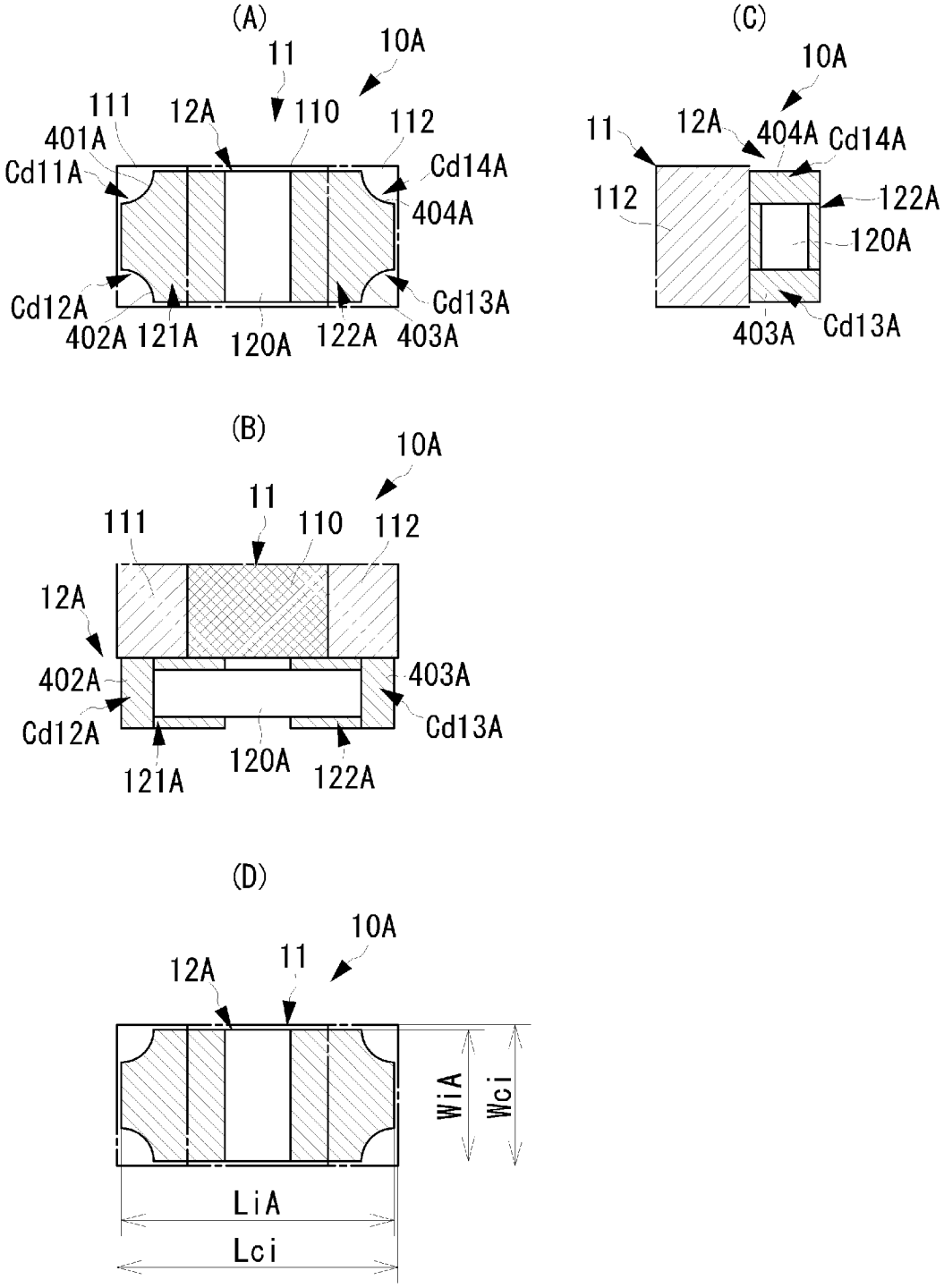


[図4]

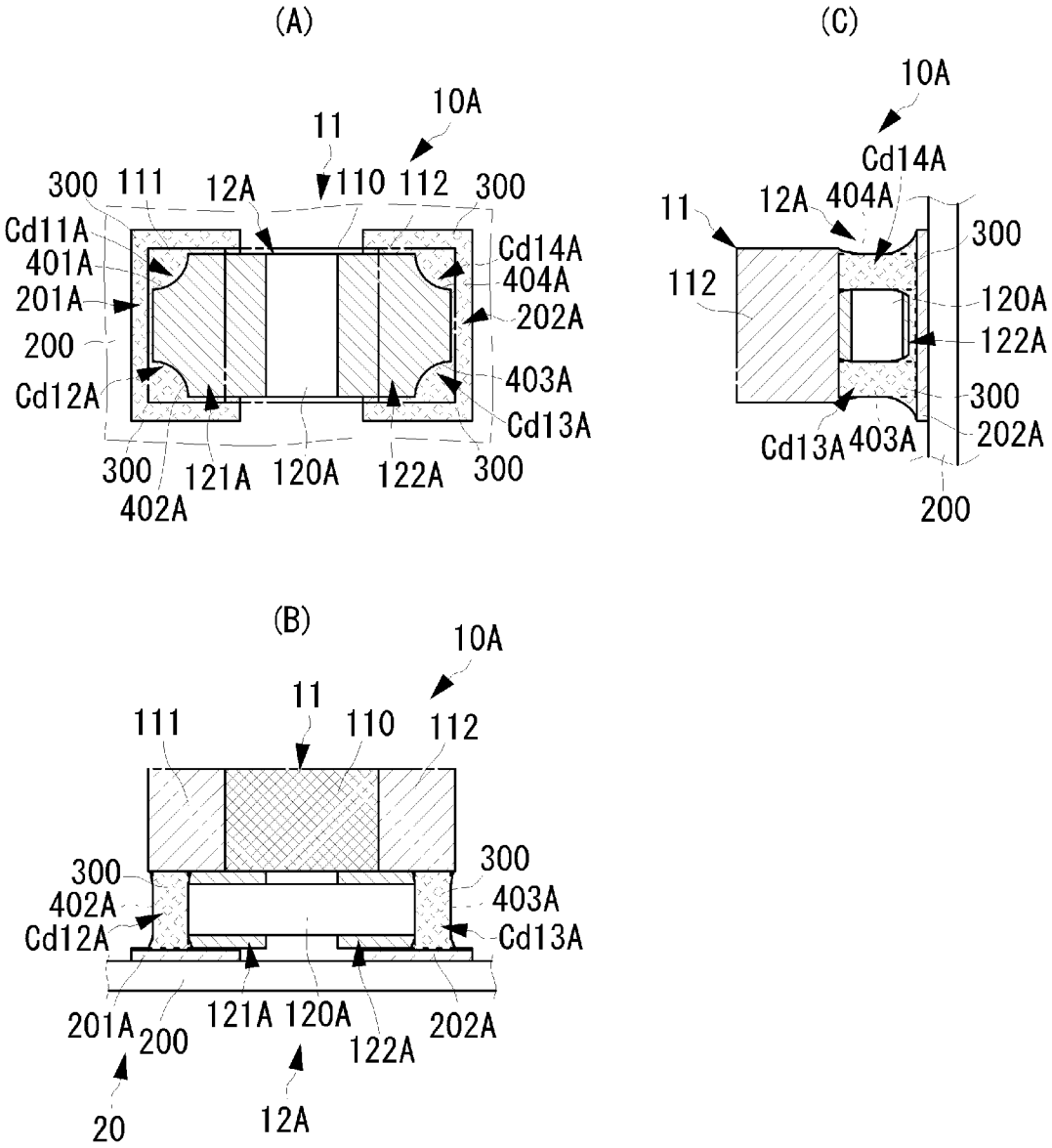


態様T0:インターポーザー無し(端子はんだ付け)
態様I0:インターポーザー有り(端子全面はんだ付け)
本願態様:インターポーザー有り(端子稜部のみはんだ有り)

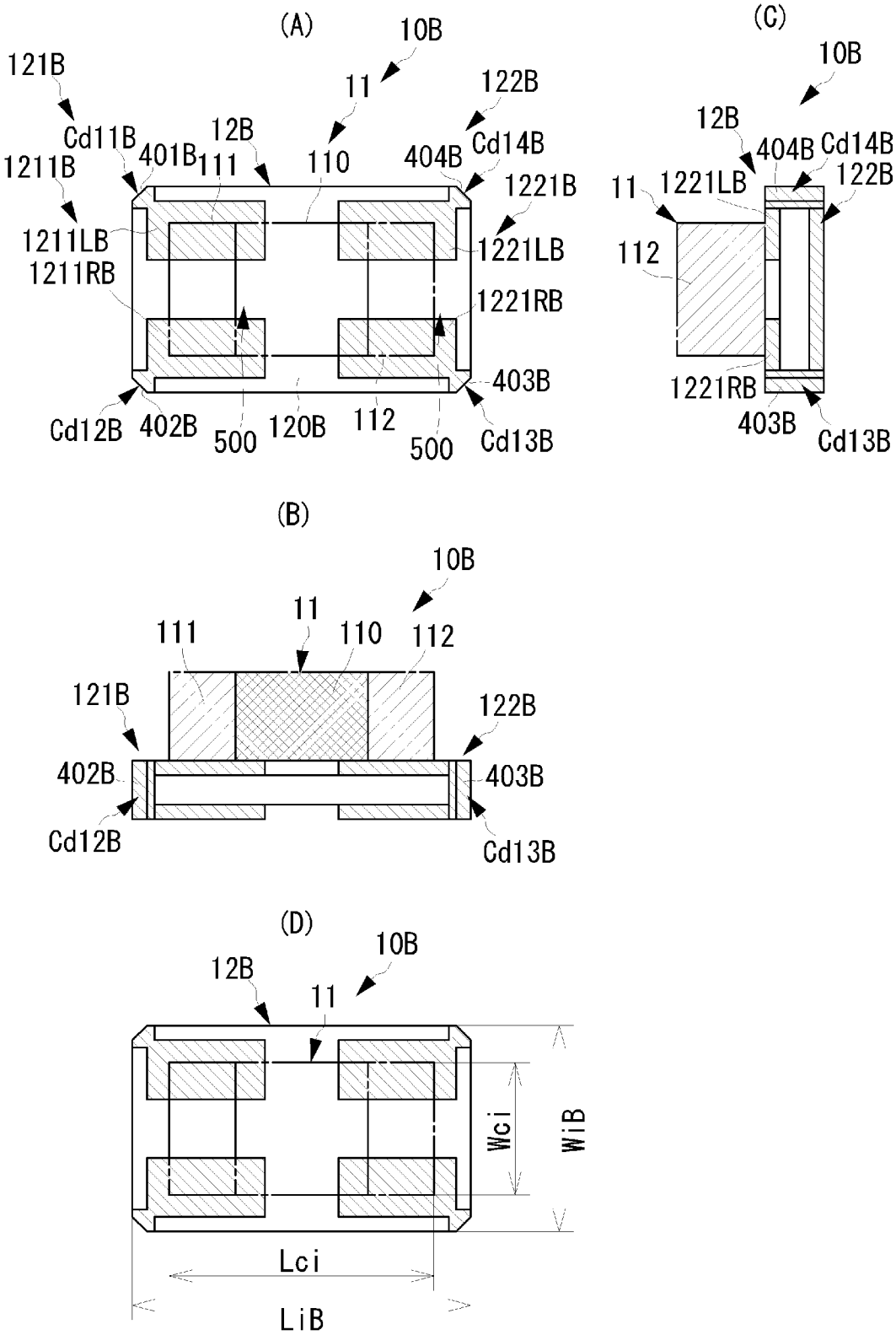
[図5]


(A)
11
10A
111
12A
110
112
401A
Cd11A
Cd14A
404A
Cd12A
Cd13A
402A
121A
120A
122A
403A
(C)
10A
11
12A
404A
Cd14A
112
122A
120A
403A
Cd13A
(B)
10A
11
111
110
112
12A
402A
403A
Cd12A
Cd13A
121A
120A
122A
(D)
10A
12A
11
WiA
Wci
LiA
Lci

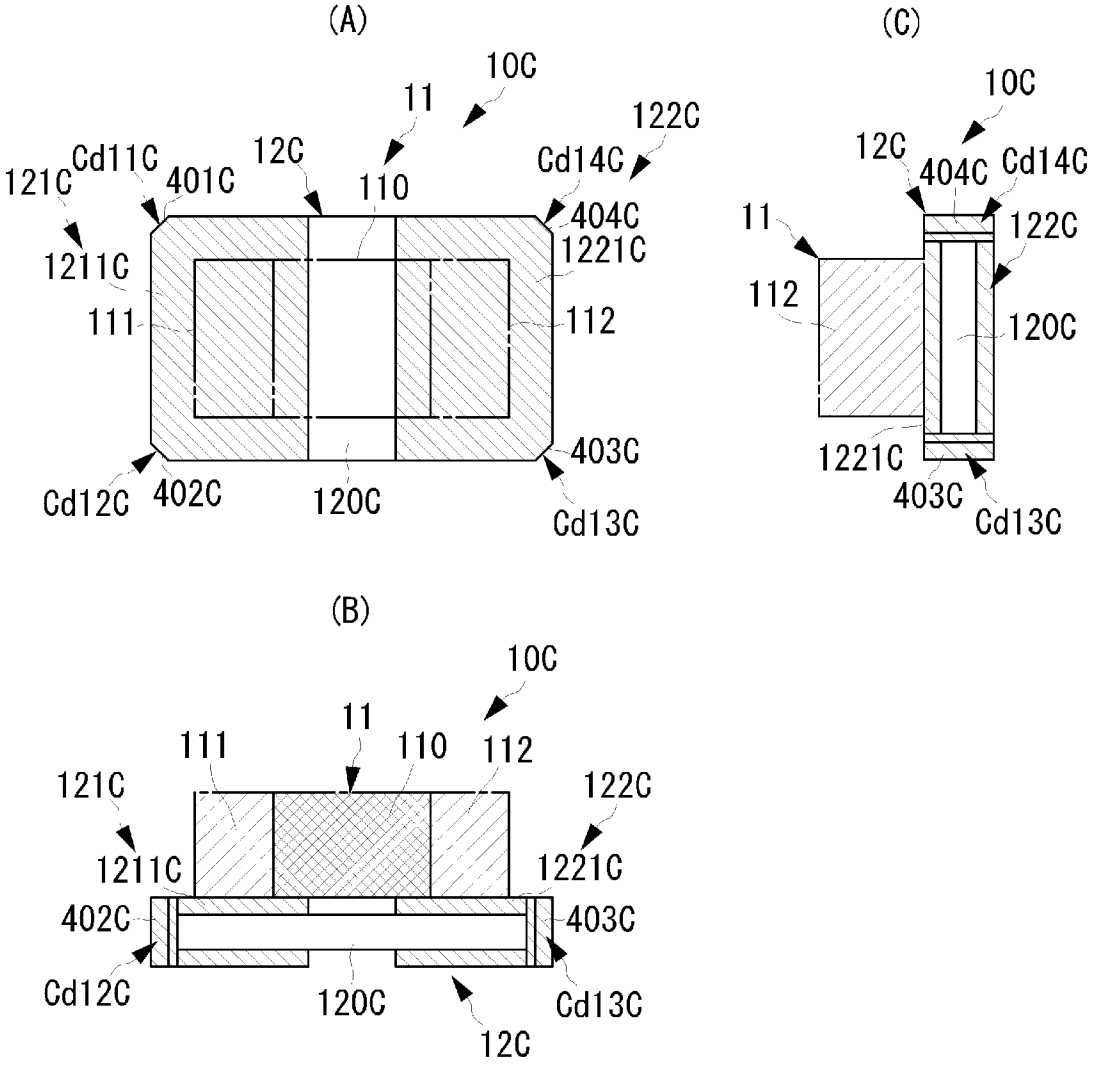
[図6]


(A)
10A
11
300
111
12A
110
112
300
Cd11A
401A
201A
200
Cd12A
Cd14A
404A
202A
403A
Cd13A
300
402A
121A
120A
122A
300
(C)
10A
Cd14A
11
12A
404A
300
112
120A
122A
300
Cd13A
403A
202A
200
(B)
10A
11
111
110
112
300
402A
Cd12A
300
403A
Cd13A
201A
200
121A
120A
122A
202A
20
12A

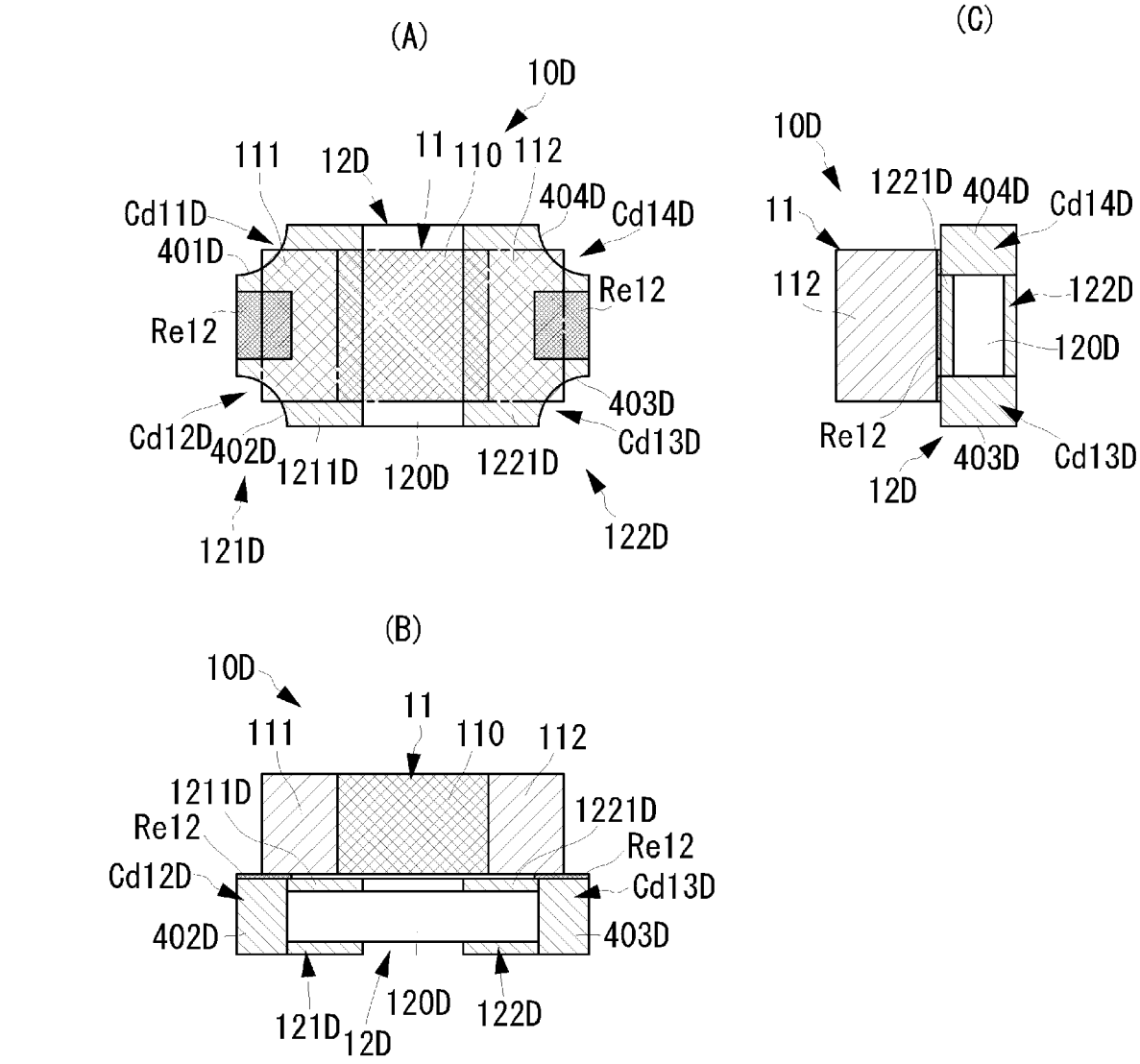
[図7]


(A)
10B
11
121B
122B
Cd11B
12B
401B
111
110
404B
Cd14B
1211B
1221B
1211LB
1221LB
1211RB
1221RB
403B
Cd12B
402B
500
120B
112
500
Cd13B
(C)
10B
12B
404B
Cd14B
122B
11
1221LB
112
1221RB
403B
Cd13B
(B)
10B
11
111
110
112
121B
122B
402B
403B
Cd12B
Cd13B
(D)
10B
12B
11
Wci
WiB
Lci
LiB

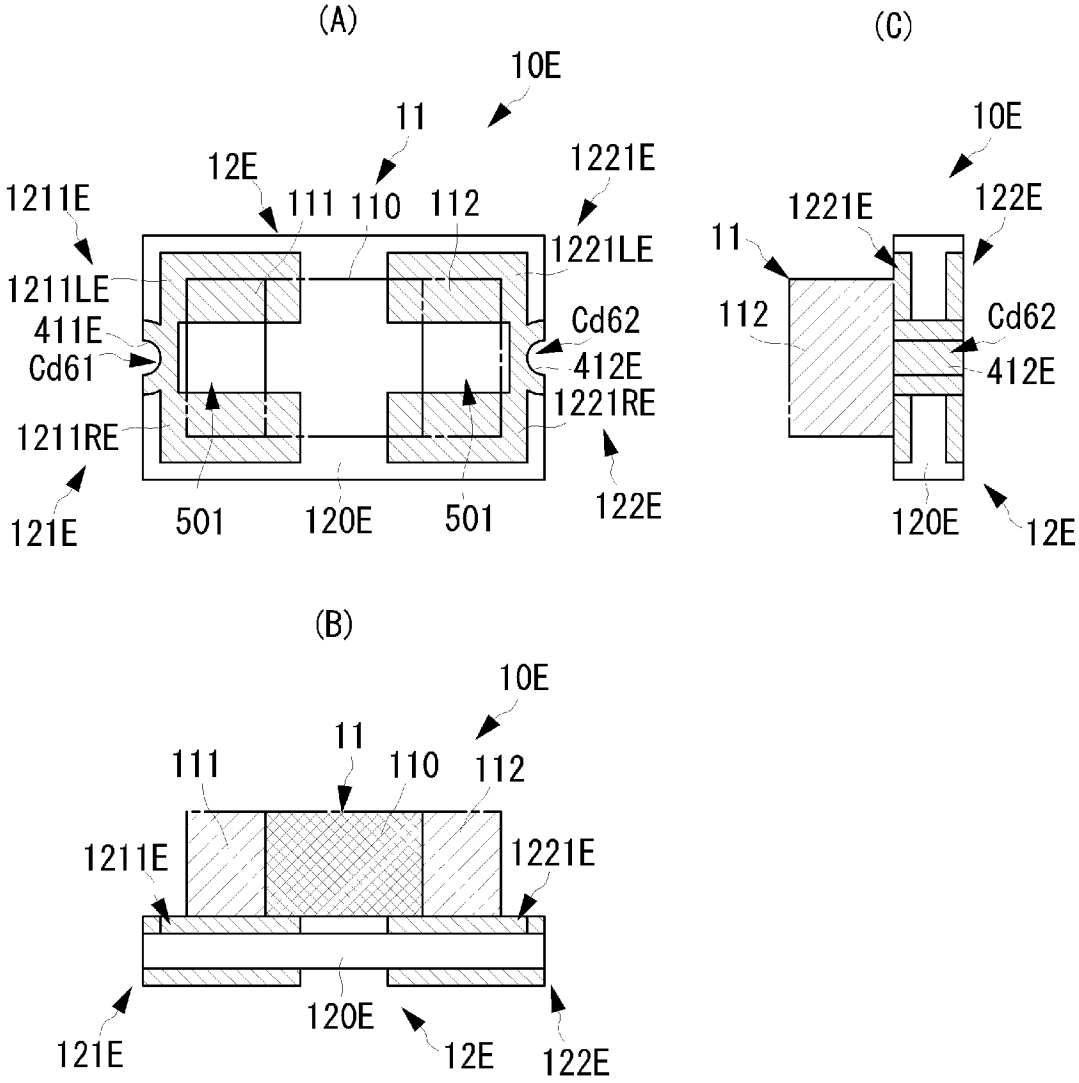
[図8]


(A)
10C
11
122C
Cd11C
12C
121C
401C
110
Cd14C
404C
1221C
1211C
111
112
403C
Cd12C
402C
120C
Cd13C
(C)
10C
12C
404C
Cd14C
11
122C
112
120C
1221C
403C
Cd13C
(B)
10C
11
111
110
112
121C
122C
1211C
1221C
402C
403C
Cd12C
120C
Cd13C
12C

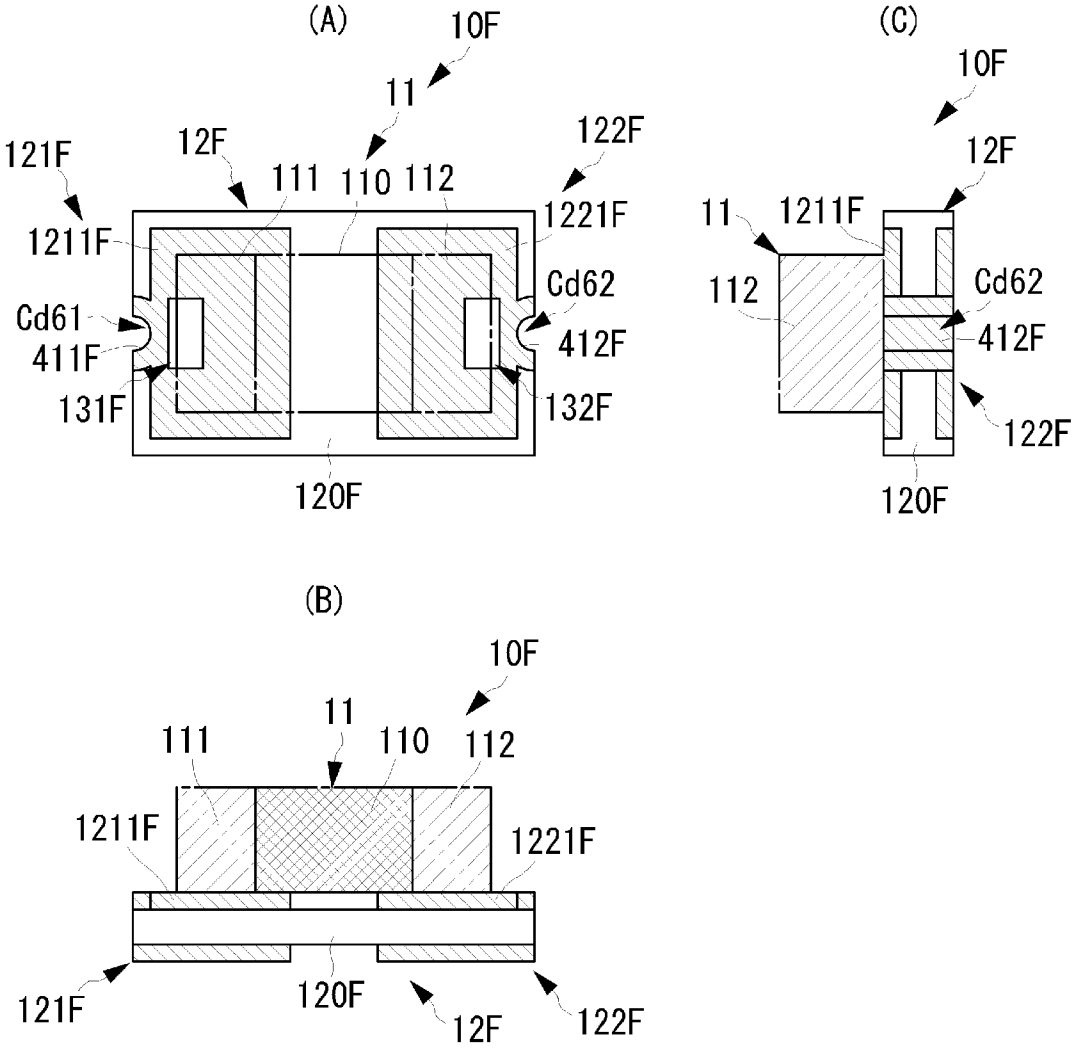
[図9]


(A)
10D
111
12D
11
110
112
404D
Cd14D
Cd11D
401D
Re12
Re12
403D
Cd13D
Cd12D
402D
1211D
120D
1221D
121D
122D
(C)
10D
1221D
404D
Cd14D
11
112
122D
120D
Re12
403D
Cd13D
12D
(B)
10D
11
111
110
112
1211D
1221D
Re12
Re12
Cd12D
Cd13D
402D
403D
121D
12D
120D
122D

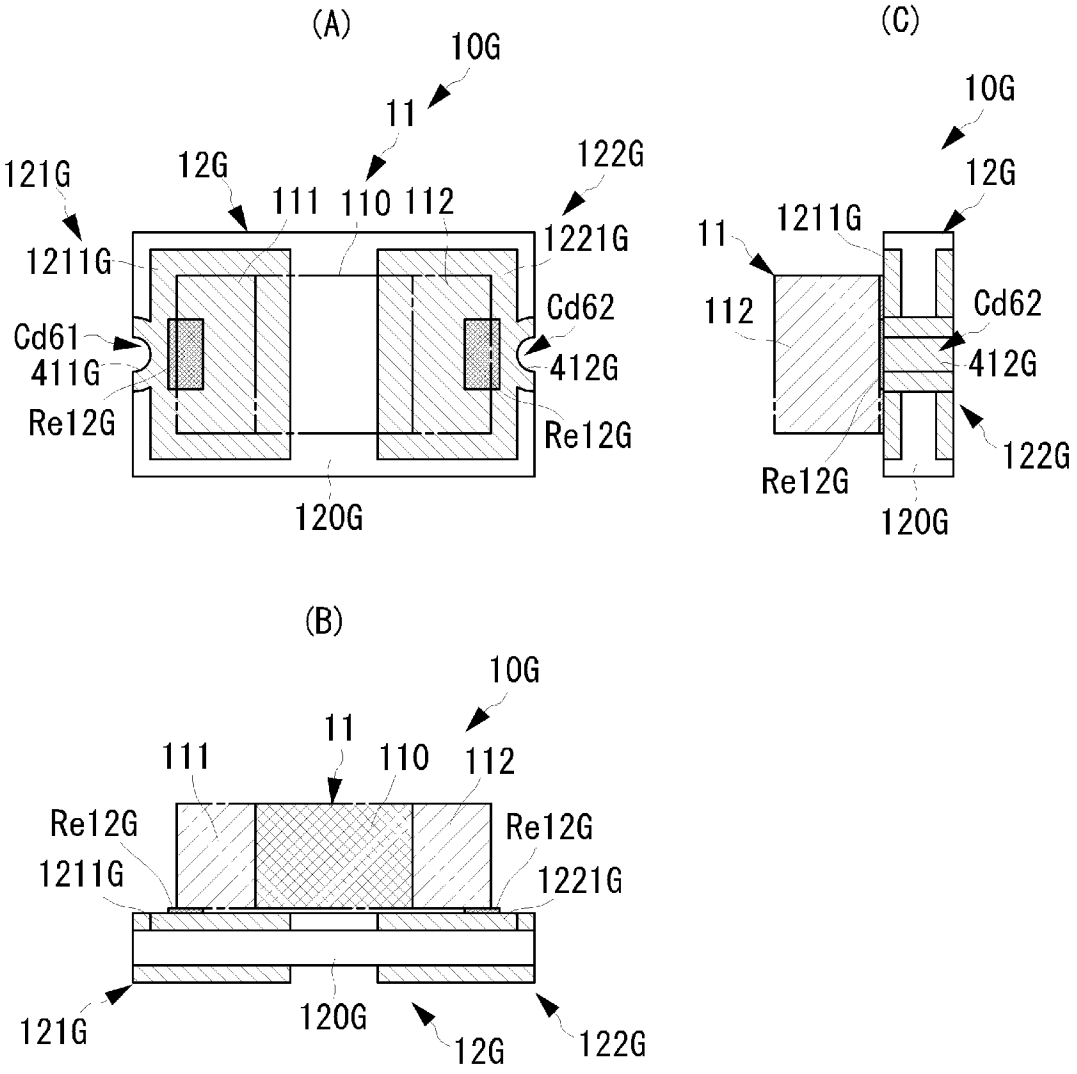
[図10]


(A)
10E
11
12E
111
110
112
1221E
1211E
1221LE
1211LE
411E
Cd62
Cd61
412E
1221RE
1211RE
122E
121E
501
120E
501
(C)
10E
1221E
122E
11
112
Cd62
412E
120E
12E
(B)
10E
11
111
110
112
1211E
1221E
120E
121E
12E
122E

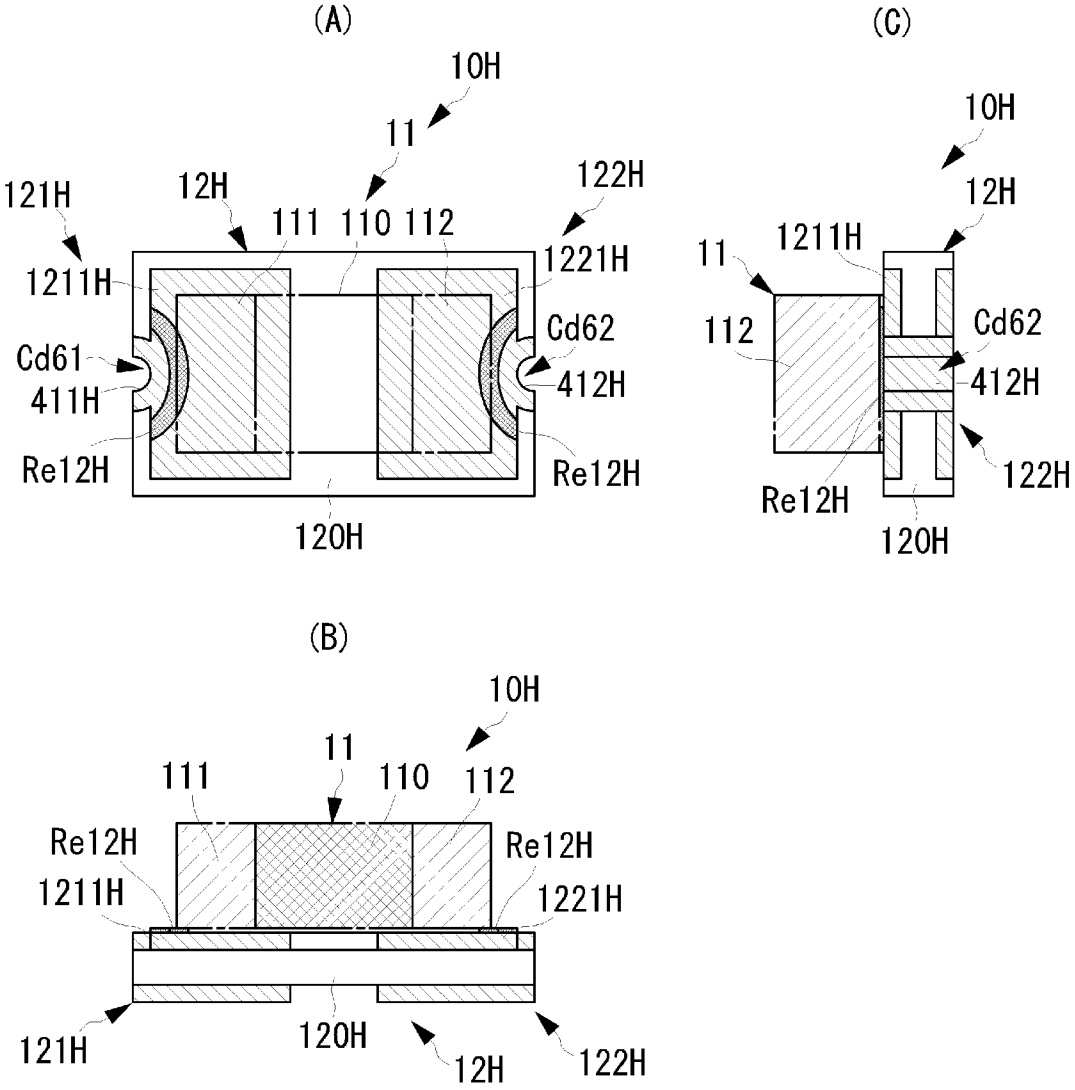
[図11]


(A)
10F
11
12F
111
110
112
121F
122F
1211F
1221F
Cd61
Cd62
411F
412F
131F
132F
120F
(C)
10F
12F
11
1211F
112
Cd62
412F
122F
120F
(B)
10F
11
111
110
112
1211F
1221F
121F
120F
12F
122F

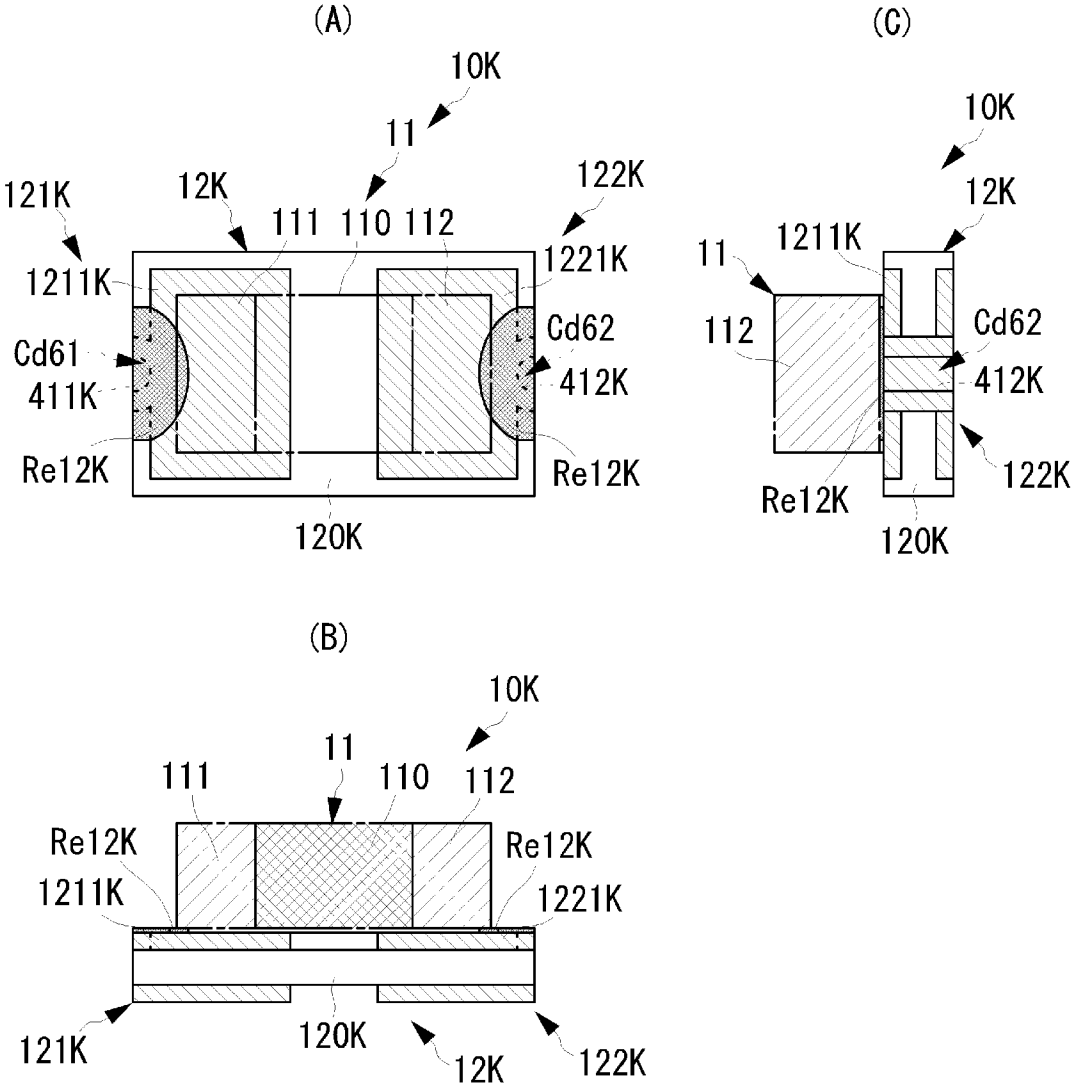
[図12]


(A)
10G
11
121G
12G
111
110
112
122G
1211G
1221G
Cd62
Cd61
411G
412G
Re12G
Re12G
120G
(C)
10G
12G
11
1211G
112
Cd62
412G
122G
Re12G
120G
(B)
10G
11
111
110
112
Re12G
Re12G
1211G
1221G
121G
120G
12G
122G

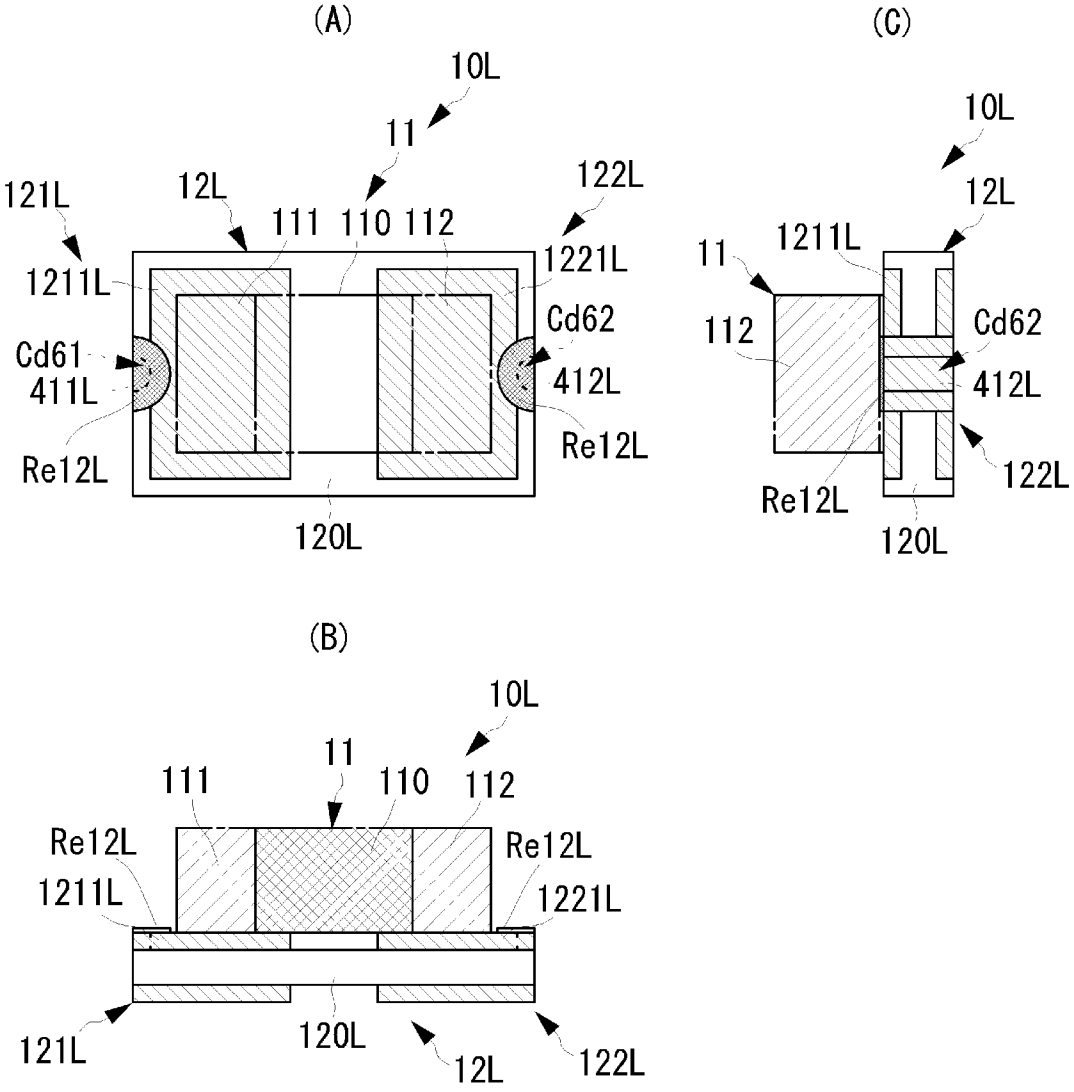
[図13]


(A)
10H
11
12H
111
110
112
121H
122H
1211H
1221H
Cd61
Cd62
411H
412H
Re12H
Re12H
120H
(C)
10H
12H
11
1211H
112
Cd62
412H
122H
Re12H
120H
(B)
10H
11
111
110
112
Re12H
Re12H
1211H
1221H
121H
120H
12H
122H

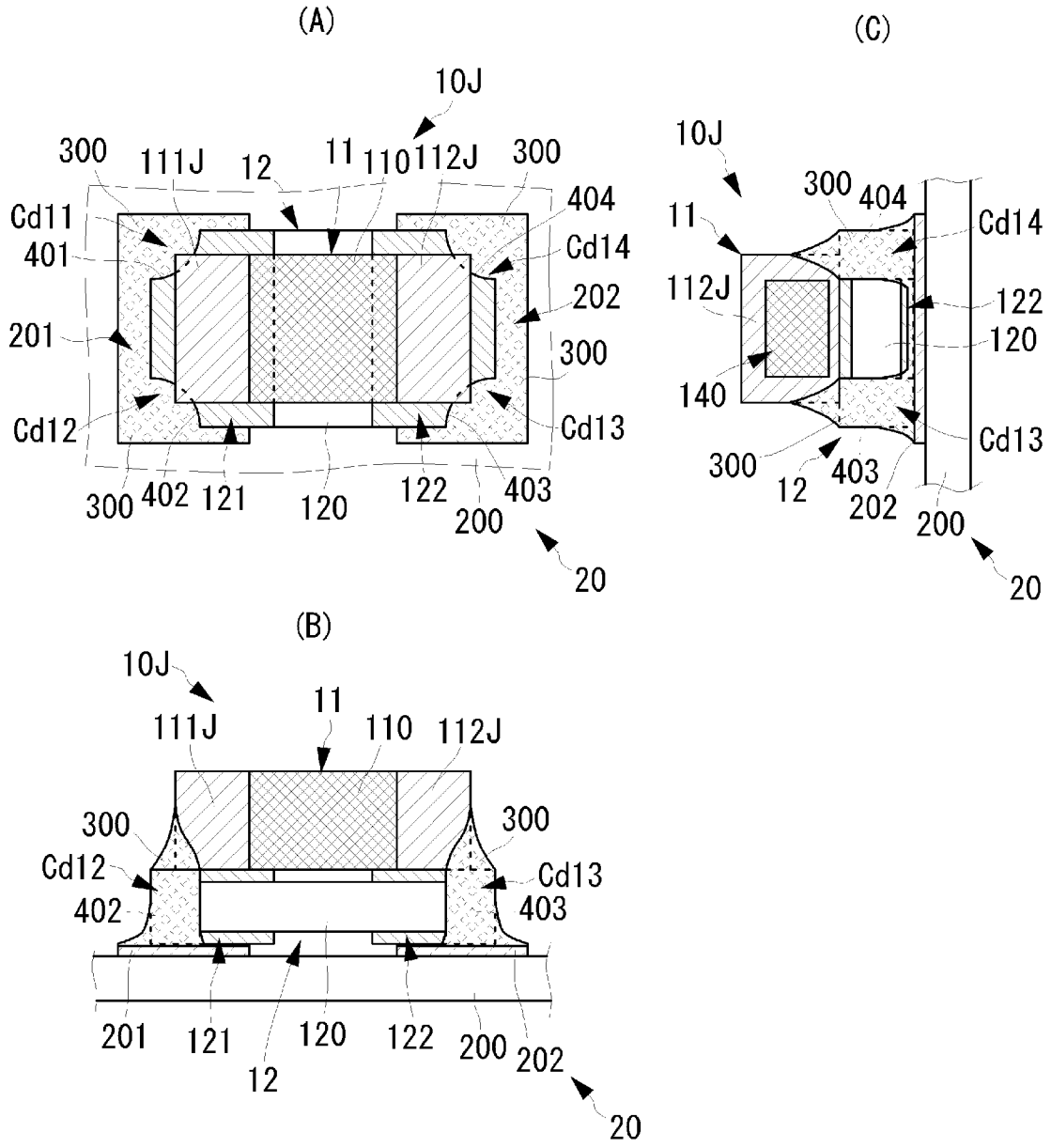
[図14]


(A)
10K
11
12K
111
110
112
121K
122K
1211K
1221K
Cd61
Cd62
411K
412K
Re12K
Re12K
120K
(C)
10K
12K
11
1211K
112
Cd62
412K
122K
Re12K
120K
(B)
10K
11
111
110
112
Re12K
Re12K
1211K
1221K
121K
120K
12K
122K

[図15]


(A)
10L
11
12L
111
110
112
121L
122L
1211L
1221L
Cd61
411L
Cd62
412L
Re12L
Re12L
120L
(C)
10L
12L
11
1211L
112
Cd62
412L
122L
Re12L
120L
(B)
10L
11
111
110
112
Re12L
Re12L
1211L
1221L
121L
120L
12L
122L

[図16]


(A)
10J
300
111J
12
11
110
112J
300
Cd11
401
404
Cd14
202
201
300
Cd12
Cd13
300
402
121
120
122
403
200
20
(C)
10J
300
404
11
Cd14
112J
122
120
140
Cd13
300
12
403
202
200
20
(B)
10J
11
111J
110
112J
300
300
Cd12
Cd13
402
403
201
121
120
122
200
202
12
20

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/080164

A. CLASSIFICATION OF SUBJECT MATTER
H01G4/30(2006.01)i, *H01G2/06*(2006.01)i, *H01G4/12*(2006.01)i, *H05K1/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01G4/30, H01G2/06, H01G4/12, H05K1/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-134430 A (TDK Corp.), 30 April 2004 (30.04.2004), entire text; all drawings & US 2004/0066589 A1 & CN 1506988 A	1-18
A	WO 2010/134335 A1 (Rubycon Carlit Co., Ltd.), 25 November 2010 (25.11.2010), entire text; all drawings & JP 2010-272591 A & JP 2011-9507 A & JP 2011-14589 A	1-18
A	WO 2009/028463 A1 (NEC Corp.), 05 March 2009 (05.03.2009), entire text; all drawings & US 2011/0127680 A1	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 March, 2012 (29.03.12)	10 April, 2012 (10.04.12)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2011/080164

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2005/072033 A1 (Matsushita Electric Industrial Co., Ltd.), 04 August 2005 (04.08.2005), entire text; all drawings & JP 2005-216884 A & JP 2005-235819 A & US 2007/0145575 A1 & CN 1910970 A	1-18
A	JP 2004-335657 A (TDK Corp.), 25 November 2004 (25.11.2004), entire text; all drawings (Family: none)	1-18

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１１／０８０１６４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.
H01G4/30(2006.01)i, H01G2/06(2006.01)i, H01G4/12(2006.01)i, H05K1/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01G4/30, H01G2/06, H01G4/12, H05K1/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１２年
日本国実用新案登録公報	１９９６－２０１２年
日本国登録実用新案公報	１９９４－２０１２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2004-134430 A（ＴＤＫ株式会社）2004.04.30, 全文,全図 & US 2004/0066589 A1 & CN 1506988 A	1-18
A	WO 2010/134335 A1（ルビコン・カーリット株式会社） 2010.11.25, 全文,全図 & JP 2010-272591 A & JP 2011-9507 A & JP 2011-14589 A	1-18
A	WO 2009/028463 A1（日本電気株式会社）2009.03.05, 全文,全図 & US 2011/0127680 A1	1-18

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２９．０３．２０１２	１０．０４．２０１２

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｒ　４０５４
竹口　泰裕
電話番号　０３－３５８１－１１０１　内線　３５６５

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	WO 2005/072033 A1（松下電器産業株式会社）2005.08.04, 全文,全図 & JP 2005-216884 A & JP 2005-235819 A & US 2007/0145575 A1 & CN 1910970 A	1-18
A	JP 2004-335657 A（ＴＤＫ株式会社）2004.11.25, 全文,全図 (ファミリーなし)	1-18