(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 3 月 8 日 (08.03.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/040388 A1

(51) 国际专利分类号:
*G09G 3/36* (2006.01)

(21) 国际申请号: PCT/CN2016/110942

(22) 国际申请日: 2016 年 12 月 20 日 (20.12.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610795952.6 2016年8月31日 (31.08.2016) CN

(71) 申请人: 深 圳 市 华 星 光 电 技 术 有 限 公 司(SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(72) 发明人: 石 龙 强 (SHI, Longqiang); 中 国 广 东 省 深 圳 市 光 明 新 区 塘 明 大 道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: 北 京 聿 宏 知 识 产 权 代 理 有 限 公司(YUHONG INTELLECTUAL PROPERTY LAW FIRM); 中 国 北 京 市 西 城 区 宣 武 门 外 大 街 6 号 庄 胜 广 场 第 一 座 西 翼 713 室 吴 大 建 / 王浩, Beijing 100052 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,

(54) **Title:** GATE DRIVE CIRCUIT

(54) 发明名称: 一种栅极驱动电路

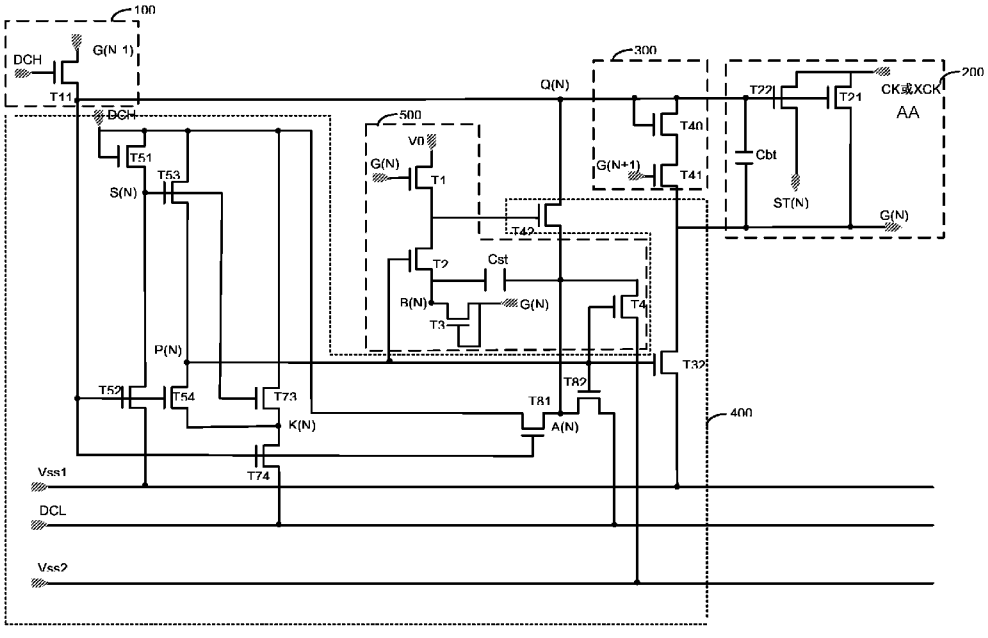


图 3

(57) **Abstract:** A gate drive circuit, comprising multiple levels of gate drive units, wherein each level of gate drive units comprises an input control module (100), an output control module (200), a pull-down module (300), a pull-down maintaining module (400) and a compensation module (500). The compensation module (500) makes a threshold voltage (Vth) of a transistor not influence the potential of a first node (Q(N)), thereby significantly improving the stability of a gate drive circuit and being beneficial for improving the display effect of a liquid crystal display panel.

WO 2018/040388 A1

[见续页]

QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

**(84) 指定国**(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

**根据细则4.17的声明：**

— 发明人资格(细则4.17(iv))

**本国际公布：**

— 包括国际检索报告(条约第21条(3))。

**(57) 摘要**：一种栅极驱动电路，包括多级栅极驱动单元。其中，每级栅极驱动单元包括输入控制模块（100）、输出控制模块（200）、下拉模块（300）、下拉维持模块（400）以及补偿模块（500）。补偿模块（500）使晶体管的阈值电压（Vth）不会对第一节点（Q(N)）的电位造成影响，从而在很大程度上提高了栅极驱动电路的稳定性，有利于液晶显示面板显示效果的提高。

# 一种栅极驱动电路

本申请要求享有2016年8月31日提交的名称为“一种栅极驱动电路”的中国专利申请CN201610795952.6的优先权，其全部内容通过引用并入本文中。

## 技术领域

本发明涉及显示技术领域，尤其涉及一种栅极驱动电路。

## 背景技术

GOA(Gate Drive On Array)技术，是利用薄膜晶体管(thin film transistor, TFT)阵列(Array)的制程来将栅极驱动器制作在薄膜晶体管阵列基板上，以实现逐行扫描的驱动方式。

由于GOA技术有利于显示屏栅极驱动侧的窄边框设计以及成本的降低，因为得到广泛地应用和研究。

随着氧化物半导体薄膜晶体管（例如，IGZO，铟镓锌氧化物薄膜晶体管）的发展，氧化物半导体相应的面板周边集成电路也成为关注的焦点。由于氧化物薄膜晶体管的载流子迁移率是非晶硅薄膜晶体管的20-30倍，因此可大大提高薄膜晶体管对像素电极的充放电速率。可以看出，氧化物薄膜晶体管可以提高像素的响应速度，实现更快的刷新率，从而能够大大提高像素的行扫描速率，使得超高分辨率在TFT-LCD中成为可能。氧化物半导体薄膜晶体管的GOA电路未来有可能取代非晶硅的GOA电路。

然而，现有技术中针对氧化物半导体薄膜晶体管的GOA电路的开发较少，这是因为需要克服很多由于氧化物薄膜晶体管电性本身带来的问题。具体地，由于IGZO属于N型半导体，空穴数目很少，因此IGZO-TFT通常表现出较佳的负偏压应力(NBTS)特性。然而，IGZO-TFT的正向偏压应力却并不理想。长时间的正向偏压应力会导致TFT的阈值电压(Vth)产生正向漂移，从而使得IGZO-TFT器件的打开速度变慢，进而对GOA电路产生严重影响。

## 发明内容

本发明所要解决的技术问题是：现有技术中 IGZO-TFT 的正向偏压应力并不理想。长时间的正向偏压应力会导致 TFT 的阈值电压产生正向漂移，从而使得 IGZO-TFT 器件的打开速度变慢，进而对 GOA 电路产生严重影响。

为了解决上述技术问题，本发明提供了一种栅极驱动电路。

本发明的技术方案为：

一种栅极驱动电路，包括以串联方式连接的多级栅极驱动单元，每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号；

每级栅极驱动单元包括：

输入控制模块，设置为受控于所述上一级栅极驱动单元输出的扫描信号，以控制第一节点的电位；

连接所述第一节点的输出控制模块，设置为根据所述第一节点的电位控制本级栅极驱动单元的输出端的电位；

连接所述输出控制模块的下拉模块，设置为根据第二节点的电位下拉本级栅极驱动单元的输出端的电位；

连接所述下拉模块的下拉维持模块，设置为维持所述第二节点在非扫描期间的电位，以使本级栅极驱动单元的输出端的电位维持在负电位；以及

连接所述下拉维持模块和所述第一节点的补偿模块，设置为使所述第一节点的电位在所述非扫描期间保持在负电位。

优选的是，所述下拉维持模块包括：

第五十一晶体管，其栅极与漏极均连接恒压高电位输出端，源极连接第四节点；

第五十二晶体管，其栅极连接所述第一节点，漏极连接所述第四节点，源极连接第一负电位输出端；

第五十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极连接第二节点；

第五十四晶体管，其栅极连接所述第一节点，漏极连接所述第二节点，源极连接第三节点；

第七十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极

连接所述第三节点；

第七十四晶体管，其栅极连接所述第一节点，漏极连接所述第三节点，源极连接恒压低电位输出端；

第八十一晶体管，其栅极连接所述第一节点，漏极连接所述恒压高电位输出端，源极连接第五节点；

第八十二晶体管，其栅极连接所述第二节点，漏极连接所述恒压低电位输出端，源极连接所述第五节点；

第四十二晶体管，其栅极连接所述补偿模块，漏极连接所述第一节点，源极连接所述第五节点；以及

第三十二晶体管，其栅极连接所述第二节点，漏极连接本级栅极驱动单元的输出端，源极连接所述第一负电位输出端；

其中，所述恒压低电位输出端的电位低于所述第一负电位输出端的电位。

优选的是，所述恒压高电位输出端的电位为 20-30V，所述恒压低电位输出端的电位和所述第一负电位输出端的电位均为-5- -8V。

优选的是，所述补偿模块包括：

第一晶体管，其栅极连接本级栅极驱动单元的输出端，漏极连接正电位输出端，源极连接所述第四十二晶体管的栅极；

第二晶体管，其栅极连接所述第二节点，漏极连接所述第四十二晶体管的栅极，源极连接第六节点；

第三晶体管，其栅极和源极均连接本级栅极驱动单元的输出端，漏极连接所述第六节点；

存储电容；以及

第四晶体管，其栅极连接所述第二节点，漏极通过所述存储电容连接所述第六节点，源极连接第二负电位输出端；

其中，所述恒压低电位输出端的电位、所述第一负电位输出端的电位和所述第二负电位输出端的电位依次增加；

所述恒压高电位输出端的电位高于所述正电位输出端的电位。

优选的是，所述正电位输出端的电位为 2-5V。

优选的是，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

优选的是，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

优选的是，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

与现有技术相比，上述方案中的一个或多个实施例可以具有如下优点或有益效果：

本发明利用补偿模块，使流经连接第一节点的晶体管的电流与该晶体管的阈值电压无关。因此，该晶体管的阈值电压不会对第一节点的电位造成影响。从而本发明能够有效地解决由阈值电压正向漂移导致的电流变化的问题，在很大程度上提高了栅极驱动电路的稳定性，有利于液晶显示面板显示效果的提高。

本发明的其它特征和优点将在随后的说明书中阐述，并且部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

## 附图说明

附图用来提供对本发明的进一步理解，并且构成说明书的一部分，与本发明的实施例共同用于解释本发明，并不构成对本发明的限制。在附图中：

图 1 示出了现有技术中由于薄膜晶体管的阈值电压向右漂移引起的第一节点和栅极驱动单元的输出端的电位输出异常的示意图；

图 2 示出了本发明实施例栅极驱动单元的原理示意图；

图 3 示出了本发明实施例栅极驱动单元的电路示意图；

图 4 示出了当第一节点输出高电位时图 3 中补偿模块的状态示意图；

图 5 示出了当第二节点输出高电位时图 3 中补偿模块的状态示意图；以及

图 6 示出了本发明实施例栅极驱动单元的波形设置及关键节点的输出波形示意图。

## 具体实施方式

以下将结合附图及实施例来详细说明本发明的实施方式，借此对本发明如何应用技术手段来解决技术问题，并达成技术效果的实现过程能充分理解并据以实施。需要说明的是，只要不构成冲突，本发明中的各个实施例以及各实施例中的各个特征可以相互结合，所形成的技术方案均在本发明的保护范围之内。

现有技术中 IGZO-TFT 的正向偏压应力并不理想。长时间的正向偏压应力会导致 TFT 的阈值电压(Vth)正向漂移，从而使得 IGZO-TFT 器件的打开速度变慢，进而对栅极驱动电路产生严重影响。

具体地，现有技术的栅极驱动电路包括多级栅极驱动单元。其中，每级栅极驱动单元包括输入控制模块和下拉维持模块。其中，将输入控制模块的输出端定义为第一节点。下拉维持模块包括用于连接第一节点的薄膜晶体管。然而，经研究发现，在每一帧扫描过程中，该薄膜晶体管绝大多数时间都处于打开状态。这相当于存在正向偏压的应力(PBTS)一直作用在该薄膜晶体管上。久而久之，该薄膜晶体管的阈值电压将向右漂移。该薄膜晶体管不能如正常情况下一样快速关闭，从而会影响第一节点的电位。

图 1 示出了现有技术中由于薄膜晶体管的阈值电压向右漂移引起的第一节点和栅极驱动单元的输出端的电位输出异常的示意图。参照图 1，第一节点 Q(N)的电位不够低，从而导致 GOA 单元输出端 G(N)的电位不够低，使得该 GOA 单元对应的显示区域表现为长亮的状态，液晶显示器不能正常工作。

为解决上述技术问题，本发明实施例提供了一种栅极驱动电路。

图 2 示出了本发明实施例栅极驱动单元的原理示意图。图 3 示出了本发明实施例栅极驱动单元的电路示意图。

本发明实施例栅极驱动电路包括以串联方式连接的多级栅极驱动单元。其中，每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号。栅极驱动电路所包括的各极栅极驱动

单元的电路结构相同。

参照图 2，栅极驱动单元包括输入控制模块 100、输出控制模块 200、下拉模块 300、下拉维持模块 400 和补偿模块 500。

其中，输入控制模块 100 受控于上一级栅极驱动单元输出的扫描信号 G(N-1)，以控制第一节点 Q(N)的电位。输出控制模块 200 连接第一节点 Q(N)。输出控制模块 200 根据第一节点 Q(N)的电位控制本级栅极驱动单元的输出端 G(N)的电位。下拉模块 300 连接输出控制模块 200。下拉模块 300 根据第二节点 P(N)的电位下拉本级栅极驱动单元的输出端 G(N)的电位。下拉维持模块 400 连接下拉模块 300。下拉维持模块 400 维持第二节点 P(N)在非扫描期间的电位，以使本级栅极驱动单元的输出端 G(N)的电位维持在负电位。补偿模块 500 连接下拉维持模块 400 和第一节点 Q(N)。补偿模块 500 使第一节点 Q(N)的电位在非扫描期间保持在负电位。

下面参照图 3 至图 6 详细描述各模块的电路组成以及工作原理。

输入控制模块 100 包括第十一晶体管 T11。第十一晶体管 T11 的栅极连接恒压高电位输出端 DCH，漏极连接上一级栅极驱动单元的输出端 G(N-1)，源极连接第一节点 Q(N)。

输出控制模块 200 包括第二十一晶体管 T21、第二十二晶体管 T22 和自举电容 Cbt。其中，第二十一晶体管 T21 的栅极连接第一节点 Q(N)，漏极连接时钟信号的输出端 CK/XCK，源极连接本级栅极驱动单元的输出端 G(N)。第二十二晶体管 T22 的栅极连接第一节点 Q(N)，漏极连接时钟信号的输出端 CK/XCK，源极连接本级栅极驱动单元的驱动输出端 ST(N)。第一节点 Q(N)通过自举电容 Cbt 连接本级栅极驱动单元的输出端 G(N)。

下拉模块 300 包括第四十晶体管 T40 和第四十一晶体管 T41。其中，第四十晶体管 T40 的栅极和漏极均连接第一节点 Q(N)，源极连接第四十一晶体管 T41 的漏极。第四十一晶体管 T41 的栅极连接下一级栅极驱动单元的输出端 G(N+1)，源极连接本级栅极驱动单元的输出端 G(N)。

下拉维持模块 400 包括第五十一晶体管 T51、第五十二晶体管 T52、第五十三晶体管 T53、第五十四晶体管 T54、第七十三晶体管 T73、第七十四晶体管 T74、第八十一晶体管 T81、第八十二晶体管 T82、第四十二晶体管 T42 和第三十二晶体管 T32。

其中，第五十一晶体管 T51 的栅极与漏极均连接恒压高电位输出端 DCH，源极连接第四节点 S(N)。第五十二晶体管 T52 的栅极连接第一节点 Q(N)，漏极连接第四节点 S(N)，源极连接第一负电位输出端 VSS1。第五十三晶体管 T53 的栅极连接第四节点 S(N)，漏极连接恒压高电位输出端 DCH，源极连接第二节点 P(N)。第五十四晶体管 T55 的栅极连接

第一节点 Q(N)，漏极连接第二节点 P(N)，源极连接第三节点 K(N)。第七十三晶体管 T73 的栅极连接第四节点 S(N)，漏极连接恒压高电位输出端 DCH，源极连接第三节点 K(N)。第七十四晶体管 T74 的栅极连接第一节点 Q(N)，漏极连接第三节点 S(N)，源极连接恒压低电位输出端 DCL。第八十一晶体管 T81 的栅极连接第一节点 Q(N)，漏极连接恒压高电位输出端 DCH，源极连接第五节点 A(N)。第八十二晶体管 T82 的栅极连接第二节点 P(N)，漏极连接恒压低电位输出端 DCL，源极连接第五节点 A(N)。第四十二晶体管 T42 的栅极连接补偿模块 500，漏极连接第一节点 Q(N)，源极连接第五节点 A(N)。第三十二晶体管 T32 的栅极连接第二节点 P(N)，漏极连接本级栅极驱动单元的输出端 G(N)，源极连接第一负电位输出端 VSS1。

这里，值得说明的是，恒压低电位输出端 DCL 的电位、第一负电位输出端 VSS1 的电位和第二负电位输出端 VSS2 的电位依次增加。恒压高电位输出端 DCH 的电位高于正电位输出端 V0 的电位。在本发明一优选的实施例中，恒压高电位输出端 DCH 的电位的范围为 20-30V。恒压低电位输出端 DCL 的电位和第一负电位输出端 VSS1 的电位的范围均为-5- -8V。正电位输出端 V0 的电位的范围为 2-5V。附图中 CK 和 XCK 为彼此反相的时钟信号。

下拉维持模块 400 采用了特殊的双重反相器设计。其中，第五十一晶体管 T51、第五十二晶体管 T52、第五十三晶体管 T53、第五十四晶体管 T54 构成了主反相器。第七十三晶体管 T73 和第七十四晶体管 T74 构成了辅助反相器。主反相器的作用是控制第三十二晶体管 T32 和第四十二晶体管 T42 两个晶体管。辅助反相器的作用是在作用期间提供给主反相器低电位，在非作用期间提供给主反相器一个适当的高电位来降低第五十四晶体管 T54 的漏电，从而确保主反相器在非作用期间能够产生较高的电位。该辅助反相器引用主反相器中的第四节点 S(N)来控制第七十三晶体管 T73，可以减少辅助反相器的元件数量，不需要额外的元件来产生类似于第四节点 S(N)节点的波形控制第七十三晶体管 T73。

在作用期间，辅助反相器被第四节点 S(N)的高电压与恒压低电位输出端 DCL 的低电压驱动后，第五十二晶体管 T52 被下拉至第一负电位输出端 VSS1 的电位，第七十四晶体管 T74 在第一节点 Q(N)为高电位时开启并被下拉至恒压高电位输出端 DCH 的电位。由此，第三节点 K(N)为更低电位，第二节点 P(N)也被下拉到更低电位。即，辅助反相器在作用期间给主反相器提供了低电位，因而可以杜绝第三十二晶体管 T32、第四十二晶体管 T42 因阈值电压较低或趋近于 0V 的物理特性所引发的漏电情况发生，确保下拉维持模块 400 能够在作用期间正常拉低。

在非作用期间，第五十二晶体管 T52、第五十四晶体管 T54 和第七十四晶体管 T74 均截止关闭。由于第五十四晶体管 T54 的栅极与第一节点 Q(N)相连接，源极连接第三节点 K(N)。因此，第五十四晶体管 T54 的栅极为负电位，源极为正电位。这样，第五十四晶体管 T54 的栅极和源极的电压差是相对来说非常负值的电位，从而可将第五十四晶体管 T54 关闭得很好，减少它的漏电。也就是说，辅助反相器在非作用期间给主反相器提供了一个适当的高电位来降低第五十四晶体管 T54 的漏电，确保下拉维持模块 400 在非作用期间处于较高的电位，有效维持第一节点 Q(N)和输出端 G(N)处于低电位。此外，在第三节点 K(N)为高电位时，还存在电阻分压的功能，这可以将第二节点 P(N)的电位推得更高，因而可以进一步稳定第二节点 P(N)的电位。

补偿模块 500 包括第一晶体管 T1、第二晶体管 T2、第三晶体管 T3、第四晶体管 T4 和存储电容 Cst。其中，第一晶体管 T1 的栅极连接本级栅极驱动单元的输出端 G(N)，漏极连接正电位输出端 DCH，源极连接第四十二晶体管 T42 的栅极。第二晶体管 T2 的栅极连接第二节点 P(N)，漏极连接第四十二晶体管 T42 的栅极，源极连接第六节点 B(N)。第三晶体管 T3 的栅极和源极均连接本级栅极驱动单元的输出端 G(N)，漏极连接第六节点 B(N)。第四晶体管 T4 的栅极连接第二节点 P(N)，漏极通过存储电容 Cst 连接第六节点 B(N)，源极连接第二负电位输出端 VSS2。

下面具体参照图 5 和图 6 说明补偿模块 500 的作用。

本实施例为了解决第四十二晶体管 T42 容易产生阈值电压 Vth 正向漂移的问题，提供了一种用于对第四十二晶体管 T42 进行阈值电压 Vth 的正向漂移进行补偿的模块。通过应用该补偿模块，可以忽略阈值电压 Vth 的影响，提高第四十二 T42 晶体管的稳定性。

参照图 5，当本级栅极驱动单元的输出端 G(N)为高电位时，第四十一晶体管 T41 和第四十三晶体管 T43 打开，同时第四十二晶体管 T42 和第四十四晶体管 T44 关闭。可以看出，第四十二晶体管 T42 的源极侧（即，存储电容 Cst 的用于连接第四十二晶体管 T42 的源极的一侧）的电压为 V0-Vth。存储电容 Cst 的另一侧的电压为 GH。因此，可以推导出，存储电容 Cst 的电容板两端的电压差为 GH-Vo+Vth。

参照图 6，当第二节点 P(N)为高电位时，第四十二晶体管 T42 和第四十四晶体管 T44 打开，同时第四十一晶体管 T41 和第四十三晶体管 T43 关闭。流经第四十二晶体管 T42 的电流为下式。

$$Id=1/2\beta[(Vg-Vs)-Vth]Vds=1/2\beta[(GH-V0+Vth)-Vth]Vds=1/2\beta[(GH-V0]Vds$$

可以看出，流经第四十二晶体管 T42 的电流与阈值电压 Vth 无关。也就是说，应用

本实施例的补偿模块 500，使得无论第四十二晶体管 T42 的阈值电压 Vth 是否发生正向漂移，该阈值电压 Vth 也不会对第一节点 Q(N)的电位造成影响。因此，本实施例的补偿模块 500，能够有效地解决由阈值电压正向漂移导致的电流变化的问题。

综上所述，本实施例利用补偿模块 500，使流经连接第一节点 Q(N)的晶体管的电流与该晶体管的阈值电压无关。因此，该晶体管的阈值电压不会对第一节点 Q(N)的电位造成影响，从而本实施例能够有效地解决由阈值电压正向漂移导致的电流变化的问题，在很大程度上提高了栅极驱动电路的稳定性，有利于液晶显示面板显示效果的提高。

虽然本发明所公开的实施方式如上，但所述的内容只是为了便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属技术领域内的技术人员，在不脱离本发明所公开的精神和范围的前提下，可以在实施的形式上及细节上作任何的修改与变化，但本发明的保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

1．一种栅极驱动电路，包括以串联方式连接的多级栅极驱动单元，每级栅极驱动单元设置为依据上一级栅极驱动单元输出的扫描信号、下一级栅极驱动单元输出的扫描信号以及时钟信号来在其输出端输出扫描信号；

每级栅极驱动单元包括：

输入控制模块，设置为受控于所述上一级栅极驱动单元输出的扫描信号，以控制第一节点的电位；

连接所述第一节点的输出控制模块，设置为根据所述第一节点的电位控制本级栅极驱动单元的输出端的电位；

连接所述输出控制模块的下拉模块，设置为根据第二节点的电位下拉本级栅极驱动单元的输出端的电位；

连接所述下拉模块的下拉维持模块，设置为维持所述第二节点在非扫描期间的电位，以使本级栅极驱动单元的输出端的电位维持在负电位；以及

连接所述下拉维持模块和所述第一节点的补偿模块，设置为使所述第一节点的电位在所述非扫描期间保持在负电位。

2．根据权利要求 1 所述的栅极驱动电路，其中，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

3．根据权利要求 2 所述的栅极驱动电路，其中，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

4．根据权利要求 3 所述的栅极驱动电路，其中，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

5．根据权利要求 1 所述的栅极驱动电路，其中，所述下拉维持模块包括：

第五十一晶体管，其栅极与漏极均连接恒压高电位输出端，源极连接第四节点；

第五十二晶体管，其栅极连接所述第一节点，漏极连接所述第四节点，源极连接第一负电位输出端；

第五十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极连接第二节点；

第五十四晶体管，其栅极连接所述第一节点，漏极连接所述第二节点，源极连接第三节点；

第七十三晶体管，其栅极连接所述第四节点，漏极连接所述恒压高电位输出端，源极连接所述第三节点；

第七十四晶体管，其栅极连接所述第一节点，漏极连接所述第三节点，源极连接恒压低电位输出端；

第八十一晶体管，其栅极连接所述第一节点，漏极连接所述恒压高电位输出端，源极连接第五节点；

第八十二晶体管，其栅极连接所述第二节点，漏极连接所述恒压低电位输出端，源极连接所述第五节点；

第四十二晶体管，其栅极连接所述补偿模块，漏极连接所述第一节点，源极连接所述第五节点；以及

第三十二晶体管，其栅极连接所述第二节点，漏极连接本级栅极驱动单元的输出端，源极连接所述第一负电位输出端；

其中，所述恒压低电位输出端的电位低于所述第一负电位输出端的电位。

6．根据权利要求 5 所述的栅极驱动电路，其中，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

7．根据权利要求 6 所述的栅极驱动电路，其中，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极

连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

8．根据权利要求 7 所述的栅极驱动电路，其中，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

9．根据权利要求 5 所述的栅极驱动电路，其中，所述恒压高电位输出端的电位为 20-30V，所述恒压低电位输出端的电位和所述第一负电位输出端的电位均为-5- -8V。

10．根据权利要求 9 所述的栅极驱动电路，其中，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

11．根据权利要求 10 所述的栅极驱动电路，其中，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

12．根据权利要求 11 所述的栅极驱动电路，其中，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

13．根据权利要求 5 所述的栅极驱动电路，其中，所述补偿模块包括：

第一晶体管，其栅极连接本级栅极驱动单元的输出端，漏极连接正电位输出端，源极连接所述第四十二晶体管的栅极；

第二晶体管，其栅极连接所述第二节点，漏极连接所述第四十二晶体管的栅极，源极连接第六节点；

第三晶体管，其栅极和源极均连接本级栅极驱动单元的输出端，漏极连接所述第六节点；

存储电容；以及

第四晶体管，其栅极连接所述第二节点，漏极通过所述存储电容连接所述第六节点，源极连接第二负电位输出端；

其中，所述恒压低电位输出端的电位、所述第一负电位输出端的电位和所述第二负电位输出端的电位依次增加；

所述恒压高电位输出端的电位高于所述正电位输出端的电位。

14．根据权利要求 13 所述的栅极驱动电路，其中，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

15．根据权利要求 14 所述的栅极驱动电路，其中，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

16．根据权利要求 15 所述的栅极驱动电路，其中，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

17．根据权利要求 13 所述的栅极驱动电路，其中，所述正电位输出端的电位为 2-5V。

18．根据权利要求 17 所述的栅极驱动电路，其中，所述输入控制模块包括第十一晶体管；其中，所述第十一晶体管的栅极连接所述恒压高电位输出端，漏极连接上一级栅极驱动单元的输出端，源极连接所述第一节点。

19．根据权利要求 18 所述的栅极驱动电路，其中，所述输出控制模块包括：

第二十一晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的输出端；

第二十二晶体管，其栅极连接所述第一节点，漏极连接所述时钟信号的输出端，源极连接本级栅极驱动单元的驱动输出端；以及

自举电容，所述第一节点通过所述自举电容连接本级栅极驱动单元的输出端。

20．根据权利要求 19 所述的栅极驱动电路，其中，所述下拉模块包括第四十晶体管和第四十一晶体管：

其中，所述第四十晶体管的栅极和漏极均连接所述第一节点，源极连接所述第四十一晶体管的漏极；

所述第四十一晶体管的栅极连接下一级栅极驱动单元的输出端，源极连接本级栅极驱动单元的输出端。

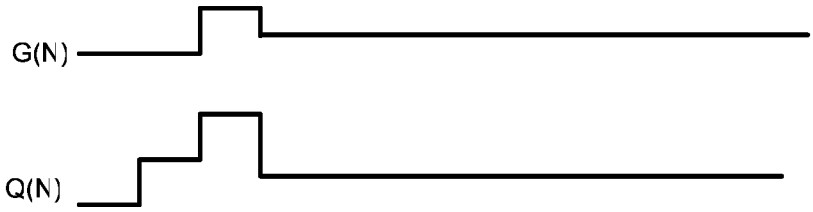


图 1

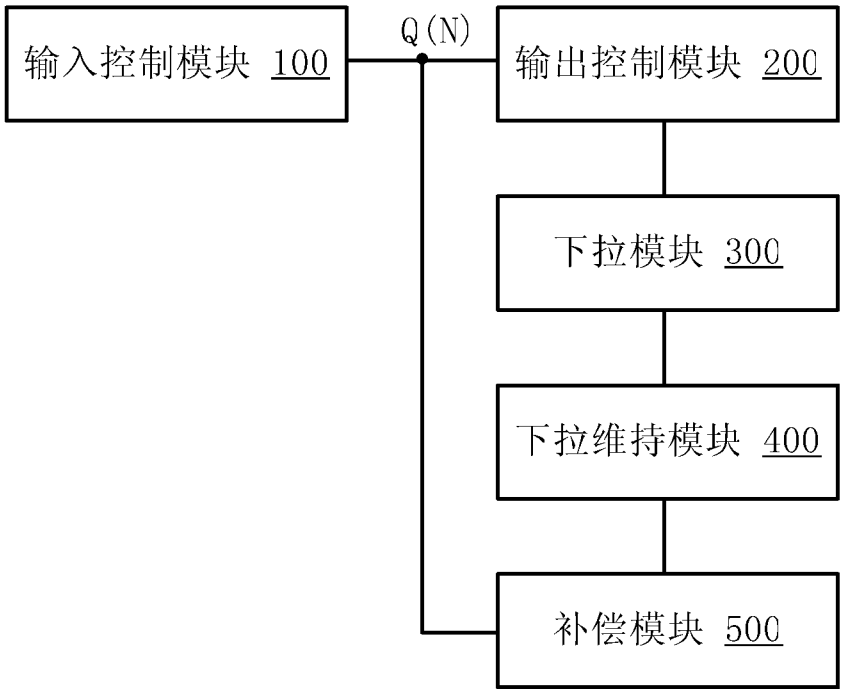


图 2

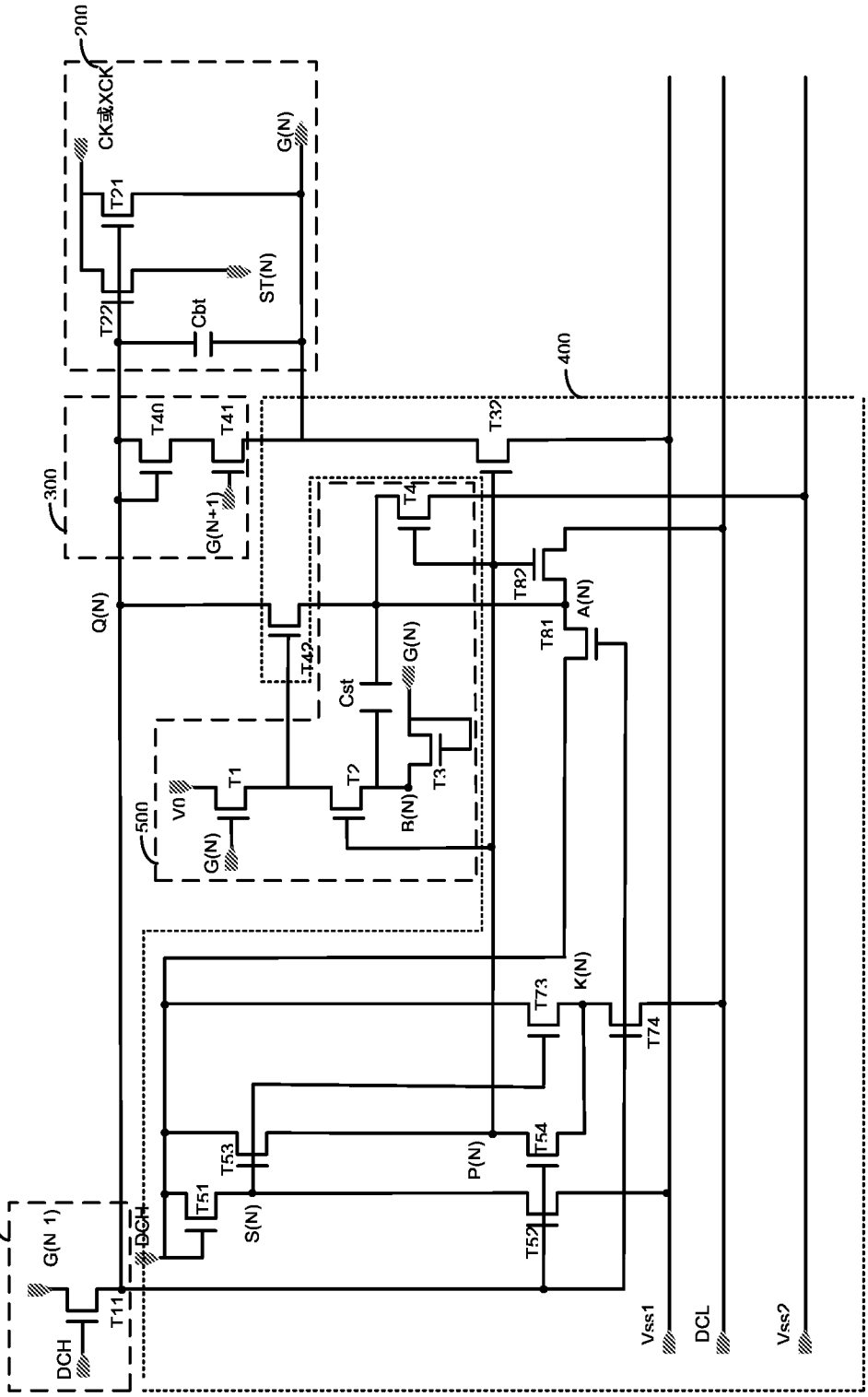
200
CK或XCK
T21
G(N)
ST(N)
T22
Cbt
400
T40
T41
T32
300
G(N+1)
T4
T42
T82
A(N)
Q(N)
T81
Cst
G(N)
T1
T2
T3
VD
G(N)
R(N)
500
K(N)
T73
T74
T53
T54
P(N)
T51
S(N)
T52
100
G(N-1)
DCH
T11
DCH
Vss1
DCL
Vss2

图 3

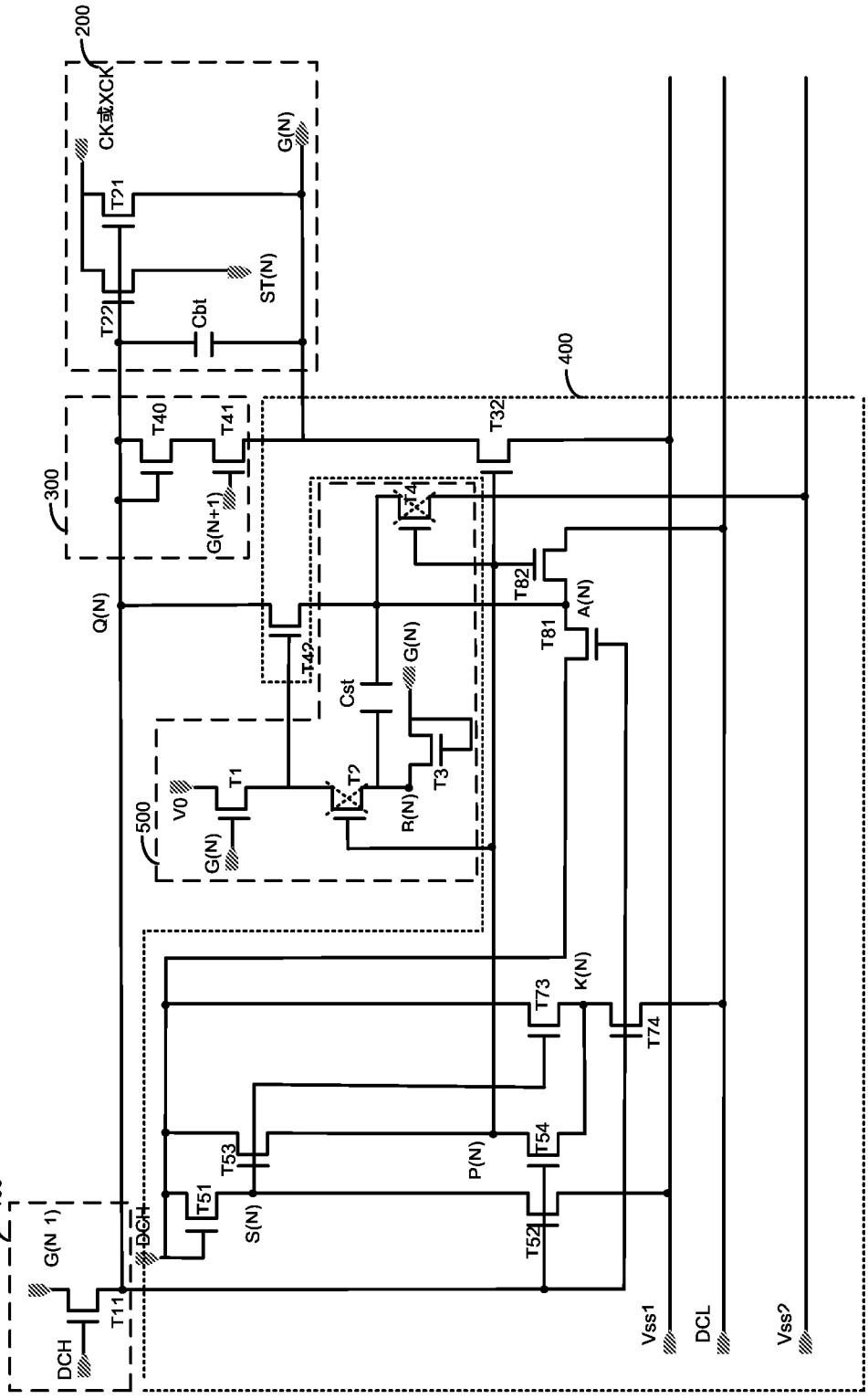
200
CK或XCK
T21
G(N)
ST(N)
T22
Cbt
400
300
T40
T41
T32
G(N+1)
T4
T82
A(N)
Q(N)
T42
T81
Cst
G(N)
500
V0
T1
T2
T3
R(N)
G(N)
K(N)
T73
T74
T53
T54
P(N)
100
G(N 1)
DCH
T51
S(N)
T52
T11
DCH
Vss1
DCL
Vss2

图 4

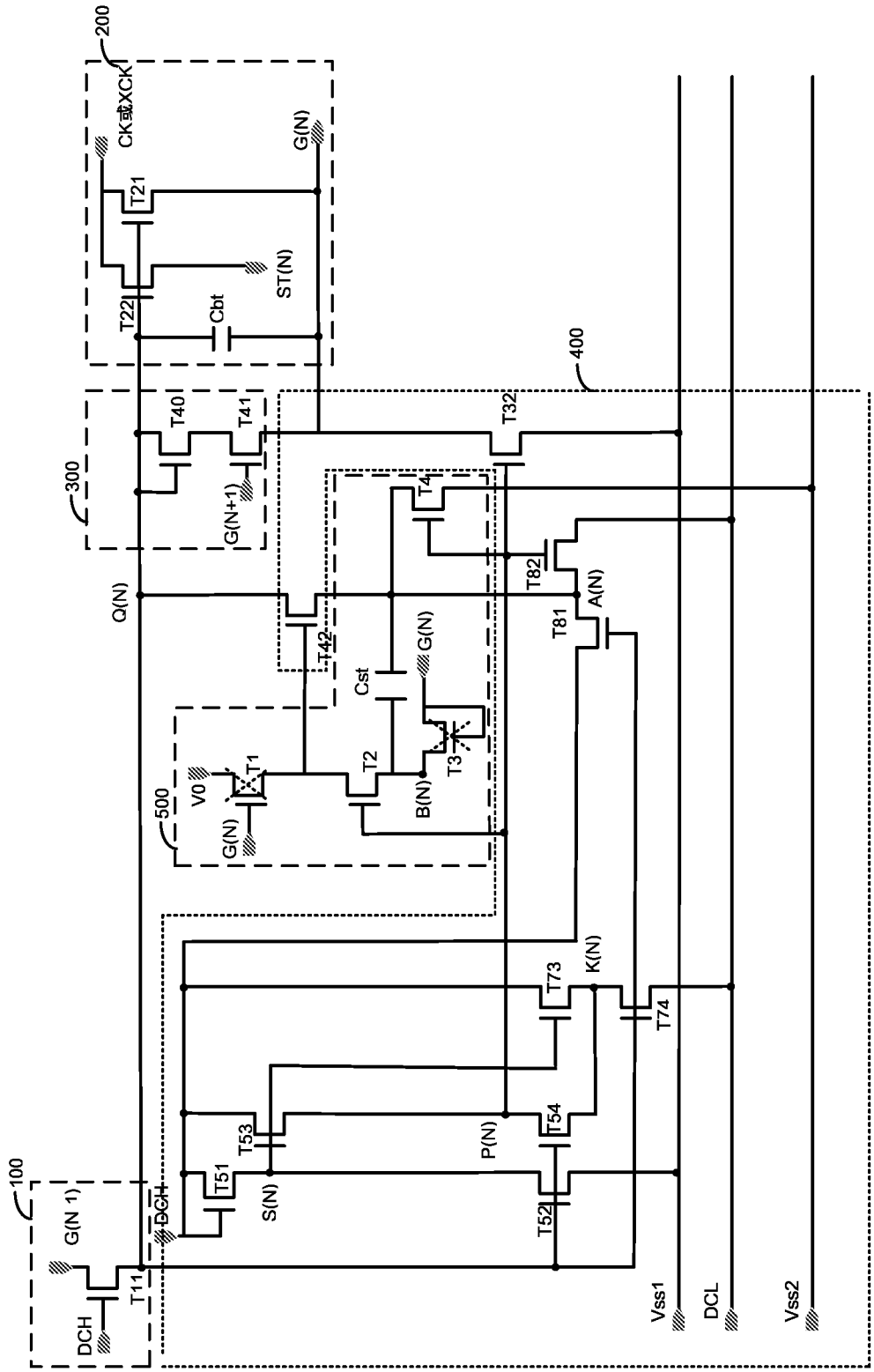
200
CK
XCK
T21
G(N)
ST(N)
T22
Cbt
400
300
T40
T41
T32
G(N+1)
T4
T82
A(N)
Q(N)
T81
T42
G(N)
Cst
500
V0
T1
T2
T3
B(N)
G(N)
T73
K(N)
T74
T53
T54
P(N)
T51
S(N)
T52
100
G(N 1)
DCH
T11
Vss1
DCL
Vss2

图 5

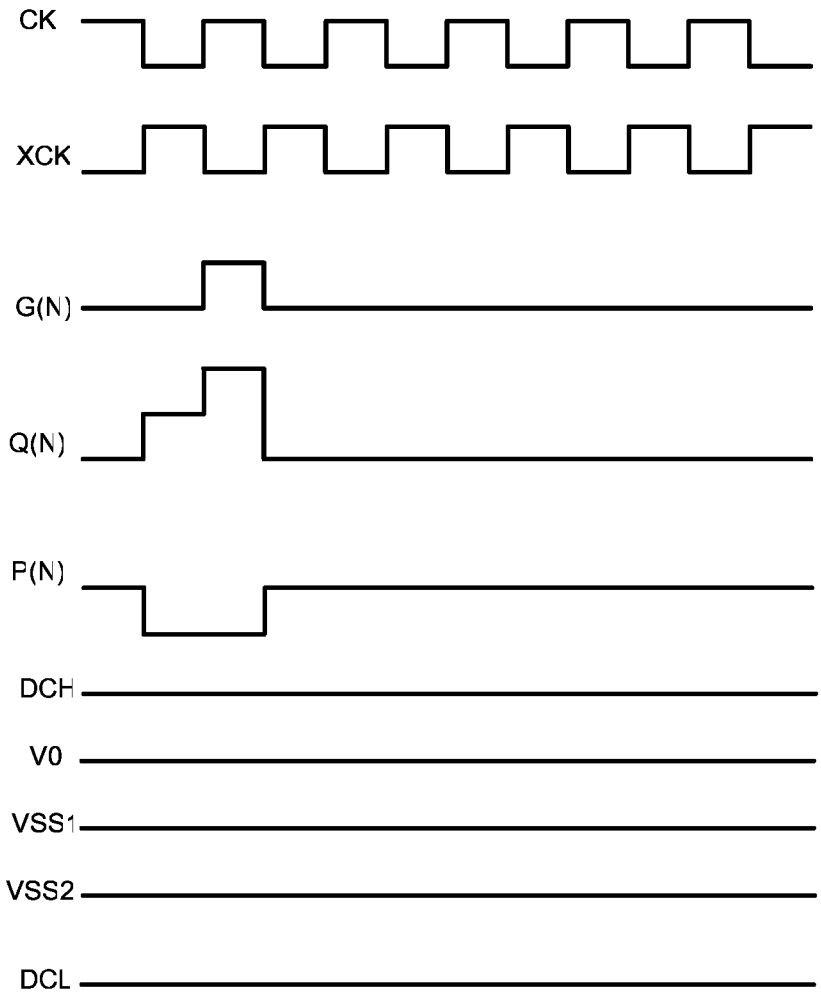


图 6

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/110942

**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星, 移位, 位移, 寄存, 暂存, 缓存, 栅极驱动, GOA, 下拉, 阈值, 补偿, 电容, shift, register, gate, driver, pull, down, off, threshold, compensat+, capacit+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| PX | CN 106157914 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 23 November 2016 (23.11.2016), claims 1-8, description, paragraphs [0061]-[0082], and figures 2-6 | 1-20 |
| Y | CN 104992682 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 21 October 2015 (21.10.2015), description, paragraphs [0095]-[0122], and figures 2 and 3 | 1-12 |
| Y | TW 201015511 A (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 16 April 2010 (16.04.2010), description, page 12, line 4 to page 17, line 23, and figures 4 and 5 | 1-12 |
| A | CN 103219047 A (BOE TECHNOLOGY GROUP CO., LTD.) 24 July 2013 (24.07.2013), entire document | 1-20 |

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 02 May 2017 | 02 June 2017 |
| Name and mailing address of the ISA<br>State Intellectual Property Office of the P. R. China<br>No. 6, Xitucheng Road, Jimenqiao<br>Haidian District, Beijing 100088, China<br>Facsimile No. (86-10) 62019451 | Authorized officer<br>YAN, Jingwen<br>Telephone No. (86-10) 62414451 |

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/110942

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| A | CN 104464657 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 25 March 2015 (25.03.2015), entire document | 1-20 |
| A | US 2008186058 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 07 August 2008 (07.08.2008), entire document | 1-20 |

# INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/110942

| Patent Documents referred in the Report | Publication Date | Patent Family | Publication Date |
|---|---|---|---|
| CN 106157914 A | 23 November 2016 | None | |
| CN 104992682 A | 21 October 2015 | WO 2017004849 A1 | 12 January 2017 |
| | | US 2017004795 A1 | 05 January 2017 |
| TW 201015511 A | 16 April 2010 | TW I393095 B | 11 April 2013 |
| CN 103219047 A | 24 July 2013 | US 9418756 B2 | 16 August 2016 |
| | | US 2015255170 A1 | 10 September 2015 |
| | | CN 103219047 B | 09 September 2015 |
| | | WO 2014161233 A1 | 09 October 2014 |
| CN 104464657 A | 25 March 2015 | US 9552788 B2 | 24 January 2017 |
| | | WO 2016070508 A1 | 12 May 2016 |
| | | CN 104464657 B | 18 January 2017 |
| | | US 2016343321 A1 | 24 November 2016 |
| US 2008186058 A1 | 07 August 2008 | JP 2008193697 A | 21 August 2008 |
| | | KR 20080072588 A | 06 August 2008 |
| | | TW I351006 B | 21 October 2011 |
| | | TW 200834489 A | 16 August 2008 |
| | | KR 100929559 B1 | 03 December 2009 |
| | | US 7598771 B2 | 06 October 2009 |
| | | JP 4623526 B2 | 02 February 2011 |

# 国际检索报告

国际申请号
PCT/CN2016/110942

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,WPI,EPODOC：华星，移位，位移，寄存，暂存，缓存，栅极驱动，GOA，下拉，阈值，补偿，电容，shift, register, gate, driver, pull, down, off, threshold, compensat+, capacit+

C. 相关文件

| 类 型* | 引用文件，必要时，指明相关段落 | 相关的权利要求 |
|---|---|---|
| PX | CN 106157914 A (深圳市华星光电技术有限公司) 2016年 11月 23日 (2016-11-23)<br>权利要求1-8，说明书第[0061]-[0082]段，附图2-6 | 1-20 |
| Y | CN 104992682 A (深圳市华星光电技术有限公司) 2015年 10月 21日 (2015-10-21)<br>说明书第[0095]-[0122]段，附图2、3 | 1-12 |
| Y | TW 201015511 A (财团法人工业技术研究院) 2010年 4月 16日 (2010-04-16)<br>说明书第12页第4行至第17页第23行，附图4、5 | 1-12 |
| A | CN 103219047 A (京东方科技集团股份有限公司) 2013年 7月 24日 (2013-07-24)<br>全文 | 1-20 |
| A | CN 104464657 A (深圳市华星光电技术有限公司) 2015年 3月 25日 (2015-03-25)<br>全文 | 1-20 |
| A | US 2008186058 A1 (INDUSTRIAL TECHNOLOGY RESEARCH INSTITUTE) 2008年 8月 7日 (2008-08-07)<br>全文 | 1-20 |

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

| 国际检索实际完成的日期 | 国际检索报告邮寄日期 |
|---|---|
| 2017年 5月 2日 | 2017年 6月 2日 |

| ISA/CN的名称和邮寄地址 | 受权官员 |
|---|---|
| 中华人民共和国国家知识产权局(ISA/CN)<br>中国北京市海淀区蓟门桥西土城路6号 100088 | 晏静文 |
| 传真号 (86-10)62019451 | 电话号码 (86-10)62414451 |

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/110942

| 检索报告引用的专利文件 | | | 公布日<br>(年/月/日) | 同族专利 | | | 公布日<br>(年/月/日) |
|---|---|---|---|---|---|---|---|
| CN | 106157914 | A | 2016年 11月 23日 | 无 | | | |
| CN | 104992682 | A | 2015年 10月 21日 | WO | 2017004849 | A1 | 2017年 1月 12日 |
| | | | | US | 2017004795 | A1 | 2017年 1月 5日 |
| TW | 201015511 | A | 2010年 4月 16日 | TW | I393095 | B | 2013年 4月 11日 |
| CN | 103219047 | A | 2013年 7月 24日 | US | 9418756 | B2 | 2016年 8月 16日 |
| | | | | US | 2015255170 | A1 | 2015年 9月 10日 |
| | | | | CN | 103219047 | B | 2015年 9月 9日 |
| | | | | WO | 2014161233 | A1 | 2014年 10月 9日 |
| CN | 104464657 | A | 2015年 3月 25日 | US | 9552788 | B2 | 2017年 1月 24日 |
| | | | | WO | 2016070508 | A1 | 2016年 5月 12日 |
| | | | | CN | 104464657 | B | 2017年 1月 18日 |
| | | | | US | 2016343321 | A1 | 2016年 11月 24日 |
| US | 2008186058 | A1 | 2008年 8月 7日 | JP | 2008193697 | A | 2008年 8月 21日 |
| | | | | KR | 20080072588 | A | 2008年 8月 6日 |
| | | | | TW | I351006 | B | 2011年 10月 21日 |
| | | | | TW | 200834489 | A | 2008年 8月 16日 |
| | | | | KR | 100929559 | B1 | 2009年 12月 3日 |
| | | | | US | 7598771 | B2 | 2009年 10月 6日 |
| | | | | JP | 4623526 | B2 | 2011年 2月 2日 |