

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
27. August 2020 (27.08.2020)



(10) Internationale Veröffentlichungsnummer
WO 2020/169742 A1

(51) Internationale Patentklassifikation:

H05B 45/10 (2020.01) *H05B 45/46* (2020.01)
H05B 45/397 (2020.01) *G09G 3/3241* (2016.01)

(21) Internationales Aktenzeichen: PCT/EP2020/054501

(22) Internationales Anmeldedatum:
20. Februar 2020 (20.02.2020)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
10 2019 104 446.4 21. Februar 2019 (21.02.2019) DE
10 2019 108 243.9 29. März 2019 (29.03.2019) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

(72) Erfinder: **SÖLL, Christopher**; Königsberger Str. 6, 90587 Veitsbronn (DE). **RICHTER, Jens**; Jurastr. 12, 93155 Hemau (DE). **KÖSLER, Markus**; Weingartenweg 14a, 84036 Landshut (DE).

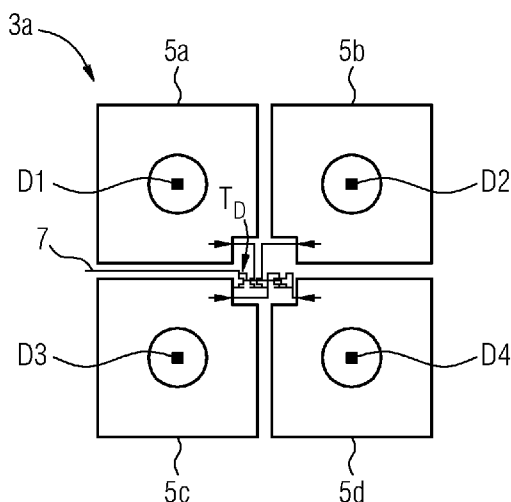
(74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5, 80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,

(54) Title: DIODE ARRAY, ARRANGEMENT, AND SYSTEM

(54) Bezeichnung: DIODENARRAY, ANORDNUNG UND SYSTEM

FIG 3b



(57) **Abstract:** The invention relates to a diode array (3a) having at least two image elements (5a, 5b), an arrangement having at least two successive diode arrays (3a, 3b), and an additional diode array (3c) and a system. The diode array (3a) comprises a distributor transistor (T_D), and a supply line (7) for receiving a reference current and a first supply connection (9) which, in order to supply the distributor transistor (T_D), are coupled to said distributor transistor. One diode (D) and one input transistor (T_I) are provided for each image element (5a, 5b), which input transistor is coupled to the diode (D) in each case in order to supply said diode. The distributor transistor (T_D), together with the relevant input transistor (T_I) of at least two image elements (5a, 5b), forms a distributor current mirror (S_D).

(57) **Zusammenfassung:** Es werden ein Diodenarray (3a) mit wenigstens zwei Bildelementen (5a, 5b), eine Anordnung mit wenigstens zwei aufeinanderfolgenden Diodenarrays (3a, 3b) sowie ein weiteres Diodenarray (3c) und ein System angegeben. Das Diodenarray (3a) weist einen Verteiler-Transistor (T_D) auf sowie eine Zuleitung (7) zur Aufnahme eines

ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Referenzstroms und einen ersten Versorgungsanschluss (9), die zur Versorgung des Verteiler-Transistors (T_D) mit diesem gekoppelt sind. Je Bildelement (5a, 5b) sind eine Diode (D) sowie ein Eingangs- Transistor (T_I) vorgesehen, der jeweils zur Versorgung der Diode (D) mit dieser gekoppelt ist. Der Verteiler-Transistor (T_D) bildet mit dem jeweiligen Eingangs-Transistor (T_I) wenigstens zweier Bildelemente (5a, 5b) einen Verteiler- Stromspiegel (S_D).

Beschreibung

DIODENARRAY, ANORDNUNG UND SYSTEM

- 5 Es werden ein Diodenarray, eine Anordnung mit wenigstens zwei aufeinanderfolgenden Diodenarrays sowie ein weiteres Diodenarray und ein System angegeben.

Diese Patentanmeldung beansprucht die Priorität der deutschen
10 Patentanmeldungen 102019104446.4 und 102019108243.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

In großen Arrays, wie zum Beispiel LED-Arrays oder in Bildsensoren, stellt die Versorgung einzelner Bildelemente
15 („Pixel“) mit einer Referenzspannung oder einem Referenzstrom (sogenannte „Referenzierung“) ein Problem dar, insbesondere da die Anzahl der Verdrahtungsleitungen von der Größe des Arrays beziehungsweise der Anzahl der Bildelemente abhängen kann.

20 Ein Array 30 (vgl. Fig. 1) weist üblicherweise eine Vielzahl von Bildelementen 5a, 5b auf, die matrixartig in n Spalten und m Zeilen angeordnet sind.

25 Um eine Anzahl der Verdrahtungsleitungen gering zu halten kann dabei eine Versorgung der einzelnen Bildelemente 5a, 5b mittels einer Referenzspannung V_{ref} erfolgen („Spannungsreferenzierung“). Hierzu kann das Array 30 in einem System 1' zusammen mit einer Referenzspannungsquelle 2a
30 angeordnet sein, die für jede Spalte des Arrays 30 eine Ausgangsleitung 8 aufweist. Bei der Referenzspannungsquelle 2a handelt es sich beispielhaft um eine stabilisierte Präzisionsspannungsquelle wie eine Bandabstandsreferenz.

Eine solche Spannungsreferenzierung unterliegt jedoch einer Vielzahl an Fehlerquellen, welche die Genauigkeit des Arrays stark beeinflusst.

Eine hochgenaue Referenzierung erfolgt daher bevorzugt durch

5 Stromreferenzierung (vgl. Fig. 2a). Hierzu kann das Array 30 in einem System 1 zusammen mit einer Referenzstromquelle 20 angeordnet sein, die für jedes Bildelement des Arrays 30 eine Ausgangsleitung 8 aufweist. Beispielsweise ist hierzu der Referenzspannungsquelle 2a ein Spannungs-Strom-Wandler 2b
10 nachgeschaltet, der die Referenzspannung V_{ref} in einen Referenzstrom I_{ref} wandelt. Zur Aufspreizung des Referenzstroms I_{ref} auf mehrere Ausgangsleitungen 8 kann dem Spannungs-Strom-Wandler 2b eine Stromspiegelbank 2c nachgeschaltet sein. Beispielsweise weist die
15 Stromspiegelbank 2c je Spalte des Arrays 30 m Ausgangsleitungen 8 auf. Alternativ kann die Stromspiegelbank 2c kaskadiert ausgebildet sein (vgl. Fig. 2b). So kann der Referenzstrom I_{ref} beispielhaft durch eine Stromspiegelbank 2c-1 zunächst 4 Stromspiegelbanken 2c-2 zugeführt werden, die
20 den Referenzstrom I_{ref} wiederum an 12 Stromspiegelbanken 2c-2 mit jeweils 20 Ausgangsleitungen 8 weiterleiten. Bei großen Arrays 30 resultiert dies jedoch in einer massiven Anzahl an Verdrahtungsleitungen.

25 Es ist daher zumindest eine Aufgabe der vorliegenden Erfindung, ein Diodenarray anzugeben, welches eine hochgenaue Referenzierung der Bildelemente ermöglicht und zugleich beiträgt, einen Verdrahtungsaufwand gering zu halten.

30 Diese Aufgabe wird durch den Gegenstand der unabhängigen Patentansprüche gelöst. Vorteilhafte Ausführungsformen und Weiterbildungen sind in den abhängigen Ansprüchen angegeben

und gehen weiterhin aus der nachfolgenden Beschreibung und den Zeichnungen hervor.

5 Gemäß einem ersten Aspekt der Erfindung wird ein Diodenarray angegeben.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt weist das Diodenarray wenigstens zwei Bildelemente auf. Insbesondere kann das Diodenarray eine Mehrzahl an
10 Bildelementen aufweisen, beispielsweise 2, 4, 8, 16, 32 oder 64. Beispielsweise handelt es sich bei dem Diodenarray um ein Subarray eines eingangs genannten, stromreferenzierten Arrays, d.h., ein oder mehrere Diodenarrays bilden ein solches Array. Insbesondere handelt es sich bei dem
15 Diodenarray um einen Verbund aus mehreren Dioden, die über eine einzige Zuleitung stromreferenziert werden. Das Diodenarray und/oder das Array mit einem oder mehreren Diodenarrays ist insbesondere auf einem gemeinsamen Wafer ausgebildet.

20 In zumindest einer Ausführungsform gemäß dem ersten Aspekt weist das Diodenarray einen Verteiler-Transistor sowie eine Zuleitung zur Aufnahme eines Referenzstroms und einen ersten Versorgungsanschluss auf. Die Zuleitung und der erste
25 Versorgungsanschluss sind dabei zur Versorgung des Verteiler-Transistors mit dem Verteiler-Transistor gekoppelt. Insbesondere weist das Diodenarray unabhängig von der Anzahl an Bildelementen lediglich einen Verteiler-Transistor und lediglich eine Zuleitung auf. Der Verteiler-Transistor ist
30 insbesondere auf einem gemeinsamen Wafer mit den Bildelementen ausgebildet. Insbesondere ist der Verteiler-Transistor in unmittelbarer Nähe zu den einzelnen Bildelementen des Diodenarrays angeordnet. Bevorzugt ist der

Verteiler-Transistor zwischen den ihm zugeordneten Bildelementen bzw. in deren Mitte angeordnet, beispielhaft an einem Kreuzungspunkt von Zeilen und Spalten im Falle von matrixartig angeordneten Bildelementen. In vorteilhafter

5 Weise weist der Verteiler-Transistor so im Wesentlichen selbe Temperaturbedingungen sowie einen geringen Mismatch Fehler bezüglich der in den jeweiligen Bildelementen verbauten Transistoren auf. Bei dem ersten Versorgungsanschluss handelt es sich beispielhaft um einen Masseanschluss. Mit dem ersten

10 Versorgungsanschluss kann aber auch ein Versorgungsspannungsanschluss bezeichnet sein; insbesondere kann das Diodenarray dabei in einer gespiegelten Betriebsrichtung mit entgegengesetzter Stromrichtung betrieben werden, bei der die beschriebenen n-Kanal-

15 Transistoren durch p-Kanal-Transistoren ersetzt sind und umgekehrt.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt sind je Bildelement eine Diode sowie ein Eingangs-Transistor

20 vorgesehen. Der jeweilige Eingangs-Transistor ist zur Versorgung der entsprechenden Diode mit der jeweiligen Diode gekoppelt. Bei der Diode handelt es sich beispielhaft um eine Fotodiode oder eine lichtemittierende Diode (LED). Der Eingangs-Transistor ist insbesondere in unmittelbarer Nähe zu

25 der Diode angeordnet. Bevorzugt ist der Eingangs-Transistor darüber hinaus in unmittelbarer Nähe zu dem entsprechenden Verteiler-Transistor des Diodenarrays angeordnet. Der Eingangs-Transistor ist insbesondere auf einem gemeinsamen Wafer mit dem entsprechenden Verteiler-Transistor

30 ausgebildet. In vorteilhafter Weise weist der Eingangs-Transistor so im Wesentlichen die selben Temperaturbedingungen sowie einen damit einhergehenden

geringen Mismatch Fehler bezüglich des Verteiler-Transistors auf.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt
5 bildet der Verteiler-Transistor mit dem jeweiligen Eingangs-
Transistor wenigstens zweier Bildelemente einen Verteiler-
Stromspiegel. Insbesondere handelt es sich bei dem Verteiler-
Stromspiegel um einen MOSFET-Stromspiegel. Unter der Bildung
eines Stromspiegels wird hier und im Folgenden eine
10 Verschaltung zweier Transistoren verstanden, die eine
Spiegelung bzw. „Kopie“ des Eingangsstroms auf einen Ausgang
des Stromspiegels ermöglicht.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt
15 wird ein Diodenarray mit wenigstens zwei Bildelementen
angegeben, wobei das Diodenarray einen Verteiler-Transistor
sowie eine Zuleitung zur Aufnahme eines Referenzstroms und
einen ersten Versorgungsanschluss aufweist. Die Zuleitung und
der erste Versorgungsanschluss sind dabei zur Versorgung des
20 Verteiler-Transistors mit dem Verteiler-Transistor gekoppelt.
Je Bildelement sind eine Diode sowie ein Eingangs-Transistor
vorgesehen. Der jeweilige Eingangs-Transistor ist zur
Versorgung der entsprechenden Diode mit der jeweiligen Diode
gekoppelt. Der Verteiler-Transistor bildet mit dem jeweiligen
25 Eingangs-Transistor wenigstens zweier Bildelemente einen
Verteiler-Stromspiegel.

In vorteilhafter Weise kann durch ein solches Diodenarray die
Anzahl der Zuleitungen zur Versorgung der einzelnen
30 Bildelemente gering gehalten werden. Insbesondere wird durch
das Diodenarray eine präzise Referenzierung von Arrays mit
einer Vielzahl an Bildelementen ermöglicht.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt ist der Verteiler-Transistor mit seiner Abflusselektrode mit der Zuleitung gekoppelt. Darüber hinaus ist der Verteiler-Transistor mit seiner Quellenelektrode mit dem ersten
5 Versorgungsanschluss gekoppelt. Ferner ist der Verteiler-Transistor mit seiner Steuerelektrode mit seiner Abflusselektrode gekoppelt und bildet einen Verteileranschluss.

10 Der jeweilige Eingangs-Transistor ist ferner mit seiner Abflusselektrode mit einer ersten Elektrode der Diode gekoppelt. Darüber hinaus ist der jeweilige Eingangs-Transistor mit seiner Quellenelektrode mit dem ersten Versorgungsanschluss gekoppelt. Ferner ist der jeweilige
15 Eingangs-Transistor mit seiner Steuerelektrode mit dem Verteileranschluss gekoppelt.

Eine zweite Elektrode der Diode ist überdies mit einem weiteren Versorgungsanschluss gekoppelt. Im Falle, dass der
20 Diode neben dem Verteiler-Stromspiegel kein weiterer Stromspiegel vorgeschaltet ist, handelt es sich bei dem weiteren Versorgungsanschluss insbesondere um einen von dem ersten Versorgungsanschluss verschiedenen zweiten Versorgungsanschluss mit unterschiedlichem elektrischen
25 Potential, beispielhaft um einen Versorgungsspannungsanschluss („High Side Diode“). Ist zwischen der Diode und dem Verteiler-Stromspiegel hingegen ein weiterer Stromspiegel angeordnet, weist der weitere Versorgungsanschluss insbesondere ein dem ersten
30 Versorgungsanschluss gleiches elektrisches Potential auf bzw. bei dem weiteren Versorgungsanschluss kann es sich dann um den ersten Versorgungsanschluss handeln.

Unter einer Abflusselektrode wird hier und im Folgenden der Drain-Anschluss eines MOSFETs verstanden. Analog hierzu bezeichnet die Quellenelektrode einen Source-Anschluss und die Steuerelektrode einen Gate-Anschluss des MOSFETs.

5

Dass zwei oder mehr Bauelemente miteinander gekoppelt sind schließt hier und im Folgenden eine direkte bzw. unmittelbare elektrische Verbindung der Bauelemente sowie ihre indirekte bzw. mittelbare elektrische Verbindung ein. Insbesondere kann dem Eingangs-Transistor ein zusätzlicher Versorgungs-Stromspiegel nachgeschaltet sein, über den der Eingangs-Transistor mit der Diode elektrisch verbunden ist.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt bildet der Verteiler-Transistor mit dem jeweiligen Eingangs-Transistor von genau 2 oder 4 oder 8 oder 9 oder 16 Bildelementen einen Verteiler-Stromspiegel.

In vorteilhafter Weise eignet sich diese Anzahl besonders zur zentralen Anordnung des Verteiler-Transistors insbesondere bei matrixartig angeordneten Bildelementen, so dass etwa ein Mismatch Fehler gering gehalten werden kann.

In zumindest einer Ausführungsform gemäß dem ersten Aspekt sind die Bildelemente, deren Eingangs-Transistor mit dem Verteiler-Transistor einen Verteiler-Stromspiegel bildet, in unmittelbarer Nachbarschaft zueinander angeordnet.

Gemäß einem zweiten Aspekt der Erfindung wird eine Anordnung angegeben. Bei der Anordnung kann es sich wiederum um ein Subarray eines Arrays handeln.

In zumindest einer Ausführungsform gemäß dem zweiten Aspekt umfasst die Anordnung wenigstens zwei aufeinanderfolgende Diodenarrays gemäß dem ersten Aspekt. Insbesondere umfasst die Anordnung genau zwei aufeinanderfolgende Diodenarrays.

- 5 Unter aufeinanderfolgenden Diodenarrays sind etwa direkt benachbarte oder solche Diodenarrays zu verstehen, die mit derselben Zuleitung versorgt werden.

- 10 Je Bildelement sind ein Gabelungs-Transistor sowie ein Versorgungs-Transistor vorgesehen. Der Gabelungs-Transistor bildet mit dem Versorgungs-Transistor jeweils einen Versorgungs-Stromspiegel, der zur Versorgung der Diode mit der Diode gekoppelt ist.

- 15 Die Anordnung umfasst darüber hinaus wenigstens einen Ausgangs-Transistor. Der entsprechende Ausgangs-Transistor ist jeweils zwischen zwei aufeinanderfolgenden Diodenarrays angeordnet und bildet mit dem Gabelungs-Transistor eines Bildelements des ersten der zwei aufeinanderfolgenden
20 Diodenarrays einen Ausgangs-Stromspiegel. Der Ausgangs-Stromspiegel ist zur Versorgung des Verteiler-Transistors eines darauffolgenden zweiten der zwei aufeinanderfolgenden Diodenarrays mit dem Verteiler-Transistor gekoppelt. Überdies ist der Verteiler-Transistor des ersten der
25 aufeinanderfolgenden Diodenarrays zur Versorgung mit der Zuleitung und dem ersten Versorgungsanschluss gekoppelt.

- In vorteilhafter Weise kann durch eine solche Anordnung die Anzahl der Zuleitungen zur Versorgung der einzelnen
30 Bildelemente im Vergleich zu dem Diodenarray gemäß dem ersten Aspekt weiter reduziert werden. Insbesondere wird durch die Anordnung eine präzise Referenzierung von Arrays mit einer Vielzahl an Bildelementen ermöglicht.

Beispielhaft kann jedem Bildelement ein Ausgangs-Stromspiegel zugeordnet sein. In diesem Fall kann der dem jeweiligen Bildelement zugeführte Referenzstrom an ein einzelnes Bildelement oder ein weiteres Diodenarray gemäß dem ersten
5 Aspekt „vererbt“ werden. Insbesondere kann die Anzahl der Zuleitungen zur Versorgung der einzelnen Bildelemente hierdurch um einen Faktor zwischen einschließlich 2 bis einschließlich $n \cdot m$ reduziert werden, wenn die Bildelemente in n Spalten und m Zeilen angeordnet sind.

10

In zumindest einer Ausführungsform gemäß dem zweiten Aspekt ist der Verteiler-Transistor des ersten der aufeinanderfolgenden Diodenarrays mit seiner Abflusselektrode mit der Zuleitung gekoppelt. Der Verteiler-Transistor der
15 darauffolgenden Diodenarrays ist hingegen mit seiner Abflusselektrode mit einer Abflusselektrode des Ausgangs-Transistors des vorhergehenden Diodenarrays gekoppelt. In anderen Worten ist lediglich das erste Diodenarrays unmittelbar mit der Zuleitung verbunden, während die
20 darauffolgenden Diodenarrays nur mehr mittelbar mit der Zuleitung gekoppelt sind, und zwar über das erste Diodenarray und gegebenenfalls weitere vorhergehende Diodenarrays.

Der Verteiler-Transistor des ersten oder der darauffolgenden
25 Diodenarrays ist ferner mit seiner Quellenelektrode mit dem ersten Versorgungsanschluss gekoppelt. Darüber hinaus ist der Verteiler-Transistor mit seiner Steuerelektrode mit seiner Abflusselektrode gekoppelt und bildet den Verteileranschluss.

30 Der Eingangs-Transistor ist mit seiner Abflusselektrode mit einer Abflusselektrode des Gabelungs-Transistors gekoppelt. Überdies ist der Eingangs-Transistor mit seiner Quellenelektrode mit dem ersten Versorgungsanschluss

gekoppelt. Ferner ist der Eingangs-Transistor mit seiner Steuerelektrode mit der Steuerelektrode des Verteiler-Transistors gekoppelt.

5 Die Diodenarrays weisen jeweils einen zweiten Versorgungsanschluss auf. Der Gabelungs-Transistor ist mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss gekoppelt. Darüber hinaus ist der Gabelungs-Transistor mit seiner Steuerelektrode mit seiner Abflusselektrode gekoppelt.

10

Des Weiteren ist der Versorgungs-Transistor mit seiner Abflusselektrode mit einer ersten Elektrode der Diode gekoppelt. Der Versorgungs-Transistor ist außerdem mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss
15 gekoppelt. Ferner ist der Versorgungs-Transistor mit seiner Steuerelektrode mit der Steuerelektrode des Gabelungs-Transistors gekoppelt.

Eine zweite Elektrode der Diode ist mit dem ersten
20 Versorgungsanschluss gekoppelt.

Der Ausgangs-Transistor ist mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss gekoppelt. Ferner ist der Ausgangs-Transistor mit seiner Steuerelektrode mit der
25 Steuerelektrode des Gabelungs-Transistors gekoppelt.

Bei dem zweiten Versorgungsanschluss handelt es sich um einen von dem ersten Versorgungsanschluss verschiedenen Anschluss mit unterschiedlichem elektrischen Potential, beispielhaft um
30 einen Versorgungsspannungsanschluss. Mit dem zweiten Versorgungsanschluss kann aber auch ein Masseanschluss bezeichnet sein; insbesondere kann das Diodenarray dabei in einer gespiegelten Betriebsrichtung mit entgegengesetzter

Stromrichtung betrieben werden, bei der die nachfolgend beschriebenen n-Kanal-Transistoren durch p-Kanal-Transistoren ersetzt sind und umgekehrt, und die Gateanschlüsse der Stromspiegel entsprechend ausgeführt sind.

5

Gemäß einem dritten Aspekt der Erfindung wird ein weiteres Diodenarray angegeben. Bei dem Diodenarray kann es sich wiederum um ein Subarray eines Arrays handeln.

- 10 In zumindest einer Ausführungsform gemäß dem dritten Aspekt weist das Diodenarray wenigstens zwei aufeinanderfolgende Bildelemente auf. Insbesondere weist das Diodenarray genau zwei aufeinanderfolgende Bildelemente auf. Unter aufeinanderfolgenden Bildelementen sind etwa direkt
15 benachbarte oder solche Bildelemente zu verstehen, die mit derselben Zuleitung versorgt werden.

Das Diodenarray weist eine Zuleitung zur Aufnahme eines Referenzstroms und einen ersten und zweiten

- 20 Versorgungsanschluss auf.

- Je Bildelement sind überdies eine Diode, ein Eingangs-Stromspiegel, ein Gabelungs-Transistor sowie ein Versorgungs-Transistor vorgesehen. Der Gabelungs-Transistor bildet dabei
25 mit dem Versorgungs-Transistor jeweils einen Versorgungs-Stromspiegel. Der Versorgungs-Stromspiegel ist zur Versorgung der Diode mit der Diode gekoppelt.

- Das Diodenarray umfasst außerdem wenigstens einen Ausgangs-
30 Transistor. Der Ausgangs-Transistor ist jeweils zwischen zwei aufeinanderfolgenden Bildelementen angeordnet und bildet mit dem Gabelungs-Transistor eines ersten der zwei aufeinanderfolgenden Bildelemente einen Ausgangs-

Stromspiegel. Der Ausgangs-Stromspiegel ist hierbei zur Versorgung des Eingangs-Stromspiegels eines darauffolgenden zweiten der zwei aufeinanderfolgenden Bildelemente mit dem darauffolgenden zweiten Bildelement gekoppelt.

5

Der Eingangs-Stromspiegel des ersten der aufeinanderfolgenden Bildelemente ist zur Versorgung mit der Zuleitung und dem ersten Versorgungsanschluss gekoppelt.

10 In Vorteilhafter Weise ermöglicht das Diodenarray gemäß dem dritten Aspekt eine „Vererbung“ eines zugeführten Referenzstroms zwischen aufeinanderfolgenden Bildelementen. Mit Vorteil kann so die Anzahl der Zuleitungen zur Versorgung der einzelnen Bildelemente gering gehalten werden, und zwar
15 insbesondere um einen Faktor zwischen einschließlich 2 bis einschließlich $n \cdot m$ reduziert werden, wenn die Bildelemente in n Spalten und m Zeilen angeordnet sind. Insbesondere wird durch das Diodenarray eine präzise Referenzierung von Arrays mit einer Vielzahl an Bildelementen ermöglicht.

20

In zumindest einer Ausführungsform gemäß dem dritten Aspekt umfasst der jeweilige Eingangs-Stromspiegel einen Eingabe-Transistor und einen Ausgabe-Transistor.

25 Der Eingabe-Transistor des ersten der zwei Bildelemente ist mit seiner Abflusselektrode mit der Zuleitung gekoppelt. Der Eingabe-Transistor der darauffolgenden Bildelemente ist mit seiner Abflusselektrode hingegen mit einer Abflusselektrode des Ausgabe-Transistors des vorhergehenden Bildelements
30 gekoppelt.

Der Eingabe-Transistor des ersten oder der darauffolgenden Bildelemente ist darüber hinaus mit seiner Quellenelektrode

mit dem ersten Versorgungsanschluss gekoppelt. Außerdem ist der Eingabe-Transistor mit seiner Steuerelektrode mit seiner Abflusselektrode gekoppelt.

5 Der Ausgabe-Transistor ist mit seiner Abflusselektrode mit einer Abflusselektrode des Gabelungs-Transistors gekoppelt. Ferner ist der Ausgabe-Transistor mit seiner Quellenelektrode mit dem ersten Versorgungsanschluss gekoppelt. Überdies ist der Ausgabe-Transistor mit seiner Steuerelektrode mit der
10 Steuerelektrode des Eingabe-Transistors gekoppelt.

Die Diodenarrays weisen jeweils einen zweiten Versorgungsanschluss auf. Der Gabelungs-Transistor ist mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss
15 gekoppelt. Überdies ist der Gabelungs-Transistor mit seiner Steuerelektrode mit seiner Abflusselektrode gekoppelt.

Der Versorgungs-Transistor ist mit seiner Abflusselektrode mit einer ersten Elektrode der Diode gekoppelt. Ferner ist
20 der Versorgungs-Transistor mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss gekoppelt. Außerdem ist der Versorgungs-Transistor mit seiner Steuerelektrode mit der Steuerelektrode des Gabelungs-Transistors gekoppelt.

25 Eine zweite Elektrode der Diode ist ferner mit dem ersten Versorgungsanschluss gekoppelt.

Der Ausgangs-Transistor ist mit seiner Quellenelektrode mit dem zweiten Versorgungsanschluss gekoppelt. Ferner ist der
30 Ausgangs-Transistor mit seiner Steuerelektrode mit der Steuerelektrode des Gabelungs-Transistors gekoppelt.

Gemäß einem vierten Aspekt der Erfindung wird ein Array angegeben. Bei dem Array handelt sich beispielsweise um ein LED-Array oder ein Fotodioden-Array.

- 5 In zumindest einer Ausführungsform gemäß dem vierten Aspekt umfasst das Array eine Vielzahl an Bildelementen. Insbesondere umfasst das Array mehr als 10, bevorzugt mehr als 100, besonders bevorzugt mehr als 1000 Bildelemente.
- 10 Die Bildelemente sind zumindest teilweise in wenigstens einem Diodenarray gemäß dem ersten Aspekt angeordnet. Dabei weist das Diodenarray jeweils eine Zuleitung auf, insbesondere zur Versorgung des jeweiligen Verteiler-Transistors.
- 15 Alternativ oder zusätzlich sind die Bildelemente zumindest teilweise in wenigstens einer Anordnung gemäß dem zweiten Aspekt angeordnet. Dabei weist die Anordnung jeweils eine Zuleitung auf, insbesondere zur Versorgung des jeweiligen Verteiler-Transistors des ersten der aufeinanderfolgenden
- 20 Diodenarrays.

- Alternativ oder zusätzlich sind die Bildelemente zumindest teilweise in wenigstens einem Diodenarray gemäß dem dritten Aspekt angeordnet. Dabei weist das Diodenarray jeweils eine
- 25 Zuleitung auf, insbesondere zur Versorgung des jeweiligen Eingangs-Stromspiegels des ersten der aufeinanderfolgenden Bildelemente.

- Insbesondere können die Bildelemente des Arrays auch in einer
- 30 Kombination aus den Diodenarrays gemäß dem ersten und dritten Aspekt bzw. der Anordnung gemäß dem zweiten Aspekt angeordnet sein.

In zumindest einer Ausführungsform gemäß dem vierten Aspekt sind die Bildelemente des Arrays matrixartig in n Spalten und m Zeilen angeordnet. Bei dem Array sind je Spalte zwischen einschließlich einer und einschließlich $\frac{m}{2}$ Zuleitungen
5 vorgesehen.

In zumindest einer Ausführungsform gemäß dem vierten Aspekt sind die Bildelemente des Arrays matrixartig in n Spalten und m Zeilen angeordnet. Bei dem Array sind je Zeile zwischen
10 einschließlich einer und einschließlich $\frac{n}{2}$ Zuleitungen vorgesehen.

In zumindest einer Ausführungsform gemäß dem vierten Aspekt bildet der Verteiler-Transistor mit dem jeweiligen Eingangs-
15 Transistor von genau f Bildelementen einen Verteiler-Stromspiegel.

Die Bildelemente des Arrays sind matrixartig in n Spalten und m Zeilen angeordnet. Bei dem Array sind zwischen
20 einschließlich $\frac{n \cdot m}{f}$ und einschließlich $\frac{n \cdot m}{f^2}$ Zuleitungen vorgesehen. Insbesondere sind bei dem Array $\frac{n \cdot m}{8}$ Zuleitungen vorgesehen.

In zumindest einer Ausführungsform gemäß dem vierten Aspekt
25 bildet der Verteiler-Transistor mit dem jeweiligen Eingangs-Transistor von genau f_1 Bildelementen einen Verteiler-Stromspiegel, wobei genau f_2 Bildelemente jeweils mittelbar oder unmittelbar einem Ausgangstransistor zu oben genannter „Vererbung“ zugeordnet sind.

Die Bildelemente des Arrays sind matrixartig in n Spalten und m Zeilen angeordnet. Bei dem Array sind dann genau $\frac{n \cdot m}{f_1 \cdot f_2}$ Zuleitungen vorgesehen.

- 5 In zumindest einer Ausführungsform gemäß dem vierten Aspekt weist der Verteiler-Stromspiegel und/oder der Versorgungs-Stromspiegel und/oder der Ausgangs-Stromspiegel ein common-centroid-layout auf.
- 10 Gemäß einem fünften Aspekt der Erfindung wird ein System angegeben.

In zumindest einer Ausführungsform gemäß dem fünften Aspekt umfasst das System ein Array gemäß dem vierten Aspekt und
15 eine Referenzstromquelle.

Die Referenzstromquelle weist je Zuleitung des Arrays jeweils eine Ausgangsleitung auf. Die jeweilige Ausgangsleitung ist dabei mit der entsprechenden Zuleitung gekoppelt.

20

In zumindest einer Ausführungsform gemäß dem fünften Aspekt umfasst die Referenzstromquelle eine Stromspiegelbank. Die Stromspiegelbank weist einen Eingang zur Zuführung eines Referenzstroms und je Zuleitung des Arrays eine
25 Ausgangsleitung auf. Dabei ist die Stromspiegelbank eingerichtet, den am Eingang zugeführten Referenzstrom auf den entsprechenden Ausgangsleitungen bereitzustellen, insbesondere zur Versorgung des jeweiligen Verteiler-Transistors bzw. des jeweiligen Eingangs-Stromspiegels.

30

Gemäß einem sechsten Aspekt der Erfindung wird ein Scheinwerfer für ein Kraftfahrzeug angegeben. Bei dem Scheinwerfer kann es sich insbesondere um eine Front-, oder

Heckbeleuchtung des Kraftfahrzeugs handeln. Der Scheinwerfer umfasst ein LED-Array gemäß dem vierten Aspekt und/oder ein System gemäß dem fünften Aspekt.

- 5 Weitere Vorteile, vorteilhafte Ausführungsformen und Weiterbildungen ergeben sich aus den im Folgenden in Verbindung mit den Figuren beschriebenen Ausführungsbeispielen.
- 10 Es zeigen:
- Figur 1 ein spannungsreferenziertes Array und seine Verdrahtung,
- 15 Figur 2a ein stromreferenziertes Array und seine Verdrahtung,
- Figur 2b eine schematische Darstellung einer kaskadierten Stromspiegelbank zur Stromreferenzierung gemäß Figur 2a,
- 20 Figur 3a ein erstes Ausführungsbeispiel eines Diodenarrays zum Einsatz in dem in Figur 2a dargestellten System,
- Figur 3b ein zweites Ausführungsbeispiel eines Diodenarrays zum Einsatz in dem in Figur 2a dargestellten System in
- 25 Draufsicht,
- Figur 4 ein drittes Ausführungsbeispiel eines Diodenarrays zum Einsatz in dem in Figur 2a dargestellten System,
- 30 Figur 5a ein erstes Ausführungsbeispiel einer Verdrahtung des in Figur 4 dargestellten Diodenarrays in dem in Figur 2a dargestellten System,

Figur 5b ein zweites Ausführungsbeispiel einer Verdrahtung des in Figur 4 dargestellten Diodenarrays in dem in Figur 2a dargestellten System, und

- 5 Figur 6 ein viertes Ausführungsbeispiel zweier aufeinanderfolgender Diodenarrays zum Einsatz in dem in Figur 2a dargestellten System.

10 Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit den gleichen Bezugszeichen versehen. Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren Darstellbarkeit und/oder für eine bessere
15 Verständlichkeit übertrieben groß dargestellt sein. Gestrichelt dargestellte Umrandungen deuten eine Funktionseinheit der darin angeordneten Elemente an.

Bei Arrays wie LED Arrays oder in Bildsensoren werden oftmals
20 aktive Schaltungsteile innerhalb eines Bildelements eingesetzt. Die Bildelemente benötigen meist hochpräzise Referenzen, also Referenzströme oder -spannungen. Die Referenz kann sich beispielsweise auf einen Bandabstand eines pn-Überganges beziehen; im Idealfall steht jedem Bildelement
25 dieselbe Referenz zur Verfügung. Eine Referenzerzeugung innerhalb der Bildelemente erschwert jedoch eine gleichmäßige Referenzierung (sogenanntes „Matching“) über alle Bildelemente des Arrays hinweg.

30 Figur 1 zeigt ein System 1' zur Versorgung eines LED-Arrays mit einer externen Referenzspannung V_{ref} . Das LED-Array weist n Spalten und m Zeilen von matrixartig angeordneten Bildelementen 5a, 5b auf, wobei jede Spalte zur Versorgung

der entsprechenden Bildelemente 5a, 5b mit einer Ausgangsleitung 8 einer Bandabstandsreferenz 2a gekoppelt ist. Pro Spalte ist also nur eine Ausgangsleitung 8 erforderlich. Allerdings kann das System 1' dabei mehreren Fehlerneinflüssen ausgesetzt sein, wie einem Mismatch von in den jeweiligen Bildelementen verbauten Transistoren als Stromquellen. Auch Temperaturunterschiede, lokale Ground- oder Supplyunterschiede beeinflussen das System 1' stark.

Um diese Fehlereinflüsse zu vermeiden ist eine strombasierte Referenzierung vorzuziehen. Figur 2a zeigt ein System 1 zur Versorgung des LED-Arrays 30 mit einem externen Referenzstrom I_{ref} , bei dem jedes Bildelement 5a, 5b mit einer Ausgangsleitung 8 einer Referenzstromquelle 20 gekoppelt ist. Die Bandabstandsreferenz 2a ist hierzu mit einem Operationsverstärker mit nachgeschalteten Widerstand als Spannungs-Strom-Wandler 2b sowie einer Stromspiegelbank 2c gekoppelt. Da der Referenzstrom I_{ref} unabhängig von lokalen Versorgungsspannungspegeln ist, und Transistoren der Stromspiegelbank jeweils lokal beieinander liegen, ist diese Variante weniger anfällig gegen die oben genannten Fehlerquellen, erfordert aber einen hohen Verdrahtungsaufwand. Gerade bei Arrays 30 mit einer Vielzahl von Bildelementen 5a, 5b mit geringer Größe (zum Beispiel < 40 μm , insbesondere $\leq 10 \mu m$) ist der Platz für Zuleitungen zur Versorgung der einzelnen Bildelemente 5a, 5b beschränkt.

Figur 3a zeigt ein erstes Ausführungsbeispiel eines Diodenarrays 3a zum Einsatz als Subarray in dem in Figur 2a dargestellten System 1, das beiträgt, den Verdrahtungsaufwand gering zu halten und zugleich eine hochgenaue Referenzierung der Bildelemente 5a, 5b ermöglicht.

Das dargestellte Diodenarray 3a umfasst in dieser Ausführungsvariante zwei benachbarte Bildelemente 5a, 5b des Arrays 30. In anderen Ausführungsvarianten kann das Diodenarray 3a auch mehr als zwei benachbarte Bildelemente 5a, 5b umfassen, insbesondere vier, acht oder sechzehn. Das Diodenarray 3a weist für beide Bildelemente 5a, 5b nur mehr eine einzige Zuleitung 7 auf, die mit der Ausgangsleitung 8 der Referenzstromquelle 20 zur Versorgung der Bildelemente 5a, 5b zu koppeln ist. Eingangsseitig weist das Diodenarray 3a einen Verteiler-Transistor T_D auf, dessen Abflusselektrode T_{D-D} zur Aufnahme des Referenzstroms I_{ref} mit der Zuleitung 7 verbunden ist. Eine Steuerelektrode T_{D-G} des Verteiler-Transistors T_D ist mit der Abflusselektrode T_{D-D} verbunden und bildet einen Verteileranschluss V für die Bildelemente 5a, 5b des Diodenarrays 3a. Eine Quellenelektrode T_{D-S} des Verteiler-Transistors T_D ist schließlich mit einem Masseanschluss 9a des Arrays 30 verbunden. Unter den Masseanschluss 9a kann auch ein Versorgungsspannungsanschluss fallen; in diesem Zusammenhang kann das Diodenarray 3a komplementär zu dieser Ausführungsform in entgegengesetzter Stromrichtung betrieben sein, bei der die nachfolgend beschriebenen n-Kanal-MOSFETs durch p-Kanal-MOSFETs ersetzt sind und umgekehrt.

Die beiden Bildelemente 5a, 5b weisen eingangsseitig jeweils einen Eingangs-Transistor T_I auf, dessen Steuerelektrode T_{I-G} mit dem Verteileranschluss V verbunden ist. Eine Quellenelektrode des Eingangs-Transistors T_I ist wiederum mit dem Masseanschluss 9a des Arrays 30 verbunden. Ausgangsseitig stellt der Eingangs-Transistor T_I über seine Abflusselektrode T_{D-D} durch diese Verschaltung im Wesentlichen den dem Diodenarray 3a über die Zuleitung 7 zugeführten Referenzstrom I_{ref} bereit. Der Verteiler-Transistor T_D bildet mit dem jeweiligen Eingangs-Transistor T_I der beiden Bildelemente 5a,

5b also jeweils einen Stromspiegel, der im Folgenden als Verteiler-Stromspiegel S_D bezeichnet und durch den gestrichelten bzw. mit Strich-Punkt-Linien versehenen Kasten in Figur 3a angedeutet ist.

5

Der bezüglich des Verteiler-Stromspiegels S_D ausgangsseitig bereitgestellte Referenzstrom I_{ref} wird jeweils einer dem entsprechenden Bildelement 5a, 5b zugeordneten Diode D über ihre erste Elektrode D_1 zugeführt. Eine zweite Elektrode D_2 der Diode D ist mit dem Masseanschluss 9a verbunden.

In dieser Ausführungsvariante ist dem Verteiler-Stromspiegel S_D je Bildelement 5a, 5b ein Versorgungs-Stromspiegel S_s nachgeschaltet, über den der entsprechenden Diode D der Referenzstrom I_{ref} zugeführt wird. Der Versorgungs-Stromspiegel S_s umfasst eingangsseitig einen Gabelungs-Transistor T_F und ausgangsseitig einen Versorgungs-Transistor T_s , die mit ihren Quellenelektroden T_{F-s} , T_{s-s} jeweils mit einem Versorgungsspannungsanschluss 9b verbunden sind. Dabei handelt es sich bei den dem Verteiler-Stromspiegel S_D zugeordneten Transistoren T_D , T_I um n-Kanal-MOSFETs und bei den dem Versorgungs-Stromspiegel S_s zugeordneten Transistoren T_F , T_s um p-Kanal-MOSFETs. In anderen Ausführungsvarianten kann der Verteiler-Stromspiegel S_D je Bildelement 5a, 5b auch direkt mit der ersten Elektrode D_2 der entsprechenden Diode D verbunden sein, deren zweite Elektrode D_2 dann mit dem Versorgungsspannungsanschluss 9b verbunden ist. Beispielhaft sind die dem Verteiler-Stromspiegel S_D zugeordneten Transistoren T_D , T_I dann als p-Kanal-MOSFETs ausgebildet.

30

Die den jeweiligen Stromspiegeln S_D , S_s zugeordneten Transistoren T_D , T_I , T_F , T_s können insbesondere lokal nahe beieinander angeordnet werden, um einen Mismatch Fehler

gering zu halten. Bevorzugt sind die den jeweiligen Stromspiegeln S_D , S_S zugeordneten Transistoren T_D , T_I , T_F , T_S gemäß dem common-centroid-layout ausgebildet, um etwa einen Gradienten im Gateoxid auszugleichen. In diesem Zusammenhang wird auf die Ausführungen von Daniel Payne in "A Review of an Analog Layout Tool called HiPer DevGen" sowie Nurahmad Omar in "Automated Layout Synthesis Tool for Op-Amp" verwiesen, deren Offenbarungsgehalt hiermit durch Bezugnahme vollständig aufgenommen wird.

Insbesondere kann das Layout der einzelnen Bildelemente 5a, 5b wie in Figur 3b dargestellt gespiegelt werden. Der Verteiler-Transistor T_D ist in diesem zweiten Ausführungsbeispiel mittig bezüglich vier in einer Matrix angeordneten Bildelementen 5a, 5b, 5c, 5d mit jeweils einer LED D_1 , D_2 , D_3 , D_4 angeordnet, wobei eine Anordnung der einzelnen Bauelemente der Bildelemente 5a, 5b, 5c, 5d jeweils bezüglich einer vertikalen Achse entlang einer Spalte der Matrix durch den Verteiler-Transistor T_D sowie bezüglich einer horizontalen Achse entlang einer Zeile der Matrix durch den Verteiler-Transistor T_D gespiegelt ist.

Der in den Ausführungsbeispielen der Figuren 3a und 3b dargestellte Aufbau des Diodenarrays 3a kann auch als „Input Sharing“ bezeichnet werden und führt keinen zusätzlichen Mismatch Fehler ein. Die Anzahl der Zuleitungen 7 zur Verdrahtung der Bildelemente 5a, 5b, 5c, 5d kann um einen Faktor f verringert werden, wobei f der Anzahl der jeweils einem Verteiler-Transistor T_D zugeordneten Bildelemente 5a, 5b, 5c, 5d entspricht.

Figur 4 zeigt ein drittes Ausführungsbeispiel eines Diodenarrays 3c zum Einsatz als Subarray in dem in Figur 2a

dargestellten System 1, das ebenfalls beiträgt, den Verdrahtungsaufwand gering zu halten und zugleich eine hochgenaue Referenzierung der Bildelemente 5a, 5b ermöglicht.

- 5 Das Diodenarray 3c unterscheidet sich von dem Diodenarray 3a unter anderem dadurch, dass zwischen den Bildelementen 5a, 5b kein zentraler Verteiler-Transistor T_D angeordnet ist. Stattdessen ist eine Zuleitung 7 des Diodenarrays 3c zur Kopplung mit einer Ausgangsleitung 8 der Referenzstromquelle
- 10 20 direkt mit einem ersten Bildelement 5a verbunden. Das erste Bildelement 5a ist dabei ausgangsseitig über eine Vererbungsleitung 87 mit einem darauffolgenden zweiten Bildelement 5b verbunden.
- 15 Den einzelnen Bildelementen 5a, 5b ist zu diesem Zweck ein Eingangs-Stromspiegel S_I zugeordnet, dem ein entsprechender Strom über die Zuleitung 7 bzw. die Vererbungsleitung 87 zugeführt wird. Dem ersten Bildelement 5a ist darüber hinaus zu diesem Zweck ein Ausgangs-Transistor T_O zugeordnet, mit
- 20 dem der Eingangs-Stromspiegel S_I des zweiten Bildelements 5b über die Vererbungsleitung 87 verbunden ist. In der dargestellten Ausführungsvariante ist dem zweiten Bildelement 5b ebenfalls ein Ausgangs-Transistor T_O zur Versorgung nachfolgender Bildelemente zugeordnet, auf den in anderen
- 25 Ausführungsvarianten verzichtet werden kann.

- Der Eingangs-Stromspiegel S_I weist einen Eingabe-Transistor T_E sowie einen Ausgabe-Transistor T_A auf, die zusammen eingerichtet sind, den über die Zuleitung 7 an einer
- 30 Abflusselektrode T_{E-D} des Eingabe-Transistors T_E zugeführten Referenzstrom I_{ref} ausgangsseitig an einer Abflusselektrode T_{A-D} des Ausgabe-Transistors T_A bereitzustellen.

Die einzelnen Bildelemente 5a, 5b weisen darüber hinaus analog zu dem ersten Ausführungsbeispiel einen dem Eingangs-Stromspiegel S_S nachgeschalteten Versorgungs-Stromspiegel S_S auf, über den der entsprechenden Diode D der Referenzstrom I_{ref} zugeführt wird. Zusätzlich ist der Gabelungs-Transistor T_F allerdings mit seiner Steuerelektrode T_{F-G} mit einer Steuerelektrode T_{F-G} des Ausgangs-Transistors T_O verbunden und bildet mit diesem einen Ausgangs-Stromspiegel S_O (durch die beiden mit Strich-Punkten versehenen Kästchen angedeutet).

Der Ausgangs-Stromspiegel S_O ist eingerichtet, den über die Abflusselektrode T_{A-D} des Ausgabe-Transistors T_A des Eingangs-Stromspiegels S_I einer Abflusselektrode T_{F-D} des Gabelungs-Transistors T_F zugeführten Referenzstrom I_{ref} ausgangsseitig an einer Abflusselektrode T_{O-D} des Ausgangs-Transistors T_O bereitzustellen.

Bei den dem Eingangs-Stromspiegel S_I zugeordneten Transistoren T_E , T_A handelt es sich in dem dritten Ausführungsbeispiel um n-Kanal-MOSFETs und bei den dem Versorgungs-Stromspiegel S_S bzw. dem Ausgangs-Stromspiegel S_O zugeordneten Transistoren T_F , T_S , T_O um p-Kanal-MOSFETs. In anderen Ausführungsformen kann, statt die Dioden D anodenseitig zu treiben, wenn die Dioden D jeweils "gedreht" angeordnet und der Masseanschluss 9a als Versorgungsspannungsanschluss und der Versorgungsspannungsanschluss 9b z.B. als Masseanschluss ausgeführt ist, Strom zum Betreiben der jeweiligen Diode D mit einem entsprechenden „Low Side“-Treiber aus der Kathode bezogen werden. In diesem Fall handelt es sich bei den Transistoren T_E , T_A um p-Kanal-MOSFETs und den Transistoren T_F , T_S , T_O um n-Kanal-MOSFETs.

In vorteilhafter Weise kann so eine Anzahl der Ausgangsleitungen 8 zur Versorgung des Diodenarrays 3c gering gehalten werden. Der über die Zuleitung 7 eintreffende Referenzstrom I_{ref} wird zunächst umgespiegelt (hier von n auf p) und dann parallel in die Last und über einen zusätzlichen Spiegeltransistor in das nächste Bildelement gespiegelt. Im Extremfall kann so mit einer einzelnen Referenzleitung eine ganze Spalte (bzw. Zeile) mit m (bzw. n) Bildelementen bedient werden. Der Mismatch Fehler der dann eingesetzten m (bzw. n) Spiegel spreizt sich aber bis zum letzten Bildelement, insbesondere erfolgt eine Faltung der statischen Verteilung in jedem Spiegel, daher weitet sich der „Gauß“ auf. Wie in den Figuren 5a bzw. 5b dargestellt ist ein Kompromiss aus Leitungsanzahl und Genauigkeit einzugehen.

Figur 5a zeigt dabei ein erstes Ausführungsbeispiel einer Verdrahtung des in Figur 4 dargestellten Diodenarrays 3c in dem System 1 gemäß Figur 2a, bei dem eine Ausgangsleitung 8 alle Bildelemente einer Spalte versorgt. In einem zweiten Ausführungsbeispiel (Figur 5b) werden mit einer Ausgangsleitung 8 hingegen lediglich zwei aufeinanderfolgende Bildelemente versorgt. Die zu wählende Kompromisslösung kann insbesondere von dem verfügbaren Platz abhängig gemacht werden.

Anhand der Figur 6 ist schließlich ein viertes Ausführungsbeispiel dargestellt, welches die in den vorgehenden Ausführungsbeispielen aufgezeigten Ansätze kombiniert. Hier sind zwei aufeinanderfolgende Diodenarrays 3a, 3b in einer Anordnung 3 zum Einsatz als Subarray in dem in Figur 2a dargestellten System 1 miteinander verschaltet.

Dem ersten Diodenarray 3a ist dabei ein Verteiler-Transistor T_D zugeordnet, der mit der Zuleitung 7 verbunden ist und

analog zu dem ersten und zweiten Ausführungsbeispiel die umliegenden Bildelemente 5a, 5b, 5c, 5d mit dem an der Zuleitung 7 anliegenden Referenzstrom I_{ref} versorgt. In dieser Ausführungsvariante ist lediglich dem Bildelement 5d ein Ausgangs-Transistor T_o zugeordnet, der über eine Vererbungsleitung 87 mit dem Verteiler-Transistor T_D des nachfolgenden zweiten Diodenarrays 3b verbunden ist. In anderen Ausführungsvarianten kann auch mehr als einem Bildelement 5d, insbesondere allen Bildelementen 5a, 5b, 5c, 5d ein entsprechender Ausgangs-Transistor T_o zugeordnet sein und die Anordnung 3 kann entsprechend mehr Bildelemente umfassen, die durch dieselbe Zuleitung 7 versorgt werden. Analog zu dem ersten und zweiten Ausführungsbeispiel werden die um den Verteiler-Transistor T_D des zweiten Diodenarrays 3b liegenden Bildelemente 5e, 5f, 5g, 5h mit dem an der Vererbungsleitung 87 anliegenden Referenzstrom I_{ref} versorgt.

Die Vererbung des Referenzstroms I_{ref} eines Bildelements hin zu einem benachbarten Bildelement sowie das lokale Teilen eines Eingangsstromspiegeltransistors mit benachbarten Bildelementen („Input sharing“) können wie in dem vierten Ausführungsbeispiel dargelegt miteinander kombiniert und skaliert werden. In vorteilhafter Weise ermöglicht dies eine hochpräzise Referenzierung, einen reduzierten Verdrahtungsaufwand bzw. überhaupt eine Verdrahtung größerer Arrays bei vergleichsweise geringem Hardwareaufwand.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele auf diese beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal

oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben ist.

Bezugszeichenliste

	1', 1	System
	2a	Referenzspannungsquelle
5	2b	Spannungs-Strom-Wandler
	2c, 2c-1, 2c-2, 2c-3	Stromspiegelbank
	20	Referenzstromquelle
	3	Anordnung
	3a, 3b, 3c	Diodenarray
10	30	Array
	5a, 5b, 5c, 5d, 5e, 5f, 5g, 5h	Bildelement
	7	Zuleitung
	8	Ausgangsleitung
	87	Vererbungsleitung
15	9a, 9b	Versorgungsanschluss
	D, D1, D2, D3, D4	Diode
	D ₁ , D ₂	Elektrode
	S _D	Verteiler-Stromspiegel
	S _I	Eingangs-Stromspiegel
20	S _S	Versorgungs-Stromspiegel
	S _O	Ausgangs-Stromspiegel
	T _D	Verteiler-Transistor
	T _I	Eingangs-Transistor
	T _F	Gabelungs-Transistor
25	T _S	Versorgungs-Transistor
	T _O	Ausgangs-Transistor
	T _E	Eingabe-Transistor
	T _A	Ausgabe-Transistor
	T _{D-D} , T _{I-D} , T _{F-D} , T _{S-D} , T _{O-D} , T _{E-D} , T _{A-D}	Abflusselektrode
30	T _{D-S} , T _{I-S} , T _{F-S} , T _{S-S} , T _{O-S} , T _{E-S} , T _{A-S}	Quellenelektrode
	T _{D-G} , T _{I-G} , T _{F-G} , T _{S-G} , T _{O-G} , T _{E-G} , T _{A-G}	Steuerelektrode
	V _{ref}	Referenzspannung
	I _{ref}	Referenzstrom

Patentansprüche

1. Diodenarray (3a) mit wenigstens zwei Bildelementen (5a, 5b), wobei
- 5 - das Diodenarray (3a) einen Verteiler-Transistor (T_D) aufweist sowie eine Zuleitung (7) zur Aufnahme eines Referenzstroms und einen ersten Versorgungsanschluss (9a), die zur Versorgung des Verteiler-Transistors (T_D) mit diesem gekoppelt sind,
- 10 - je Bildelement (5a, 5b) eine Diode (D) sowie ein Eingangs-Transistor (T_I) vorgesehen sind, der jeweils zur Versorgung der Diode (D) mit dieser gekoppelt ist, wobei
- der Verteiler-Transistor (T_D) mit dem jeweiligen Eingangs-Transistor (T_I) wenigstens zweier Bildelemente (5a, 5b)
- 15 einen Verteiler-Stromspiegel (S_D) bildet.
2. Diodenarray (3a) nach Anspruch 1, wobei
- der Verteiler-Transistor (T_D) mit seiner Abflusselektrode (T_{D-D}) mit der Zuleitung (7) gekoppelt ist, mit seiner
- 20 Quellenelektrode (T_{D-S}) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{D-G}) mit seiner Abflusselektrode (T_{I-D}) gekoppelt ist und einen Verteileranschluss (V) bildet,
- der jeweilige Eingangs-Transistor (T_I) mit seiner
- 25 Abflusselektrode (T_{I-D}) mit einer ersten Elektrode (D_1) der Diode (D) gekoppelt ist, mit seiner Quellenelektrode (T_{I-S}) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{I-G}) mit dem Verteileranschluss (V) gekoppelt ist, und wobei
- 30 - eine zweite Elektrode (D_2) der Diode (D) mit einem weiteren Versorgungsanschluss gekoppelt ist.

3. Diodenarray (3a) nach einem der vorstehenden Ansprüche 1 oder 2, bei der der Verteiler-Transistor (T_D) mit dem jeweiligen Eingangs-Transistor (T_I) von genau 2 oder 4 oder 8 oder 9 oder 16 Bildelementen (5a, 5b, 5c, 5d) einen Verteiler-Stromspiegel (S_D) bildet.

4. Diodenarray (3a) nach einem der vorstehenden Ansprüche 1 bis 3, bei der die Bildelemente (5a, 5b, 5c, 5d), deren Eingangs-Transistor (T_I) mit dem Verteiler-Transistor (T_D) einen Verteiler-Stromspiegel (S_D) bildet, in unmittelbarer Nachbarschaft zueinander angeordnet sind.

5. Anordnung (3) umfassend wenigstens zwei aufeinanderfolgende Diodenarrays (3a, 3b) nach einem der vorstehenden Ansprüche, insbesondere genau zwei aufeinanderfolgende Diodenarrays (3a, 3b), bei der

- je Bildelement (5a, 5b, 5c, 5d, 5e, 5f, 5g, 5h) ein Gabelungs-Transistor (T_F) sowie ein Versorgungs-Transistor (T_S) vorgesehen sind, wobei der Gabelungs-Transistor (T_F) mit dem Versorgungs-Transistor (T_S) jeweils einen Versorgungs-Stromspiegel (S_S) bildet, der zur Versorgung der Diode (D) mit dieser gekoppelt ist,
- die Anordnung (1) wenigstens einen Ausgangs-Transistor (T_O) umfasst, der jeweils zwischen zwei aufeinanderfolgenden Diodenarrays (3a, 3b) angeordnet ist und mit dem Gabelungs-Transistor (T_F) eines Bildelements (5d) des ersten der zwei aufeinanderfolgenden Diodenarrays (3a) einen Ausgangs-Stromspiegel (S_O) bildet, der zur Versorgung des Verteiler-Transistors (T_D) eines darauffolgenden zweiten der zwei aufeinanderfolgenden Diodenarrays (3b) mit diesem gekoppelt ist, wobei
- zur Versorgung des Verteiler-Transistors (T_D) des ersten der aufeinanderfolgenden Diodenarrays (3a) dieser mit der

Zuleitung (7) und dem ersten Versorgungsanschluss (9a) gekoppelt ist.

6. Anordnung (3) nach Anspruch 5, bei der

- 5 - der Verteiler-Transistor (T_D) des ersten der aufeinanderfolgenden Diodenarrays (3a) mit seiner Abflusselektrode (T_{D-D}) mit der Zuleitung (7) und der Verteiler-Transistor (T_D) der darauffolgenden Diodenarrays (3b) mit seiner Abflusselektrode (T_{D-D}) mit einer
10 Abflusselektrode (T_{O-D}) des Ausgangs-Transistors (T_O) des vorhergehenden Diodenarrays (3a) gekoppelt ist,
- der Verteiler-Transistor (T_D) des ersten oder der darauffolgenden Diodenarrays (3a, 3b) mit seiner Quellenelektrode (T_{D-S}) mit dem ersten Versorgungsanschluss
15 (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{D-G}) mit seiner Abflusselektrode (T_{D-D}) gekoppelt ist und den Verteileranschluss (V) bildet,
- der Eingangs-Transistor (T_I) mit seiner Abflusselektrode (T_{I-D}) mit einer Abflusselektrode (T_{F-D}) des Gabelungs-
20 Transistors (T_F) gekoppelt ist, mit seiner Quellenelektrode (T_{I-S}) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{I-G}) mit der Steuerelektrode (T_{D-G}) des Verteiler-Transistors (T_D) gekoppelt ist,
- 25 - die Diodenarrays (3a, 3b) jeweils einen zweiten Versorgungsanschluss (9b) aufweisen,
- der Gabelungs-Transistor (T_F) mit seiner Quellenelektrode (T_{F-S}) mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist und mit seiner Steuerelektrode (T_{F-G}) mit seiner
30 Abflusselektrode (T_{F-D}) gekoppelt ist,
- der Versorgungs-Transistor (T_S) mit seiner Abflusselektrode (T_{S-D}) mit einer ersten Elektrode (D_1) der Diode (D) gekoppelt ist, mit seiner Quellenelektrode (T_{S-S})

mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist und mit seiner Steuerelektrode (T_{S-G}) mit der Steuerelektrode (T_{F-G}) des Gabelungs-Transistors (T_F) gekoppelt ist,

- 5 - eine zweite Elektrode (D_2) der Diode (D) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist, und
- der Ausgangs-Transistor (T_O) mit seiner Quellenelektrode (T_{O-S}) mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist und mit seiner Steuerelektrode (T_{O-G}) mit der
- 10 Steuerelektrode (T_{F-G}) des Gabelungs-Transistors (T_F) gekoppelt ist.

7. Diodenarray (3c) mit wenigstens zwei aufeinanderfolgenden Bildelementen (5a, 5b), insbesondere genau zwei

- 15 aufeinanderfolgende Bildelemente (5a, 5b) wobei
- das Diodenarray (3c) eine Zuleitung (7) zur Aufnahme eines Referenzstroms und einen ersten und einen zweiten Versorgungsanschluss (9a, 9b) aufweist,
- je Bildelement (5a, 5b) eine Diode (D), ein Eingangs-
- 20 Stromspiegel (S_I), ein Gabelungs-Transistor (T_F) sowie ein Versorgungs-Transistor (T_S) vorgesehen sind, wobei der Gabelungs-Transistor (T_F) mit dem Versorgungs-Transistor (T_S) jeweils einen Versorgungs-Stromspiegel (S_S) bildet, der zur Versorgung der Diode (D) mit dieser gekoppelt ist,
- 25 - das Diodenarray (3c) wenigstens einen Ausgangs-Transistor (T_O) umfasst, der jeweils zwischen zwei aufeinanderfolgenden Bildelementen (5a, 5b) angeordnet ist und mit dem Gabelungs-Transistor (T_F) eines ersten der zwei aufeinanderfolgenden Bildelemente (5a) einen
- 30 Ausgangs-Stromspiegel (S_O) bildet, der zur Versorgung des Eingangs-Stromspiegels (S_I) eines darauffolgenden zweiten der zwei aufeinanderfolgenden Bildelemente (5b) mit diesem gekoppelt ist, wobei

- zur Versorgung des Eingangs-Stromspiegels (S_I) des ersten der aufeinanderfolgenden Bildelemente (5a) dieser mit der Zuleitung (7) und dem ersten Versorgungsanschluss (9a) gekoppelt ist.

5

8. Diodenarray (3c) nach Anspruch 7, bei der

- der jeweilige Eingangs-Stromspiegel (S_I) einen Eingabe-Transistor (T_E) und einen Ausgabe-Transistor (T_A) umfasst, wobei

- 10 - der Eingabe-Transistor (T_E) des ersten der zwei Bildelemente (5a) mit seiner Abflusselektrode (T_{E-D}) mit der Zuleitung (7) und der Eingabe-Transistor (T_E) der darauffolgenden Bildelemente (5b) mit seiner Abflusselektrode (T_{E-D}) mit einer Abflusselektrode (T_{A-D})

- 15 des Ausgabe-Transistors (T_A) des vorhergehenden Bildelements (5a) gekoppelt ist,

- der Eingabe-Transistor (T_E) des ersten oder der darauffolgenden Bildelemente (5a, 5b) mit seiner Quellenelektrode (T_{E-S}) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{E-G}) mit seiner Abflusselektrode (T_{E-D}) gekoppelt ist,

20

- der Ausgabe-Transistor (T_A) mit seiner Abflusselektrode (T_{A-D}) mit einer Abflusselektrode (T_{F-D}) des Gabelungs-Transistors (T_F) gekoppelt ist, mit seiner

- 25 Quellenelektrode (T_{A-S}) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist und mit seiner Steuerelektrode (T_{A-G}) mit der Steuerelektrode (T_{E-G}) des Eingabe-Transistors (T_E) gekoppelt ist,

- der Gabelungs-Transistor (T_F) mit seiner Quellenelektrode (T_{F-S}) mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist und mit seiner Steuerelektrode (T_{F-G}) mit seiner Abflusselektrode (T_{F-D}) gekoppelt ist,

30

- der Versorgungs-Transistor (T_s) mit seiner Abflusselektrode (T_{s-D}) mit einer ersten Elektrode (D_1) der Diode (D) gekoppelt ist, mit seiner Quellenelektrode (T_{s-S}) mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist
5 und mit seiner Steuerelektrode (T_{s-G}) mit der Steuerelektrode (T_{F-G}) des Gabelungs-Transistors (T_F) gekoppelt ist,
 - eine zweite Elektrode (D_2) der Diode (D) mit dem ersten Versorgungsanschluss (9a) gekoppelt ist, und
10 - der Ausgangs-Transistor (T_o) mit seiner Quellenelektrode (T_{o-S}) mit dem zweiten Versorgungsanschluss (9b) gekoppelt ist und mit seiner Steuerelektrode (T_{o-G}) mit der Steuerelektrode (T_{F-G}) des Gabelungs-Transistors (T_F) gekoppelt ist.
 - 15
9. Array (30), umfassend eine Vielzahl an Bildelementen (5a, 5b), wobei die Bildelemente (5a, 5b) zumindest teilweise in
- wenigstens einem Diodenarray (3a) nach einem der vorstehenden Ansprüche 1 bis 4 angeordnet sind, wobei das
20 wenigstens eine Diodenarray (3a) jeweils eine Zuleitung (7) aufweist, und/oder
 - wenigstens einer Anordnung (3) nach einem der vorstehenden Ansprüche 5 oder 6 angeordnet sind, wobei die wenigstens eine Anordnung (3) jeweils eine Zuleitung (7) aufweist, und/oder
25 - wenigstens einem Diodenarray (3c) nach einem der vorstehenden Ansprüche 7 oder 8 angeordnet sind, wobei das wenigstens eine Diodenarray (3c) jeweils eine Zuleitung (7) aufweist.
- 30 10. Array(30) nach Anspruch 9, wobei die Bildelemente (5a, 5b) des Arrays (30) matrixartig in n Spalten und m Zeilen angeordnet sind, wobei je Spalte zwischen einschließlich einer und einschließlich $\frac{m}{2}$ Zuleitungen (7) vorgesehen sind.

11. Array (30) nach Anspruch 9, wobei die Bildelemente (5a, 5b) des Arrays (30) matrixartig in n Spalten und m Zeilen angeordnet sind, wobei je Zeile zwischen einschließlich einer und einschließlich $\frac{n}{2}$ Zuleitungen (7) vorgesehen sind.

5

12. Array (30) nach Anspruch 9, bei dem

- der Verteiler-Transistor (T_D) mit dem jeweiligen Eingangs-Transistor (T_I) von genau f Bildelementen (5a, 5b, 5c, 5d) einen Verteiler-Stromspiegel (S_D) bildet,

10 - die Bildelemente (5a, 5b) des Arrays (30) matrixartig in n Spalten und m Zeilen angeordnet sind, wobei zwischen einschließlich $\frac{n \cdot m}{f}$ und einschließlich $\frac{n \cdot m}{f^2}$ Zuleitungen (7) vorgesehen sind, insbesondere $\frac{n \cdot m}{8}$.

15 13. Array (30) nach einem der vorstehenden Ansprüche 9 bis 12, wobei der Verteiler-Stromspiegel (S_D) und/oder der Versorgungs-Stromspiegel (S_S) und/oder der Ausgangs-Stromspiegel (S_O) ein common-centroid-layout aufweist.

20 14. System (1), umfassend ein Array (30) nach einem der vorstehenden Ansprüche 9 bis 13 und eine Referenzstromquelle (20), wobei die Referenzstromquelle (20) je Zuleitung (7) des Arrays (30) jeweils eine Ausgangsleitung (8) aufweist, die mit der entsprechenden Zuleitung (7) gekoppelt ist.

25

15. System (1) nach Anspruch 14, wobei die Referenzstromquelle (20) eine Stromspiegelbank (2c) umfasst, die einen Eingang zur Zuführung eines Referenzstroms (I_{ref}) und je Zuleitung (7) des Arrays (30) eine Ausgangsleitung (8) aufweist und eingerichtet ist, den am Eingang zugeführten Referenzstrom (I_{ref}) auf den entsprechenden Ausgangsleitungen (8) bereitzustellen.

30

FIG 1

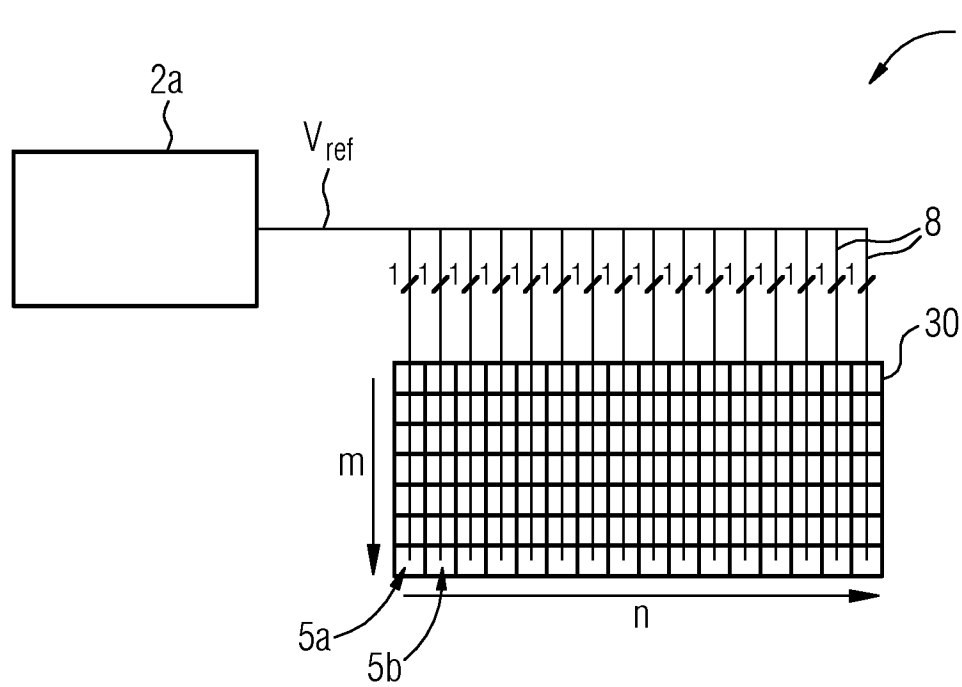


FIG 2a

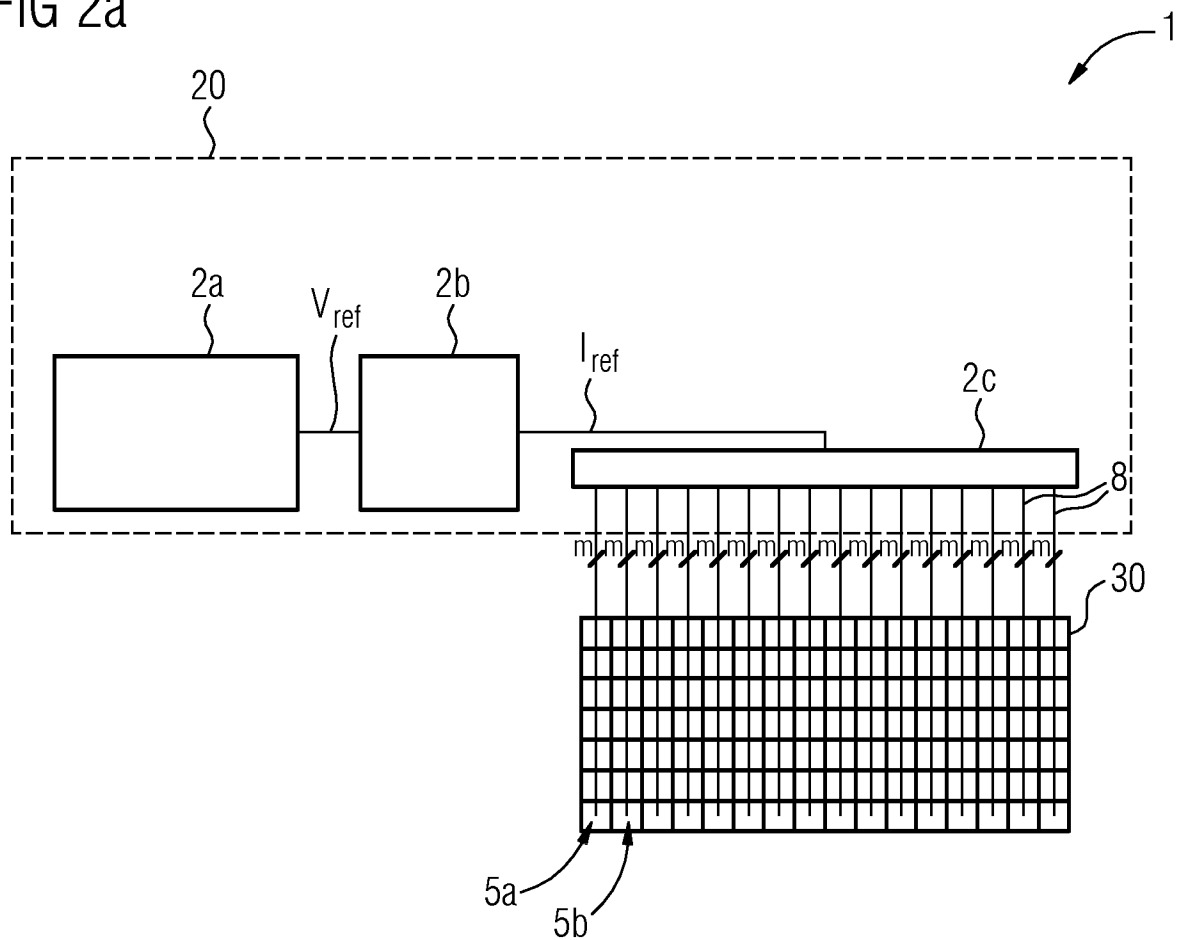


FIG 2b

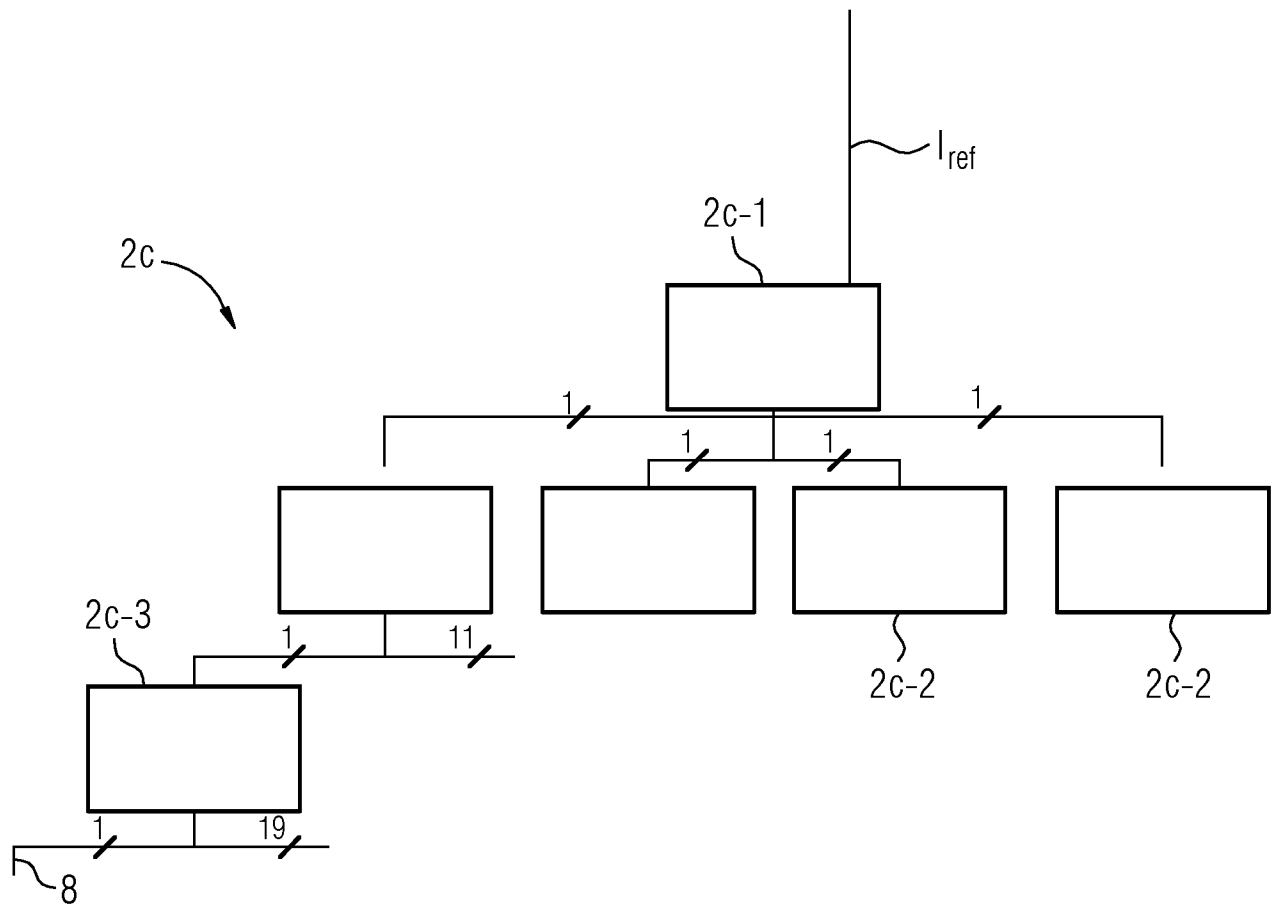


FIG 3a

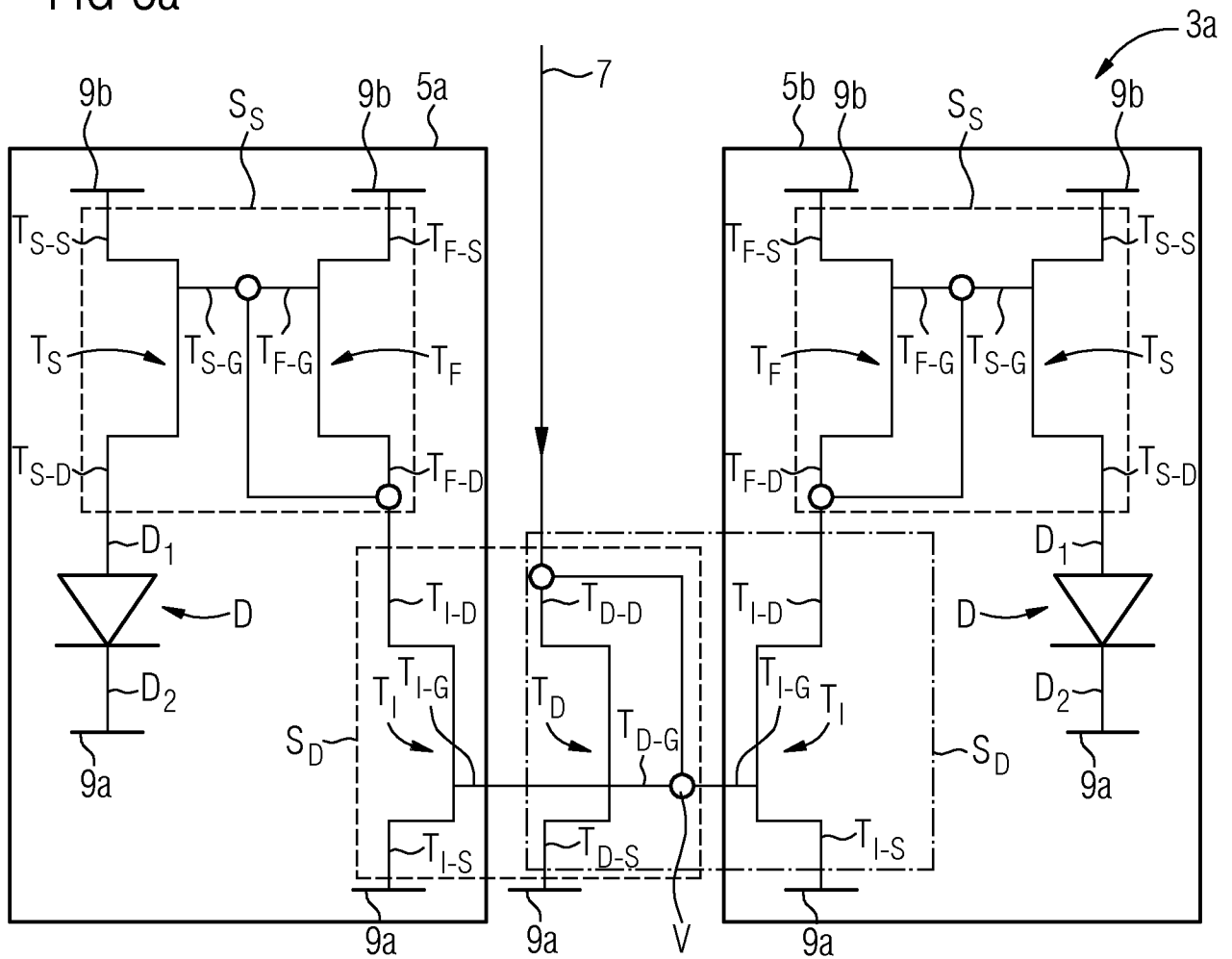


FIG 3b

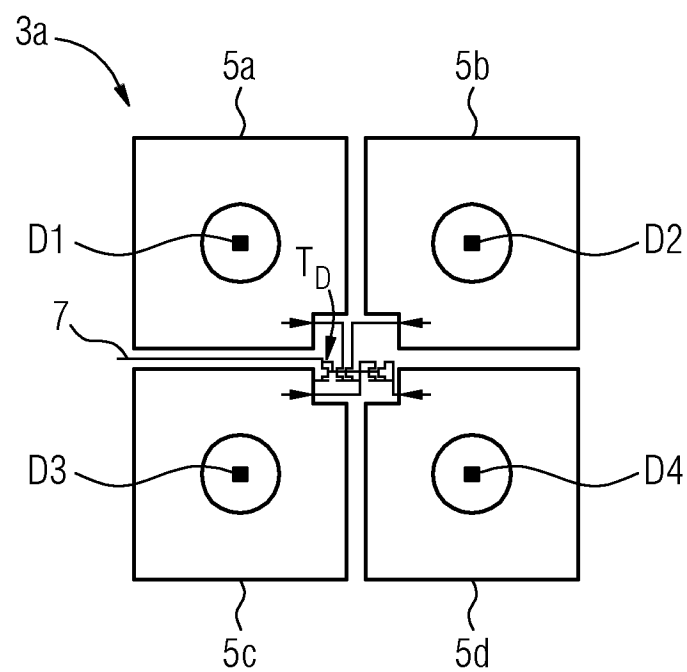


FIG 4

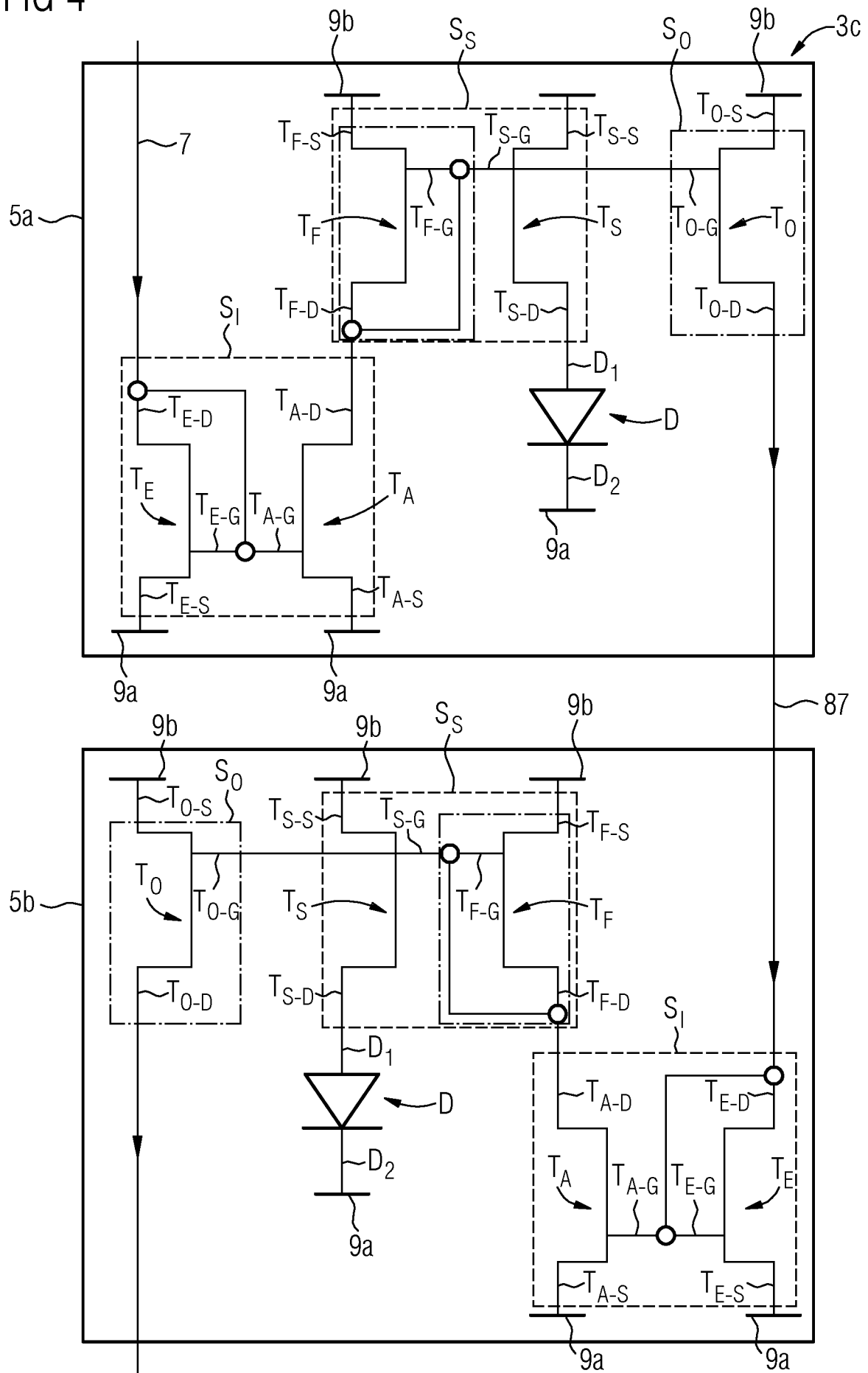


FIG 5a

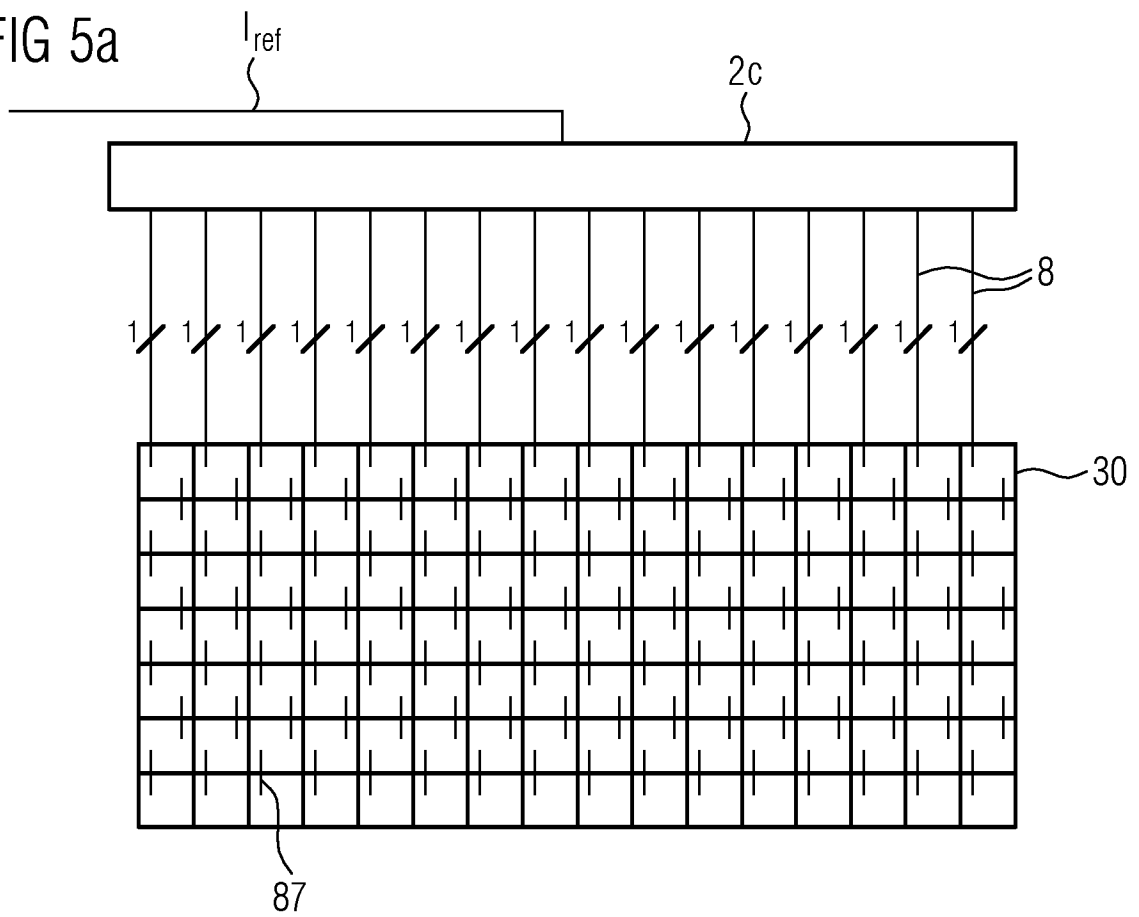


FIG 5b

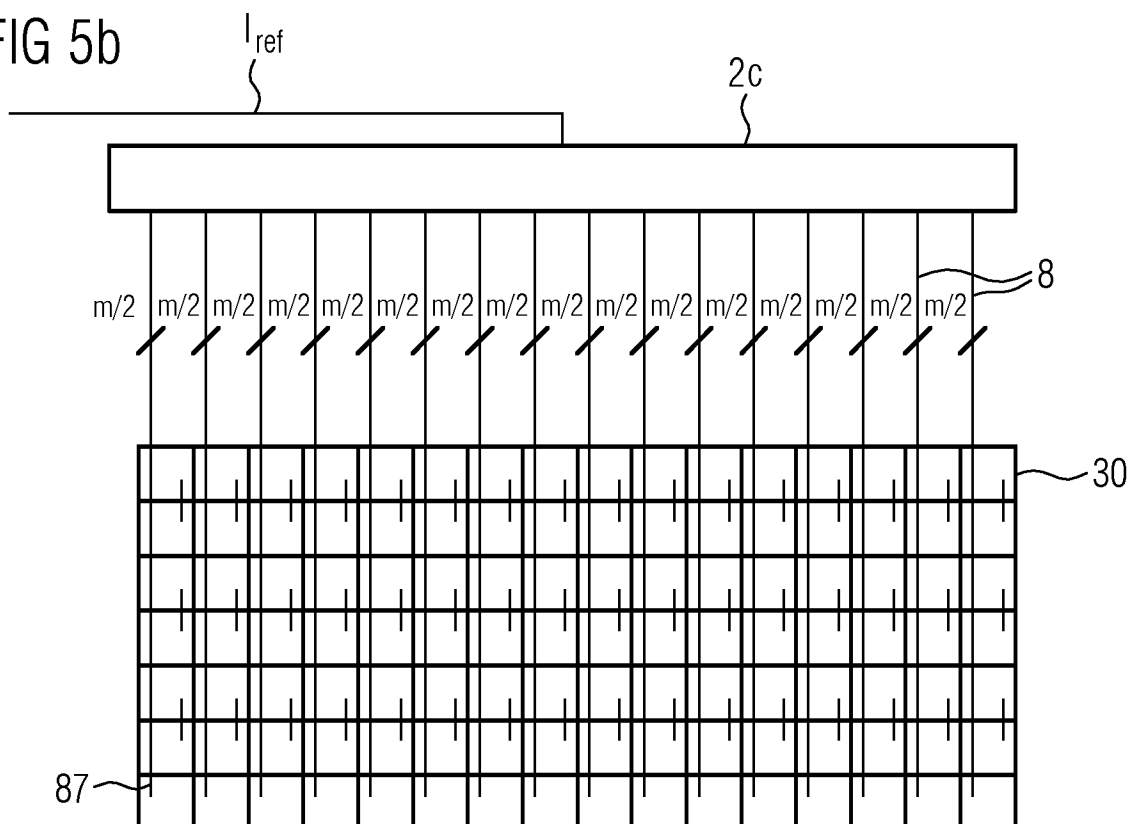
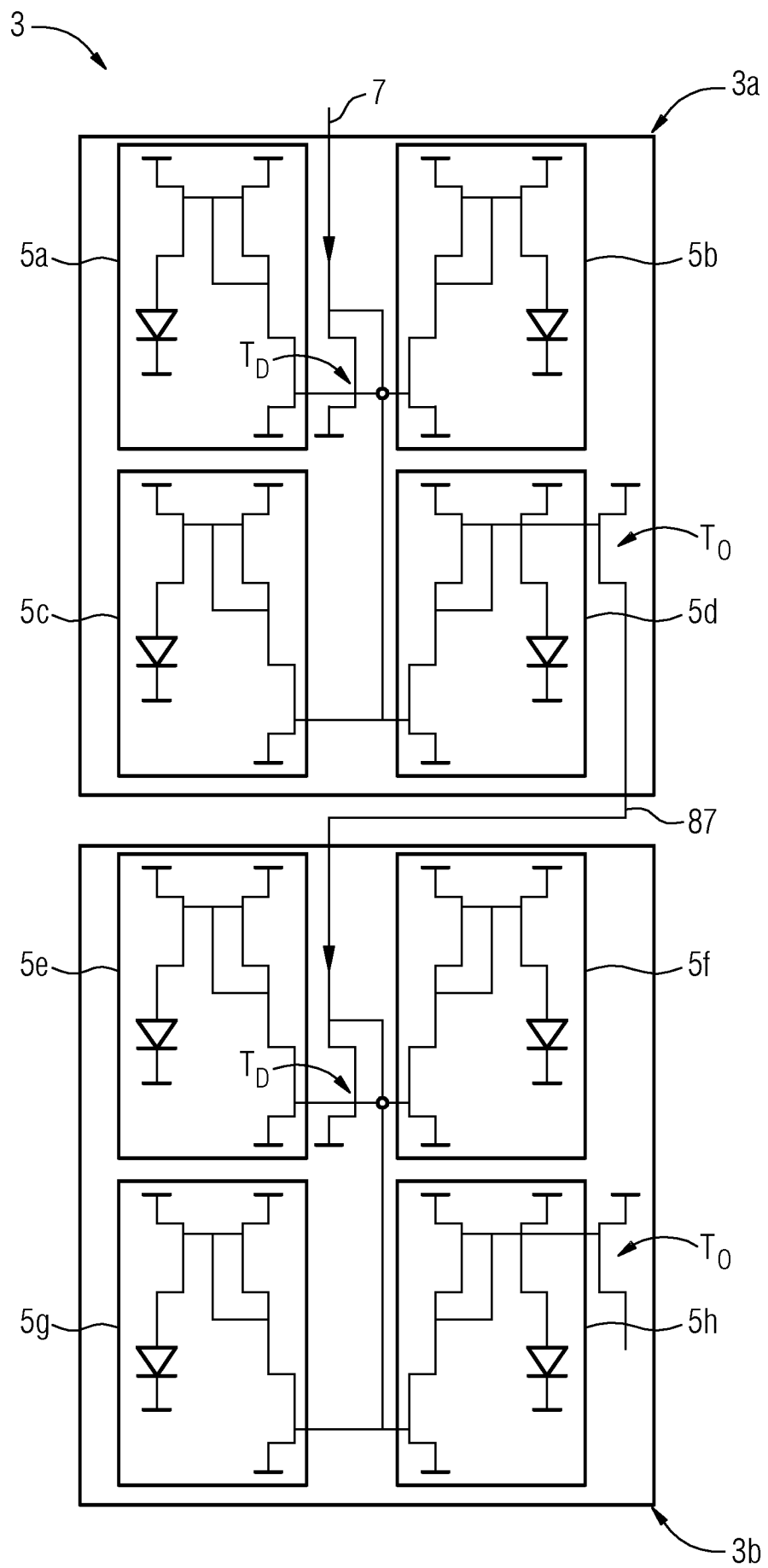


FIG 6



INTERNATIONAL SEARCH REPORT

International application No.

PCT/EP2020/054501

A. CLASSIFICATION OF SUBJECT MATTER**H05B 45/10**(2020.01)i; **H05B 45/397**(2020.01)i; **H05B 45/46**(2020.01)i; **G09G 3/3241**(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 10329367 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14 October 2004 (2004-10-14)	1, 4, 9-11, 13-15
A	paragraphs [0030] - [0038]; figures 1, 2	5-8
X	NAIR DEEPAK R ET AL. "Design and implementation of a wireless sensor network based efficient LED lighting system" 2015 6TH INTERNATIONAL CONFERENCE ON COMPUTING, COMMUNICATION AND NETWORKING TECHNOLOGIES (ICCCNT), IEEE, 13 July 2015 (2015-07-13), pages 1-6 DOI: 10.1109/ICCCNT.2015.7395183 XP032857724	1-3, 9-15
A	section IV: Configurable Current Mirror; figures 7, 8	5-8



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

27 April 2020

Date of mailing of the international search report

07 May 2020

Name and mailing address of the ISA/EP

European Patent Office
p.b. 5818, Patentlaan 2, 2280 HV Rijswijk
Netherlands

Telephone No. (+31-70)340-2040

Facsimile No. (+31-70)340-3016

Authorized officer

Demin, Stefan

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/EP2020/054501

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
DE	10329367	A1	14 October 2004	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES INV. H05B45/10 H05B45/397 H05B45/46 G09G3/3241 ADD.		
Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) H05B G09G		
Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal, WPI Data		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 103 29 367 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14. Oktober 2004 (2004-10-14)	1,4, 9-11, 13-15
A	Absätze [0030] - [0038]; Abbildungen 1,2 -----	5-8
X	NAIR DEEPAK R ET AL: "Design and implementation of a wireless sensor network based efficient LED lighting system", 2015 6TH INTERNATIONAL CONFERENCE ON COMPUTING, COMMUNICATION AND NETWORKING TECHNOLOGIES (ICCCNT), IEEE, 13. Juli 2015 (2015-07-13), Seiten 1-6, XP032857724, DOI: 10.1109/ICCCNT.2015.7395183 [gefunden am 2016-01-29]	1-3,9-15
A	Abschnitt IV: Configurable Current Mirror; Abbildungen 7,8 -----	5-8
☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen ☒ Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist "E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht "P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist "T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche		Absendedatum des internationalen Recherchenberichts
27. April 2020		07/05/2020
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Demin, Stefan

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2020/054501

Im Recherchenbericht
angeführtes Patentdokument

Datum der
Veröffentlichung

Mitglied(er) der
Patentfamilie

Datum der
Veröffentlichung

DE 10329367 A1 14-10-2004 KEINE
