

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-534530
(P2024-534530A)

(43)公表日 令和6年9月20日(2024.9.20)

(51)国際特許分類	F I		
H 0 1 L 25/07 (2006.01)	H 0 1 L 25/08	Y	
H 1 0 B 80/00 (2023.01)	H 1 0 B 80/00		
H 0 1 L 25/04 (2023.01)	H 0 1 L 25/04	Z	

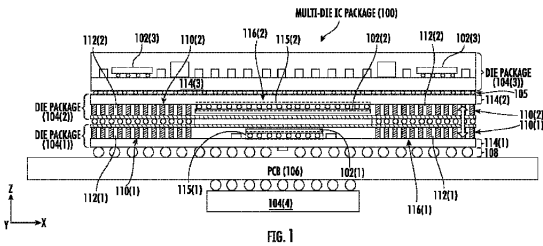
審査請求 未請求 予備審査請求 未請求 (全57頁)

(21)出願番号	特願2024-517528(P2024-517528)	(71)出願人	507364838 クアルコム、インコーポレイテッド アメリカ合衆国 カリフォルニア 9 2 1 2 1 サン ディエゴ モアハウス ドライ ブ 5 7 7 5
(86)(22)出願日	令和4年8月24日(2022.8.24)	(74)代理人	100108453 弁理士 村山 靖彦
(85)翻訳文提出日	令和6年3月19日(2024.3.19)	(74)代理人	100163522 弁理士 黒田 晋平
(86)国際出願番号	PCT/US2022/075390	(72)発明者	ダルコ・ボボヴィッチ アメリカ合衆国・カリフォルニア・9 2 1 2 1・サン・ディエゴ・モアハウス・ ドライブ・5 7 7 5
(87)国際公開番号	WO2023/049589	(72)発明者	デュロダミ・リスク アメリカ合衆国・カリフォルニア・9 2 最終頁に続く
(87)国際公開日	令和5年3月30日(2023.3.30)		
(31)優先権主張番号	17/484,475		
(32)優先日	令和3年9月24日(2021.9.24)		
(33)優先権主張国・地域又は機関	米国(US)		
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		

(54)【発明の名称】 より高い接続密度をサポートするためのマルチダイ集積回路パッケージ、及び関連する製造方法

(57)【要約】

より高い接続密度をサポートするための複数（マルチ）ダイ集積回路（IC）パッケージ、及び関連する製造方法。マルチダイICパッケージは、パッケージ面積を節約するために互いの上に積層されたそれぞれのダイパッケージ内に設けられた分割ダイを含む。ダイパッケージを通して延びるパッケージ貫通信号ルーティングを含む信号ルーティングをサポートするために、各ダイパッケージは、それらのそれぞれのダイに隣接して配置され、パッケージ基板内のそれぞれのパッケージ基板（及び提供されている場合はインターポーザ基板）に結合された、垂直相互接続部を含む。このようにして、一例として、それぞれのダイパッケージ間に信号ルーティングを提供するためにダイ自体を通して延びるシリコン貫通ビア（TSV）を、マルチダイICパッケージ内に製造する必要がない。別の例では、相互接続バンプを介して互いに離隔された、積層ダイパッケージの隣接するインターポーザ基板間に形成された空間が、熱放散のための領域を提供する。



【特許請求の範囲】

【請求項 1】

第 1 のダイパッケージであって、
第 1 のパッケージ基板と、
前記第 1 のパッケージ基板に結合された第 1 のダイと、
水平方向において前記第 1 のダイに隣接して配置された複数の第 1 の垂直相互接続部であって、前記複数の第 1 の垂直相互接続部の各々が、前記第 1 のパッケージ基板に結合されている、複数の第 1 の垂直相互接続部と、
を含む、第 1 のダイパッケージと、
垂直方向において前記第 1 のダイパッケージに隣接する第 2 のダイパッケージであって、
第 2 のパッケージ基板と、
前記第 2 のパッケージ基板に結合された第 2 のダイと、
前記水平方向において前記第 2 のダイに隣接して配置された複数の第 2 の垂直相互接続部であって、前記複数の第 2 の垂直相互接続部の各々が、前記第 2 のパッケージ基板に結合されている、複数の第 2 の垂直相互接続部と、
を含む、第 2 のダイパッケージと、
を備える、複数（マルチ）ダイ集積回路（IC）パッケージ。

10

【請求項 2】

前記第 1 のダイを通して配置され、かつ前記第 2 のダイを通して配置されたシリコン貫通垂直相互接続アクセス（ビア）（TSV）を更に備えない、請求項 1 に記載のマルチダイ IC パッケージ。

20

【請求項 3】

前記第 1 のダイが、前記垂直方向において前記第 1 のパッケージ基板に隣接し、
前記第 2 のダイが、前記垂直方向において前記第 2 のパッケージ基板に隣接している、
請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 4】

前記第 1 のパッケージ基板が、前記複数の第 1 の垂直相互接続部のうちの第 1 の垂直相互接続部に各々結合された 1 つ以上の第 1 の基板金属相互接続部を含む第 1 の基板メタライゼーション層を含み、

30

前記第 1 のダイが、1 つ以上の第 1 のダイ相互接続部を前記複数の第 1 の垂直相互接続部のうちの 1 つ以上の第 1 の垂直相互接続部に結合するために、前記 1 つ以上の第 1 の基板金属相互接続部のうちの第 1 の基板金属相互接続部に各々結合された前記 1 つ以上の第 1 のダイ相互接続部を含み、

前記第 2 のパッケージ基板が、前記複数の第 2 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合された 1 つ以上の第 2 の基板金属相互接続部を含む第 2 の基板メタライゼーション層を含み、

前記第 2 のダイが、1 つ以上の第 2 のダイ相互接続部を前記複数の第 2 の垂直相互接続部のうちの 1 つ以上の第 2 の垂直相互接続部に結合するために、前記 1 つ以上の第 2 の基板金属相互接続部のうちの第 2 の基板金属相互接続部に各々結合された 1 つ以上の第 2 のダイ相互接続部を含む、

40

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 5】

前記第 1 の基板メタライゼーション層が、1 つ以上の第 1 の再配線層（RDL）相互接続部を含む前記 1 つ以上の第 1 の基板金属相互接続部を含む第 1 の基板 RDL を含み、

前記第 2 の基板メタライゼーション層が、1 つ以上の第 2 の RDL 相互接続部を含む前記 1 つ以上の第 2 の基板金属相互接続部を含む第 2 の基板 RDL を含む、

請求項 4 に記載のマルチダイ IC パッケージ。

【請求項 6】

前記第 1 のダイパッケージが、前記第 1 のダイに隣接して配置された第 1 のインターポ

50

ーザ基板を更に含み、前記第1のダイが、前記垂直方向において前記第1のインターポーザ基板と前記第1のパッケージ基板との間に配置されており、

前記複数の第1の垂直相互接続部の各々が、前記第1のインターポーザ基板に結合されている、

請求項1に記載のマルチダイICパッケージ。

【請求項7】

前記第1のダイが、前記第1のインターポーザ基板に追加的に結合されている、請求項6に記載のマルチダイICパッケージ。

【請求項8】

前記第2のダイパッケージが、前記第2のダイに隣接して配置された第2のインターポーザ基板を更に含み、前記第2のダイが、前記垂直方向において前記第2のインターポーザ基板と前記第2のパッケージ基板との間に配置されており、

前記複数の第2の垂直相互接続部の各々が、前記第2のインターポーザ基板に結合されている、

請求項6に記載のマルチダイICパッケージ。

【請求項9】

前記第2のダイが、前記第2のインターポーザ基板に追加的に結合されている、請求項8に記載のマルチダイICパッケージ。

【請求項10】

前記第1のパッケージ基板が、前記複数の第1の垂直相互接続部のうちの第1の垂直相互接続部に各々結合された1つ以上の第1の基板金属相互接続部を含む第1の基板メタライゼーション層を含み、

前記第1のインターポーザ基板が、前記1つ以上の第1のインターポーザ金属相互接続部のうちの各第1のインターポーザ金属相互接続部を前記1つ以上の第1の基板金属相互接続部のうちの各第1の基板金属相互接続部に結合するために、前記複数の第1の垂直相互接続部のうちの前記第1の垂直相互接続部に各々結合された1つ以上の第1のインターポーザ金属相互接続部を含む第1のインターポーザメタライゼーション層を含む、

請求項6に記載のマルチダイICパッケージ。

【請求項11】

前記第1のパッケージ基板が、前記複数の第1の垂直相互接続部のうちの第1の垂直相互接続部に各々結合された1つ以上の第1の基板金属相互接続部を含む第1の基板メタライゼーション層を含み、

前記第1のインターポーザ基板が、前記1つ以上の第1のインターポーザ金属相互接続部のうちの各第1のインターポーザ金属相互接続部を前記1つ以上の第1の基板金属相互接続部のうちの各第1の基板金属相互接続部に結合するために、前記複数の第1の垂直相互接続部のうちの前記第1の垂直相互接続部に各々結合された1つ以上の第1のインターポーザ金属相互接続部を含む第1のインターポーザメタライゼーション層を含み、

前記第2のパッケージ基板が、前記複数の第2の垂直相互接続部のうちの第2の垂直相互接続部に各々結合された1つ以上の第2の基板金属相互接続部を含む第2の基板メタライゼーション層を含み、

前記第2のインターポーザ基板が、前記1つ以上の第2のインターポーザ金属相互接続部のうちの各第2のインターポーザ金属相互接続部を前記1つ以上の第2の基板金属相互接続部のうちの各第2の基板金属相互接続部に結合するために、前記複数の第2の垂直相互接続部のうちの前記第2の垂直相互接続部に各々結合された1つ以上の第2のインターポーザ金属相互接続部を含む第2のインターポーザメタライゼーション層を含む、

請求項8に記載のマルチダイICパッケージ。

【請求項12】

前記第1のダイパッケージ及び前記第2のダイパッケージに結合された複数の相互接続バンプを更に備え、

前記複数の相互接続バンプが、前記第1のダイパッケージ内の前記複数の第1の垂直相

10

20

30

40

50

互接続部のうちの第 1 の垂直相互接続部を、前記第 2 のダイパッケージ内の前記複数の第 1 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合している、

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 1 3】

前記第 1 のダイパッケージと前記第 2 のダイパッケージとの間に形成されたキャビティを更に備え、

前記複数の相互接続バンプが、前記キャビティ内に配置されている、

請求項 1 2 に記載のマルチダイ IC パッケージ。

【請求項 1 4】

前記キャビティ内に配置された熱伝導性材料を更に備える、請求項 1 3 に記載のマルチダイ IC パッケージ。

10

【請求項 1 5】

前記第 1 のダイが、前記第 1 のパッケージ基板に隣接する第 1 のアクティブ面を含み、

前記第 2 のダイが、前記第 2 のパッケージ基板に隣接する第 2 のアクティブ面を含み、

前記第 1 のダイが、第 1 の非アクティブ面を更に含み、

前記第 2 のダイが、前記第 1 の非アクティブ面に隣接する第 2 の非アクティブ面を更に含む、

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 1 6】

前記第 1 のダイが、前記第 1 のパッケージ基板に隣接する第 1 のアクティブ面を含み、

前記第 2 のダイが、前記第 2 のパッケージ基板に隣接する第 2 の非アクティブ面を含み

20

、

前記第 1 のダイが、第 1 の非アクティブ面を更に含み、

前記第 2 のダイが、前記第 1 の非アクティブ面に隣接する第 2 のアクティブ面を更に含む、

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 1 7】

前記第 1 のダイが、前記第 1 のパッケージ基板に隣接する第 1 の非アクティブ面を含み

、

前記第 2 のダイが、前記第 2 のパッケージ基板に隣接する第 2 のアクティブ面を含み、

前記第 2 のダイが、第 2 の非アクティブ面を更に含み、

前記第 1 のダイが、前記第 2 の非アクティブ面に隣接する第 2 のアクティブ面を更に含む、

30

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 1 8】

前記垂直方向において前記第 2 のダイパッケージに隣接する第 3 のダイパッケージであって、

前記第 2 のダイパッケージに結合された第 3 のパッケージ基板と、

前記垂直方向において前記第 3 のパッケージ基板に隣接する第 3 のダイであって、前記第 3 のパッケージ基板に結合されている、第 3 のダイと、

を含む、第 3 のダイパッケージ

40

を更に備える、

請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 1 9】

前記第 2 のパッケージ基板が、前記複数の第 2 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合された 1 つ以上の第 2 の基板金属相互接続部を含む第 2 の基板メタライゼーション層を含み、

前記第 3 のパッケージ基板が、1 つ以上の第 3 の基板金属相互接続部を前記複数の第 2 の垂直相互接続部のうちの 1 つ以上に結合するために、前記 1 つ以上の第 2 の基板金属相互接続部のうちの第 2 の基板金属相互接続部に各々結合された前記 1 つ以上の第 3 の基板

50

金属相互接続部を含む第 3 の基板メタライゼーション層を含む、
請求項 18 に記載のマルチダイ IC パッケージ。

【請求項 20】

前記複数の第 1 の垂直相互接続部が、複数の第 1 の金属ピラーを含み、
前記複数の第 2 の垂直相互接続部が、複数の第 2 の金属ピラーを含む、
請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 21】

前記第 1 のダイパッケージが、第 1 のモルディング材料を含み、
前記第 1 のダイが、前記第 1 のモルディング材料内に配置されており、
前記複数の第 1 の垂直相互接続部が、前記第 1 のモルディング材料内に配置された
複数の第 1 のモールド貫通垂直相互接続アクセス（ビア）（TMV）を含み、
前記第 2 のダイパッケージが、第 2 のモルディング材料を含み、
前記第 2 のダイが、前記第 2 のモルディング材料内に配置されており、
前記複数の第 2 の垂直相互接続部が、前記第 2 のモルディング材料内に配置された
複数の第 2 の TMV を含む、
請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 22】

セットトップボックスと、エンターテインメントユニットと、ナビゲーションデバイスと
、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデータユ
ニットと、全地球測位システム（GPS）デバイスと、スマートフォンと、携帯電話と、
スマートフォンと、セッション開始プロトコル（SIP）フォンと、タブレットと、ファ
ブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコンピュ
ーティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップコン
ピュータと、携帯情報端末（PDA）と、モニタと、コンピュータモニタと、テレビと、
チューナーと、ラジオと、衛星ラジオと、音楽プレーヤと、デジタル音楽プレーヤと、ポ
ータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデ
オディスク（DVD）プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、車
両部品と、アビオニクスシステムと、ドローンと、マルチコプターと、からなる群から選
択されるデバイスに一体化された、
請求項 1 に記載のマルチダイ IC パッケージ。

【請求項 23】

複数（マルチ）ダイ集積回路（IC）パッケージを製造する方法であって、
第 1 のダイパッケージを形成することであって、
第 1 のパッケージ基板を準備することと、
第 1 のダイを準備することと、
前記第 1 のダイを垂直方向において前記第 1 のパッケージ基板に結合することと、
前記第 1 のパッケージ基板に結合され、水平方向において前記第 1 のダイに隣接して
配置された、複数の第 1 の垂直相互接続部を形成することと、
を含む、第 1 のダイパッケージを形成することと、
第 2 のダイパッケージを形成することであって、
第 2 のパッケージ基板を準備することと、
第 2 のダイを準備することと、
前記第 2 のダイを前記垂直方向において前記第 2 のパッケージ基板に結合することと
、
前記第 2 のパッケージ基板に結合され、前記水平方向において前記第 2 のダイに隣接
して配置された、複数の第 2 の垂直相互接続部を形成することと、
を含む、第 2 のダイパッケージを形成することと、
前記第 2 のダイパッケージを前記垂直方向において前記第 1 のダイパッケージに結合す
ることと、
を含む、方法。

【請求項 24】

前記第1のダイを通るシリコン貫通垂直相互接続アクセス（ビア）（TSV）を形成しないことと、

前記第2のダイを通るTSVを形成しないことと、
を更に含む、請求項23に記載の方法。

【請求項 25】

第1のダイパッケージを形成することが、

第1のインターポーザ基板を準備することと、

前記第1のダイを第1のインターポーザに結合することであって、前記第1のダイが、
前記垂直方向において前記第1のインターポーザ基板と前記第1のパッケージ基板との間
に結合される、前記第1のダイを第1のインターポーザに結合することと、

10

前記複数の第1の垂直相互接続部の各々を前記第1のインターポーザ基板に結合することと、

を更に含む、請求項23に記載の方法。

【請求項 26】

第2のダイパッケージを形成することが、

第2のインターポーザ基板を準備することと、

前記第2のインターポーザ基板を前記第2のダイに結合することであって、前記第2の
ダイが、前記垂直方向において前記第2のインターポーザ基板と前記第2のパッケージ基
板との間に配置される、前記第2のインターポーザ基板を前記第2のダイに結合すること
と、

20

前記複数の第2の垂直相互接続部の各々を前記第2のインターポーザ基板に結合することと、

を更に含む、請求項25に記載の方法。

【請求項 27】

前記第2のダイパッケージを前記垂直方向において前記第1のダイパッケージに結合することが、

前記第1のダイパッケージを複数の相互接続バンプに結合することと、

前記複数の相互接続バンプが前記垂直方向において前記第1のダイパッケージと前記第
2のダイパッケージとの間に配置されるように、前記第2のダイパッケージを前記複数の
相互接続バンプに結合することと、

30

を含む、請求項23に記載の方法。

【請求項 28】

前記第1のダイパッケージ及び前記第2のダイパッケージを前記複数の相互接続バンプ
に結合することが、前記第1のダイパッケージと前記第2のダイパッケージとの間にキャ
ビティを形成し、前記複数の相互接続バンプが前記キャビティ内に配置される、請求項2
7に記載の方法。

【請求項 29】

前記キャビティ内に配置された熱伝導性材料を配置することを更に含む、請求項28に
記載の方法。

40

【請求項 30】

第3のダイパッケージを形成することであって、

第3のパッケージ基板を準備することと、

第3のダイを準備することと、

前記第3のダイを前記垂直方向において前記第3のパッケージ基板に結合することと

、

を含む、第3のダイパッケージを形成することと、

前記第3のパッケージ基板を前記第2のダイパッケージ内の前記複数の第2の垂直相互
接続部のうちの1つ以上の第2の垂直相互接続部に結合することと、

を更に含む、請求項23に記載の方法。

50

【請求項 3 1】

前記第 1 のダイパッケージを形成することが、前記第 1 のダイを前記第 1 のパッケージ基板に結合する前に、前記第 1 のパッケージ基板に結合された前記複数の第 1 の垂直相互接続部を形成することを含み、

前記第 2 のダイパッケージを形成することが、前記第 2 のダイを前記第 2 のパッケージ基板に結合する前に、前記第 2 のパッケージ基板に結合された前記複数の第 2 の垂直相互接続部を形成することを含む、

請求項 2 3 に記載の方法。

【請求項 3 2】

前記第 1 のダイパッケージを形成することが、前記第 1 のパッケージ基板に結合された前記複数の第 1 の垂直相互接続部を形成する前に、前記第 1 のダイを前記第 1 のパッケージ基板に結合することを含み、

前記第 2 のダイパッケージを形成することが、前記第 2 のパッケージ基板に結合された前記複数の第 2 の垂直相互接続部を形成する前に、前記第 2 のダイを前記第 2 のパッケージ基板に結合することを含む、

請求項 2 3 に記載の方法。

【請求項 3 3】

前記第 1 のパッケージ基板に結合された前記複数の第 1 の垂直相互接続部を形成することが、

前記第 1 のパッケージ基板及び前記第 1 のダイ上に第 1 のパッケージモールドを形成することと、

前記第 1 のパッケージモールドをパターニングして、前記第 1 のダイに隣接する前記第 1 のパッケージモールド内に第 1 の複数の開口部を形成することと、

前記第 1 の複数の開口部内に前記複数の第 1 の垂直相互接続部を形成することと、

前記第 1 の複数の開口部内の前記複数の第 1 の垂直相互接続部を前記第 1 のパッケージ基板に結合することと、

を含み、

前記第 2 のパッケージ基板に結合された前記複数の第 2 の垂直相互接続部を形成することが、

前記第 2 のパッケージ基板及び前記第 2 のダイ上に第 2 のパッケージモールドを形成することと、

前記第 2 のパッケージモールドをパターニングして、前記第 2 のダイに隣接する前記第 2 のパッケージモールド内に第 2 の複数の開口部を形成することと、

前記第 2 の複数の開口部内に前記複数の第 2 の垂直相互接続部を形成することと、

前記第 2 の複数の開口部内の前記複数の第 2 の垂直相互接続部を前記第 2 のパッケージ基板に結合することと、

を含む、

請求項 3 2 に記載の方法。

【請求項 3 4】

前記第 1 のパッケージ基板に隣接する複数の第 1 の金属相互接続部を含む第 1 の裏面メタライゼーション層を形成することと、

前記第 2 のパッケージ基板に隣接する複数の第 2 の金属相互接続部を含む第 2 の裏面メタライゼーション層を形成することと、

を更に含み、

前記複数の第 1 の垂直相互接続部を形成することが、前記第 1 の裏面メタライゼーション層内の前記複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々結合された前記複数の第 1 の垂直相互接続部を形成することを含み、

前記複数の第 2 の垂直相互接続部を形成することが、前記第 2 の裏面メタライゼーション層内の前記複数の第 2 の金属相互接続部のうちの第 2 の金属相互接続部に各々結合された前記複数の第 2 の垂直相互接続部を形成することを含む、

10

20

30

40

50

請求項 2 3 に記載の方法。

【請求項 3 5】

前記第 1 のダイを結合することが、前記第 1 のダイの第 1 の非アクティブ面を前記垂直方向において前記第 1 の裏面メタライゼーション層に結合することを含み、

前記第 2 のダイを結合することが、前記第 2 のダイの第 2 の非アクティブ面を前記垂直方向において前記第 2 の裏面メタライゼーション層に結合することを含む、

請求項 3 4 に記載の方法。

【請求項 3 6】

前記第 1 のパッケージ基板を準備することが、前記第 1 のダイの第 1 のアクティブ面に隣接する複数の第 3 の金属相互接続部を含む第 1 の表面メタライゼーション層を形成することを更に含み、

前記第 1 のダイを前記第 1 のパッケージ基板に結合することが、前記第 1 のダイを前記垂直方向において前記複数の第 3 の金属相互接続部のうちの 1 つ以上の第 3 の金属相互接続部に結合することを含み、

前記第 2 のパッケージ基板を準備することが、前記第 2 のダイの第 2 のアクティブ面に隣接する複数の第 4 の金属相互接続部を含む第 2 の表面メタライゼーション層を形成することを更に含み、

前記第 2 のダイを前記第 2 のパッケージ基板に結合することが、前記第 2 のダイを前記垂直方向において前記複数の第 4 の金属相互接続部のうちの 1 つ以上の第 4 の金属相互接続部に結合することを含み、

前記複数の第 1 の垂直相互接続部を前記複数の第 3 の金属相互接続部のうちの 1 つ以上の他の第 3 の金属相互接続部に結合することと、

前記複数の第 2 の垂直相互接続部を前記複数の第 4 の金属相互接続部のうちの 1 つ以上の他の第 4 の金属相互接続部に結合することと、

を更に含む、

請求項 3 4 に記載の方法。

【請求項 3 7】

前記第 1 のパッケージ基板を準備することが、複数の第 1 の金属相互接続部を含む第 1 の表面メタライゼーション層を形成することを更に含み、

前記複数の第 1 の垂直相互接続部を形成することが、前記第 1 の表面メタライゼーション層内の前記複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々結合された前記複数の第 1 の垂直相互接続部を形成することを含み、

前記第 2 のパッケージ基板を準備することが、複数の第 2 の金属相互接続部を含む第 2 の表面メタライゼーション層を形成することを更に含み、

前記複数の第 2 の垂直相互接続部を形成することが、前記第 2 の表面メタライゼーション層内の前記複数の第 2 の金属相互接続部のうちの第 2 の金属相互接続部に各々結合された前記複数の第 2 の垂直相互接続部を形成することを含む、

請求項 2 3 に記載の方法。

【請求項 3 8】

前記第 1 のダイを結合することが、前記第 1 のダイの第 1 のアクティブ面を前記垂直方向において前記第 1 の表面メタライゼーション層に結合することを含み、

前記第 2 のダイを結合することが、前記第 2 のダイの第 2 のアクティブ面を前記垂直方向において前記第 2 の表面メタライゼーション層に結合することを含む、

請求項 3 7 に記載の方法。

【請求項 3 9】

前記第 1 のダイの第 1 の非アクティブ面に隣接する複数の第 3 の金属相互接続部を含む第 1 の裏面メタライゼーション層を形成することと、

前記第 1 のダイを前記垂直方向において前記複数の第 3 の金属相互接続部のうちの 1 つ以上の第 3 の金属相互接続部に結合することと、

前記第 2 のダイの第 2 の非アクティブ面に隣接する複数の第 4 の金属相互接続部を含む

10

20

30

40

50

第2の裏面メタライゼーション層を形成することと、

前記第2のダイを前記垂直方向において前記複数の第4の金属相互接続部のうちの1つ以上の第4の金属相互接続部に結合することと、

を更に含み、

前記複数の第1の垂直相互接続部を前記複数の第3の金属相互接続部のうちの1つ以上の他の第3の金属相互接続部に結合することと、

前記複数の第2の垂直相互接続部を前記複数の第4の金属相互接続部のうちの1つ以上の他の第4の金属相互接続部に結合することと、

を更に含む、

請求項37に記載の方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

優先権出願

本出願は、その全体が参照により本明細書に組み込まれる、2021年9月24日に出版された「MULTIPLE (MULTI-) DIE INTEGRATED CIRCUIT (IC) PACKAGES FOR SUPPORTING HIGHER CONNECTION DENSITY, AND RELATED FABRICATION METHODS」と題する米国特許出願第17/484,475号の優先権を主張する。

20

【背景技術】

【0002】

I. 開示の分野

本開示の分野は、集積回路(IC)パッケージに関し、より具体的には、回路アプリケーションを複数のダイに分割するために複数の積層半導体ダイ(単数又は複数)を採用する積層ダイICパッケージに関する。

【0003】

II. 背景

集積回路(IC)は、電子デバイスの基礎である。ICは、一般に、「半導体パッケージ」又は「チップパッケージ」とも呼ばれるICパッケージ内にパッケージングされる。ICパッケージは、例えば、パッケージサイズの縮小及び電力消費の低減が特に重要である、ハンドヘルドの電池式電子デバイスに含まれ得る。従来のICパッケージは、パッケージ基板と、ICチップへの電氣的接続を提供するためにパッケージ基板に搭載された1つ以上のICチップ又は他の電子モジュールと、を含む。例えば、ICパッケージ内のICチップは、システムオンチップ(SoC)、アプリケーションプロセッサ、又は電源管理ICであり得る。ICチップの半導体ダイ(「ダイ」)は、「相互接続バンプ」又は単に「バンプ」としても知られる、はんだバンプ又は銅ピラーの形態などの金属相互接続部を介してパッケージ基板に電氣的に結合される。パッケージ基板のメタライゼーション層内の金属トレース又は金属線は、相互接続バンプに結合されて、ICパッケージの外部並びにICパッケージ内の他の結合されたダイに電気信号をルーティングする。

30

40

【0004】

いくつかのICパッケージは、異なる目的又はアプリケーションのためにICパッケージ内に含まれた複数のダイを含む、複数(マルチ)ダイICパッケージとして知られている。例えば、マルチダイICパッケージは、別個の電源管理ダイ及びアプリケーションダイを含み得る。例として、アプリケーションダイは、モデム、プロセッサ、又はシステムオンチップ(SoC)であり得る。マルチダイICパッケージはまた、アプリケーションダイによるデータ記憶及びデータアクセスをサポートするためのメモリを提供する1つ以上のメモリダイを含み得る。主要アプリケーション/機能を別個のダイに分割することは、すべてのそのようなアプリケーション/機能のための回路を単一のダイ内に置くことの代替案である。より大きいサイズのダイでは、製造コスト及び複雑度は不相応に増大する

50

。この結果、パッケージの歩留まりが低下する可能性がある。しかしながら、ＩＣパッケージ内のダイを複数のダイに分割することにより、ＩＣパッケージの全体的なサイズが望ましくない形で増大する場合がある。例えば、必要とされるダイツーダイ（Ｄ２Ｄ）通信を提供するために、ダイ間に十分な入出力（Ｉ／Ｏ）信号経路を提供する必要、並びに外部通信のためにＩＣパッケージの外部相互接続部への十分な入出力（Ｉ／Ｏ）信号経路を提供する必要があるため、ＩＣパッケージのサイズが増大する場合がある。ＩＣパッケージサイズを最小化することは、例えばモバイルデバイスなどの、より小さいデバイスアプリケーションに対して非常に望ましい。

【発明の概要】

【０００５】

本明細書で開示される態様は、より高い接続密度をサポートするための複数（マルチ）ダイ集積回路（ＩＣ）パッケージを含む。関連する製造方法も開示される。マルチダイＩＣパッケージは、複数のダイにわたってＩＣパッケージの回路機能を分割するために複数のダイを含む。これは、例えば、コストがより大きくなり歩留まりが減少する可能性のある、ＩＣパッケージ内の、サイズが増大した単一のダイを提供することとは反対である。しかしながら、マルチダイＩＣパッケージでは、外部及びダイツーダイ（Ｄ２Ｄ）信号ルーティングをサポートするための複数のダイ及び他の基板構造を提供する結果として、ＩＣパッケージの全体的なパッケージサイズが増大する場合がある。したがって、例示的な態様では、ＩＣパッケージは、水平方向（例えば、 X/Y 軸方向）におけるパッケージ面積を節約するために、垂直方向（例えば、 Z 軸方向）において（例えば、パッケージオンパッケージ（ＰＯＰ）として）互いの上に積層された分割ダイを含む。マルチダイＩＣパッケージ内の分割ダイは、互いの上に積層された分割ダイパッケージ内にそれぞれ設けられる。分割ダイを別個のダイパッケージ内に設けることにより、各ダイパッケージを、マルチダイＩＣパッケージ内に組み立てる前に、別個に製造及び試験することを可能にし、歩留まりをより低コストで向上させることを可能にし得る。しかしながら、分割ダイ構成では、単一のダイパッケージに対して、Ｄ２Ｄ及び外部信号ルーティングのために、より多数の入出力（Ｉ／Ｏ）接続がサポートされる必要があり得る。

【０００６】

この点に関して、別の例示的な態様では、マルチダイＩＣパッケージにおいて、Ｉ／Ｏ信号ルーティングを含む信号ルーティングをサポートするために、各ダイパッケージは、それらのそれぞれのダイに隣接して配置される垂直相互接続部（例えば、金属ピラー、モールド貫通垂直相互接続アクセス（ビア）（ＴＭＶ））を含む。垂直相互接続部は、それらのダイへの信号ルーティング経路を提供するために、それらのそれぞれのダイパッケージ内のパッケージ基板に結合される。分割ダイパッケージ間に信号ルーティング経路を提供するために、ダイパッケージはまた、任意選択のインターポーザ基板を含む。各ダイパッケージそれぞれ内の垂直相互接続部は、ダイパッケージ内のダイに隣接して、ダイパッケージを通して延びる信号ルーティングを提供するために、それらのそれぞれのパッケージ基板（及び提供される場合はインターポーザ基板）に結合される。したがって、それらのダイに隣接して配置されて、それらのパッケージ基板（及び提供される場合はインターポーザ基板）に結合されているダイパッケージ内の垂直相互接続部は、マルチダイＩＣパッケージ内の相互接続をサポートするためにダイパッケージを通る貫通接続部を提供する。このようにして、一例として、それぞれのダイパッケージ間に信号ルーティングを提供するためにダイ自体を通して延びるシリコン貫通ビア（ＴＳＶ）を、マルチダイＩＣパッケージ内に製造する必要がない。

【０００７】

一例では、マルチダイＩＣパッケージ内のダイパッケージは、それらのそれぞれのダイの非アクティブ面が背中合わせの構成で互いに面するように向けられる。各ダイパッケージ内のダイは、ダイのアクティブ面に隣接して配置された、それぞれのパッケージ基板に結合される。インターポーザ基板は、それぞれのダイパッケージ内の垂直相互接続部と、そのダイパッケージを別のダイパッケージに結合している外部相互接続部との間に電氣的

10

20

30

40

50

インターフェースを提供することを容易にするために、ダイパッケージのいずれかに設けられ得る。一例では、インターポーザ基板がダイパッケージ内に設けられる場合、インターポーザ基板は、そのそれぞれのパッケージ基板内のダイの非アクティブ面に隣接して配置される。したがって、各ダイパッケージ内のダイは、そのダイパッケージのパッケージ基板とインターポーザ基板（提供されている場合）との間に配置される。所与のダイパッケージのパッケージ基板のメタライゼーション層内の金属相互接続部は、ダイに隣接して配置された垂直相互接続部に結合される。垂直相互接続部は、ダイパッケージを通して延びて、パッケージ基板とは反対側に配置されたダイモジュールのインターポーザ基板（提供されている場合）のメタライゼーション層内の金属相互接続部に結合される。代替的に、垂直相互接続部は、パッケージ基板の反対側のダイパッケージの第2の外面まで延び得る。ダイパッケージ内に設けられた垂直相互接続部は、一例として、TSVを採用する必要なく、マルチダイICパッケージ内の相互接続をサポートするためにダイパッケージを通る貫通接続部をサポートする。

10

【0008】

別の例では、マルチダイICパッケージ内の各ダイパッケージは、垂直方向において積層構成で互いに隣接して配置され、相互接続バンプ（例えば、はんだボール）がそれらの間に配置されて、ダイパッケージとそれらの垂直相互接続部とを電氣的に結合し、各ダイパッケージ内の垂直相互接続部間に相互接続及び信号経路を提供する。例えば、ダイパッケージがインターポーザ基板を含む場合、ダイパッケージのインターポーザ基板は、互いに隣接して配置され、相互接続バンプを介して接続される。各ダイパッケージ内に設けられて互いに結合された垂直相互接続部は、別個の第1及び第2のダイパッケージが設けられない、垂直相互接続部がより大きいアスペクト比を有する場合よりも小さいアスペクト比を有するため、この配置は、ダイパッケージ内の垂直相互接続部のより小さいピッチを可能にし得る。また、相互接続バンプを介して互いから隔離された、それらの別個のダイモジュール内で互いに隣接して配置された積層ダイパッケージ間に形成された空間がまた、熱放散のための領域を提供する。積層ダイパッケージに隣接して形成された空間の間に配置された熱伝導性材料又は空気は、熱放散のための熱経路を形成する。したがって、この熱インターフェース空間が両方のダイパッケージに隣接していることによって、熱インターフェース空間は、両方のダイパッケージによって熱放散のために共有され、これにより、そうでなければ熱管理のためにマルチダイICパッケージにおいて必要とされる空間を節約することができる。

20

30

【0009】

この点に関して、例示的な一態様では、マルチダイICパッケージが提供される。マルチダイICパッケージは、第1のダイパッケージを含む。第1のダイパッケージは、第1のパッケージ基板を含む。第1のダイパッケージはまた、第1のパッケージ基板に結合された第1のダイを含む。第1のダイパッケージはまた、水平方向において第1のダイに隣接して配置された複数の第1の垂直相互接続部を含み、複数の第1の垂直相互接続部の各々は、第1のパッケージ基板に結合されている。マルチダイICパッケージはまた、垂直方向において第1のダイパッケージに隣接する第2のダイパッケージを含む。第2のダイパッケージは、第2のパッケージ基板を含む。第2のダイパッケージはまた、第2のパッケージ基板に結合された第2のダイを含む。第2のダイパッケージはまた、水平方向において第2のダイに隣接して配置された複数の第2の垂直相互接続部を備え、複数の第2の垂直相互接続部の各々が、第2のパッケージ基板に結合されている。

40

【0010】

別の例示的な態様では、マルチダイICパッケージを製造する方法が提供される。方法は、第1のダイパッケージを形成することであって、第1のパッケージ基板を準備することと、第1のダイを準備することと、第1のダイを垂直方向において第1のパッケージ基板に結合することと、第1のパッケージ基板に結合され、水平方向において第1のダイに隣接して配置された、複数の第1の垂直相互接続部を形成することと、を含む、第1のダイパッケージを形成すること、を含む。方法はまた、第2のダイパッケージを形成するこ

50

とであって、第2のパッケージ基板を準備することと、第2のダイを準備することと、第2のダイを垂直方向において第2のパッケージ基板に結合することと、第2のパッケージ基板に結合され、水平方向において第2のダイに隣接して配置された、複数の第2の垂直相互接続部を形成することと、を含む、第2のダイパッケージを形成すること、を含む。方法はまた、第2のダイパッケージを垂直方向において第1のダイパッケージに結合することを含む。

【図面の簡単な説明】

【0011】

【図1】それぞれの別個のダイパッケージ内に設けられた分割ダイを含む例示的な複数（マルチ）ダイ集積回路（IC）パッケージの側面図であり、各ダイパッケージは、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。

10

【図2A】図1のマルチダイICパッケージ内の垂直方向において互いの上に積層された分割ダイパッケージの側面図である。

【図2B】図2Aの垂直方向において互いの上に積層された分割ダイパッケージの拡大側面図である。

【図3】それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージを製造する例示的な製造プロセスを示すフローチャートであり、各ダイパッケージは、図1のマルチダイICパッケージ及び図1～図2Bの各ダイパッケージの分割ダイパッケージを含むがこれらに限定されない、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。

20

【図4A】図1のマルチダイICパッケージ内の例示的な上部ダイパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図4B】図1のマルチダイICパッケージ内の例示的な上部ダイパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図5A】図4A及び図4Bの製造プロセスによる、図1のマルチダイICパッケージの上部ダイパッケージの製造中の例示的な製造段階を示す図である。

【図5B】図4A及び図4Bの製造プロセスによる、図1のマルチダイICパッケージの上部ダイパッケージの製造中の例示的な製造段階を示す図である。

30

【図5C】図4A及び図4Bの製造プロセスによる、図1のマルチダイICパッケージの上部ダイパッケージの製造中の例示的な製造段階を示す図である。

【図5D】図4A及び図4Bの製造プロセスによる、図1のマルチダイICパッケージの上部ダイパッケージの製造中の例示的な製造段階を示す図である。

【図6A】図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図6B】図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージを製造する別の例示的な製造プロセスを示すフローチャートである。

【図7A】図6A及び図6Bの製造プロセスによる、図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

40

【図7B】図6A及び図6Bの製造プロセスによる、図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図7C】図6A及び図6Bの製造プロセスによる、図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図7D】図6A及び図6Bの製造プロセスによる、図1のマルチダイICパッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

50

【図 11 F】 図 10 A 及び図 10 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ

50

ージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 1 G】図 1 0 A 及び図 1 0 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 2 A】図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージを製造する例示的な製造プロセスの第 3 の代替オプションを示すフローチャートである。

【図 1 2 B】図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージを製造する例示的な製造プロセスの第 3 の代替オプションを示すフローチャートである。

10

【図 1 3 A】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 3 B】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 3 C】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

20

【図 1 3 D】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 3 E】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 3 F】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

【図 1 3 G】図 1 2 A 及び図 1 2 B の製造プロセスによる、図 1 のマルチダイ IC パッケージ内の分割ダイパッケージのうちのダイパッケージの製造中の例示的な製造段階を示す図である。

30

【図 1 4 A】図 1 のマルチダイ IC パッケージ内の 2 つの上部ダイパッケージの積層アセンブリプロセスの例示的なアセンブリ段階を示す図である。

【図 1 4 B】図 1 のマルチダイ IC パッケージ内の 2 つの上部ダイパッケージの積層アセンブリプロセスの例示的なアセンブリ段階を示す図である。

【図 1 4 C - 1】図 1 の第 3 の下部ダイパッケージ上の、図 1 4 A 及び図 1 4 B の積層アセンブリプロセスから得られる、積層ダイパッケージの第 1 の積層アセンブリプロセスの例示的なアセンブリを示す図である。

【図 1 4 C - 2】図 1 の第 3 の下部ダイパッケージ上の、図 1 4 A 及び図 1 4 B の積層アセンブリプロセスから得られる、積層ダイパッケージの第 2 の積層アセンブリプロセスの例示的なアセンブリを示す図である。

40

【図 1 4 D - 1】図 1 の第 3 の下部ダイパッケージ上の、図 1 4 A 及び図 1 4 B の積層アセンブリプロセスから得られる、積層ダイパッケージの第 1 の積層アセンブリプロセスの例示的なアセンブリを示す図である。

【図 1 4 D - 2】図 1 の第 3 の下部ダイパッケージ上の、図 1 4 A 及び図 1 4 B の積層アセンブリプロセスから得られる、積層ダイパッケージの第 2 の積層アセンブリプロセスの例示的なアセンブリを示す図である。

【図 1 5】それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイ IC パッケージを含み得る構成要素を備え得る、例示的なプロセッサベースのシステムのブ

50

ロック図であり、各ダイパッケージは、図 1～図 2 B の IC パッケージを含むがこれらに限定されない、図 3～図 1 4 D-2 の例示的な製造プロセス及び製造段階のいずれかによる、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。

【図 1 6】それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイ IC パッケージを含み得る無線周波数 (RF) 構成要素を備え得る、例示的な無線通信デバイスのブロック図であり、各ダイパッケージは、図 1～図 2 B の IC パッケージを含むがこれらに限定されない、図 3～図 1 4 D-2 の例示的な製造プロセス及び製造段階のいずれかによる、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。

10

【発明を実施するための形態】

【0012】

次に、図面を参照して、本開示のいくつかの例示的な態様について説明する。「例示的 (exemplary)」という語は、「例、事例、又は例示としての役割を果たすこと」を意味するために本明細書で使用する。「例示的」として本明細書で説明したいずれの態様も、必ずしも他の態様よりも好ましい又は有利であると解釈されるべきではない。

【0013】

本明細書で開示される態様は、より高い接続密度をサポートするための複数 (マルチ) ダイ集積回路 (IC) パッケージを含む。関連する製造方法も開示される。マルチダイ IC パッケージは、複数のダイにわたって IC パッケージの回路機能を分割するために複数のダイを含む。これは、例えば、コストがより大きくなり歩留まりが減少する可能性のある、IC パッケージ内の、サイズが増大した単一のダイを提供することとは反対である。しかしながら、マルチダイ IC パッケージでは、外部及びダイツーダイ間 (D2D) 信号ルーティングをサポートするための複数のダイ及び他の基板構造を提供する結果として、IC パッケージの全体的なパッケージサイズが増大する場合がある。したがって、例示的な態様では、IC パッケージは、水平方向 (単数又は複数) (例えば、X/Y 軸方向 (単数又は複数)) におけるパッケージ面積を節約するために、垂直方向 (例えば、Z 軸方向) において (例えば、パッケージオンパッケージ (POP) として) 互いの上に積層された分割ダイを含む。マルチダイ IC パッケージ内の分割ダイは、互いの上に積層された分割ダイパッケージ内にそれぞれ設けられる。分割ダイを別個のダイパッケージ内に設けることにより、各ダイパッケージを、マルチダイ IC パッケージ内に組み立てる前に、別個に製造及び試験することを可能にし、歩留まりをより低コストで向上させることを可能にし得る。しかしながら、分割ダイ構成では、単一のダイパッケージに対して、D2D 及び外部信号ルーティングのために、より多数の入出力 (I/O) 接続がサポートされる必要があり得る。

20

30

【0014】

この点に関して、別の例示的な態様では、マルチダイ IC パッケージにおいて、I/O 信号ルーティングを含む信号ルーティングをサポートするために、各ダイパッケージは、それらのそれぞれのダイに隣接して配置される垂直相互接続部 (例えば、金属ピラー、モールド貫通垂直相互接続アクセス (ビア) (TMV)) を含む。垂直相互接続部は、それらのダイへの信号ルーティング経路を提供するために、それらのそれぞれのダイパッケージ内のパッケージ基板に結合される。分割ダイパッケージ間に信号ルーティング経路を提供するために、ダイパッケージはまた、任意選択のインターポーザ基板を含む。各ダイパッケージそれぞれ内の垂直相互接続部は、ダイパッケージ内のダイに隣接して、ダイパッケージを通して延びる信号ルーティングを提供するために、それらのそれぞれのパッケージ基板 (及び提供される場合はインターポーザ基板) に結合される。したがって、それらのダイに隣接して配置されて、それらのパッケージ基板 (及び提供される場合はインターポーザ基板) に結合されているダイパッケージ内の垂直相互接続部は、マルチダイ IC パ

40

50

ッパッケージ内の相互接続をサポートするためにダイパッケージを通る貫通接続部を提供する。このようにして、一例として、それぞれのダイパッケージ間に信号ルーティングを提供するためにダイ自体を通して延びるシリコン貫通ビア（TSV）を、マルチダイICパッケージ内に製造する必要がない。

【0015】

この点に関して、図1は、第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内にそれぞれ提供された第1のダイ102（1）及び第2のダイ102（2）として分割ダイを含む、例示的なマルチダイ集積回路（IC）パッケージ100の側面図である。分割された第1のダイ102（1）及び第2のダイ102（2）は、マルチダイICパッケージ100の回路機能を複数のダイにわたって分割するために設けられる。例えば、第1のダイ102（1）及び第2のダイ102（2）は、マルチダイICパッケージ100のアプリケーションダイ（例えば、モデム又はプロセッサ）であり得る。これは、例えば、図1のマルチダイICパッケージ100内に設けられる場合、そうでなければ第1のダイ102（1）及び第2のダイ102（2）間で分割されることになる、回路及び／又は機能を含む、サイズが増大した単一のダイを提供することとは反対である。回路を複数のダイに分割することによりパッケージ内に余分なダイ（単数又は複数）を追加するが、単一のより大きいサイズのダイは、製造するのに不相応に高価であり、また、歩留まりを低下させる場合がある。この例では、マルチダイICパッケージ100はまた、第3のダイ102（3）を含む任意選択の第3のダイパッケージ104（3）を含む。例えば、ダイ102（3）は、第1のダイ102（1）及び第2のダイ102（2）のために電源管理を提供する電源管理集積回路（PMIC）ダイであり得る。第3のダイパッケージ104（3）は、外部相互接続バンプ105を介して第3のダイ102（3）及び第2のダイパッケージ104（2）に結合された第3のパッケージ基板114（3）を含む。代替的に、第2のダイパッケージ104（2）の第2のパッケージ基板114（2）は、垂直方向（Z軸方向）における高さを節約するために、第3のダイパッケージ104（3）の第3のパッケージ基板114（3）と一体化され得る。しかしながら、これにより、第2のダイ102（2）を第2のパッケージ基板114（2）に結合する第2のダイ相互接続部115（2）上に与えられる応力を増大させる場合がある。第1のダイパッケージ104（1）は、マルチダイICパッケージ100への外部接続を提供する外部相互接続バンプ108（例えば、はんだバンプ、ボールグリッドアレイ（BGA）、ランドグリッドアレイ（LGA））を介してプリント回路基板（PCB）106に結合される。別の任意選択の追加のダイパッケージ104（4）は、PCB 106の、マルチダイICパッケージ100とは反対側に結合されている。例えば、ダイパッケージ104（4）は、ダイナミックランダムアクセスメモリ（DRAM）チップであり得る。

【0016】

マルチダイICパッケージ100内の分割ダイ102（1）、102（2）にわたって回路機能を分割することにより、例えば、ダイツーダイ間（D2D）接続を提供するための追加の接続（例えば、I/O及び／又は電力接続）を収容するために、マルチダイICパッケージ100の全体的なサイズを増加させたとしても、分割ダイ102（1）、102（2）内の回路を単一のダイに製造することは、不相応に、より複雑でコストがかかる場合がある。しかしながら、この例では、分割ダイ102（1）、102（2）を提供することによるマルチダイICパッケージのサイズの増大は、垂直方向（Z軸方向）においてダイ102（1）、102（2）をそれらのそれぞれのダイパッケージ104（1）、104（2）内で（例えば、パッケージオンパッケージ（POP）として）互いの上に積層して、水平方向（単数又は複数）（X及びY軸方向（単数又は複数））における面積を節約することによって軽減又は相殺される。第3のダイパッケージ104（3）は、垂直方向において第2のダイパッケージ104（2）の上に積層され、第2のダイパッケージ104（2）に結合される。この点に関して、図1のマルチダイICパッケージ100は、積層ダイICパッケージである。分割された第1のダイ102（1）及び第2のダイ102（2）はまた、垂直方向において積層されたそれら自体の別個のダイパッケージ10

4 (1)、104 (2) 内にそれぞれ設けられる。分割された第1のダイ102 (1) 及び第2のダイ102 (2) を別個のダイパッケージ104 (1)、104 (2) 内に設けることにより、各ダイパッケージ104 (1)、104 (2) を、マルチダイICパッケージ100内に組み立てる前に、別個に製造及び試験することを可能にして、歩留まりをより低コストで向上させることを可能にし得る。しかしながら、マルチダイICパッケージ100の分割ダイ構成では、単一のダイパッケージに対して、I/O信号ルーティングのためのD2D及び外部I/O接続に、より多数のI/O接続がサポートされる必要があり得る。

【0017】

この点に関して、図1のマルチダイICパッケージ100内のD2D及び外部信号ルーティングのための、I/O接続及び／又は電源接続を含む接続をサポートするために、第1のダイパッケージ104 (1) 及び第2のダイパッケージ104 (2) は各々、それぞれの第1の垂直相互接続部110 (1) 及び第2の垂直相互接続部110 (2) を含む。第1の垂直相互接続部110 (1) 及び第2の垂直相互接続部110 (2) は、例として、(第1のダイパッケージ104 (1) のパッケージモールド112 (1) 及び第2のダイパッケージ104 (2) のパッケージモールド112 (2) を通って延びている) 金属ピラー又は金属モールド貫通垂直相互接続アクセス(ビア)(TMV)であり得る。第1の垂直相互接続部110 (1) 及び第2の垂直相互接続部110 (2) は、それらのそれぞれの第1のダイ102 (1) 及び第2のダイ102 (2) に隣接して配置されている。例えば、第1の垂直相互接続部110 (1) 及び第2の垂直相互接続部110 (2) は、それらのそれぞれのダイパッケージ104 (1)、104 (2) 内のそれぞれの第1のダイ102 (1) 及び第2のダイ102 (2) のすべての側面の周りに配置され得る。

【0018】

第1のダイパッケージ104 (1) に関して、第1のダイパッケージ104 (1) 内の第1の垂直相互接続部110 (1) は、第1のダイ102 (1) への信号ルーティング経路のための接続(例えば、I/O及び／又は電力接続)を提供するために、第1のダイ相互接続部115 (1) を介して第1のダイパッケージ104 (1) 内の第1のパッケージ基板114 (1) に結合されている。第1のパッケージ基板114 (1) は、コアレス基板又はコア基板であり得る。第1のパッケージ基板114 (1) は、一例として、配置されたメタライゼーション層及び金属相互接続部116 (1) (例えば、金属トレース、金属線) をその中に有する積層基板層から構成され得る。第1のパッケージ基板114 (1) は、別の例として、金属相互接続部116 (1) を形成するために、メタライゼーション層内に形成された再配線金属線又はトレースをその中に有する再配線層(RDL) から構成され得る。第1のパッケージ基板114 (1) は、更に別の例として、金属層(単数又は複数)に埋め込まれた金属相互接続部116 (1) (トレース) を有する埋め込みトレース基板(ETS) 層(単数又は複数)を含み得る。第1のダイ102 (1) は、第1のダイ102 (1) への信号ルーティングを提供するために、金属相互接続部116 (1) を有するメタライゼーション層を含む第1のパッケージ基板114 (1) に隣接して配置され、また、第1のパッケージ基板114 (1) に結合されている。第1のパッケージ基板114 (1) に結合されている第1の垂直相互接続部110 (1) は、第1のパッケージ基板114 (1) と第1の垂直相互接続部110 (1) との間に接続を提供する。このようにして、第1のダイ102 (1) によって、第1のパッケージ基板114 (1) を介して、第1の垂直相互接続部110 (1) への接続が提供される。第1の垂直相互接続部110 (1) は、第1のダイパッケージ104 (1) を通って垂直方向に延びている。このようにして、第1の垂直相互接続部110 (1) は、第1のダイパッケージ104 (1) と第2のダイパッケージ104 (2) との間、及びそれらのそれぞれの第1のダイ102 (1) と第2のダイ102 (2) との間に信号ルーティングを提供するために、第2のダイパッケージ104 (2) 及びその第2の垂直相互接続部110 (2) に結合されるように延びていてもよい。

【0019】

同様に、第2のダイパッケージ104(2)に関して、第2のダイパッケージ104(2)内の第2の垂直相互接続部110(2)は、第2のダイ102(2)への信号ルーティング経路のための接続を提供するために、第2のダイ相互接続部115(2)を介して第2のダイパッケージ104(2)内の第2のパッケージ基板114(2)に結合されている。第2のパッケージ基板114(2)は、一例として、配置されたメタライゼーション層及び金属相互接続部116(2)(例えば、金属トレース、金属線)をその中に有する積層基板層から構成され得る。第2のパッケージ基板114(2)は、別の例として、第2の金属相互接続部116(2)を形成するために、メタライゼーション層内に形成された再配線金属線又はトレースをその中に有するRDLから構成され得る。第2のパッケージ基板114(2)は、更に別の例として、金属層(単数又は複数)に埋め込まれた第2の金属相互接続部116(2)(トレース)を有するETS層(単数又は複数)を含み得る。第2のダイ102(2)は、第2のダイ102(2)への信号ルーティングを提供するために、金属相互接続部を有するメタライゼーション層を含む第2のパッケージ基板114(2)に隣接して配置され、また、第2のパッケージ基板114(2)に結合されている。第2の垂直相互接続部110(2)は、第2のパッケージ基板114(2)に結合されており、したがって、第2のパッケージ基板114(2)と第2の垂直相互接続部110(2)との間に接続を提供する。このようにして、第2のダイ102(2)によって、第2のパッケージ基板114(2)を介して、第2の垂直相互接続部110(2)への接続が提供される。第2の垂直相互接続部110(2)は、第2のダイパッケージ104(2)を通して垂直方向に延びている。このようにして、第2の垂直相互接続部110(2)は、第1のダイパッケージ104(1)と第2のダイパッケージ104(2)との間、及びそれらのそれぞれの第1のダイ102(1)と第2のダイ102(2)との間に信号ルーティングを提供するために、第1のダイパッケージ104(1)及びその第1の垂直相互接続部110(1)に結合されるように延びていてもよい。

10

20

30

40

50

【0020】

このようにして、上述したように、マルチダイICパッケージ100の第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)内に配置された第1の垂直相互接続部110(1)及び第2の垂直相互接続部110(2)により、第1のダイパッケージ104(1)と第2のダイパッケージ104(2)との間、及びそれらのそれぞれの第1のダイ102(1)及び第2のダイ102(2)との間に接続が提供されることを可能にする。これは、意図された動作のために第1のダイ102(1)及び第2のダイ102(2)内の回路間で必要とされ得る信号接続経路を維持しながら、第1のダイ102(1)及び第2のダイ102(2)内の回路が第1のダイ102(1)及び第2のダイ102(2)にわたって分割されることを容易にする。第1のダイ102(1)及び第2のダイ102(2)に隣接して配置される、それぞれの第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)内の第1の垂直相互接続部110(1)及び第2の垂直相互接続部110(2)は、第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)を通る貫通接続部を提供する。このようにして、一例として、それぞれの第1のダイパッケージ104(1)と第2のダイパッケージ104(2)との間に信号ルーティングを提供するために、第1のダイ102(1)及び第2のダイ102(2)自体を通して延びるTSVを、マルチダイICパッケージ100内に製造する必要はない。TSVは、ICパッケージ内に製造することがより困難であり、コストがかかる場合がある。また、マルチダイICパッケージ100が、例えば、積層ダイ接続のためのTSVを含まなかった従来の2次元(2D)ICパッケージデザイン及び製造ルールに基づいて設計される場合、それぞれの第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)内で水平方向(単数又は複数)(X及び/又はY軸方向(単数又は複数))において第1のダイ102(1)及び第2のダイに隣接する第1の垂直相互接続部110(1)及び第2の垂直相互接続部110(2)を提供することは、製造があまり複雑でなく、コストがかからない場合がある。

【0021】

図 2 A は、図 1 のマルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) 及び第 2 のダイパッケージ 104 (2) の側面図である。図 2 B は、マルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) 及び第 2 のダイパッケージ 104 (2) の拡大左側面図である。マルチダイ IC パッケージ 100 の追加の例示的な詳細を説明するために、図 2 A 及び図 2 B を参照する。

【0022】

この点に関して、図 2 A 及び図 2 B に示されるように、マルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) 及び第 2 のダイパッケージ 104 (2) はまた、任意選択のそれぞれの第 1 のインターポーザ基板 118 (1) 及び第 2 のインターポーザ基板 118 (2) を含む。第 1 のダイパッケージ 104 (1) を参照すると、第 1 のインターポーザ基板 118 (1) は、この例では第 1 のダイ 102 (1) が第 1 のインターポーザ基板 118 (1) と第 1 のパッケージ基板 114 (1) との間に配置されるように、第 1 のダイ 102 (1) に隣接して配置されている。この例では、第 1 のインターポーザ基板 118 (1) は、第 1 のダイ 102 (1) の非アクティブ面 120 (1) に隣接して配置されている。この例では、図 2 A に示されるように、第 1 のダイ 102 (1) 及び第 2 のダイ 102 (2) は、第 1 のダイ 102 (1) の非アクティブ面 120 (1) と第 2 のダイ 102 (2) の非アクティブ面 120 (2) とが、互いに隣接して配置される背中合わせの構成で、互いに対して積層されている。この例では、それぞれの第 1 のダイ 102 (1) のアクティブ面 121 (1) 及び第 2 のダイ 102 (2) のアクティブ面 121 (2) は、それらの第 1 のパッケージ基板 114 (1) 及び第 2 のパッケージ基板 114 (2) に隣接して配置されている。代替的に、第 2 のダイ 102 (2) は、そのアクティブ面 121 (2) が第 1 のダイ 102 (1) の非アクティブ面 120 (1) に隣接するように反転され得る。また、第 1 のダイ 102 (1) は、そのアクティブ面 121 (1) が第 2 のダイ 102 (2) に隣接し、例えば、第 2 のダイ 102 (2) の第 2 の非アクティブ面 120 (2) に隣接するように反転され得る。マルチダイ IC パッケージ 100 は、それらのそれぞれの第 1 のダイパッケージ 104 (1) 及び第 2 のダイパッケージ 104 (2) 内の第 1 のダイ 102 (1) 及び第 2 のダイ 102 (2) の任意の特定の向きに限定されない。第 1 のダイパッケージ 104 (1) 内の第 1 の垂直相互接続部 110 (1) は、第 1 のインターポーザ基板 118 (1) に結合されている。図 2 B に示されるように、第 1 のインターポーザ基板 118 (1) は、第 1 の垂直相互接続部 110 (1) に結合された金属相互接続部 122 (1) を含む 1 つ以上のメタライゼーション層を含む。第 1 のインターポーザ基板 118 (1) 内の金属相互接続部 122 (1) は、第 1 のダイパッケージ 104 (1) と第 2 のダイパッケージ 104 (2) との間の接続を容易にするために、第 1 のインターポーザ基板 118 (1) に隣接する、第 2 のダイパッケージ 104 (2) 内の第 2 のインターポーザ基板 118 (2) 内のメタライゼーション層 (単数又は複数) 内の金属相互接続部 122 (2) に結合されている。

【0023】

また、図 2 A 及び図 2 B に示されるように、第 2 のダイパッケージ 104 (2) は、この例では、第 2 のダイ 102 (2) が第 2 のインターポーザ基板 118 (2) と第 2 のパッケージ基板 114 (2) との間に配置されるように、第 2 のダイ 102 (2) に隣接して配置された第 2 のインターポーザ基板 118 (2) を含む。この例では、第 2 のインターポーザ基板 118 (2) は、第 2 のダイ 102 (2) の非アクティブ面 120 (2) に隣接して配置されている。第 2 のダイパッケージ 104 (2) 内の第 2 の垂直相互接続部 110 (2) は、第 2 のインターポーザ基板 118 (2) に結合されている。第 2 のインターポーザ基板 118 (2) は、第 2 の垂直相互接続部 110 (2) に結合された金属相互接続部 122 (2) を含む 1 つ以上のメタライゼーション層を含む。第 2 のインターポーザ基板 118 (2) 内の金属相互接続部 122 (2) は、第 1 のダイパッケージ 104 (1) と第 2 のダイパッケージ 104 (2) との間の接続を容易にするために、第 2 のインターポーザ基板 118 (2) に隣接する、第 1 のダイパッケージ 104 (1) 内の第 1 のインターポーザ基板 118 (1) 内の金属相互接続部 122 (1) に結合されている。

【0024】

引き続き図2A及び図2Bを参照すると、この例では、外部相互接続バンプ124（例えば、はんだバンプ、BGA、LGA）が、第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内のそれぞれの第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）に結合されているそれらのそれぞれの金属相互接続部間に接続を提供するために、第1のインターポーザ基板118（1）及び第2のインターポーザ基板118（2）間に配置されている。このようにして、第1のインターポーザ基板118（1）及び第2のインターポーザ基板118（2）が第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内のそれぞれの第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）に結合されるため、第1のインターポーザ基板118（1）及び第2のインターポーザ基板118（2）は、それらのそれぞれの第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）、並びにその中の第1のダイ102（1）及び第2のダイ102（2）への電気接続インターフェースを提供する。第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内の第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）は、それぞれの第1のパッケージ基板114（1）及び第2のパッケージ基板114（2）に結合されており、それぞれの第1のパッケージ基板114（1）及び第2のパッケージ基板114（2）は、第1のダイ102（1）及び第2のダイ102（2）に結合されている。

10

【0025】

したがって、マルチダイICパッケージ100のそれぞれの第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内の第1のインターポーザ基板118（1）及び第2のインターポーザ基板118（2）は、それぞれの第1のパッケージ基板114（1）及び第2のパッケージ基板114（2）への信号接続及びルーティングを提供するために、第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）に結合されている。

20

【0026】

また、外部相互接続バンプ124を介して第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）（並びにこの例ではそれらのそれぞれの第1のインターポーザ基板118（1）及び第2のインターポーザ基板118（2））を結合するこの例示的な構成では、これにより、第1のダイパッケージ104（1）内の第1の垂直相互接続部110（1）及び第2のダイパッケージ104（2）内の第2の垂直相互接続部110（2）のより小さいピッチを可能にし得る。これは、図2Bに示されるように、第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内に設けられた第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）が、第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）を組み合わせた高さよりも小さい個別の高さ H_1 であるためである。したがって、第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）は、垂直相互接続部110（1）、110（2）が単一のダイパッケージ内の単一のより高い垂直相互接続部に組み合わせられた場合よりも小さいアスペクト比を有する。後者の場合、垂直相互接続部は、高さ H_1 の2倍に延びる可能性があり、したがって、より高いアスペクト比を有する。第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）のそれぞれの高さ H_1 は、異なる高さであり得ることに留意されたい。したがって、第1のダイ102（1）及び第2のダイ102（2）を、それらの第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）が外部相互接続バンプ124を介して結合された状態で、別々に積層されて結合された第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）内に設けることにより、第1の垂直相互接続部110（1）及び第2の垂直相互接続部110（2）の密度の増大をサポートして、マルチダイICパッケージ100においてより高い接続密度を提供することができる。

30

40

【0027】

また、図2Bに示されるように、外部相互接続バンプ124を介して互いに隔離され、

50

互いに隣接して配置された積層された第1のダイパッケージ104(1)と第2のダイパッケージ104(2)との間に、空間126が形成されている。この追加の空間126は、熱放散ベクトル130(1)、130(2)によって示されるように、第1のダイ102(1)及び第2のダイ102(2)によってそれらの動作中に生成される熱からの熱放散のための追加の領域を提供するように機能するキャビティ128を形成する。キャビティ128は、マルチダイICパッケージ100のための熱管理の機会を提供する。一例として、キャビティ128は、熱放散を提供するための空気を含む間隙のままにすることができる。代替的に又は追加的に、第1のダイ102(1)及び第2のダイ102(2)によって生成される熱の放散速度を高めるために、例えば熱伝導性ペースト又はゲルなどの熱伝導性材料132をキャビティ128内に配置することができる。また、この例では、キャビティ128が第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)の両方に隣接して形成されているため、キャビティ128は、熱放散のために設けられた空間を節約するために、第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)によって熱的に共有される。したがって、キャビティ128は、第1のダイパッケージ104(1)内の第1のダイ102(1)及び第2のダイパッケージ104(2)内の第2のダイ102(2)の両方に対して熱放散を提供することができる。例えば、第1のダイ102(1)及び第2のダイ102(2)の両方は、異なる時間において異なる量の熱を生成することがあり、その結果、キャビティ128は、サーマルバジェットの観点から、一方のダイ102(1)、102(2)から他方のダイ102(1)、102(2)よりも多くの熱を放散するように利用可能であり、逆もまた同様である。

10

20

【0028】

図1のマルチダイICパッケージ100は、3つのダイ102(1)～103(3)のそれぞれのダイパッケージ104(1)～104(3)内で垂直方向(Z軸方向)において互いの上に積層された3つのダイ102(1)～103(3)を含むが、それは限定されないことに留意されたい。図1のマルチダイICパッケージ100は、第3のダイ102(3)を有する第3のダイパッケージ104(1)を含むことなく、第1のダイ102(1)及び第2のダイ102(2)を含むことができる。また、マルチダイICパッケージ100は、図1に示される3つ以上の積層ダイ102(1)～103(3)のダイが設けられ得る。それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージを提供することにより、各ダイパッケージは、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含むが、いかなる特定の数のダイにも限定されない。

30

【0029】

図3は、それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージを製造する例示的な製造プロセス300を示すフローチャートであり、各ダイパッケージは、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。図3の製造プロセス300を採用して、図1～図2BのマルチダイICパッケージを製造することができる。この点に関して、図3の製造プロセス300を、図1～図2BのマルチダイICパッケージ100に関連して説明する。

40

【0030】

この点に関して、図3に示されるように、製造プロセス300の第1のステップは、第1のダイパッケージ104(1)を形成することであり得る(図3のブロック302)。第1のダイパッケージ104(1)を形成するプロセスは、第1のパッケージ基板114(1)を準備することを含み得る(図3のブロック304)。第1のダイパッケージ104(1)を形成するプロセスはまた、第1のダイ102(1)を準備することを含み得る(図3のブロック306)。第1のダイパッケージ104(1)を形成するプロセスは、垂直方向(Z軸方向)において第1のダイ102(1)を第1のパッケージ基板114(1)に結合することを含み得る(図3のブロック308)。第1のダイパッケージ104(1)を形成するプロセスは、第1のパッケージ基板114(1)に結合されて、水平方

50

向（単数又は複数）（X及び／又はY軸方向（単数又は複数））において第1のダイ102（1）に隣接して配置された、複数の第1の垂直相互接続部110（1）を形成することを含み得る（図3のブロック310）。製造プロセス300の別のステップは、第2のダイパッケージ104（2）を形成することであり得る（図3のブロック312）。第2のダイパッケージ104（2）を形成するプロセスは、第2のパッケージ基板114（2）を準備することを含み得る（図3のブロック314）。第2のダイパッケージ104（2）を形成するプロセスはまた、第2のダイ102（2）を準備することを含み得る（図3のブロック316）。第2のダイパッケージ104（2）を形成するプロセスは、垂直方向（Z軸方向）において第2のダイ（102（2））を第2のパッケージ基板（114（2））に結合することを含み得る（図3のブロック318）。第2のダイパッケージ104（2）を形成するプロセスは、第2のパッケージ基板（114（2））に結合されて、水平方向（単数又は複数）（X及び／又はY軸方向（単数又は複数））において第2のダイ102（2）に隣接して配置された、複数の第2の垂直相互接続部110（2）を形成することを含み得る（図3のブロック320）。製造プロセス300の別のステップは、マルチダイICパッケージ100を形成するために、垂直方向（Z軸方向）において第2のダイパッケージ104（2）を第1のダイパッケージ104（1）に結合することであり得る（図3のブロック322）。

10

【0031】

図1～図2BのマルチダイICパッケージ100を製造するために採用され得る他の製造プロセスが存在する。これは、別個のパッケージとしての第1のダイパッケージ104（1）、第2のダイパッケージ104（2）、及び第3のダイパッケージ104（3）の製造を含み、それらは次いで、積層構成で一緒に組み立てられ得る。

20

【0032】

例えば、図4A及び図4Bは、図1のマルチダイICパッケージ100内の例示的な上部の第3のダイパッケージ104（3）を製造するための例示的な製造プロセス400を示すフローチャートである。図5A～図5Dは、図4A及び図4Bの製造プロセス400による、図1のマルチダイICパッケージ100内の第3のダイパッケージ104（3）の製造中の例示的な製造段階500A～500Dである。図4A及び図4Bの製造プロセス400を、図5A～図5Dの例示的な製造段階500A～500D及び図1のマルチダイICパッケージ100内の第3のダイパッケージ104（3）に関連して説明する。

30

【0033】

この点に関して、図5Aの例示的な製造段階500Aに示されるように、第3のダイパッケージ104（3）を製造するための製造プロセス400における第1のステップは、第3のパッケージ基板114（3）を形成することであり得る（図4Aのブロック402）。第3のパッケージ基板114（3）は、一例として、任意の数のメタライゼーション層502（1）～502（X）を有する積層基板層から構成されてもよく、各メタライゼーション層は、その中に配置された金属相互接続部116（3）（例えば、金属トレース、金属線）を有する。第3のパッケージ基板114（3）は、別の例として、金属相互接続部116（3）を形成するために、メタライゼーション層内に形成された再配線金属線又はトレースをその中に有するRDLから構成され得る。第3のパッケージ基板114（3）は、更に別の例として、金属層（単数又は複数）に埋め込まれた金属相互接続部116（3）（トレース）を有する埋め込みトレース基板（ETS）層（単数又は複数）を含み得る。

40

【0034】

図5Bの例示的な製造段階500Bに示されるように、第3のダイパッケージ104（3）を製造するための製造プロセス400における次のステップは、第3のパッケージ基板114（3）上の第3のダイパッケージ104（2）の上面506と接触して（第3のダイ102（3）を含む）電子／電気部品504を配置することであり得る（図4Aのブロック404）。第3のダイ102（3）は、第3のパッケージ基板114（3）、及びその中のメタライゼーション層502（1）～502（X）内に配置された金属相互接続

50

部 1 1 6 (3) に電氣的に結合され得る。図 5 C の例示的な製造段階 5 0 0 C に示されるように、第 3 のダイパッケージ 1 0 4 (3) を製造するための製造プロセス 4 0 0 における次のステップは、電子／電気部品 5 0 4 を保護するために、第 3 のダイ 1 0 2 (3) を含む電子／電気部品 5 0 4 の上に、モルディングコンパウンド材料 5 1 0 を用いてパッケージモールド 5 0 8 を形成することであり得る (図 4 A のブロック 4 0 6) 。図 5 D の例示的な製造段階 5 0 0 D に示されるように、第 3 のダイパッケージ 1 0 4 (3) を製造するための製造プロセス 4 0 0 における次のステップは、第 3 のダイパッケージ 1 0 4 (3) への電氣的インターフェースを提供するために、第 3 のパッケージ基板 1 1 4 (3) と接触して、より具体的には第 3 のパッケージ基板 1 1 4 (3) の底面 5 1 2 から露出された金属相互接続部 1 1 6 (3) と接触して、外部相互接続バンプ 1 0 5 を形成すること

10

【 0 0 3 5 】

図 6 A 及び図 6 B は、図 1 のマルチダイ I C パッケージ 1 0 0 内の第 1 のダイパッケージ 1 0 4 (1) 及び第 2 のダイパッケージ 1 0 4 (2) のいずれか又は両方であり得るダイパッケージを製造するための例示的な製造プロセス 6 0 0 を示すフローチャートである。図 7 A ～図 7 F は、図 6 A 及び図 6 B の製造プロセス 6 0 0 による、図 1 のマルチダイ I C パッケージ 1 0 0 内の第 1 のダイパッケージ 1 0 4 (1) 及び／又は第 2 のダイパッケージ 1 0 4 (2) の製造中の例示的な製造段階 7 0 0 A ～ 7 0 0 F である。以下で説明するように、製造プロセス 6 0 0 では、ダイパッケージは、最初にパッケージ基板を構築して、後でダイを配置するために設けられるキャビティの側面上に垂直相互接続部を形成

20

【 0 0 3 6 】

この点に関して、図 7 A の例示的な製造段階 7 0 0 A に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 6 0 0 における第 1 のステップは、第 1 のパッケージ基板 1 1 4 (1) を形成することであり得る (図 6 A のブロック 6 0 2) 。第 1 のパッケージ基板 1 1 4 (1) は、一例として、任意の数のメタライゼーション層 7 0 2 (1) ～ 7 0 2 (X) を有する積層基板層から構成されてもよく、各メタライゼーション層は、その中に配置された金属相互接続部 1 1 6 (1) (例えば、金属トレース、金属線) を有する。第 1 のパッケージ基板 1 1 4 (1) は、別の例として、金属相互接続部 1 1 6 (1) を形成するために、メタライゼーション層内に形成された再配線金属線又はトレースをその中に有する R D L から構成され得る。第 1 のパッケージ基板 1 1 4 (1) は、更に別の例として、金属層 (単数又は複数) に埋め込まれた金属相互接続部 1 1 6 (1) (トレース) を有する埋め込みトレース基板 (E T S) 層を含み得る。図 7 B の例示的な製造段階 7 0 0 B に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 6 0 0 における次のステップは、第 1 のパッケージ基板 1 1 4 (1) に結合された第 1 の垂直相互接続部 1 1 0 (1) を形成することであり得る。第 1 の垂直相互接続部 1 1 0 (1) を形成するために、誘電体層 7 0 4 が最初に第 1 のパッケージ基板 1 1 4 (1) 上に配置される。次いで、誘電体層 7 0 4 がパターンニングされ、第 1 の垂直相互接続部 1 1 0 (1) を形成することが望まれる場所に開口部が形成される (図 6 A のブロック 6 0 4) 。例えば、誘電体層 7 0 4 は、フォトリソ層 (図示せず) が誘電体層 7 0 4 上に配置されてパターンニングされた状態で、リソグラフィプロセスを使用してパターンニングされて開口され得る。垂直相互接続部 1 1 0 (1) を形成するために、誘電体層 7 0 4 内に形成された開口部内に金属材料が配置される。

30

40

【 0 0 3 7 】

50

図 7 C の例示的な製造段階 700 C に示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 600 における次のステップは、第 1 のパッケージ基板 114 (1) に結合された第 1 のダイ 102 (1) を配置するためのキャビティ 708 を提供するために、垂直相互接続部 110 (1) 間の誘電体層 704 内に開口部 706 を形成することであり得る (図 6 A のブロック 606)。図 7 D の例示的な製造段階 700 D に示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 600 における次のステップは、第 1 のパッケージ基板 114 (1) 上のキャビティ 708 内に第 1 のダイ 102 (1) を配置し、第 1 のパッケージ基板 114 (1) に電氣的に結合することであり得る (図 6 B のブロック 608)。図 7 E の例示的な製造段階 700 E に示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 600 における次のステップは、第 1 のダイ 102 (1) 及び第 1 の垂直相互接続部 110 (1) の上にモルディングコンパウンド材料 510 を配置して、パッケージモールド 508 を形成することであり得る (図 6 B のブロック 610)。図 7 E の例示的な製造段階 700 E にも示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 600 における次のステップは、第 1 の垂直相互接続部 110 (1) と接触するインターポーザ基板 118 (1) を形成することであり得る (図 6 B のブロック 610)。第 1 の垂直相互接続部 110 (1) は、第 1 のインターポーザ基板 118 (1) 内の金属相互接続部 122 (1) と電氣的に接触して配置される。図 7 F の例示的な製造段階 700 F にも示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 600 における次のステップは、第 1 のインターポーザ基板 118 (1) の外面 710 上に外部相互接続パンプ 124 を形成し、第 1 のインターポーザ基板 118 (1) 内の金属相互接続部 122 (1) に結合することであり得る (図 6 B のブロック 612)。これは、外部相互接続パンプ 124 及び第 1 のインターポーザ基板 118 (1) と電氣的に接触する第 2 のダイパッケージ 104 (2) をその上に積層するために、第 1 のダイパッケージ 104 (1) を準備するためである。

【0038】

図 8 A 及び図 8 B は、図 1 のマルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) 及び第 2 のダイパッケージ 104 (2) のいずれか又は両方であり得るダイパッケージを製造するための別の例示的な製造プロセス 800 を示すフローチャートである。図 9 A ~ 図 9 F は、図 8 A 及び図 8 B の製造プロセス 800 による、図 1 のマルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) 及び／又は第 2 のダイパッケージ 104 (2) の製造中の例示的な製造段階 900 A ~ 900 F である。以下で説明するように、製造プロセス 800 では、ダイパッケージは、最初にパッケージ基板上にダイを配置し、次いでダイ及びパッケージ基板上にパッケージモールドを形成することによって製造される。その後、パッケージモールドはパターニングされ、垂直相互接続部が形成される開口部を形成するために開口される。垂直相互接続部は、パッケージ基板と接触して形成される。図 8 A 及び図 8 B の製造プロセス 800 は、図 6 A 及び図 6 B の製造プロセス 600 のようなインターポーザ基板を含まない。図 8 A 及び図 8 B の製造プロセス 800 を、図 9 A ~ 図 9 F の例示的な製造段階 900 A ~ 900 F 及び図 1 のマルチダイ IC パッケージ 100 内の第 1 のダイパッケージ 104 (1) に関連して説明する。しかしながら、図 8 A 及び図 8 B の製造プロセス 800 は、図 1 のマルチダイ IC パッケージ 100 内の第 2 のダイパッケージ 104 (2) を製造するためにも採用され得ることに留意されたい。

【0039】

この点に関して、図 9 A の例示的な製造段階 900 A に示されるように、第 1 のダイパッケージ 104 (1) を製造するための製造プロセス 800 における第 1 のステップは、第 1 のパッケージ基板 114 (1) を形成することであり得る (図 8 A のブロック 802)。第 1 のパッケージ基板 114 (1) は、一例として、任意の数のメタライゼーション層 902 (1) ~ 902 (X) を有する積層基板層から構成されてもよく、各メタライゼーション層は、その中に配置された金属相互接続部 116 (1) (例えば、金属トレース

、金属線）を有する。第1のパッケージ基板114（1）は、別の例として、金属相互接続部116（1）を形成するために、メタライゼーション層内に形成された再配線金属線又はトレースをその中に有するRDLから構成され得る。第1のパッケージ基板114（1）は、更に別の例として、金属層（単数又は複数）に埋め込まれた金属相互接続部116（1）（トレース）を有する埋め込みトレース基板（ETS）層を含み得る。図9Bの例示的な製造段階900Bに示されるように、第1のダイパッケージ104（1）を製造するための製造プロセス800における次のステップは、第1のパッケージ基板114（1）上に第1のダイ102（1）を配置し、第1のダイ102（1）を第1のパッケージ基板114（1）に電氣的に結合することであり得る（図8Aのブロック804）。図9Cの例示的な製造段階900Cに示されるように、第1のダイパッケージ104（1）を製造するための製造プロセス800における次のステップは、第1のダイ102（1）の上にモルディングコンパウンド材料910を配置して、パッケージモールド908を形成することであり得る（図8Aのブロック806）。

10

【0040】

図9Dの例示的な製造段階900Dに示されるように、第1のダイパッケージ104（1）を製造するための製造プロセス800における次のステップは、第1のパッケージ基板114（1）に結合された第1の垂直相互接続部110（1）を形成することであり得る（図8Bのブロック808）。第1の垂直相互接続部110（1）を形成するために、パッケージモールド908がパターニングされ、第1の垂直相互接続部110（1）を形成することが望まれる場所に開口部が形成される。例えば、パッケージモールド908は、フォトリソ層（図示せず）がパッケージモールド908上に配置されてパターニングされた状態で、リソグラフィプロセスを使用してパターニングされて開口され得る。垂直相互接続部110（1）を形成するために、パッケージモールド908内に形成された開口部内に金属材料が配置される（図8Bのブロック808）。図9Eの例示的な製造段階900Eに示されるように、製造プロセス800における次のステップは、第1のパッケージ基板114（1）の底面914上に任意の裏面部品912を配置して結合することであり得る（図8Bのブロック810）。図9Fの例示的な製造段階900Fに示されるように、第1のダイパッケージ104（1）を製造するための製造プロセス800における次のステップは、第1のパッケージ基板114（1）の底面914上に外部相互接続パンプ108を形成し、第1のパッケージ基板114（1）内の金属相互接続部116（1）に結合することであり得る（図8Bのブロック812）。これは、図1に示されるように、第1のダイパッケージ104（1）がPCB106上に配置されて、PCB106に結合されるように準備するためである。

20

30

【0041】

図8A及び図8Bの製造プロセスが第2のダイパッケージ104（2）を製造するために採用される場合、ブロック812及び図9Fの製造段階900Fにおいて、外部相互接続パンプ105が第2のパッケージ基板114（2）の底面914上に形成され、第2のパッケージ基板114（2）内の金属相互接続部116（2）に結合されることに留意されたい。

【0042】

図10A及び図10Bは、図1のマルチダイICパッケージ100内の第1のダイパッケージ104（1）及び第2のダイパッケージ104（2）のいずれか又は両方であり得るダイパッケージを製造するための別の例示的な製造プロセス1000を示すフローチャートである。図11A～図11Gは、図10A及び図10Bの製造プロセス1000による、図1のマルチダイICパッケージ100内の第1のダイパッケージ104（1）及び／又は第2のダイパッケージ104（2）の製造中の例示的な製造段階1100A～1100Gである。以下で説明するように、製造プロセス1000では、ダイパッケージは、パッケージ基板及びインターポーザ基板として、メタライゼーション層としてのRDLを含む。ダイパッケージは、キャリア上に配置された裏面RDL上に第1の垂直相互接続部を最初に形成して、インターポーザ基板を形成することによって製造される。その後、ダ

40

50

イの非アクティブ面及びモールド材料が、裏面 R D L 上に配置される。その後、表面 R D L が形成されてパッケージ基板を形成する。ダイパッケージ内の垂直相互接続部は、この例では裏面 R D L と表面 R D L との間の R D L 相互接続部の形態の金属相互接続部と接触して延びて、それぞれインターポーザ基板及びパッケージ基板としてダイパッケージ内に貫通接続部を提供する。図 1 0 A 及び図 1 0 B の製造プロセス 1 0 0 0 を、図 1 1 A ~ 図 1 1 G の例示的な製造段階 1 1 0 0 A ~ 1 1 0 0 G 及び図 1 のマルチダイ I C パッケージ 1 0 0 内の第 1 のダイパッケージ 1 0 4 (1) に関連して説明する。しかしながら、図 1 0 A 及び図 1 0 B の製造プロセス 1 0 0 0 は、図 1 のマルチダイ I C パッケージ 1 0 0 内の第 2 のダイパッケージ 1 0 4 (2) を製造するためにも採用され得ることに留意されたい。

10

【 0 0 4 3 】

この点に関して、図 1 1 A の例示的な製造段階 1 1 0 0 A に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 1 0 0 0 における第 1 のステップは、キャリア 1 1 0 2 を準備し、インターポーザ基板 1 1 8 (1) の形態として裏面 R D L 1 1 0 4 を形成することであり得る (図 1 0 A のブロック 1 0 0 2)。裏面 R D L 1 1 0 4 は、裏面 R D L 1 1 0 4 内の金属層の再配線によって形成された金属相互接続部 1 2 2 (1) を有する。図 1 1 B の例示的な製造段階 1 1 0 0 B に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 1 0 0 0 における次のステップは、それぞれの金属相互接続部 1 2 2 (1) と接触して裏面 R D L 1 1 0 4 上に第 1 の垂直相互接続部 1 1 0 (1) を形成して配置することである (図 1 0 A のブロック 1 0 0 4)。図 1 1 C の例示的な製造段階 1 1 0 0 C に示されるように、製造プロセス 1 0 0 0 における次のステップは、第 1 のダイ 1 0 2 (1) を裏面 R D L 1 1 0 4 上に配置して結合することであってもよく、第 1 のダイ 1 0 2 (1) の非アクティブ面 1 2 0 (1) が、裏面 R D L 1 1 0 4 上に配置される (図 1 0 A のブロック 1 0 0 6)。図 1 1 D の例示的な製造段階 1 1 0 0 D に示されるように、製造プロセス 1 0 0 0 における次のステップは、第 1 のダイ 1 0 2 (1) 及び第 1 の垂直相互接続部 1 1 0 (1) の上にモルディングコンパウンド材料 1 1 0 6 を配置して、パッケージモールド 1 1 0 8 を形成することであり得る (図 1 0 A のブロック 1 0 0 8)。

20

【 0 0 4 4 】

図 1 1 E の例示的な製造段階 1 1 0 0 E に示されるように、製造プロセス 1 0 0 0 における次のステップは、パッケージモールド 1 1 0 8 の上面 1 1 1 2 上に第 1 のパッケージ基板 1 1 4 (1) として表面 R D L 1 1 1 0 メタライゼーション層 (単数又は複数) を形成することであり得る (図 1 0 B のブロック 1 0 1 0)。これにより、キャリア 1 1 0 2 に取り付けられた第 1 のダイパッケージ 1 0 4 (1) が形成される。表面 R D L 1 1 1 0 内の金属相互接続部 1 1 6 (1) は、第 1 のダイパッケージ 1 0 4 (1) の裏面 R D L 1 1 0 4 から表面 R D L 1 1 1 0 への接続経路が存在するように、第 1 の垂直相互接続部 1 1 0 (1) に結合される。図 1 1 F の例示的な製造段階 1 1 0 0 F に示されるように、製造プロセス 1 0 0 0 における次のステップは、第 1 のダイパッケージ 1 0 4 (1) からキャリア 1 1 0 2 を除去することであり得る (図 1 0 B のブロック 1 0 1 2)。図 1 1 G の例示的な製造段階 1 1 0 0 G に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 1 0 0 0 における次のステップは、ダイパッケージ 1 0 4 (1) を反転し、表面 R D L 1 1 1 0 上に外部相互接続バンプ 1 0 8 を形成し、表面 R D L 1 1 1 0 内の金属相互接続部 1 1 6 (1) に結合することであり得る (図 1 0 B のブロック 1 0 1 4)。これは、図 1 に示されるように、第 1 のダイパッケージ 1 0 4 (1) が P C B 1 0 6 上に配置されて、P C B 1 0 6 に結合されるように準備するためである。

30

40

【 0 0 4 5 】

図 1 0 A 及び図 1 0 B の製造プロセスが第 2 のダイパッケージ 1 0 4 (2) を製造するために採用される場合、ブロック 1 0 1 4 及び図 1 1 F の製造段階 1 1 0 0 G において、外部相互接続バンプ 1 0 5 が第 2 のパッケージ基板 1 1 4 (2) として表面 R D L 1 1 1 0 上に形成され、表面 R D L 1 1 1 0 内の金属相互接続部 1 1 6 (2) に結合されること

50

に留意されたい。

【0046】

図12A及び図12Bは、図1のマルチダイICパッケージ100内の第1のダイパッケージ104(1)及び第2のダイパッケージ104(2)のいずれか又は両方であり得るダイパッケージを製造するための別の例示的な製造プロセス1200を示すフローチャートである。図13A～図13Gは、図12A及び図12Bの製造プロセス1200による、図1のマルチダイICパッケージ100内の第1のダイパッケージ104(1)及び／又は第2のダイパッケージ104(2)の製造中の例示的な製造段階1300A～1300Gである。以下で説明するように、製造プロセス1200では、ダイパッケージは、パッケージ基板及びインターポーザ基板として、メタライゼーション層としてのRDLを含む。ダイパッケージは、表面RDL上に第1の垂直相互接続部をインターポーザ基板として最初に形成することによって製造される。その後、ダイのアクティブ面及びモールド材料が、表面RDLに配置される。その後、裏面RDLがキャリア上に形成されてパッケージ基板を形成する。ダイパッケージ内の垂直相互接続部は、この例では表面RDLと裏面RDLとの間のRDL相互接続部の形態の金属相互接続部と接触して延びて、ダイパッケージ内に貫通接続部を提供する。図12A及び図12Bの製造プロセス1200を、図13A～図13Gの例示的な製造段階1300A～1300G及び図1のマルチダイICパッケージ100内の第1のダイパッケージ104(1)に関連して説明する。しかしながら、図12A及び図12Bの製造プロセス1200は、図1のマルチダイICパッケージ100内の第2のダイパッケージ104(2)を製造するためにも採用され得ることに留意されたい。

10

20

【0047】

この点に関して、図13Aの例示的な製造段階1300Aに示されるように、第1のダイパッケージ104(1)を製造するための製造プロセス1200における第1のステップは、キャリア1302を準備し、パッケージ基板114(1)の形態として表面RDL1310を形成することであり得る(図12Aのブロック1202)。表面RDL1310は、表面RDL1310内の金属層の再配線によって形成された金属相互接続部116(1)を有する。図13Bの例示的な製造段階1300Bに示されるように、第1のダイパッケージ104(1)を製造するための製造プロセス1200における次のステップは、それぞれの金属相互接続部116(1)と接触して表面RDL1310上に第1の垂直相互接続部110(1)を形成して配置することである(図12Aのブロック1204)。図13Cの例示的な製造段階1300Cに示されるように、製造プロセス1200における次のステップは、第1のダイ102(1)を表面RDL1310上に配置して結合することであってもよく、第1のダイ102(1)のアクティブ面121(1)が、表面RDL1310上に配置される(図12Aのブロック1206)。図13Dの例示的な製造段階1300Dに示されるように、製造プロセス1200における次のステップは、第1のダイ102(1)及び第1の垂直相互接続部110(1)の上にモルディングコンパウンド材料1306を配置して、パッケージモールド1308を形成することであり得る(図12Aのブロック1208)。

30

【0048】

図13Eの例示的な製造段階1300Eに示されるように、製造プロセス1200における次のステップは、パッケージモールド1308の上面1312上にインターポーザ基板として裏面RDL1304メタライゼーション層(単数又は複数)を形成することであり得る(図12Bのブロック1210)。これにより、キャリア1302に取り付けられた第1のダイパッケージ104(1)が形成される。裏面RDL1304内の金属相互接続部122(1)は、第1のダイパッケージ104(1)の表面RDL1310から裏面RDL1304への接続経路が存在するように、第1の垂直相互接続部110(1)に結合される。図13Fの例示的な製造段階1300Fに示されるように、製造プロセス1200における次のステップは、第1のダイパッケージ104(1)からキャリア1302を除去することであり得る(図12Bのブロック1212)。図13Gの例示的な製造段

40

50

階 1 3 0 0 G に示されるように、第 1 のダイパッケージ 1 0 4 (1) を製造するための製造プロセス 1 2 0 0 における次のステップは、表面 R D L 1 3 1 0 上に外部相互接続バンプ 1 0 8 を形成し、表面 R D L 1 3 1 0 内の金属相互接続部 1 1 6 (1) に結合することであり得る (図 1 2 B のブロック 1 2 1 4) 。これは、図 1 に示されるように、第 1 のダイパッケージ 1 0 4 (1) が P C B 1 0 6 上に配置されて、P C B 1 0 6 に結合されるように準備するためである。表面 R D L 1 3 1 0 が図 1 2 A 及び図 1 2 B の製造プロセス 1 2 0 0 において最初に形成されるため、第 1 のダイパッケージ 1 0 4 (1) は、ステップ 1 0 1 4 における製造プロセス 1 0 0 0 でのように反転される必要がないことに留意されたい。

【 0 0 4 9 】

10

図 1 2 A 及び図 1 2 B の製造プロセスが第 2 のダイパッケージ 1 0 4 (2) を製造するために採用される場合、ブロック 1 2 1 4 及び図 1 3 G の製造段階 1 3 0 0 G において、外部相互接続バンプ 1 0 5 が第 2 のパッケージ基板 1 1 4 (2) として表面 R D L 1 3 1 0 上に形成され、表面 R D L 1 3 1 0 の金属相互接続部 1 1 6 (2) に結合されることに留意されたい。

【 0 0 5 0 】

上述したように、図 1 のマルチダイ I C パッケージ 1 0 0 内のダイパッケージ 1 0 4 (1) ~ 1 0 4 (3) は、別々に製造及び試験され、次いで最終ステップとしてマルチダイ I C パッケージ 1 0 0 に組み立てられ得る。これは、図 1 4 A ~ 図 1 4 D - 2 の例示的なアセンブリ段階 1 4 0 0 A ~ 1 4 0 0 D 2 に示されている。図 1 4 A のアセンブリ段階 1 4 0 0 A は、製造された第 3 のダイパッケージ 1 0 4 (3) を提供するためのものである。図 1 4 B のアセンブリ段階 1 4 0 0 B は、第 3 のダイパッケージ 1 0 4 (3) が結合され得る、製造された第 2 のダイパッケージ 1 0 4 (2) を提供するためのものである。図 1 4 C - 1 のアセンブリ段階 1 4 0 0 C - 1 は、上述したように、オプションとして第 1 のインターポーザ基板 1 1 8 (1) を含まない、製造された第 1 のダイパッケージ 1 0 4 (1) (1) を提供するためのものである。アセンブリ段階 1 4 0 0 C - 1 、 1 4 0 0 B 、及び 1 4 0 0 A における第 1 のダイパッケージ 1 0 4 (1) (1) 、第 2 のダイパッケージ 1 0 4 (2) 、及び第 3 のダイパッケージ 1 0 4 (3) は、垂直方向 (Z 軸方向) において互いに結合されて、第 1 のインターポーザ基板 1 1 8 (1) を含まない第 1 のダイパッケージ 1 0 4 (1) (1) を含む、図 1 4 D - 1 に示されるマルチダイ I C パッケージ 1 0 0 (1) を形成することができる。熱伝導性材料 1 3 2 は、第 1 のダイパッケージ 1 0 4 (1) (1) 上に第 2 のダイパッケージ 1 0 4 (2) を配置することによって形成されるキャビティ 1 2 8 内に配置され得る。

20

30

【 0 0 5 1 】

代替的に、図 1 4 C - 2 のアセンブリ段階 1 4 0 0 C - 2 は、上述したように、オプションとして第 1 のインターポーザ基板 1 1 8 (1) を含む、製造された第 1 のダイパッケージ 1 0 4 (1) (2) を提供するためのものである。アセンブリ段階 1 4 0 0 C - 2 、 1 4 0 0 B 、及び 1 4 0 0 A における第 1 のダイパッケージ 1 0 4 (1) (2) 、第 2 のダイパッケージ 1 0 4 (2) 、及び第 3 のダイパッケージ 1 0 4 (3) は、垂直方向 (Z 軸方向) において互いに結合されて、第 1 のインターポーザ基板 1 1 8 (1) を有する第 1 のダイパッケージ 1 0 4 (1) (2) を含む、図 1 4 D - 2 に示されるマルチダイ I C パッケージ 1 0 0 (2) を形成することができる。熱伝導性材料 1 3 2 は、第 1 のダイパッケージ 1 0 4 (1) (1) 上に第 2 のダイパッケージ 1 0 4 (2) を配置することによって形成されるキャビティ 1 2 8 内に配置され得る。

40

【 0 0 5 2 】

マルチダイ I C パッケージ 1 0 0 内の第 1 のダイパッケージ 1 0 4 (1) 、第 2 のダイパッケージ 1 0 4 (2) 、及び／又は第 3 のダイパッケージ 1 0 4 (3) を製造するために他のプロセスを使用することができ、又は任意の他のマルチダイ I C パッケージが、それぞれの別個のダイパッケージ内に設けられた分割ダイを含み、各ダイパッケージが、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供する

50

ために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含むことに留意されたい。別の例として、第1のダイパッケージ104(1)、第2のダイパッケージ104(2)、及び／又は第3のダイパッケージ104(3)は、既知のようなモールド電子パッケージ(MEP)製造プロセスを使用してMEPとして製造され得る。別の例として、第1のダイパッケージ104(1)、第2のダイパッケージ104(2)、及び／又は第3のダイパッケージ104(3)は、既知のウェハレベルパッケージ(WLP)製造プロセスを使用してWLPとして製造され得る。RDLは、上述したように、パッケージサブステート及び／若しくはインターポーザサブステートに含まれるように、並びに／又はパッケージサブステート及び／若しくはインターポーザサブステートを提供するように製造され得る。第1のダイパッケージ104(1)、第2のダイパッケージ104(2)、及び／又は第3のダイパッケージ104(3)はまた、マルチダイICパッケージ100をPOPとして形成するために、パッケージオンパッケージ(POP)プロセスを使用して互いに結合され得る。

10

【0053】

各ダイパッケージが、図1～図2BのICパッケージを含むがこれらに限定されない、図3～図14D-2の例示的な製造プロセス及び製造段階のいずれかによる、信号ルーティング(例えば、I/O及び／又は電源信号ルーティング)用の相互接続部のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む、それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージが、任意のプロセッサベースのデバイス内に設けられるか、又はその中に一体化され得る。例として、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、全地球測位システム(GPS)デバイス、モバイルフォン、携帯電話、スマートフォン、セッション開始プロトコル(SIP)フォン、タブレット、ファブレット、サーバ、コンピュータ、ポータブルコンピュータ、モバイルコンピューティングデバイス、ウェアラブルコンピューティングデバイス(例えば、スマートウォッチ、ヘルス又はフィットネストラッカ、アイウェアなど)、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビ、チューナー、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、ポータブルデジタルビデオプレーヤ、自動車、車両部品、アビオニクスシステム、ドローン、及びマルチコプターが挙げられる。

20

30

【0054】

この点に関して、図15は、それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージ1502を含むIC内に設けられ得る回路を含むプロセッサベースのシステム1500の一例を示し、各ダイパッケージは、図1～図2BのICパッケージを含むがこれらに限定されず、図3～図14D-2の例示的な製造プロセス及び製造段階のいずれかによる、及び本明細書で開示する任意の態様による、信号ルーティング(例えば、I/O及び／又は電源信号ルーティング)のための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。この例では、プロセッサベースのシステム1500は、マルチダイICパッケージ1502内のIC1504として、及びシステムオンチップ(SoC)1506として形成されてもよい。プロセッサベースのシステム1500は、CPUコア又はプロセッサコアとも呼ばれ得る、1つ以上のプロセッサ1510を含む中央処理ユニット(CPU)1508を含む。CPU1508は、一時的に記憶されたデータに迅速にアクセスするためにCPU1508に結合されたキャッシュメモリ1512を有してもよい。CPU1508は、システムバス1514に結合され、プロセッサベースのシステム1500内に含まれるマスタデバイスとスレーブデバイスとを相互結合することができる。周知のように、CPU1508は、システムバス1514を介してアドレス情報、制御情報、及びデータ情報を交換することによって、これらの他のデバイ

40

50

スと通信する。例えば、CPU1508は、スレーブデバイスの一例として、メモリコントローラ1516にバストランザクション要求を通信することができる。図15には示されていないが、複数のシステムバス1514を提供することができ、各システムバス1514は、異なるファブリックを構成する。

【0055】

他のマスタデバイス及びスレーブデバイスをシステムバス1514に接続することができる。図15に示されるように、これらのデバイスは、例として、メモリコントローラ1516及びメモリアレイ（単数又は複数）1518を含むメモリシステム1520と、1つ以上の入力デバイス1522と、1つ以上の出力デバイス1524と、1つ以上のネットワークインターフェースデバイス1526と、1つ以上のディスプレイコントローラ1528と、を含み得る。メモリシステム1520、1つ以上の入力デバイス1522、1つ以上の出力デバイス1524、1つ以上のネットワークインターフェースデバイス1526、及び1つ以上のディスプレイコントローラ1528の各々は、同じ又は異なるマルチダイICパッケージ1502（1）～1502（5）に設けられ得る。入力デバイス（単数又は複数）1522は、入力キー、スイッチ、ボイスプロセッサなどを含むが、それらに限定されない、任意のタイプの入力デバイスを含むことができる。出力デバイス（単数又は複数）1524は、オーディオ、ビデオ、他の視覚インジケータなどを含むが、それらに限定されない、任意のタイプの出力デバイスを含むことができる。ネットワークインターフェースデバイス（単数又は複数）1526は、ネットワーク1530への、及びネットワーク1530からのデータの交換を可能にするように構成された任意のデバイスであり得る。ネットワーク1530は、有線ネットワーク又は無線ネットワーク、プライベートネットワーク又はパブリックネットワーク、ローカルエリアネットワーク（LAN）、無線ローカルエリアネットワーク（WLAN）、ワイドエリアネットワーク（WAN）、BLUETOOTH（登録商標）ネットワーク、及びインターネットを含むが、それらに限定されない、任意のタイプのネットワークであり得る。ネットワークインターフェースデバイス（単数又は複数）1526は、所望の任意のタイプの通信プロトコルをサポートするように構成され得る。

【0056】

CPU1508はまた、システムバス1514を介してディスプレイコントローラ（単数又は複数）1528にアクセスして、1つ以上のディスプレイ1532に送られる情報を制御するように構成され得る。ディスプレイコントローラ（単数又は複数）1528は、1つ以上のビデオプロセッサ1534を介して表示されるように情報をディスプレイ（単数又は複数）1532へ送信し、ビデオプロセッサ1534は、表示されるべき情報を処理してディスプレイ（単数又は複数）1532に適したフォーマットにする。ディスプレイコントローラ（単数又は複数）1528及びビデオプロセッサ（単数又は複数）1534は、同じ又は異なるマルチダイICパッケージ1502内に、一例としてCPU1508を含む同じ又は異なるマルチダイICパッケージ1502内に、ICとして含まれ得る。ディスプレイ（単数又は複数）1532は、陰極線管（CRT）、液晶ディスプレイ（LCD）、プラズマディスプレイ、発光ダイオード（LED）ディスプレイなどを含むが、それらに限定されない、任意のタイプのディスプレイを含むことができる。

【0057】

図16は、1つ以上のIC1602から形成された無線周波数（RF）構成要素を含む例示的な無線通信デバイス1600を示し、IC1602のいずれかは、それぞれの別個のダイパッケージ内に設けられた分割ダイを含むマルチダイICパッケージ1603内に含まれてもよく、各ダイパッケージは、図1～図2BのICパッケージを含むがこれらに限定されない、図3～図14D-2の例示的な製造プロセス及び製造段階のいずれかによる、及び本明細書で開示される任意の態様による、信号ルーティングのための相互接続のための、ダイパッケージを通る貫通接続部を提供するために、各ダイパッケージのそれぞれのダイに隣接して配置された垂直相互接続部を含む。無線通信デバイス1600は、例として、上記のデバイスのうちのいずれかを含んでもよい、又は上記のデバイスのうちの

いずれかの中に設けられてもよい。図 16 に示されるように、無線通信デバイス 1600 は、トランシーバ 1604 及びデータプロセッサ 1606 を含む。データプロセッサ 1606 は、データ及びプログラムコードを記憶するためのメモリを含み得る。トランシーバ 1604 は、双方向通信をサポートする送信機 1608 及び受信機 1610 を含む。一般に、無線通信デバイス 1600 は、任意の数の通信システム及び周波数帯域用に任意の数の送信機 1608 及び／又は受信機 1610 を含み得る。トランシーバ 1604 の全部又は一部は、1 つ以上のアナログ IC、RF IC (RFIC)、ミックスドシグナル IC などの上に実装され得る。

【0058】

送信機 1608 又は受信機 1610 は、スーパーヘテロダインアーキテクチャ又はダイレクトコンバージョンアーキテクチャで実装され得る。スーパーヘテロダインアーキテクチャでは、信号は、受信機 1610 の複数の段階において RF とベースバンドとの間で、例えば、1 つの段階において RF から中間周波数 (IF) に、次いで別の段階において IF からベースバンドに周波数変換される。ダイレクトコンバージョンアーキテクチャでは、信号は、1 つの段階において、RF とベースバンドとの間で周波数変換される。スーパーヘテロダインアーキテクチャ及びダイレクトコンバージョンアーキテクチャは、異なる回路ブロックを使用すること、及び／又は異なる要件を有することがある。図 16 の無線通信デバイス 1600 では、送信機 1608 及び受信機 1610 は、ダイレクトコンバージョンアーキテクチャで実装される。

【0059】

送信経路では、データプロセッサ 1606 は、送信されるべきデータを処理し、送信機 1608 に I 及び Q アナログ出力信号を提供する。例示的な無線通信デバイス 1600 では、データプロセッサ 1606 は、データプロセッサ 1606 により生成されるデジタル信号を、更なる処理のために、I 及び Q アナログ出力信号、例えば I 及び Q 出力電流へと変換するためのデジタルアナログ変換器 (DAC) 1612 (1) 及び 1612 (2) を含む。

【0060】

送信機 1608 内では、ローパスフィルタ 1614 (1) 及び 1614 (2) が、それぞれ、I 及び Q アナログ出力信号をフィルタリングして、前のデジタルアナログ変換によって引き起こされた不要な信号を除去する。増幅器 (AMP) 1616 (1)、1616 (2) は、それぞれ、ローパスフィルタ 1614 (1)、1614 (2) からの信号を増幅し、I 及び Q ベースバンド信号を供給する。アップコンバータ 1618 は、送信 (TX) 局発振器 (LO) 信号発生器 1622 からミキサ 1620 (1)、1620 (2) を通る I 及び Q TX LO 信号を用いて、I 及び Q ベースバンド信号をアップコンバートして、アップコンバートされた信号 1624 を提供する。フィルタ 1626 は、アップコンバートされた信号 1624 をフィルタリングして、周波数アップコンバージョンにより引き起こされた不要な信号並びに受信周波数帯域中の雑音を除去する。電力増幅器 (PA) 1628 は、所望の出力電力レベルを取得するためにフィルタ 1626 からのアップコンバートされた信号 1624 を増幅して、送信 RF 信号を提供する。送信 RF 信号は、デュプレクサ又はスイッチ 1630 を通してルーティングされ、アンテナ 1632 を介して送信される。

【0061】

受信経路では、アンテナ 1632 は、基地局によって送信された信号を受信し、受信した RF 信号を提供し、RF 信号は、デュプレクサ又はスイッチ 1630 を通してルーティングされ、低雑音増幅器 (LNA) 1634 に提供される。デュプレクサ又はスイッチ 1630 は、受信 (RX) 信号が TX 信号から分離されるように、特定の RX から TX へのデュプレクサ周波数分離で動作するように設計されている。望ましい RF 入力信号を取得するために、受信した RF 信号は、LNA 1634 によって増幅され、フィルタ 1636 によってフィルタリングされる。ダウンコンバージョンミキサ 1638 (1)、1638 (2) は、フィルタ 1636 の出力を、RX LO 信号発生器 1640 からの I 及び Q

10

20

30

40

50

R X L O 信号（すなわち、L O _ I 及び L O _ Q）と混合して、I 及び Q ベースバンド信号を生成する。I 及び Q ベースバンド信号は、A M P 1 6 4 2（1）、1 6 4 2（2）によって増幅され、更にローパスフィルタ 1 6 4 4（1）、1 6 4 4（2）によってフィルタリングされて I 及び Q アナログ入力信号が取得され、これらがデータプロセッサ 1 6 0 6 に提供される。この例では、データプロセッサ 1 6 0 6 は、データプロセッサ 1 6 0 6 によって更に処理されるようにアナログ入力信号をデジタル信号に変換するためのアナログデジタル変換器（A D C）1 6 4 6（1）、1 6 4 6（2）を含む。

【0062】

図 1 6 の無線通信デバイス 1 6 0 0 では、T X L O 信号発生器 1 6 2 2 は、周波数アップコンバージョンに使用される I 及び Q T X L O 信号を生成し、R X L O 信号発生器 1 6 4 0 は、周波数ダウンコンバージョンに使用される I 及び Q R X L O 信号を生成する。各 L O 信号は、特定の基本周波数を有する周期信号である。T X 位相ロックループ（P L L）回路 1 6 4 8 は、データプロセッサ 1 6 0 6 からタイミング情報を受信し、T X L O 信号発生器 1 6 2 2 からの T X L O 信号の周波数及び／又は位相を調整するために使用される制御信号を生成する。同様に、R X P L L 回路 1 6 5 0 は、データプロセッサ 1 6 0 6 からタイミング情報を受信し、R X L O 信号発生器 1 6 4 0 からの R X L O 信号の周波数及び／又は位相を調整するために使用される制御信号を生成する。

【0063】

本明細書において開示される態様に関連して説明された種々の例示的な論理ブロック、モジュール、回路、及びアルゴリズムが、電子ハードウェアとして、メモリ内に若しくは別のコンピュータ可読媒体内に記憶され、プロセッサ若しくは他の処理デバイスによって実行される命令として、又は両方の組み合わせとして実装される場合があることは、当業者には更に理解されよう。本明細書で開示するメモリは、任意のタイプ及びサイズのメモリであってもよく、所望の任意のタイプの情報を記憶するように構成されてもよい。この互換性について明確に説明するために、様々な例示的な構成要素、ブロック、モジュール、回路、及びステップについて、上記では概してそれらの機能に関して説明してきた。そのような機能がどのように実装されるかは、特定の適用例、設計上の選択、及び／又はシステム全体に課される設計制約によって決まる。当業者は、説明する機能を特定の用途ごとに様々な方法で実装し得るが、そのような実装決定は、本開示の範囲からの逸脱を引き起こすものと解釈されるべきではない。

【0064】

本明細書で開示する態様に関連して説明した様々な例示的な論理ブロック、モジュール、及び回路は、プロセッサ、デジタル信号プロセッサ（D S P）、特定用途向け集積回路（A S I C）、フィールドプログラマブルゲートアレイ（F P G A）若しくは他のプログラマブル論理デバイス、ディスクリートゲート若しくはトランジスタ論理、ディスクリートハードウェア構成要素、又は本明細書で説明する機能を実行するように設計されたそれらの任意の組み合わせを用いて実装又は実行され得る。プロセッサは、マイクロプロセッサであってもよいが、代替としてプロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであってもよい。プロセッサはまた、コンピューティングデバイスの組み合わせ（例えば、D S P 及びマイクロプロセッサの組み合わせ、複数のマイクロプロセッサ、D S P コアと連携する 1 つ以上のマイクロプロセッサ、又は任意の他のそのような構成）として実装されてもよい。

【0065】

本明細書で開示する態様は、ハードウェアにおいて具現化されてもよい、及びハードウェア内に記憶され、例えば、ランダムアクセスメモリ（R A M）、フラッシュメモリ、リードオンリーメモリ（R O M）、電氣的プログラマブル R O M（E P R O M）、電氣的消去可能プログラマブル R O M（E E P R O M）、レジスタ、ハードディスク、リムーバブルディスク、C D - R O M、又は当技術分野において知られている任意の他の形態のコンピュータ可読媒体の中に存在し得る命令において具現化されてもよい。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取ること及び記憶媒体に情報を書き込むことが

できるように、プロセッサに結合される。代替として、記憶媒体はプロセッサと一体化され得る。プロセッサ及び記憶媒体は、A S I Cの中に存在してもよい。A S I Cは、リモート局の中に存在してもよい。代替として、プロセッサ及び記憶媒体は、ディスクリット構成要素として、リモート局、基地局、又はサーバの中に存在してもよい。

【0066】

本明細書の例示的な態様のいずれかで説明した動作ステップが、例及び説明を提供するために記載されていることにも留意されたい。説明する動作は、図示の順序以外の多数の異なる順序において実施され得る。更に、単一の動作ステップにおいて記載した動作は、実際にはいくつかの異なるステップにおいて実施され得る。加えて、例示的な態様において説明された1つ以上の動作ステップは組み合わせられる場合がある。当業者には容易に明らかになるように、フローチャート図に示される動作ステップには多数の異なる変更がなされる場合があることを理解されたい。当業者であれば、様々な異なる技術及び技法のいずれかを使用して情報及び信号が表され得ることも理解するであろう。例えば、上記の説明全体にわたって言及され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場若しくは磁性粒子、光場若しくは光学粒子、又はそれらの任意の組み合わせによって表されてもよい。

【0067】

本開示の上記の説明は、あらゆる当業者が本開示を作成又は使用することが可能となるように提供される。本開示に対する様々な変更は当業者には容易に明らかであり、本明細書で定義される一般原理は他の例に適用され得る。したがって、本開示は、本明細書で説明する例及び設計に限定することを意図するものでなく、本明細書で開示する原理及び新規の特徴と一致する最も広い範囲を与えられるべきである。

【0068】

以下の番号付きの条項において、実装例について説明する。

1.

第1のダイパッケージであって

第1のパッケージ基板と、

第1のパッケージ基板に結合された第1のダイと、

水平方向において第1のダイに隣接して配置された複数の第1の垂直相互接続部であって、複数の第1の垂直相互接続部の各々が、第1のパッケージ基板に結合されている、複数の第1の垂直相互接続部と、

を含む、第1のダイパッケージと、

垂直方向において第1のダイパッケージに隣接する第2のダイパッケージであって、

第2のパッケージ基板と、

第2のパッケージ基板に隣接して結合された第2のダイと、

水平方向において第2のダイに隣接して配置された複数の第2の垂直相互接続部であって、複数の第2の垂直相互接続部の各々が、第2のパッケージ基板に結合されている、複数の第2の垂直相互接続部と、

を含む、第2のダイパッケージと、

を備える、複数（マルチ）ダイ集積回路（IC）パッケージ。

【0069】

2. 第1のダイを通して配置され、かつ第2のダイを通して配置されたシリコン貫通垂直相互接続アクセス（ビア）（TSV）を更に備えない、条項1に記載のマルチダイICパッケージ。

【0070】

3.

第1のダイが、垂直方向において第1のパッケージ基板に隣接し、

第2のダイが、垂直方向において第2のパッケージ基板に隣接している、

条項1又は2に記載のマルチダイICパッケージ。

【0071】

10

20

30

40

50

4.

第1のパッケージ基板が、複数の第1の垂直相互接続部のうちの第1の垂直相互接続部に各々結合された1つ以上の第1の基板金属相互接続部を含む第1の基板メタライゼーション層を含み、

第1のダイが、1つ以上の第1のダイ相互接続部を複数の第1の垂直相互接続部のうちの1つ以上の第1の垂直相互接続部に結合するために、1つ以上の第1の基板金属相互接続部のうちの第1の基板金属相互接続部に各々結合された1つ以上の第1のダイ相互接続部を含み、

第2のパッケージ基板が、複数の第2の垂直相互接続部のうちの第2の垂直相互接続部に各々結合された1つ以上の第2の基板金属相互接続部を含む第2の基板メタライゼーション層を含み、

第2のダイが、1つ以上の第2のダイ相互接続部を複数の第2の垂直相互接続部のうちの1つ以上の第2の垂直相互接続部に結合するために、1つ以上の第2の基板金属相互接続部のうちの第2の基板金属相互接続部に各々結合された1つ以上の第2のダイ相互接続部を含む、

条項1～3のいずれかに記載のマルチダイICパッケージ。

【0072】

5.

第1の基板メタライゼーション層が、1つ以上の第1の再配線層(RDL)相互接続部を含む1つ以上の第1の基板金属相互接続部を含む第1の基板RDLを含み、

第2の基板メタライゼーション層が、1つ以上の第2のRDL相互接続部を含む1つ以上の第2の基板金属相互接続部を含む第2の基板RDLを含む、

条項4に記載のマルチダイICパッケージ。

【0073】

6.

第1のダイパッケージが、第1のダイに隣接して配置された第1のインターポーザ基板を更に含み、第1のダイが、垂直方向において第1のインターポーザ基板と第1のパッケージ基板との間に配置されており、

複数の第1の垂直相互接続部の各々が、第1のインターポーザ基板に結合されている、

条項1～5のいずれかに記載のマルチダイICパッケージ。

【0074】

7. 第1のダイが、第1のインターポーザ基板に追加的に結合されている、条項6に記載のマルチダイICパッケージ。

【0075】

8.

第2のダイパッケージが、第2のダイに隣接して配置された第2のインターポーザ基板を更に含み、第2のダイが、垂直方向において第2のインターポーザ基板と第2のパッケージ基板との間に配置されており、

複数の第2の垂直相互接続部の各々が、第2のインターポーザ基板に結合されている、

条項6又は7に記載のマルチダイICパッケージ。

【0076】

9. 第2のダイが、第2のインターポーザ基板に追加的に結合されている、条項8に記載のマルチダイICパッケージ。

【0077】

10.

第1のパッケージ基板が、複数の第1の垂直相互接続部のうちの第1の垂直相互接続部に各々結合された1つ以上の第1の基板金属相互接続部を含む第1の基板メタライゼーション層を含み、

第1のインターポーザ基板が、1つ以上の第1のインターポーザ金属相互接続部のうちの各第1のインターポーザ金属相互接続部を1つ以上の第1の基板金属相互接続部のうち

10

20

30

40

50

の各第 1 の基板金属相互接続部に結合するために、複数の第 1 の垂直相互接続部のうちの第 1 の垂直相互接続部に各々結合された 1 つ以上の第 1 のインターポーザ金属相互接続部を含む第 1 のインターポーザメタライゼーション層を含む、

条項 6 ～ 9 のいずれかに記載のマルチダイ IC パッケージ。

【 0 0 7 8 】

1 1 .

第 1 のパッケージ基板が、複数の第 1 の垂直相互接続部のうちの第 1 の垂直相互接続部に各々結合された 1 つ以上の第 1 の基板金属相互接続部を含む第 1 の基板メタライゼーション層を含み、

第 1 のインターポーザ基板が、1 つ以上の第 1 のインターポーザ金属相互接続部のうちの各第 1 のインターポーザ金属相互接続部を 1 つ以上の第 1 の基板金属相互接続部のうちの各第 1 の基板金属相互接続部に結合するために、複数の第 1 の垂直相互接続部のうちの第 1 の垂直相互接続部に各々結合された 1 つ以上の第 1 のインターポーザ金属相互接続部を含む第 1 のインターポーザメタライゼーション層を含み、

第 2 のパッケージ基板が、複数の第 2 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合された 1 つ以上の第 2 の基板金属相互接続部を含む第 2 の基板メタライゼーション層を含み、

第 2 のインターポーザ基板が、1 つ以上の第 2 のインターポーザ金属相互接続部のうちの各第 2 のインターポーザ金属相互接続部を 1 つ以上の第 2 の基板金属相互接続部のうちの各第 2 の基板金属相互接続部に結合するために、複数の第 2 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合された 1 つ以上の第 2 のインターポーザ金属相互接続部を含む第 2 のインターポーザメタライゼーション層を含む、

条項 8 又は 9 に記載のマルチダイ IC パッケージ。

【 0 0 7 9 】

1 2 . 第 1 のダイパッケージ及び第 2 のダイパッケージに結合された複数の相互接続バンプを更に備え、

複数の相互接続バンプが、第 1 のダイパッケージ内の複数の第 1 の垂直相互接続部のうちの第 1 の垂直相互接続部を、第 2 のダイパッケージ内の複数の第 1 の垂直相互接続部のうちの第 2 の垂直相互接続部に各々結合している、条項 1 ～ 1 1 のいずれかに記載のマルチダイ IC パッケージ。

【 0 0 8 0 】

1 3 . 第 1 のダイパッケージと第 2 のダイパッケージとの間に形成されたキャビティを更に備え、

複数の相互接続バンプが、キャビティ内に配置されている、条項 1 2 に記載のマルチダイ IC パッケージ。

【 0 0 8 1 】

1 4 . キャビティ内に配置された熱伝導性材料を更に備える、条項 1 3 に記載のマルチダイ IC パッケージ。

【 0 0 8 2 】

1 5 .

第 1 のダイが、第 1 のパッケージ基板に隣接する第 1 のアクティブ面を含み、

第 2 のダイが、第 2 のパッケージ基板に隣接する第 2 のアクティブ面を含み、

第 1 のダイが、第 1 の非アクティブ面を更に含み、

第 2 のダイが、第 1 の非アクティブ面に隣接する第 2 の非アクティブ面を更に含む、

条項 1 ～ 1 4 のいずれかに記載のマルチダイ IC パッケージ。

【 0 0 8 3 】

1 6 .

第 1 のダイが、第 1 のパッケージ基板に隣接する第 1 のアクティブ面を含み、

第 2 のダイが、第 2 のパッケージ基板に隣接する第 2 の非アクティブ面を含み、

第 1 のダイが、第 1 の非アクティブ面を更に含み、

第 2 のダイが、第 1 の非アクティブ面に隣接する第 2 のアクティブ面を更に含む、
条項 1 ～ 1 4 のいずれかに記載のマルチダイ I C パッケージ。

【 0 0 8 4 】

1 7 .

第 1 のダイが、第 1 のパッケージ基板に隣接する第 1 の非アクティブ面を含み、
第 2 のダイが、第 2 のパッケージ基板に隣接する第 2 のアクティブ面を含み、
第 2 のダイが、第 2 の非アクティブ面を更に含む、
第 1 のダイが、第 2 の非アクティブ面に隣接する第 2 のアクティブ面を更に含む、
条項 1 に記載のマルチダイ I C パッケージ。

【 0 0 8 5 】

1 8 .

垂直方向において第 2 のダイパッケージに隣接する第 3 のダイパッケージであって、
第 2 のダイパッケージに結合された第 3 のパッケージ基板と、
垂直方向において第 3 のパッケージ基板に隣接する第 3 のダイであって、第 3 のパッ
ーパッケージ基板に結合されている、第 3 のダイと、
を含む、第 3 のダイパッケージ
を更に備える、条項 1 ～ 1 7 のいずれかに記載のマルチダイ I C パッケージ。

【 0 0 8 6 】

1 9 .

第 2 のパッケージ基板が、複数の第 2 の垂直相互接続部のうちの第 2 の垂直相互接続部
に各々結合された 1 つ以上の第 2 の基板金属相互接続部を含む第 2 の基板メタライゼー
ション層を含み、

第 3 のパッケージ基板が、1 つ以上の第 3 の基板金属相互接続部を複数の第 2 の垂直相
互接続部のうちの 1 つ以上に結合するために、1 つ以上の第 2 の基板金属相互接続部のう
ちの第 2 の基板金属相互接続部に各々結合された 1 つ以上の第 3 の基板金属相互接続部を
含む第 3 の基板メタライゼーション層を含む、

条項 1 8 に記載のマルチダイ I C パッケージ。

【 0 0 8 7 】

2 0 .

複数の第 1 の垂直相互接続部が、複数の第 1 の金属ピラーを含み、
複数の第 2 の垂直相互接続部が、複数の第 2 の金属ピラーを含む、
条項 1 ～ 1 9 のいずれかに記載のマルチダイ I C パッケージ。

【 0 0 8 8 】

2 1 .

第 1 のダイパッケージが、第 1 のモルディング材料を含み、
第 1 のダイが、第 1 のモルディング材料内に配置されており、
複数の第 1 の垂直相互接続部が、第 1 のモルディング材料内に配置された複数の第 1
のモールド貫通垂直相互接続アクセス（ビア）（T M V）を含み、

第 2 のダイパッケージが、第 2 のモルディング材料を含み、
第 2 のダイが、第 2 のモルディング材料内に配置されており、
複数の第 2 の垂直相互接続部が、第 2 のモルディング材料内に配置された複数の第 2
の T M V を含む、

条項 1 ～ 1 9 のいずれかに記載のマルチダイ I C パッケージ。

【 0 0 8 9 】

2 2 . セットトップボックスと、エンターテイメントユニットと、ナビゲーションデバ
イスと、通信デバイスと、固定ロケーションデータユニットと、モバイルロケーションデ
ータユニットと、全地球測位システム（G P S）デバイスと、モバイルフォンと、携帯電
話と、スマートフォンと、セッション開始プロトコル（S I P）フォンと、タブレットと
、ファブレットと、サーバと、コンピュータと、ポータブルコンピュータと、モバイルコ
ンピューティングデバイスと、ウェアラブルコンピューティングデバイスと、デスクトップ

10

20

30

40

50

ブコンピュータと、携帯情報端末（PDA）と、モニタと、コンピュータモニタと、テレビと、チューナーと、ラジオと、衛星ラジオと、音楽プレーヤと、デジタル音楽プレーヤと、ポータブル音楽プレーヤと、デジタルビデオプレーヤと、ビデオプレーヤと、デジタルビデオディスク（DVD）プレーヤと、ポータブルデジタルビデオプレーヤと、自動車と、車両部品と、アビオニクスシステムと、ドローンと、マルチコプターと、からなる群から選択されるデバイスに一体化された、条項 1 ～ 21 のいずれかに記載のマルチダイ IC パッケージ。

【0090】

23. 複数（マルチ）ダイ集積回路（IC）パッケージを製造する方法であって、
第 1 のダイパッケージを形成することであって、
第 1 のパッケージ基板を準備することと、
第 1 のダイを準備することと、
第 1 のダイを垂直方向において第 1 のパッケージ基板に結合することと、
第 1 のパッケージ基板に結合され、水平方向において第 1 のダイに隣接して配置された、
複数の第 1 の垂直相互接続部を形成することと、
を含む、第 1 のダイパッケージを形成することと、
第 2 のダイパッケージを形成することであって、
第 2 のパッケージ基板を準備することと、
第 2 のダイを準備することと、
第 2 のダイを垂直方向において第 2 のパッケージ基板に結合することと、
第 2 のパッケージ基板に結合され、水平方向において第 2 のダイに隣接して配置された、
複数の第 2 の垂直相互接続部を形成することと、
を含む、第 2 のダイパッケージを形成することと、
第 2 のダイパッケージを垂直方向において第 1 のダイパッケージに結合することと、
を含む、方法。

【0091】

24.
第 1 のダイを通るシリコン貫通垂直相互接続アクセス（ビア）（TSV）を形成しないことと、
第 2 のダイを通る TSV を形成しないことと、
を更に含む、条項 23 に記載の方法。

【0092】

25. 第 1 のダイパッケージを形成することが、
第 1 のインターポーザ基板を準備することと、
第 1 のダイを第 1 のインターポーザに結合することであって、第 1 のダイが、垂直方向において第 1 のインターポーザ基板と第 1 のパッケージ基板との間に結合される、第 1 のダイを第 1 のインターポーザに結合することと、
複数の第 1 の垂直相互接続部の各々を第 1 のインターポーザ基板に結合することと、
を更に含む、条項 23 又は 24 に記載の方法。

【0093】

26. 第 2 のダイパッケージを形成することが、
第 2 のインターポーザ基板を準備することと、
第 2 のインターポーザ基板を第 2 のダイに結合することであって、第 2 のダイが、垂直方向において第 2 のインターポーザ基板と第 2 のパッケージ基板との間に配置される、第 2 のインターポーザ基板を第 2 のダイに結合することと、
複数の第 2 の垂直相互接続部の各々を第 2 のインターポーザ基板に結合することと、
を更に含む、条項 25 に記載の方法。

【0094】

27. 第 2 のダイパッケージを垂直方向において第 1 のダイパッケージに結合することが、

第 1 のダイパッケージを複数の相互接続バンプに結合することと、
複数の相互接続バンプが垂直方向において第 1 のダイパッケージと第 2 のダイパッケージとの間に配置されるように、第 2 のダイパッケージを複数の相互接続バンプに結合することと、

を含む、条項 23 ～ 26 のいずれかに記載の方法。

【0095】

28. 第 1 のダイパッケージ及び第 2 のダイパッケージを複数の相互接続バンプに結合することが、第 1 のダイパッケージと第 2 のダイパッケージとの間にキャビティを形成し、複数の相互接続バンプがキャビティ内に配置される、条項 27 に記載の方法。

【0096】

29. キャビティ内に配置された熱伝導性材料を配置することを更に含む、条項 28 に記載の方法。

【0097】

30.

第 3 のダイパッケージを形成することであって、

第 3 のパッケージ基板を準備することと、

第 3 のダイを準備することと、

第 3 のダイを垂直方向において第 3 のパッケージ基板に結合することと、

を含む、第 3 のダイパッケージを形成することと、

第 3 のパッケージ基板を第 2 のダイパッケージ内の複数の第 2 の垂直相互接続部のうちの 1 つ以上の第 2 の垂直相互接続部に結合することと、

を更に含む、条項 23 ～ 29 のいずれかに記載の方法。

【0098】

31.

第 1 のダイパッケージを形成することが、第 1 のダイを第 1 のパッケージ基板に結合する前に、第 1 のパッケージ基板に結合された複数の第 1 の垂直相互接続部を形成することを含み、

第 2 のダイパッケージを形成することが、第 2 のダイを第 2 のパッケージ基板に結合する前に、第 2 のパッケージ基板に結合された複数の第 2 の垂直相互接続部を形成することを含む、条項 23 ～ 30 のいずれかに記載の方法。

【0099】

32.

第 1 のダイパッケージを形成することが、第 1 のパッケージ基板に結合された複数の第 1 の垂直相互接続部を形成する前に、第 1 のダイを第 1 のパッケージ基板に結合することを含み、

第 2 のダイパッケージを形成することが、第 2 のパッケージ基板に結合された複数の第 2 の垂直相互接続部を形成する前に、第 2 のダイを第 2 のパッケージ基板に結合することを含む、条項 23 ～ 30 のいずれかに記載の方法。

【0100】

33.

第 1 のパッケージ基板に結合された複数の第 1 の垂直相互接続部を形成することが、

第 1 のパッケージ基板及び第 1 のダイ上に第 1 のパッケージモールドを形成することと、

第 1 のパッケージモールドをパターニングして、第 1 のダイに隣接する第 1 のパッケージモールド内に第 1 の複数の開口部を形成することと、

第 1 の複数の開口部内に複数の第 1 の垂直相互接続部を形成することと、

第 1 の複数の開口部内の複数の第 1 の垂直相互接続部を第 1 のパッケージ基板に結合することと、

を含み、

第 2 のパッケージ基板に結合された複数の第 2 の垂直相互接続部を形成することが、

10

20

30

40

50

第 2 のパッケージ基板及び第 2 のダイ上に第 2 のパッケージモールドを形成することと、
第 2 のパッケージモールドをパターニングして、第 2 のダイに隣接する第 2 のパッケージモールド内に第 2 の複数の開口部を形成することと、
第 2 の複数の開口部内に複数の第 2 の垂直相互接続部を形成することと、
第 2 の複数の開口部内の複数の第 2 の垂直相互接続部を第 2 のパッケージ基板に結合することと、
を含む、
条項 3 2 に記載の方法。

【0101】

10

34.

第 1 のパッケージ基板に隣接する複数の第 1 の金属相互接続部を含む第 1 の裏面メタライゼーション層を形成することと、
第 2 のパッケージ基板に隣接する複数の第 2 の金属相互接続部を含む第 2 の裏面メタライゼーション層を形成することと、
を更に含む、

複数の第 1 の垂直相互接続部を形成することが、第 1 の裏面メタライゼーション層内の複数の第 1 の金属相互接続部のうちの第 1 の金属相互接続部に各々結合された複数の第 1 の垂直相互接続部を形成することを含み、

複数の第 2 の垂直相互接続部を形成することが、第 2 の裏面メタライゼーション層内の複数の第 2 の金属相互接続部のうちの第 2 の金属相互接続部に各々結合された複数の第 2 の垂直相互接続部を形成することを含む、

条項 2 3 ～ 3 0 のいずれかに記載の方法。

【0102】

35.

第 1 のダイを結合することが、第 1 のダイの第 1 の非アクティブ面を垂直方向において第 1 の裏面メタライゼーション層に結合することを含み、

第 2 のダイを結合することが、第 2 のダイの第 2 の非アクティブ面を垂直方向において第 2 の裏面メタライゼーション層に結合することを含む、

条項 3 4 に記載の方法。

【0103】

36.

第 1 のパッケージ基板を準備することが、第 1 のダイの第 1 のアクティブ面に隣接する複数の第 3 の金属相互接続部を含む第 1 の表面メタライゼーション層を形成することを更に含む、

第 1 のダイを第 1 のパッケージ基板に結合することが、第 1 のダイを垂直方向において複数の第 3 の金属相互接続部のうちの 1 つ以上の第 3 の金属相互接続部に結合することを含み、

第 2 のパッケージ基板を準備することが、第 2 のダイの第 2 のアクティブ面に隣接する複数の第 4 の金属相互接続部を含む第 2 の表面メタライゼーション層を形成することを更に含む、

第 2 のダイを第 2 のパッケージ基板に結合することが、第 2 のダイを垂直方向において複数の第 4 の金属相互接続部のうちの 1 つ以上の第 4 の金属相互接続部に結合することを含み、

複数の第 1 の垂直相互接続部を複数の第 3 の金属相互接続部のうちの 1 つ以上の他の第 3 の金属相互接続部に結合することと、

複数の第 2 の垂直相互接続部を複数の第 4 の金属相互接続部のうちの 1 つ以上の他の第 4 の金属相互接続部に結合することと、

を更に含む、条項 3 4 又は 3 5 に記載の方法。

【0104】

50

37.

第1のパッケージ基板を準備することが、複数の第1の金属相互接続部を含む第1の表面メタライゼーション層を形成することを更に含み、

複数の第1の垂直相互接続部を形成することが、第1の表面メタライゼーション層内の複数の第1の金属相互接続部のうちの第1の金属相互接続部に各々結合された複数の第1の垂直相互接続部を形成することを含み、

第2のパッケージ基板を準備することが、複数の第2の金属相互接続部を含む第2の表面メタライゼーション層を形成することを更に含み、

複数の第2の垂直相互接続部を形成することが、第2の表面メタライゼーション層内の複数の第2の金属相互接続部のうちの第2の金属相互接続部に各々結合された複数の第2の垂直相互接続部を形成することを含む、

条項23～30のいずれかに記載の方法。

【0105】

38.

第1のダイを結合することが、第1のダイの第1のアクティブ面を垂直方向において第1の表面メタライゼーション層に結合することを含み、

第2のダイを結合することが、第2のダイの第2のアクティブ面を垂直方向において第2の表面メタライゼーション層に結合することを含む、

条項37に記載の方法。

【0106】

39.

第1のダイの第1の非アクティブ面に隣接する複数の第3の金属相互接続部を含む第1の裏面メタライゼーション層を形成することと、

第1のダイを垂直方向において複数の第3の金属相互接続部のうちの1つ以上の第3の金属相互接続部に結合することと、

第2のダイの第2の非アクティブ面に隣接する複数の第4の金属相互接続部を含む第2の裏面メタライゼーション層を形成することと、

第2のダイを垂直方向において複数の第4の金属相互接続部のうちの1つ以上の第4の金属相互接続部に結合することと、

を更に含み、

複数の第1の垂直相互接続部を複数の第3の金属相互接続部のうちの1つ以上の他の第3の金属相互接続部に結合することと、

複数の第2の垂直相互接続部を複数の第4の金属相互接続部のうちの1つ以上の他の第4の金属相互接続部に結合することと、

を更に含む、条項37又は38に記載の方法。

10

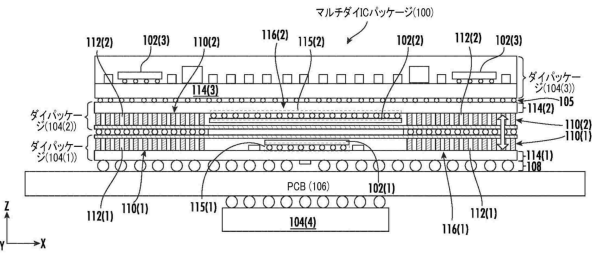
20

30

40

50

【図面】
【図 1】



【図 2 A】

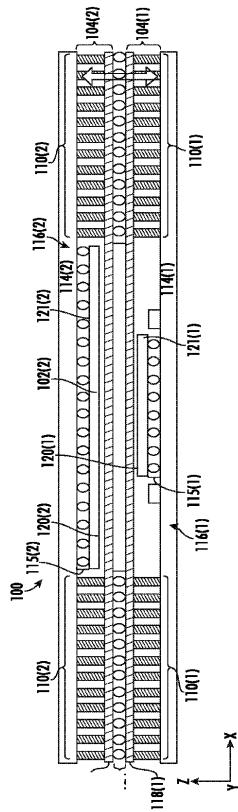


FIG. 2A

10

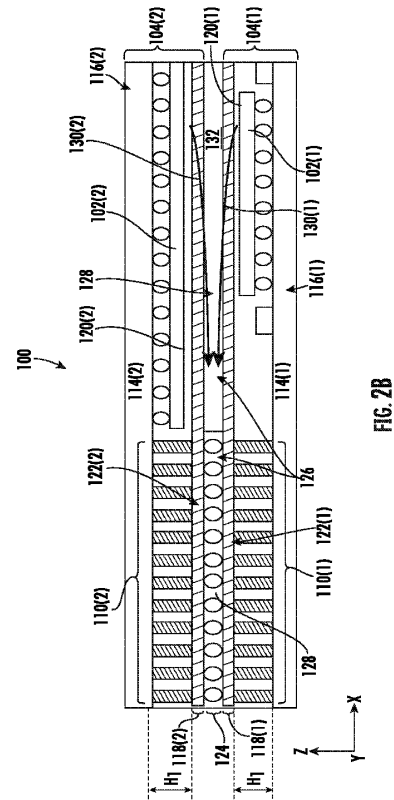
20

30

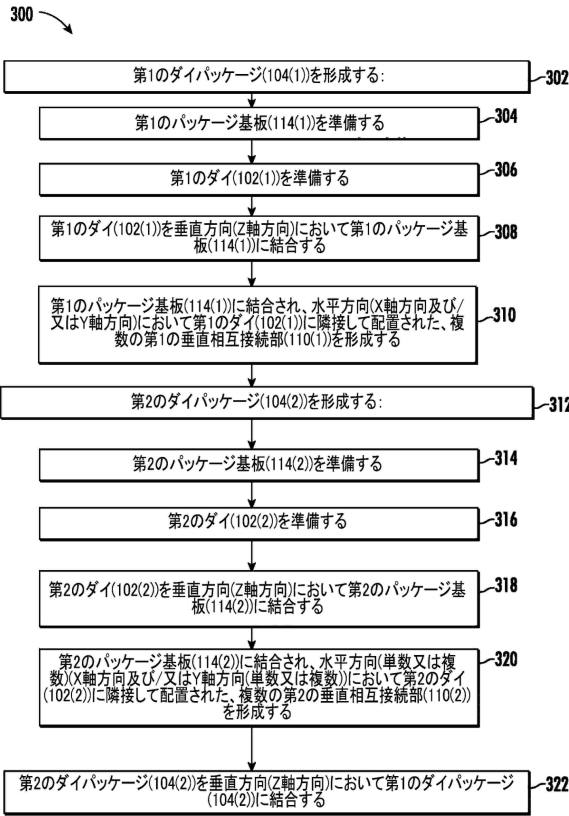
40

50

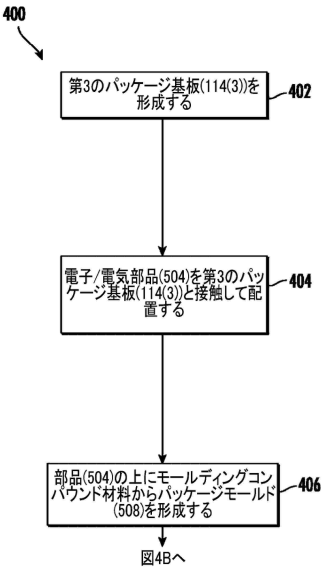
【図 2 B】



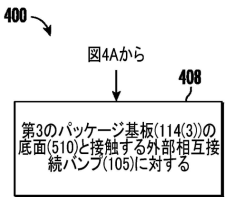
【図 3】



【図 4 A】



【図 4 B】



10

20

30

40

50

【 図 5 A 】

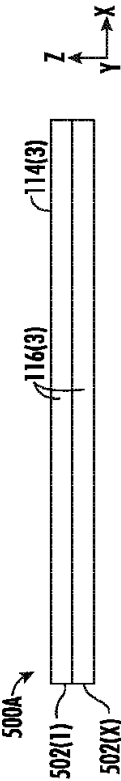


FIG. 5A

【 図 5 B 】

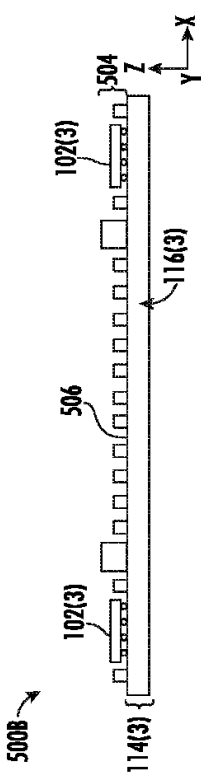


FIG. 5B

【 図 5 C 】

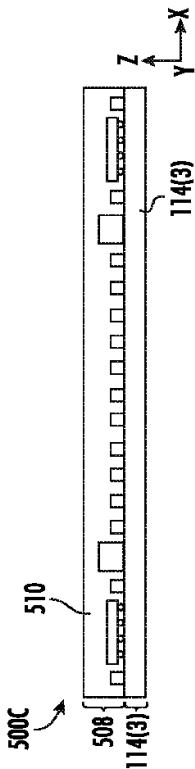


FIG. 5C

【 図 5 D 】

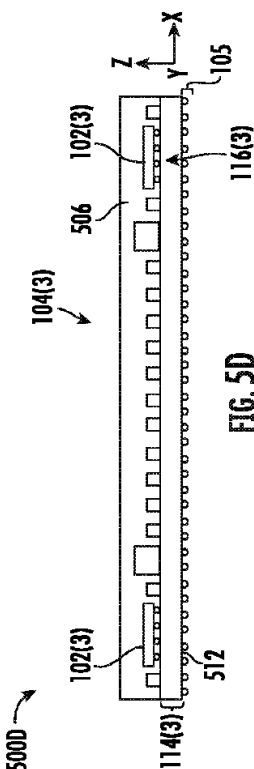


FIG. 5D

10

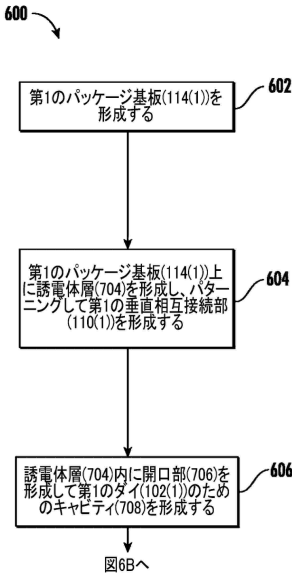
20

30

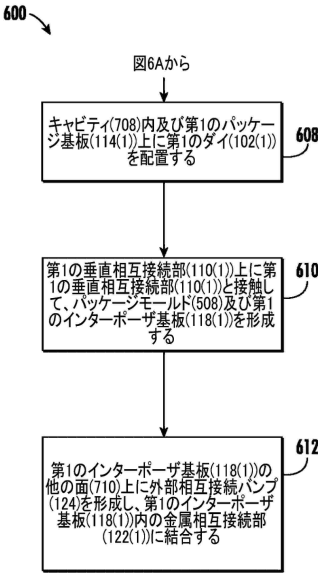
40

50

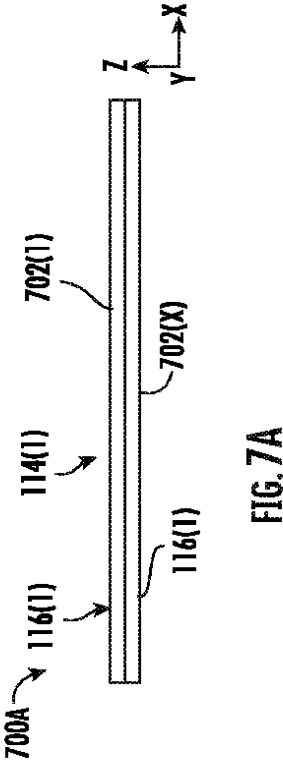
【図 6 A】



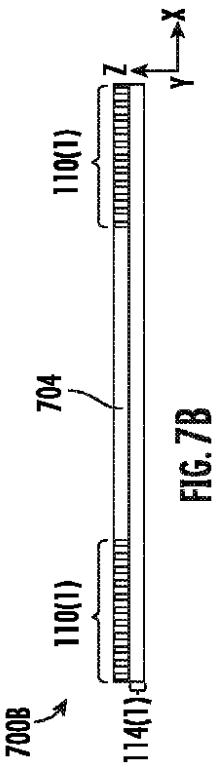
【図 6 B】



【図 7 A】



【図 7 B】



10

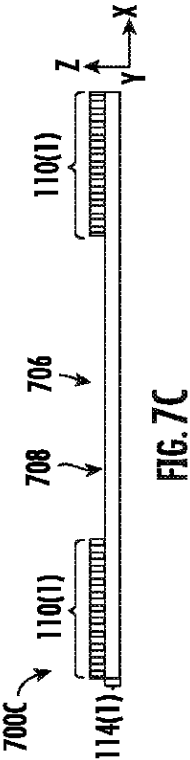
20

30

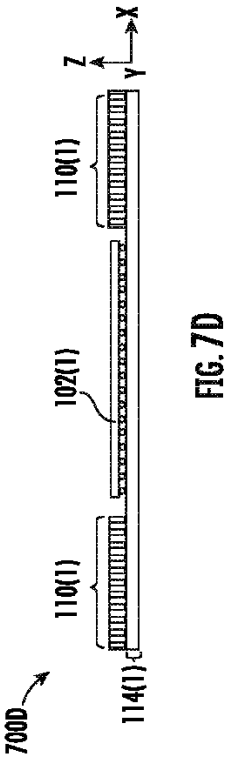
40

50

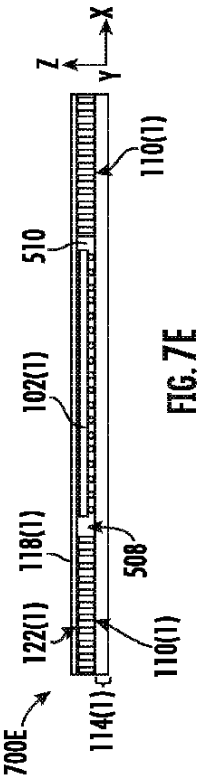
【図 7 C】



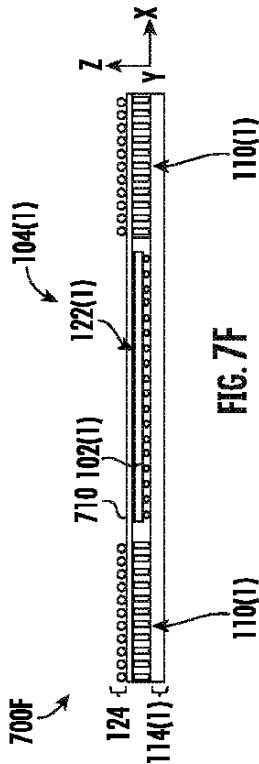
【図 7 D】



【図 7 E】



【図 7 F】



10

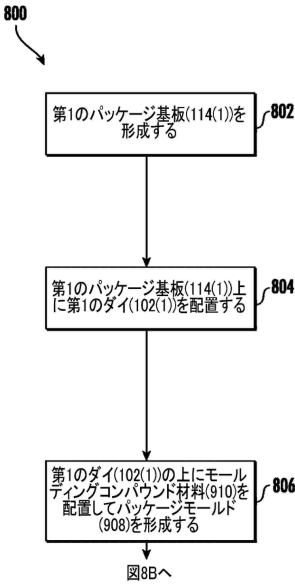
20

30

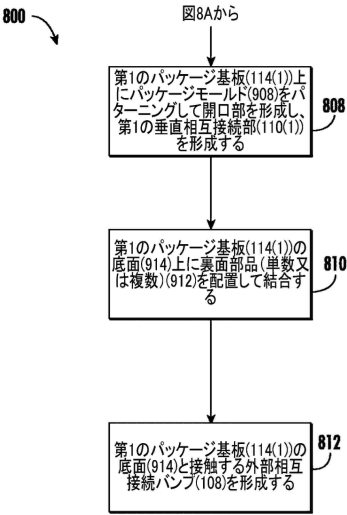
40

50

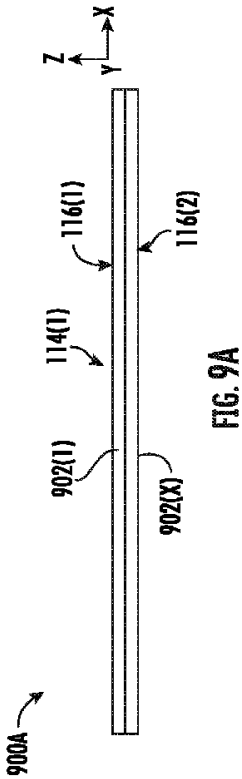
【図 8 A】



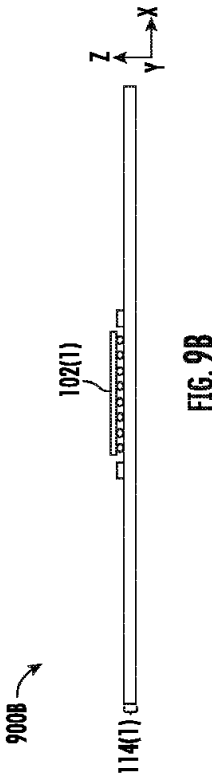
【図 8 B】



【図 9 A】



【図 9 B】



10

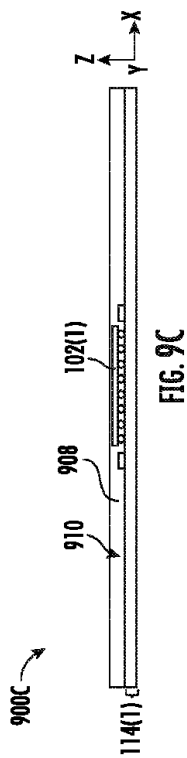
20

30

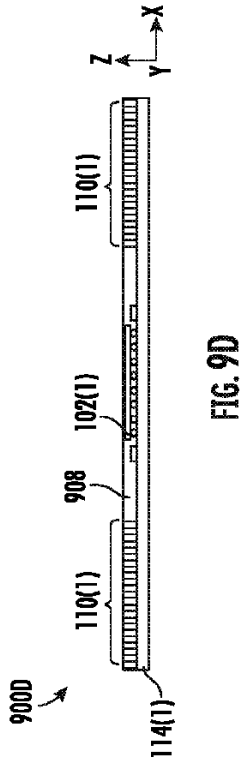
40

50

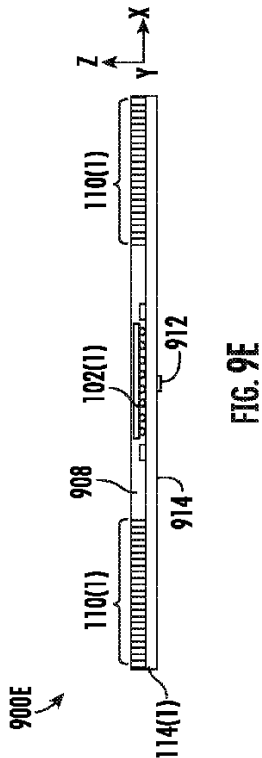
【図 9 C】



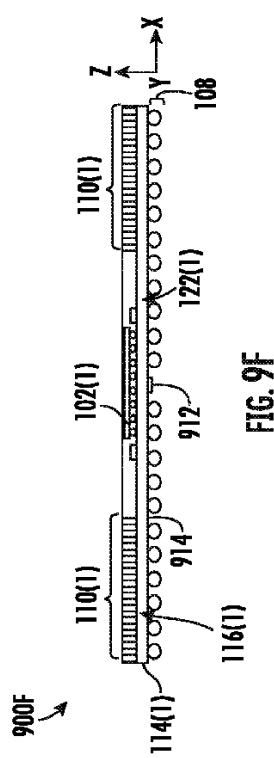
【図 9 D】



【図 9 E】



【図 9 F】



10

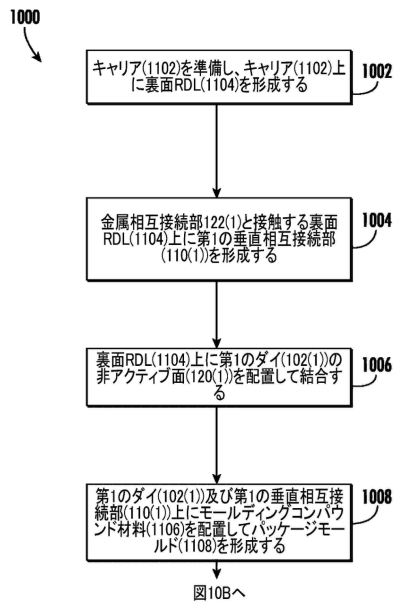
20

30

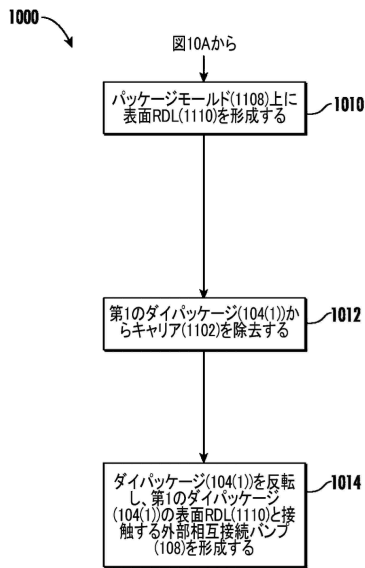
40

50

【図 10 A】

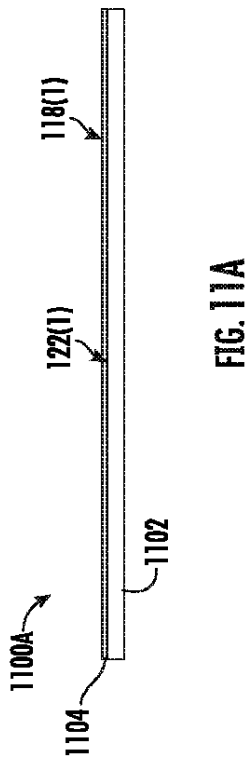


【図 10 B】

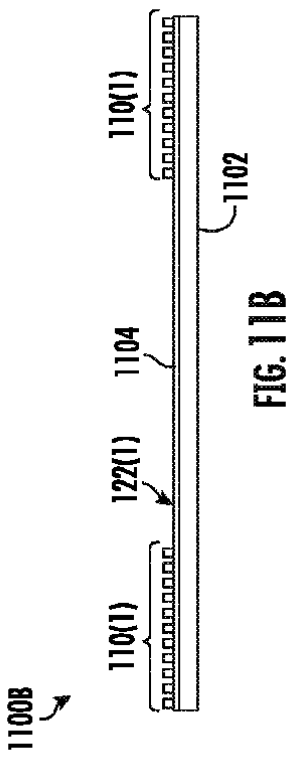


10

【図 11 A】



【図 11 B】



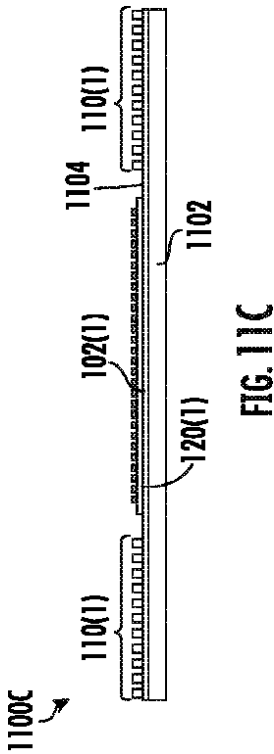
20

30

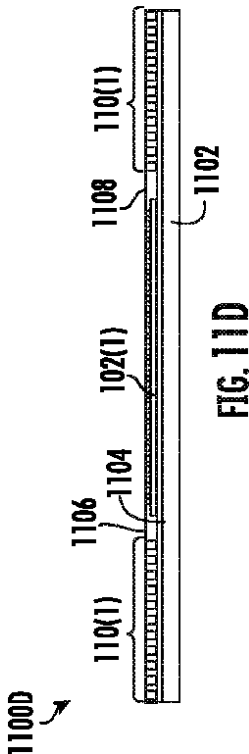
40

50

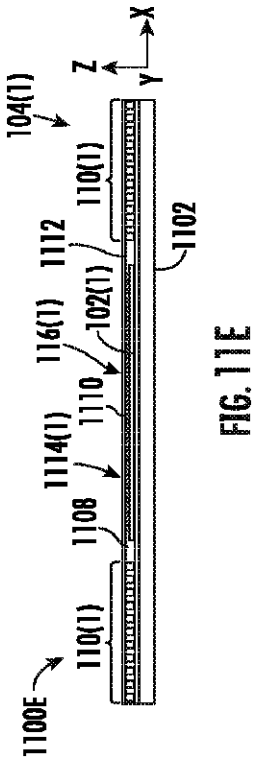
【図 1 1 C】



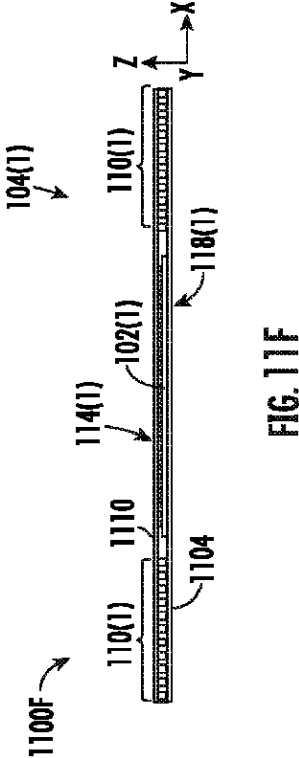
【図 1 1 D】



【図 1 1 E】



【図 1 1 F】



10

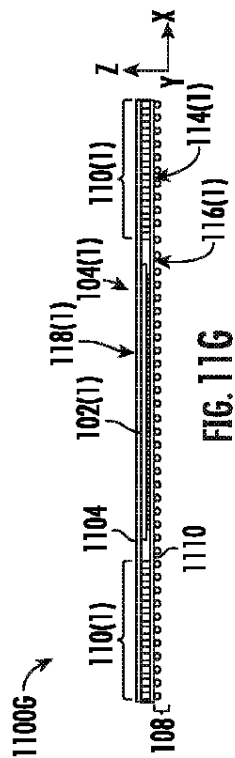
20

30

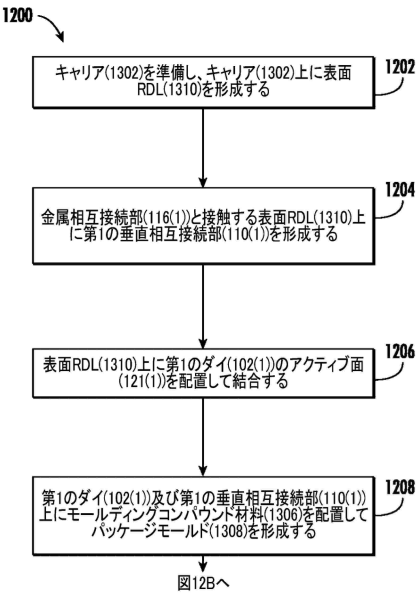
40

50

【図 1 1 G】



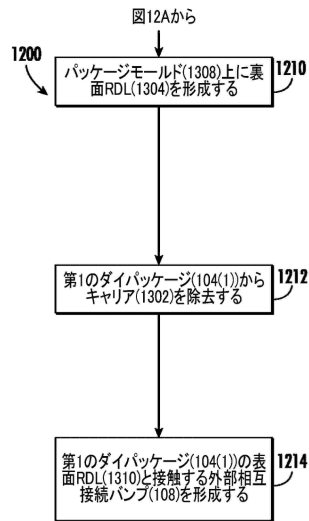
【図 1 2 A】



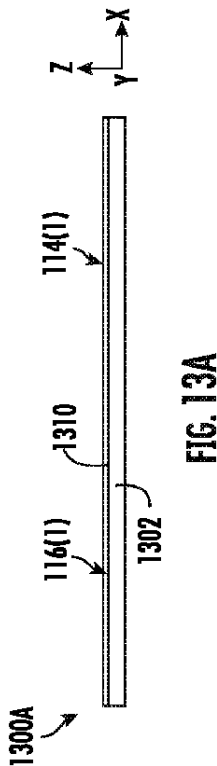
10

20

【図 1 2 B】



【図 1 3 A】

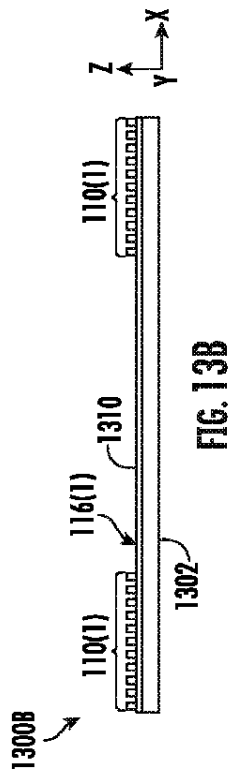


30

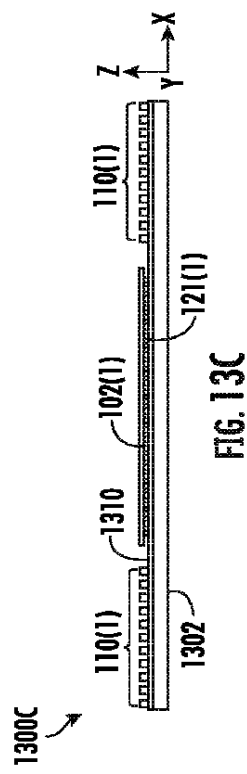
40

50

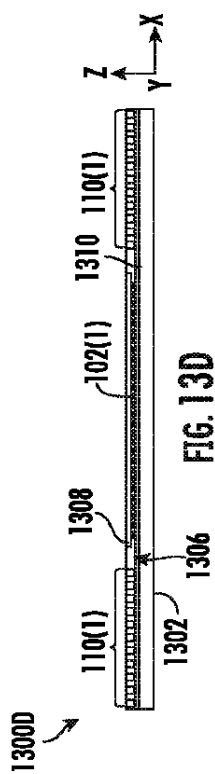
【図 1 3 B】



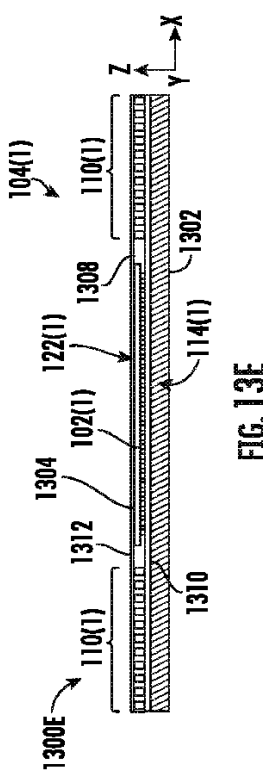
【図 1 3 C】



【図 1 3 D】



【図 1 3 E】



10

20

30

40

50

【図 1 3 F】

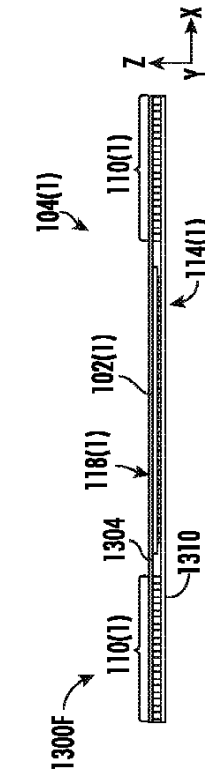


FIG. 13F

【図 1 3 G】

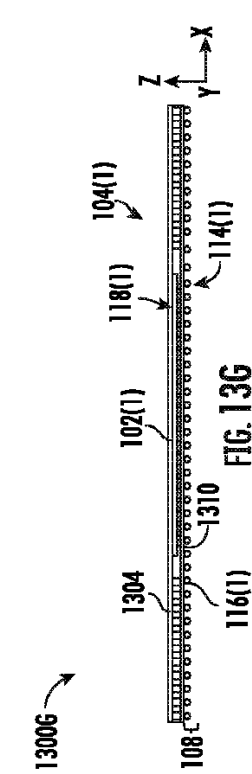
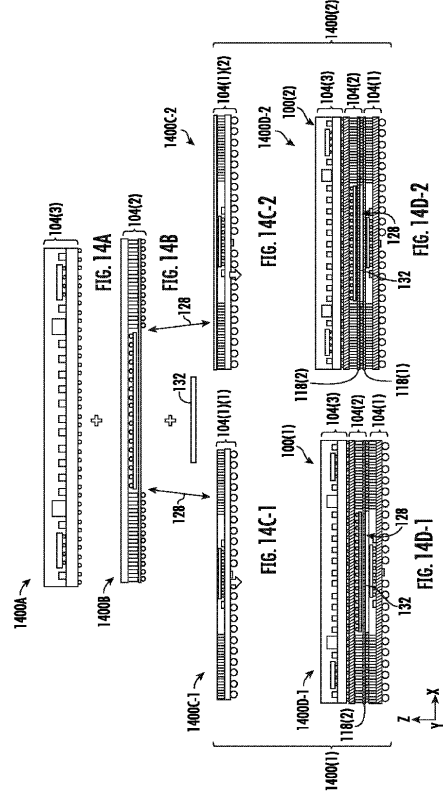
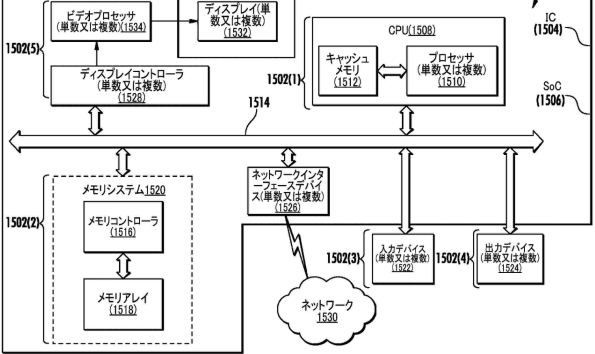


FIG. 13G

【図 1 4 A - 1 4 D - 2】



【図 1 5】



10

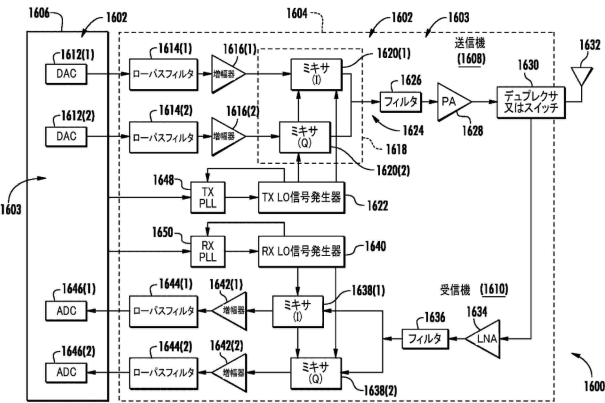
20

30

40

50

【図 16】



10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/075390

A. CLASSIFICATION OF SUBJECT MATTER INV. H01L25/10 H01L23/00 H01L23/538 H01L25/00 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2016/260689 A1 (MEYER THORSTEN [DE] ET AL) 8 September 2016 (2016-09-08)	1-5, 12-24, 27-39
A	paragraph [0002]; figures 2-4, 7, 8 paragraph [0015] - paragraph [0024]	6-11, 25, 26
X	US 2015/357307 A1 (FU HUILI [CN] ET AL) 10 December 2015 (2015-12-10) paragraph [0007]; figures 3, 4 paragraph [0029] - paragraph [0045]	1-14, 18-30
A	WO 2012/151002 A1 (TESSERA INC [US]; SATO HIROAKI [JP] ET AL.) 8 November 2012 (2012-11-08) paragraph [0095] - paragraph [0096]; figures 12, 13	32
	----- -/--	
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 15 November 2022		Date of mailing of the international search report 22/11/2022
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Hirsch, Alexander

1

Form PCT/ISA/210 (second sheet) (April 2005)

page 1 of 2

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/075390

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2011/068481 A1 (PARK SUNG-KYU [KR] ET AL) 24 March 2011 (2011-03-24) paragraph [0107]; figures 7A-B -----	33

1

10

20

30

40

50

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2022/075390

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2016260689 A1	08-09-2016	CN 105453261 A	30-03-2016
		EP 3167484 A1	17-05-2017
		JP 2016529716 A	23-09-2016
		KR 20160045620 A	27-04-2016
		MY 178559 A	16-10-2020
		SG 11201610172W A	27-01-2017
		TW 201611221 A	16-03-2016
		US 2016260689 A1	08-09-2016
		WO 2016007120 A1	14-01-2016
US 2015357307 A1	10-12-2015	CN 104064551 A	24-09-2014
		US 2015357307 A1	10-12-2015
		WO 2015184948 A1	10-12-2015
WO 2012151002 A1	08-11-2012	CN 103582946 A	12-02-2014
		EP 2705533 A1	12-03-2014
		JP 6291555 B2	14-03-2018
		JP 2014513439 A	29-05-2014
		JP 2017041643 A	23-02-2017
		KR 101128063 B1	23-04-2012
		TW 201250979 A	16-12-2012
		TW 201503319 A	16-01-2015
		US 2015091118 A1	02-04-2015
		US 2016211237 A1	21-07-2016
		US 2017287733 A1	05-10-2017
		US 2018350766 A1	06-12-2018
		US 2020168579 A1	28-05-2020
		US 2021050322 A1	18-02-2021
		WO 2012151002 A1	08-11-2012
US 2011068481 A1	24-03-2011	KR 20110032522 A	30-03-2011
		US 2011068481 A1	24-03-2011

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

1 2 1 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7 5
(72)発明者 ユエ・リ
アメリカ合衆国・カリフォルニア・ 9 2 1 2 1 ・ サン・ディエゴ・モアハウス・ドライヴ・ 5 7 7
5