

MEMOIRE INSENSIBLE AUX PERTURBATIONS

La présente invention concerne une mémoire en circuit intégré et
5 plus particulièrement une mémoire du type registre dans laquelle
l'information existe sous forme de deux niveaux logiques complémentaires
se confirmant l'un l'autre.

De telles mémoires sont très sensibles à la perte d'information
due à l'apport d'énergie venant de l'extérieur tel que, par exemple, l'apport
10 d'énergie d'un ion lourd traversant le matériau semiconducteur au niveau de
la jonction où l'un des deux niveaux logiques est stocké.

La jonction se comporte en effet comme une capacité que les
paires électrons/trous créées lors de l'impact de l'ion lourd viennent charger.
Si l'on note C la valeur de la capacité et ΔQ la variation de charge de la
15 capacité résultant de l'impact, il s'en suit une variation de tension ΔV aux
bornes de la capacité telle que $\Delta V = \Delta Q/C$.

La variation de tension ΔV peut alors atteindre un niveau tel que
le niveau logique qui est stocké dans la jonction bascule, entraînant le
basculement du niveau logique complémentaire. Les niveaux logiques
20 complémentaires se confirmant l'un l'autre, il s'en suit que la cellule mémoire
se trouve dans un état stable différent de l'état initial.

Les technologies actuelles permettent de réaliser des circuits dont
les dimensions sont de plus en plus petites. La capacité C des jonctions
peut alors atteindre des valeurs très faibles. Il s'en suit que la variation de
25 tension ΔV atteint très souvent le seuil de basculement de l'information
mémorisée pour une faible quantité de charges ΔQ .

Différentes méthodes sont connues de l'homme de l'art pour
remédier à cet inconvénient.

Une première méthode consiste à placer en série avec chaque
30 jonction de capacité C une résistance R de façon que la constante de temps
de chaque réseau RC ainsi constitué soit supérieure à la durée de la
perturbation. Pour être efficace la résistance R doit alors atteindre des
valeurs de l'ordre de 100 à 500 k Ω . De telles valeurs sont difficiles à
réaliser, notamment dans le cas des technologies actuellement les plus
35 répandues et pour lesquelles le polysilicium qui sert à réaliser les grilles est
recouvert de siliciure. Il est en effet alors nécessaire de retirer le siliciure

pour pouvoir atteindre les valeurs élevées de résistances mentionnées ci-dessus. Une telle opération est très délicate et conduit à des rendements très faibles.

Une deuxième méthode consiste à ajouter des capacités sur les noeuds sensibles. La charge critique se trouve ainsi accrue et la variation de tension ΔV se trouve diminuée. Afin d'éviter d'agrandir la zone sensible aux perturbations, les capacités ajoutées ne doivent pas contenir de zone diffusée. La valeur des capacités s'en trouve désavantageusement limitée.

De façon plus générale, ces deux méthodes présentent d'autres inconvénients. Les résistances ou les capacités que l'on rajoute agrandissent très sensiblement les dimensions des cellules mémoire. D'autre part, les phases d'écriture se trouvent ralenties entraînant par la même la diminution des temps de maintien communément appelés "set-up" et "hold".

L'invention ne présente pas ces inconvénients.

La présente invention a pour objet une cellule mémoire contenant l'information sous forme de deux niveaux logiques complémentaires, chaque niveau logique étant stocké dans un noeud de la cellule, caractérisée en ce qu'elle comprend des moyens de stockage d'un même niveau logique en deux noeuds différents, lesdits moyens permettant de replacer tout niveau logique dans l'état initial qui précède la modification qu'il subit du fait d'une perturbation. D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture d'un mode de réalisation préférentiel fait avec référence aux figures ci-annexées parmi lesquelles :

- la figure 1 représente une cellule mémoire selon l'invention,
- les figures 2 et 3 représentent chacune une cellule mémoire selon l'invention dans le cas où la cellule mémoire comprend des commandes permettant d'initialiser son contenu.

Sur toutes les figures, les mêmes repères désignent les mêmes éléments.

La figure 1 représente une cellule mémoire selon l'invention.

La cellule mémoire est constituée de quatre transistors MOS de type P, MP1, MP2, MP3, MP4 et de quatre transistors MOS de type N, MN1, MN2, MN3, MN4. Les sources des transistors MP1, MP2, MP3 et MP4 sont reliées à la tension d'alimentation Vcc, par exemple égale à + 5 volts, et les

sources des transistors MN1, MN2, MN3 et MN4 sont reliées à la masse du circuit. Le drain du transistor MP_i de rang (i = 1, 2, 3, 4) est relié au drain du transistor MN_i.

La grille du transistor MP_i (i = 1, 2, 3) est reliée au drain du transistor MP (i + 1), et la grille du transistor MP₄ est reliée au drain du transistor MP₁. De même, le drain du transistor MN_i (i = 1, 2, 3), est relié à la grille du transistor MN (i + 1), et le drain du transistor MN₄ est relié à la grille du transistor MN₁.

Selon l'invention, l'information est stockée dans quatre noeuds N1, N2, N3, N4. Le noeud N_i (i = 1, 2, 3, 4) est le drain du transistor MP_i.

Le noeud N1 contient l'information sous forme de niveau logique X. Il vient donc X = 1 ou X = 0.

Le noeud N2 contient l'information sous forme de niveau logique C(X), C(X) représentant le niveau logique complémentaire du niveau logique X. Il vient donc :

$$\begin{aligned} C(X) &= 0 \text{ pour } X = 1 \\ C(X) &= 1 \text{ pour } X = 0. \end{aligned}$$

Les noeuds N3 et N4 contiennent l'information sous forme des niveaux logiques respectifs Q et C(Q) avec Q = X et C(Q) = C(X).

Ainsi le circuit de l'invention permet-il de stocker un même niveau logique en 2 noeuds différents.

Sur la figure 1 ont aussi été représentés le signal d'horloge CLK ainsi que les quatre transistors MOS de type N T1, T2, T3, T4 permettant l'écriture des informations relatives aux noeuds respectifs N1, N2, N3 et N4. En ce qui concerne la lecture des informations stockées, elle peut soit s'effectuer aussi par l'intermédiaire des transistors T1, T2, T3, T4, soit s'effectuer par tout autre circuit connu de l'homme de l'art et permettant l'accès à la cellule mémoire.

Le noeud N_i (i = 1, 2, 3, 4) est relié au drain du transistor T_i. Les sources des transistors T1 et T3 sont reliées entre elles au même noeud d'accès N5 et les sources des transistors T2 et T4 sont reliées entre elles au même noeud d'accès N6.

A titre d'exemple, l'invention sera expliquée à partir d'une des deux configurations possibles de la cellule mémoire. Il s'agit de la configuration :

$$\begin{aligned} X &= Q = 1 \\ C(X) &= C(Q) = 0 \end{aligned}$$

Dans cette configuration, les transistors MN1 et MN3 sont bloqués et les transistors MN2 et MN4 sont passants. De même, les transistors MP1 et MP3 sont passants, alors que les transistors MP2 et MP4 sont bloqués.

L'impact d'ions lourds sur les jonctions des transistors MN1 et MN3 conduit alors à des perturbations en tension d'amplitudes négatives sur les informations respectivement stockées aux noeuds N1 et N3.

De même, l'impact d'ions lourds sur les jonctions des transistors MP2 et MP4 conduit à des perturbations en tension d'amplitudes positives sur les informations respectivement stockées aux noeuds N2 et N4.

L'invention sera décrite, à titre d'exemple, dans le cas où l'impact d'ions lourds a lieu sur la jonction du transistor MN1. Compte tenu de la symétrie du montage, les conséquences de l'impact d'ions lourds sur les jonctions d'autres transistors aboutirait à des démonstrations du même type.

Comme cela a été mentionné précédemment, l'impact d'ions lourds sur la jonction du transistor MN1 conduit à une perturbation en tension d'amplitude négative. Cette perturbation peut ne pas entraîner de modification de l'état passant ou bloqué des différents transistors MP_i et MN_i (i = 1, 2, 3, 4) si son amplitude est faible. Le retour à l'état initial s'effectue alors naturellement. Si la perturbation est de grande amplitude, il est par contre possible que la chute de tension qui apparaît sur le noeud N1 entraîne le blocage du transistor MN2 et la mise en état passant du transistor MP4. Le blocage du transistor MN2 met alors le noeud N2 à haute impédance. Le niveau logique C(X) reste cependant à zéro, ce qui permet au transistor MP1 de rester passant et au transistor MN3 de rester bloqué.

La mise en état passant du transistor MP4 modifie la valeur de la tension qui s'applique au noeud N4 car il y a alors conflit entre MP4 et MN4. La valeur de la tension qui s'applique au noeud N4 est V(N4) telle que :

$$V(N4) = \frac{R(MP4)}{R(MP4) + R(MN4)} \times V_{cc} ,$$

R(MP4) et R(MN4) étant les valeurs des résistances présentées par les canaux respectifs des transistors MP4 et MN4 à l'état passant. Il s'en suit que la tension appliquée à la grille du transistor MP3 s'élève, ce qui a pour effet de rendre moins conducteur ce transistor. Cette modification de conduction du transistor MP3 peut même aller jusqu'à son blocage.

Le noeud N3 est haute impédance car le transistor MN3 est bloqué. Le niveau logique Q reste donc à 1 et le transistor MP2 reste bloqué. Comme le transistor MN2 est bloqué du fait de la perturbation, le niveau logique C(X) du noeud N2 demeure à zéro. Le transistor MP1 compense alors la perturbation par un retour du niveau logique X à 1. Les transistors MN2 et MP4 redeviennent alors respectivement passant et bloqué, replaçant ainsi la cellule dans son état stable initial.

Ainsi le niveau logique X retrouve-t-il sa valeur initiale 1 du fait du maintien à 0 du niveau logique C(X).

De façon plus générale, pour la configuration $X = 1$, $C(X) = 0$, $Q = 1$, $C(Q) = 0$, une perturbation sur le niveau C(X) conduit à un retour de ce niveau à 0 du fait du maintien à 1 du niveau X, une perturbation sur le niveau Q conduit à un retour de ce niveau à 1 du fait du maintien à 0 du niveau C(Q), et une perturbation sur le niveau C(Q) conduit à un retour de ce niveau à 0 du fait du maintien du niveau Q à 1.

De même, pour la configuration $X = 0$, $C(X) = 1$, $Q = 0$, $C(Q) = 1$, une perturbation sur le niveau X conduit à un retour de ce niveau à 0 du fait du maintien à 1 du niveau C(Q), une perturbation sur le niveau C(X) conduit à un retour de ce niveau à 1 du fait du maintien à 0 du niveau Q, une perturbation sur le niveau Q conduit à un retour de ce niveau 0 du fait du maintien à 1 du niveau C(X) et une perturbation sur le niveau C(Q) conduit à un retour de ce niveau à 1 du fait du maintien à 0 du niveau X.

Ainsi la cellule mémoire selon l'invention comprend-elle des moyens pour se replacer dans la configuration initiale qui précède la modification d'un niveau logique due à une perturbation, du fait du maintien à sa valeur de l'un des deux niveaux logiques complémentaires du niveau logique qui est modifié.

Un avantage de la cellule mémoire selon l'invention est de ne jamais autoriser le basculement de la cellule. Les dispositifs de l'art

antérieur autorisent tous un basculement au-delà d'un certain niveau d'énergie de l'ion lourd. A titre d'exemple, en ce qui concerne les circuits de l'art antérieur à correction de type résistif, ce niveau d'énergie est sensiblement égal à 35 Mev/mg/cm² pour des valeurs de résistance égales à 500 kΩ. Cela conduit alors à des courants de l'ordre de 10 mA parcourant les jonctions. En ce qui concerne la cellule mémoire selon l'invention, il a été mesuré dans les jonctions des valeurs de courant de l'ordre de 20 A sans qu'il y ait de basculement. La cellule mémoire selon l'invention interdit donc le basculement de l'information quel que soit le niveau d'énergie atteint par les ions lourds.

La plupart des registres nécessitent l'emploi de commandes permettant d'initialiser rapidement le contenu des cellules mémoire.

Comme cela est connu de l'homme de l'art, deux types différents de commandes permettent d'initialiser une cellule mémoire.

Le premier type de commande est constitué des commandes $\overline{\text{RESET}}$ et $\overline{\text{SET}}$. La commande $\overline{\text{RESET}}$ force le niveau logique X à 0 et la commande $\overline{\text{SET}}$ force le niveau logique Q à 0.

Le deuxième type de commandes est constitué des commandes RESET et SET. La commande RESET force le niveau logique X à 1 et la commande SET force le niveau logique Q à 1.

La figure 2 représente une cellule mémoire selon l'invention dans le cas où la mémoire comprend des commandes $\overline{\text{SET}}$ et $\overline{\text{RESET}}$.

La commande $\overline{\text{SET}}$ s'applique aux grilles de deux transistors MOS de type P, notés MP6 et MP8 sur la figure 2. Les drains des transistors MP6 et MP8 sont reliés à la même tension d'alimentation Vcc, la source du transistor MP6 et la source du transistor MP8 étant reliées respectivement aux noeuds N3 et N1 de la cellule mémoire.

De même la commande $\overline{\text{RESET}}$ s'applique aux grilles de deux transistors MOS de type P, notés MP5 et MP7. Les drains des transistors MP5 et MP7 sont reliés à la même tension d'alimentation Vcc, la source du transistor MP5 et la source du transistor MP7 étant reliées aux noeuds respectifs N2 et N4.

La commande $\overline{\text{SET}} = 0$ force X et Q à 0 par l'intermédiaire des transistors respectifs MP8 et MP6. Le transistor MN2 étant passant et le

transistor MP2 étant bloqué, il s'en suit que $C(X) = 1$. De même, le transistor MP4 étant passant et le transistor MP4 étant bloqué, il vient $C(Q) = 1$.

La commande $\overline{\text{RESET}} = 0$ force, quant à elle, $C(X)$ et $C(Q)$ à 0 par l'intermédiaire des transistors respectifs MP5 et MP7, les niveaux logiques X et Q étant alors égaux à 1.

La figure 3 représente une cellule mémoire selon l'invention dans le cas où la mémoire comprend des commandes notées SET et RESET.

La commande SET s'applique aux grilles de deux transistors MOS de type N, MN7 et MN8 et la commande RESET aux grilles de deux transistors MOS de type N, MN5 et MN6. Les sources des transistors MN5, MN6, MN7, MN8 sont reliées à la masse du circuit. Les drains des transistors MN5, MN6, MN7, MN8 sont reliés, quant à eux, aux noeuds respectifs N1, N3, N2 et N4.

Un avantage de la cellule mémoire selon l'invention est d'assurer la réalisation des commandes SET et RESET ou $\overline{\text{SET}}$ et $\overline{\text{RESET}}$ de façon très simple.

L'usage de transistors MOS de type P pour les fonctions de SET et de RESET sera préféré dans le cas où il est nécessaire de réaliser des circuits à forte densité. En effet, selon ce mode de réalisation, le masque du circuit intégré est très facile à réaliser et peut alors être extrêmement dense car, comme cela apparaît en figure 2, il y a alors autant de transistors de type P que de transistors de type N.

REVENDEICATIONS

1. Cellule mémoire contenant l'information sous forme de deux niveaux logiques complémentaires, chaque niveau logique étant stocké dans un noeud de la cellule, caractérisée en ce qu'elle comprend des moyens de stockage d'un même niveau logique en deux noeuds différents, lesdits moyens permettant de replacer tout niveau logique dans l'état initial qui précède la modification qu'il subit du fait d'une perturbation grâce au maintien à sa valeur de l'un des deux niveaux logiques complémentaires dudit niveau logique qui a été modifié.

2. Cellule mémoire selon la revendication 1, caractérisée en ce que lesdits moyens sont constitués de quatre sous-ensembles, chaque sous-ensemble étant constitué d'un premier et d'un deuxième transistor, ledit premier transistor (MP_i) étant un transistor MOS de type P et ledit deuxième transistor (MN_i) étant un transistor MOS de type N, la source et le drain du premier transistor étant respectivement reliés à une tension d'alimentation ($+V_{cc}$) et au drain du deuxième transistor dont la source est reliée à la masse de la cellule, la grille et le drain du premier transistor du sous-ensemble de rang i ($i = 1, 2, 3$) étant reliés respectivement au drain du premier transistor du sous-ensemble de rang $i + 1$ et à la grille du deuxième transistor du sous-ensemble de rang $i + 1$, la grille et le drain du premier transistor du sous-ensemble de rang 4 étant reliés respectivement au drain du premier transistor du sous-ensemble de rang 1 et à la grille du deuxième transistor de rang 1.

3. Cellule mémoire selon la revendication 2, caractérisée en ce qu'elle comprend des moyens d'écriture de l'information stockée sur les drains desdits premier et deuxième transistors d'un même sous-ensemble de rang i ($i = 1, 2, 3, 4$), lesdits moyens étant constitués d'un transistor MOS T_i de type N dont le drain est relié aux drains desdits premier et deuxième transistors du sous-ensemble de rang i , les sources des transistors de rang 1 et 3 étant reliées entre elles à un même premier noeud d'accès (N_6) et les sources des transistors de rang 2 et 4 étant reliées entre elles à un même deuxième noeud d'accès (N_7).

4. Cellule mémoire selon la revendication 1, 2 ou 3, caractérisée en ce qu'elle comprend des moyens permettant d'initialiser son contenu.

5. Cellule mémoire selon la revendication 4, caractérisée en ce
5 que les moyens permettant d'initialiser son contenu sont constitués de deux transistors MOS de type P dont les grilles sont reliées entre elles et à une même commande ($\overline{\text{SET}}$), dont les drains sont reliés à la même tension d'alimentation (+Vcc) et dont les sources sont respectivement reliées l'une aux drains desdits premier et deuxième transistors du même sous-ensemble
10 de rang 2, l'autre aux drains desdits premier et deuxième transistor du même sous-ensemble de rang 4, et de deux transistors MOS de type P dont les grilles sont reliées entre elles et à une même commande ($\overline{\text{RESET}}$), dont les drains sont reliés entre eux à ladite tension d'alimentation et dont les sources sont respectivement reliées l'une aux drains desdits premier et
15 deuxième transistors du même sous-ensemble de rang 1, l'autre aux drains desdits premier et deuxième transistors du même sous-ensemble de rang 3.

6. Cellule mémoire selon la revendication 4, caractérisée en ce
20 que les moyens permettant d'initialiser son contenu sont constitués de deux transistors MOS de type N dont les grilles sont reliées entre elles et à une même commande (SET), dont les sources sont reliées à la masse du circuit, et dont les drains sont respectivement reliés l'un aux drains desdits premier et deuxième transistors du même sous-ensemble de rang 2, l'autre aux drains desdits premier et deuxième transistor du même sous-ensemble de
25 rang 4, et de deux transistors MOS de type N dont les grilles sont reliées entre elles et à une même commande (RESET), dont les sources sont reliées à la masse du circuit, et dont les drains sont respectivement reliés l'un aux drains desdits premier et deuxième transistors du même sous-ensemble de rang 1, l'autre aux drains desdits premier et deuxième
30 transistor du même sous-ensemble de rang 3.

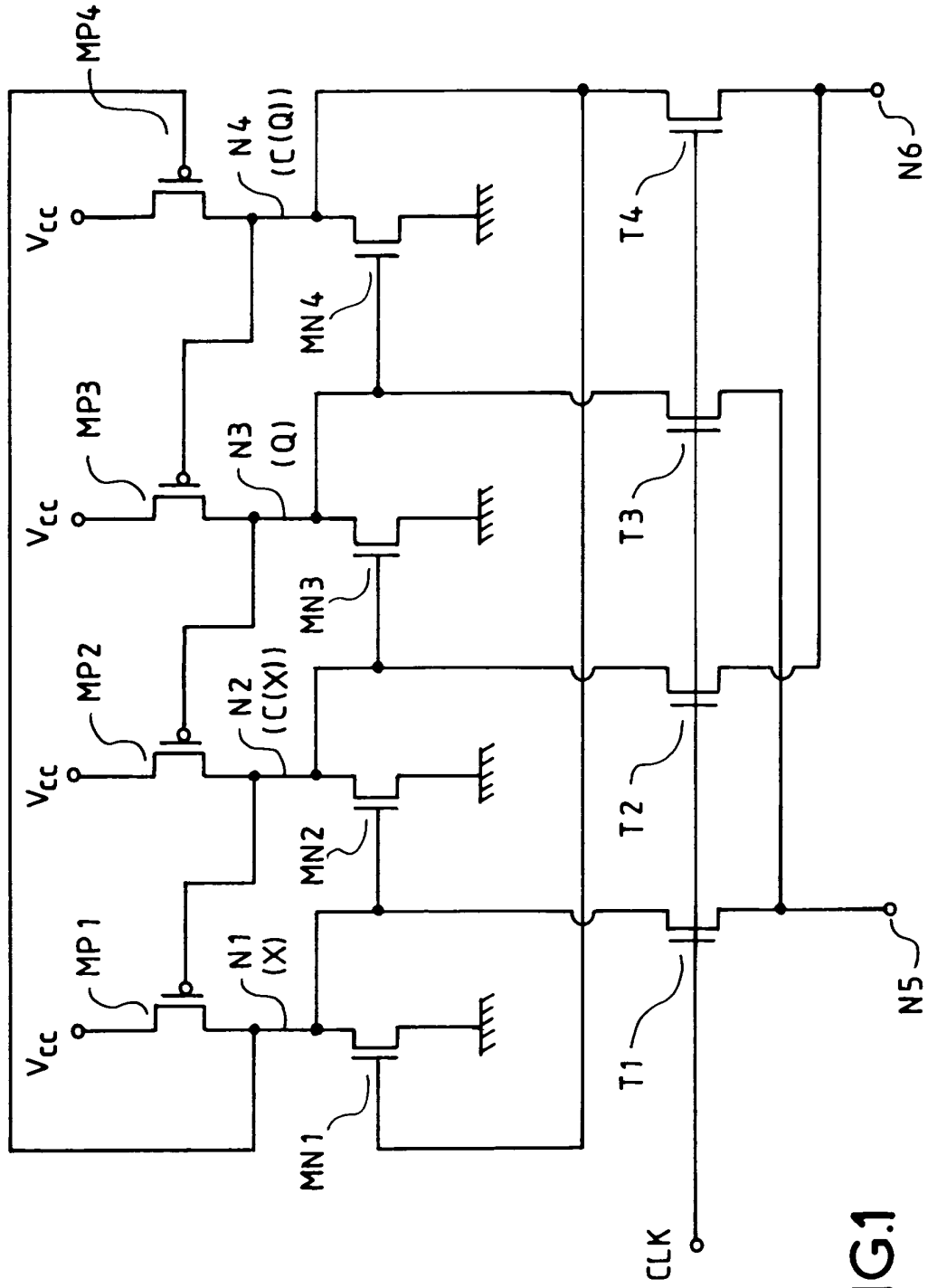


FIG.1

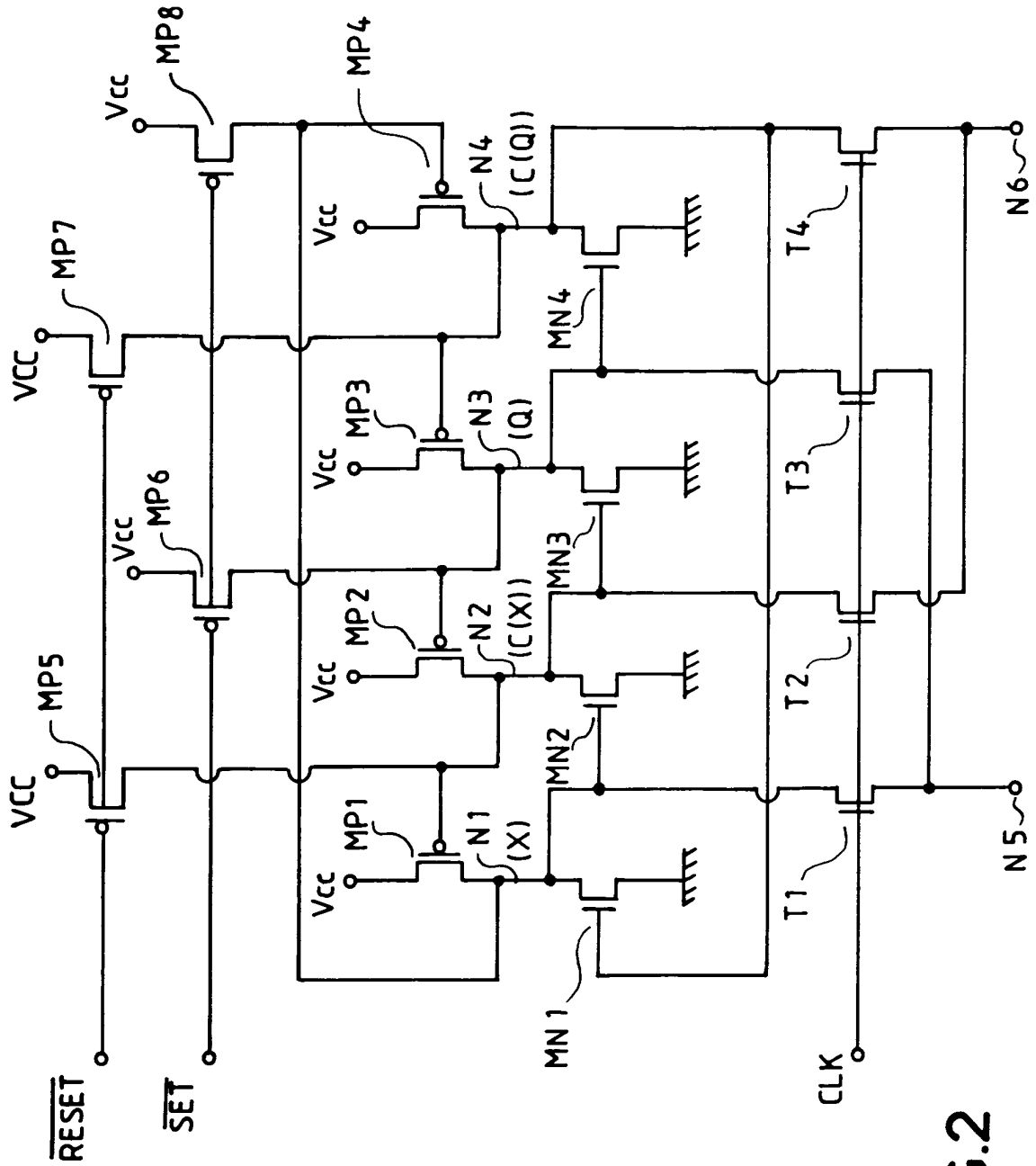


FIG.2

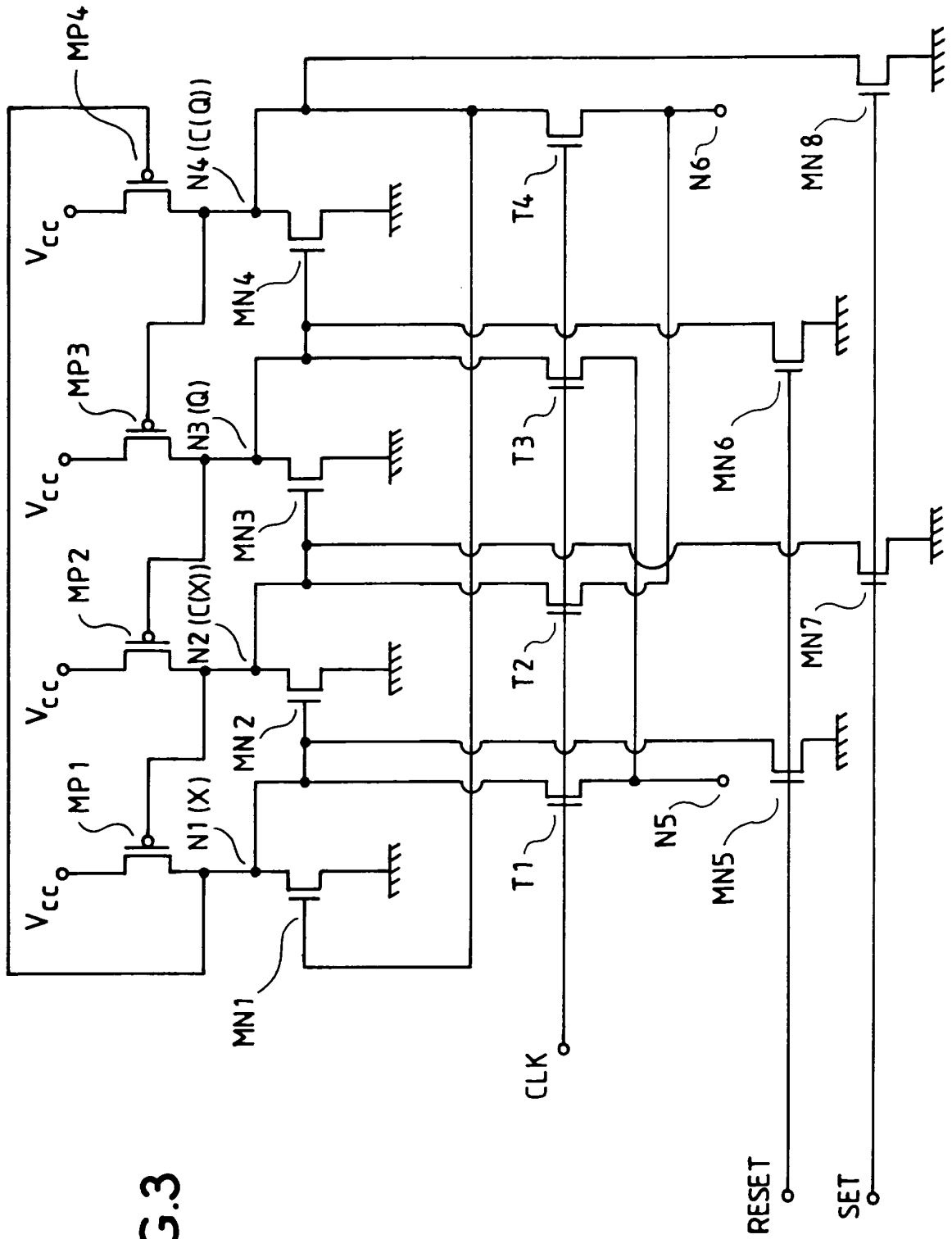


FIG.3

DOCUMENTS CONSIDERES COMME PERTINENTS		Revendications concernées de la demande examinée
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes	
X	US-A-5 157 625 (BARRY) * le document en entier * ---	1
X	IBM TECHNICAL DISCLOSURE BULLETIN, vol. 30, no. 8, Janvier 1988 NEW YORK US, pages 248-249, XP 000049766 'TWICE REDUNDANT RADIATION HARDENED LATCH' * le document en entier * ---	1
X	PROCEEDINGS OF THE IEEE, vol. 76, no. 11, Novembre 1988 NEW YORK US, pages 1470-1509, XP 000100554 SHAFFER ET AL 'THE DESIGN OF RADIATION HARDENED ICs FOR SPACE: A COMPENDIUM OF APPROACHES' * page 1492, colonne 2, ligne 19 - page 1493, colonne 1, ligne 41; figure 20 * ---	1
A	IEEE TRANSACTIONS ON NUCLEAR SCIENCE, vol. 30, no. 6, Décembre 1983 NEW YORK US, pages 4501-4507, DIEHL ET AL 'CONSIDERATIONS FOR SINGLE EVENT IMMUNE VLSI LOGIC' * le document en entier * -----	1
		DOMAINES TECHNIQUES RECHERCHES (Int.CL.6)
		G11C
Date d'achèvement de la recherche		Examineur
10 Juillet 1995		Degraeve, L
<p>CATEGORIE DES DOCUMENTS CITES</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : pertinent à l'encontre d'au moins une revendication ou arrière-plan technologique général O : divulgation non-écrite P : document intercalaire</p> <p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>		

EPO FORM 1503 03.82 (P04C12)