

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3860672号
(P3860672)

(45) 発行日 平成18年12月20日(2006.12.20)

(24) 登録日 平成18年9月29日(2006.9.29)

(51) Int. Cl.	F I
HO 1 L 21/8238 (2006.01)	HO 1 L 27/08 3 2 1 F
HO 1 L 27/092 (2006.01)	HO 1 L 21/28 3 O 1 D
HO 1 L 21/28 (2006.01)	

請求項の数 31 (全 19 頁)

(21) 出願番号	特願平11-39258	(73) 特許権者	000005049
(22) 出願日	平成11年2月17日(1999.2.17)		シャープ株式会社
(65) 公開番号	特開平11-354651		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成11年12月24日(1999.12.24)	(73) 特許権者	592208286
審査請求日	平成13年7月19日(2001.7.19)		シャープ・マイクロエレクトロニクス・テクノロジー・インコーポレイテッド
(31) 優先権主張番号	09/090.802		アメリカ合衆国、ワシントン・98607
(32) 優先日	平成10年6月4日(1998.6.4)		、カマス、エヌ・ダブリュー、パシフィック・リム・ブルバード・5700
(33) 優先権主張国	米国(US)	(74) 代理人	100078282
			弁理士 山本 秀策
		(72) 発明者	シェン テン スー
			アメリカ合衆国 ワシントン 98607
			、 カマス、 エヌダブリュー トロウト
			コート 2216

最終頁に続く

(54) 【発明の名称】 トランジスタの製造方法およびその製造方法によって製造されたトランジスタ

(57) 【特許請求の範囲】

【請求項1】

- a) 一対のフィールド酸化物にて挟まれた半導体領域内に、ゲート酸化物層を介してゲート電極を形成するとともに、該ゲート電極の各側壁に第1の側壁を形成する工程と、
- b) 前記各フィールド酸化物上と、前記半導体領域上と、前記第1の側壁上および前記ゲート電極上とに、半導体膜を堆積する工程と、
- c) 前記第1の側壁上に堆積された前記半導体膜上に第2の側壁を形成する工程と、
- d) 前記半導体領域に、前記半導体膜を介して不純物をドーピングしてアニールすることにより、ソース/ドレイン領域を形成する工程と、
- e) 前記第2の側壁上に堆積された半導体膜を除く前記半導体膜上と、前記第2の側壁上とに、高融点金属層を堆積する工程と、
- f) 前記半導体膜上の前記高融点金属を前記半導体膜とともにアニールしてシリサイド膜を形成する工程と、
- g) 前記第2の側壁上に位置する未反応の高融点金属と、該第2の側壁と、前記第1の側壁の上に位置する前記半導体膜とを除去する工程と、
- h) 前記フィールド酸化物上および前記半導体領域上にわたって誘電体中間層を堆積する工程と、
- i) 該誘電体中間層をエッチングすることにより、該誘電体中間層の上面から前記フィールド酸化物上的一方および前記ゲート電極上にそれぞれ位置する前記シリサイド膜に達するコンタクトホールを形成する工程と、

10

j) 前記各コンタクトホール中に金属を堆積して該金属と前記各シリサイド層とを電氣的に接続する工程と、

を包含することを特徴とするトランジスタの製造方法。

【請求項 2】

前記工程 c) において、前記第 2 の側壁が、前記半導体膜上に絶縁層を堆積して、該絶縁層に対し異方性エッチングを行って、前記第 1 の側壁上以外の前記絶縁層を除去することによって形成される、請求項 1 に記載のトランジスタの製造方法。

【請求項 3】

前記半導体膜がポリシリコンまたは $\text{Si}_x\text{Ge}_{1-x}$ である、請求項 1 に記載のトランジスタの製造方法。

10

【請求項 4】

前記 $\text{Si}_x\text{Ge}_{1-x}$ における x が 0.5 から 0.9 の範囲である、請求項 3 に記載のトランジスタの製造方法。

【請求項 5】

前記トランジスタが、バルクシリコン、SOI、および隆起ソース/ドレイントランジスタからなる群より選択される、請求項 1 に記載のトランジスタの製造方法。

【請求項 6】

前記工程 b) において、前記半導体膜は、50 から 200 ナノメートル (nm) の範囲の厚さで堆積される、請求項 1 に記載のトランジスタの製造方法。

【請求項 7】

20

前記絶縁層は、酸化物または窒化物である、請求項 2 に記載のトランジスタの製造方法。

【請求項 8】

前記絶縁層が酸化物であり、前記異方性エッチングが、緩衝化ヒドロフルオリド (BHF) エッチングを用いて行なわれる、請求項 7 に記載のトランジスタの製造方法。

【請求項 9】

前記絶縁層が窒化物であり、前記異方性エッチングが、リン酸を用いて行なわれる、請求項 7 に記載のトランジスタの製造方法。

【請求項 10】

前記工程 g) において、前記半導体膜が、 $\text{NH}_3\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 溶液を用いて除去される、請求項 8 または 9 に記載のトランジスタの製造方法。

30

【請求項 11】

前記高融点金属は、Ti、Co、W、Pt、および Ni からなる群より選択される、請求項 1 に記載のトランジスタの製造方法。

【請求項 12】

前記シリサイド膜が、40 から 200 nm の範囲の厚さで形成される、請求項 1 に記載のトランジスタの製造方法。

【請求項 13】

前記シリサイド膜が、2 から 10 オーム / 平方インチの範囲の抵抗率を有する、請求項 1 に記載のトランジスタの製造方法。

40

【請求項 14】

前記工程 f) におけるアニールが、450 から 650 の範囲の温度でアニールを行った後に、700 から 900 の範囲の温度でアニールを行うことを包含する、請求項 1 に記載のトランジスタの製造方法。

【請求項 15】

前記第 1 の側壁と、前記第 2 の側壁と、該第 1 の側壁および該第 2 の側壁の間に位置する前記半導体膜とによって結合側壁厚が形成されており、前記工程 d) において、前記ソース/ドレイン領域が、該結合側壁厚の 2 倍の幅で形成される、請求項 1 に記載のトランジスタの製造方法。

【請求項 16】

50

a) 第1フィールド酸化物と第2フィールド酸化物によって挟まれた半導体領域内に、第3フィールド酸化物にて分離された第1の半導体領域および第2の半導体領域を形成する工程と、

b) 前記第1および第2の各半導体領域内に、ゲート酸化物層を介してゲート電極をそれぞれ形成するとともに、前記各ゲート電極の各側壁に第1の側壁をそれぞれ形成する工程と、

c) 前記第1および第2の各フィールド酸化物上と、該第1および第2の各フィールド酸化物のそれぞれに隣接する前記第1および2の各半導体領域のそれぞれの部分と、前記第3フィールド酸化物上と、該第3フィールド酸化物に隣接する前記第1および2の両方の半導体領域のそれぞれの部分とに、半導体膜を堆積する工程と；

10

d) 前記各ゲート電極の前記第1の側壁上に堆積された前記半導体膜上に第2の側壁をそれぞれ形成する工程と、

e) 前記第1および第2の各半導体領域に前記半導体膜を介して不純物をドーピングしてアニールすることにより、前記第1および第2の各半導体領域にソース/ドレイン領域をそれぞれ形成する工程と、

f) 前記第2の側壁上に堆積された半導体膜を除く前記半導体膜上と、前記第2の側壁上とに、高融点金属層をそれぞれ堆積する工程と；

g) 前記半導体膜上の前記高融点金属を該半導体膜とともにアニールしてシリサイド膜を形成する工程と、

h) 前記各ゲート電極の前記第2の側壁上に位置する未反応の高融点金属と、前記各ゲート電極の前記第2の側壁と、前記各ゲート電極の第1の側壁の上に位置する前記半導体膜とをそれぞれ除去する工程と、

20

i) 前記第1～第3の各フィールド酸化物上および前記第1および第2の各半導体領域上にわたって誘電体中間層を堆積する工程と、

j) 該誘電体中間層をエッチングすることにより、該誘電体中間層の上面から前記第1および第2の各フィールド酸化物上および前記各ゲート電極上にそれぞれ位置する前記シリサイド膜に達するコンタクトホールを形成する工程と、

k) 前記各コンタクトホール中に金属を堆積して該金属と前記各シリサイド層とを電気的に接続する工程と、

を包含することを特徴とするトランジスタの製造方法。

30

【請求項17】

前記工程d)において、前記第2の側壁が、前記半導体膜上に絶縁層を堆積して、該絶縁層に対し異方性エッチングを行って、前記第1の側壁上以外の前記絶縁層を除去することによって形成される、請求項16に記載のトランジスタの製造方法。

【請求項18】

前記半導体膜がポリシリコンまたは $\text{Si}_x\text{Ge}_{1-x}$ である、請求項16に記載のトランジスタの製造方法。

【請求項19】

前記 $\text{Si}_x\text{Ge}_{1-x}$ における x が0.5から0.9の範囲である、請求項18に記載のトランジスタの製造方法。

40

【請求項20】

前記トランジスタが、バルクシリコン、SOI、および隆起ソース/ドレイントランジスタからなる群より選択される、請求項16に記載のトランジスタの製造方法。

【請求項21】

前記工程c)において、前記半導体膜は、50から200ナノメートル(nm)の範囲の厚さで堆積される、請求項16に記載のトランジスタの製造方法。

【請求項22】

前記絶縁層は、酸化物または窒化物である、請求項17に記載のトランジスタの製造方法。

【請求項23】

50

前記絶縁層が酸化物であり、前記異方性エッチングが、緩衝化ヒドロフルオリド (B H F) エッチングを用いて行なわれる、請求項 2 2 に記載のトランジスタの製造方法。

【請求項 2 4】

前記絶縁層が窒化物であり、前記異方性エッチングが、リン酸を用いて行なわれる、請求項 2 2 に記載のトランジスタの製造方法。

【請求項 2 5】

前記工程 h) において、前記半導体膜が、 $\text{NH}_3\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 溶液を用いて除去される、請求項 2 3 または 2 4 に記載のトランジスタの製造方法。

【請求項 2 6】

前記高融点金属は、T i、C o、W、P t、およびN i からなる群より選択される、請求項 1 6 に記載のトランジスタの製造方法。 10

【請求項 2 7】

前記シリサイド膜が、4 0 から 2 0 0 n m の範囲の厚さで形成される、請求項 1 6 に記載のトランジスタの製造方法。

【請求項 2 8】

前記シリサイド膜が、2 から 1 0 オーム / 平方インチの範囲の抵抗率を有する、請求項 1 6 に記載のトランジスタの製造方法。

【請求項 2 9】

前記工程 g) におけるアニールが、4 5 0 から 6 5 0 の範囲の温度でアニールを行った後に、7 0 0 から 9 0 0 の範囲の温度でアニールを行うことを包含する、請求項 1 6 に記載のトランジスタの製造方法。 20

【請求項 3 0】

前記第 1 の側壁と、前記第 2 の側壁と、該第 1 の側壁および該第 2 の側壁の間に位置する前記半導体膜とによって結合側壁厚が形成されており、前記工程 e) において、前記ソース / ドレイン領域が、該結合側壁厚の 2 倍の幅で形成される、請求項 1 6 に記載のトランジスタの製造方法。

【請求項 3 1】

請求項 1 ~ 3 0 のいずれかに記載の製造方法によって製造されたトランジスタ。

【発明の詳細な説明】

【0 0 0 1】

30

【発明の属する技術分野】

本発明は一般に、集積回路 (I C) プロセス技術および、特に、ソース / ドレイン領域のサイズを減少させる、C M O S 相互接続およびトランジスタの相互接続方法に関する。

【0 0 0 2】

【従来の技術】

リーク電流、寄生用量、およびスイッチング速度はすべて、ソース / ドレイン接合領域のサイズに依存する。その目的で、ソース / ドレイン表面領域および接合深さを減少させる研究が続けられている。同様に、I C 基板のトランジスタ密度を増加させるためにトランジスタの全体サイズを減少させる研究が続けられている。

【0 0 0 3】

40

【発明が解決しようとする課題】

トランジスタのサイズの減少という目的は、いくつかの要因に依存する。しかし、I C 中におけるトランジスタ間および金属層間の相互接続は必要性は、サイズ減少を制限する少なくとも 1 つの要因である。別の金属層からトランジスタのソースまたはドレインへの接続は典型的には、その上に設けられた層間誘電体を通るビアを介して行われる。アルミニウムなどの金属が、下に位置するソースまたはドレイン領域に接触するようにビアに充填される。層間誘電体表面においてトレンチまたは配線がビアに交差し、その配線からビアを介してトランジスタのソース / ドレイン面に電氣的連絡が行われる。フォトリソグラフィーマスク、エッチングプロセス、および位置あわせにおいて固有の分解能誤差のために、ビアの直径をどれくらい小さくできるかに関する制約が存在する。ミクロン以下のサイ 50

ズのビアであっても、電氣的接続のためには比較的大きなソース／ドレイン表面領域を必要とする。

【0004】

ソース／ドレイン領域の表面領域に依存しないトランジスタ相互接続方法が開発されれば有利である。

【0005】

IC基板の金属層間の相互接続がトランジスタのソース／ドレイン領域に対して直接なされなければ有利である。

【0006】

トランジスタのソースおよびドレイン領域を減少することにより、ソースおよびドレイン領域への接続に影響を与えずにドレインリーク電流を最小化できれば有利である。

10

【0007】

【課題を解決するための手段】

本発明によれば、少なくとも、ソース／ドレイン領域を有する第1のトランジスタから、周囲のフィールド酸化物領域を通して相互接続を形成する方法であって、a) 該ソース／ドレイン領域および該周囲のフィールド酸化物領域を含み、該トランジスタ上に位置する半導体膜を堆積する工程と、b) 該ソース／ドレイン領域およびフィールド酸化物の選択された隣接領域を覆い、該半導体膜上に位置する高融点金属層を堆積する工程と、c) 工程a)において堆積された該半導体膜および工程b)において堆積された該高融点金属をアニールして、該ソース／ドレイン領域および該フィールド酸化物の該選択された隣接領域の上に位置するシリサイド膜を形成することにより、該周囲のフィールド酸化物領域から、該ソース／ドレイン領域に対する電氣的相互接続が作製されることにより、該ソース／ドレイン領域のサイズが最小にされる工程とを包含する方法が提供され、そのことにより上記目的が達成される。

20

【0008】

工程a)の前に、ゲート電極を、その下に位置するゲート酸化物層、ならびに前記ソース／ドレイン領域の一部の上に位置する第1の酸化物側壁とともに形成する工程をさらに包含し、工程a)は、該ゲート電極および該第1の酸化物側壁の上に位置する半導体膜を堆積することを包含してもよい。

【0009】

工程a)の後に、a₁) 前記第1の半導体膜の上に位置する絶縁体層を堆積する工程と、a₂) 工程a₁)で堆積された絶縁体に対し異方性エッチングを行うことにより、前記ソース／ドレイン領域、ゲート電極、および周囲のフィールド酸化物領域上に位置する前記酸化物を除去する一方で、前記ゲート電極側壁からは前記酸化物を除去しないことにより、第2の側壁が形成される工程と、をさらに包含し、工程b)は、該ゲート電極および該第2の側壁の上に位置する高融点金属層を堆積することを包含し、工程c)は、前記トランジスタをアニールすることにより、工程a₂)において前記第1の半導体膜が曝露された該ゲート電極を含むが該第2の側壁は含まない領域において、前記トランジスタの上に位置するシリサイド膜を形成することを包含してもよい。

30

【0010】

工程c)の後に、d) 前記第2の側壁上に位置する未反応の高融点金属、該第2の側壁、および前記第1の酸化物側壁の上に位置する半導体膜を除去する工程をさらに包含してもよい。

40

【0011】

工程d)の後に、e) 前記トランジスタの上に位置する上面を有する誘電体中間層を堆積する工程と、f) 該誘電体中間層をエッチングすることにより、該誘電体中間層上面から該フィールド酸化物の選択された領域の上に位置する前記シリサイド膜に達するコンタクトホールを形成する工程と、g) 該コンタクトホール中に金属を堆積することにより、該誘電体中間層の該面から該ソース／ドレイン領域まで電氣的相互接続を形成することにより、該ソース／ドレイン領域のサイズに関係なく相互接続が作製される工程とをさらに包

50

含してもよい。

【0012】

工程 a) は、前記半導体膜がポリシリコンおよび $\text{Si}_x\text{Ge}_{1-x}$ からなる群より選択されることを包含してもよい。

【0013】

$\text{Si}_x\text{Ge}_{1-x}$ における x が 0.5 から 0.9 の範囲であってもよい。

【0014】

前記トランジスタが、バルクシリコン、SOI、および隆起ソース/ドレイントランジスタからなる群より選択されてもよい。

【0015】

工程 a) は、50 から 200 ナノメートル (nm) の範囲の厚さを有する半導体膜を堆積することを包含してもよい。

【0016】

工程 a₁) は、酸化物および窒化物からなる群より選択される絶縁体を堆積することを包含してもよい。

【0017】

工程 a₁) は、酸化物絶縁体を堆積することを包含し、工程 d) は、緩衝化ヒドロフルオリド (BHF) エッチングを用いて前記第 2 のゲート電極酸化物側壁を除去し、 $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて前記半導体膜を除去することを包含してもよい。

【0018】

工程 a₁) は、窒化物絶縁体を堆積することを包含し、工程 d) は、リン酸を用いて前記第 2 のゲート電極酸化物側壁を除去し、 $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて前記第 1 の半導体膜を除去することを包含してもよい。

【0019】

工程 b) は、Ti、Co、W、Pt、および Ni からなる群より選択される高融点金属を含んでもよい。

【0020】

工程 c) は、40 から 200 nm の範囲の厚さを有するシリサイド層を形成することを包含してもよい。

【0021】

工程 c) は、2 から 10 オーム/平方インチの範囲の抵抗率を有するシリサイド層を形成することを包含してもよい。

【0022】

工程 c) は、2 つのアニール小工程を包含し、第 1 の小工程は、450 から 650 の範囲の温度でアニールを行うことを包含し、第 2 の小工程は、700 から 900 の範囲の温度でアニールを行うことを包含してもよい。

【0023】

前記第 1 の側壁、工程 a₂) の前記第 2 の側壁、および工程 a) で堆積される前記間に位置する半導体膜は結合側壁厚を有し、工程 a₂) の後に、a₃) 前記ソース/ドレイン領域をドーピングおよびアニールすることにより、前記ソース/ドレイン領域の上に位置する該結合側壁厚の約 2 倍のソース/ドレイン幅を有する活性ソース/ドレイン領域を形成する工程をさらに包含してもよい。

【0024】

また本発明によれば、少なくとも、第 1 の電極を有する第 2 のトランジスタから第 2 の電極を有する第 1 のトランジスタヘフィールド酸化物領域を横切って延びる、ストラップ相互接続を形成する方法であって、a) 該第 1 および第 2 の電極および周囲のフィールド酸化物領域を含み、該トランジスタ上に位置する半導体膜を堆積する工程と、b) 該第 1 および第 2 の電極ならびに間に位置するフィールド酸化物の選択された領域を含み、該半導体膜上に位置する高融点金属層を堆積する工程と、c) 工程 a) において堆積された該半導体膜および工程 b) において堆積された該高融点金属をアニールすることにより、該第

10

20

30

40

50

2のトランジスタの該第1の電極、該第1のトランジスタの該第2の電極ならびに間に位置する該フィールド酸化物の選択された領域の上に位置するシリサイド膜を形成し、それによって、該第1のトランジスタから該第2のトランジスタに対する電氣的相互接続が該間に位置するフィールド酸化物領域を横切って作製される工程とを包含する方法が提供され、そのことにより上記目的が達成される。

【0025】

また本発明によれば、ノドレイン領域と、該ソースノドレイン領域の周囲のフィールド酸化物領域と、該ソースノドレイン領域およびフィールド酸化物の選択された隣接領域の上に位置するシリサイド膜とを有することにより、該フィールド酸化物の選択された領域から該ソースノドレイン領域に対する電氣的連絡が該シリサイド膜によって可能にされるCMOS相互接続が提供され、そのことにより上記目的が達成される。

10

【0026】

前記ソースノドレイン領域およびフィールド酸化物の選択された領域の上に位置する面を有する誘電体中間層と、該上に位置する誘電体中間層を通してパターンニングされ、該誘電体中間層の該面から該フィールド酸化物の選択された領域の上に位置する前記シリサイド膜に達するコンタクトホールと、該誘電体中間層の該面から該ソースノドレイン領域までの電氣的相互接続を形成する、該コンタクトホール中に設けられた金属とをさらに包含してもよい。

【0027】

前記シリサイド膜が、ポリシリコンおよび $\text{Si}_x\text{Ge}_{1-x}$ からなる群より選択される材料から形成されることを包含してもよい。

20

【0028】

$\text{Si}_x\text{Ge}_{1-x}$ における x が0.5から0.9の範囲であってもよい。

【0029】

前記トランジスタが、バルクシリコン、SOI、および隆起ソースノドレイントランジスタからなる群より選択されてもよい。

【0030】

前記シリサイド膜は、40から200ナノメートル(nm)の範囲の厚さを有してもよい。

【0031】

前記シリサイド膜は、2から10オーム/平方インチの範囲の抵抗率を有してもよい。

30

【0032】

また本発明によれば、ソースノドレイン領域と、該ソースノドレイン領域の周囲のフィールド酸化物領域と、第1の酸化物側壁を有するゲート電極と、該ソースノドレイン領域および該周囲のフィールド酸化物の選択された隣接領域の上に位置するシリサイド膜とを有し、該シリサイド膜は、トランジスタおよび周囲のフィールド酸化物領域の上に位置する半導体膜の層を堆積することにより形成され、該第1の半導体膜の上に位置する絶縁層を堆積して該絶縁層を異方性エッチングすることにより第2のゲート電極側壁を形成し、該半導体膜上に、該ソースノドレイン領域および該フィールド酸化物の選択された隣接領域上に堆積された半導体膜を覆う高融点金属層を堆積し、該トランジスタをアニールすることにより該シリサイド膜を形成し、エッチングにより該第1の酸化物側壁の上に位置する未反応の高融点金属、該第2の酸化物側壁、および該半導体膜を除去することにより、該フィールド酸化物の選択された隣接領域から、該ソースノドレイン領域に対する電氣的相互接続が作製されたCMOS相互接続が提供され、そのことにより上記目的が達成される。

40

【0033】

前記ソースノドレイン領域および周囲のフィールド酸化物領域の上に位置する上面を有する誘電体中間層と、該誘電体中間層を通してパターンニングされ、該誘電体中間層の該面から該フィールド酸化物の選択された隣接領域の上に位置する前記シリサイド膜に達するコンタクトホールと、該誘電体中間層の該面から該ソースノドレイン領域までの電氣的相互

50

接続を該シリサイド膜によって形成するための、該コンタクトホール中に設けられた金属とをさらに含んでもよい。

【 0 0 3 4 】

前記第 1 の半導体膜が、ポリシリコンおよび $\text{Si}_x\text{Ge}_{1-x}$ からなる群より選択されてもよい。

【 0 0 3 5 】

$\text{Si}_x\text{Ge}_{1-x}$ における x が 0.5 から 0.9 の範囲であってもよい。

【 0 0 3 6 】

前記トランジスタが、バルクシリコン、SOI、および隆起ソース/ドレイントランジスタからなる群より選択されてもよい。

10

【 0 0 3 7 】

前記半導体膜は、50 から 200 ナノメートル (nm) の範囲の厚さを有してもよい。

【 0 0 3 8 】

前記絶縁層の材料は、酸化物および窒化物からなる群より選択されてもよい。

【 0 0 3 9 】

前記絶縁層は酸化物であり、前記第 2 のゲート電極酸化物側壁は BF_3 エッチングを用いて除去され、前記半導体膜は $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて除去されてもよい。

【 0 0 4 0 】

前記絶縁層は窒化物であり、前記第 2 のゲート電極窒化物側壁はリン酸を用いて除去され、前記半導体膜は $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて除去されてもよい。

20

【 0 0 4 1 】

前記高融点金属は、Ti、Co、W、Pt、およびNi からなる群より選択されてもよい。

【 0 0 4 2 】

前記シリサイド膜は、40 から 200 nm の範囲の厚さを有してもよい。

【 0 0 4 3 】

前記シリサイド膜は、2 から 10 オーム/平方インチの範囲の抵抗率を有してもよい。

【 0 0 4 4 】

前記アニールは、2つのアニール小工程を包含し、第1の小工程は、450 から 650 の範囲の温度でアニールを行うことを包含し、第2の小工程は、700 から 900 の範囲の温度でアニールを行うことを包含してもよい。

30

【 0 0 4 5 】

前記第1の側壁、前記第2の側壁、および前記間に位置する半導体膜は結合側壁厚を有し、該第2の側壁が形成された後に前記ソース/ドレイン領域がドーピングおよびアニールされることにより、前記ソース/ドレイン領域の上に位置する該結合側壁厚の約2倍のソース/ドレイン幅を有する活性ソース/ドレイン領域が形成されてもよい。

【 0 0 4 6 】

また本発明によれば、第1および第2のCMOSTランジスタの間のストラップ相互接続であって、少なくとも該第2のトランジスタの第1の電極および少なくとも該第1のトランジスタの第2の電極と、該第1のトランジスタの該第1の電極と該第2のトランジスタのドレイン領域との間に位置するフィールド酸化物領域と、第1の酸化物側壁を有する第1および第2のトランジスタのゲート電極と、該第2のトランジスタの該第1の電極から該第1のトランジスタの該第2の電極までおよび間に位置するフィールド酸化物の選択された隣接領域の上に位置するシリサイド膜とを有し、該シリサイド膜は、該トランジスタおよび間に位置するフィールド酸化物領域の上に位置する半導体膜の層を堆積することにより形成され、該半導体膜の上に位置する絶縁層を堆積して該絶縁層を異方性エッチングすることにより第2のゲート電極側壁を形成し、該トランジスタおよび間に位置するフィールド酸化物の選択された領域の上に位置する高融点金属層を堆積し、該トランジスタをアニールすることにより該シリサイド膜を形成し、エッチングにより該第1の酸化物側壁の上に位置する未反応の高融点金属、該第2の側壁、および該半導体膜を除去することに

40

50

より、該第１のトランジスタから該第２のトランジスタに対して該間に位置するフィールド酸化物領域を横切って電氣的相互接続が作製されたストラップ相互接続が提供され、そのことにより上記目的が達成される。

【００４７】

また本発明によれば、第１および第２のＣＭＯＳトランジスタの間のストラップ相互接続であって、少なくとも該第２のトランジスタの第１の電極および少なくとも該第１のトランジスタの第２の電極と、該第２のトランジスタの該第１の電極と該第２のトランジスタの該第１の電極との間に位置するフィールド酸化物領域と、該第２のトランジスタの該第１の電極から該間に位置するフィールド酸化物の選択された隣接領域を横切り該第１のトランジスタの該第２の電極までの上に位置する、シリサイド膜とを有することにより、該第１のトランジスタから該第２のトランジスタに対して該間に位置するフィールド酸化物領域を横切って電氣的相互接続が作製されたストラップ相互接続が提供され、そのことにより上記目的が達成される。

10

【００４８】

本発明によれば、少なくとも、ソース／ドレイン表面領域を有する第１のトランジスタから、周囲のフィールド酸化物領域を通して相互接続を形成する方法が提供される。本方法は、a) ソース／ドレイン表面領域およびその周囲のフィールド酸化物領域を含むトランジスタ上に、シリコン－ゲルマニウム化合物などの半導体膜を堆積する工程と、b) ソース／ドレイン領域およびフィールド酸化物の選択された隣接領域を含む半導体膜上に、高融点金属層を堆積する工程と、c) 半導体膜および高融点金属をアニールすることにより、ソース／ドレイン表面領域およびフィールド酸化物の選択された隣接領域の上にシリサイド膜を形成する工程とを包含する。周囲のフィールド酸化物領域から、ソース／ドレイン領域に対する電氣的接続が作製される。

20

【００４９】

典型的にはトランジスタは、ゲート電極およびその下に位置するゲート酸化物層、ならびにソース／ドレイン領域の一部の上に位置する第１の酸化物側壁を有する。従って工程a) は、ゲート電極および第１の酸化物側壁の上に半導体膜を堆積することを包含する。高融点金属が堆積される前に、酸化物などの絶縁層が、第１の半導体膜の上に堆積される。この酸化物層に対し異方性エッチングを行うことにより、ソース／ドレイン表面領域、ゲート電極、および周囲のフィールド酸化物領域上に位置する酸化物を除去する。高指向性である異方性エッチング工程のため、ゲート電極側壁から酸化物は除去されず、結果として第２の側壁が形成される。次に工程b) は、高融点金属層をゲート電極および第２の側壁の上に堆積することを包含する。工程c) は、トランジスタをアニールすることにより半導体膜が曝露された部分にシリサイド膜を形成することを包含する。従って、シリサイド膜は第２の側壁には形成されない。

30

【００５０】

アニール後、第１の酸化物側壁の上に位置する未反応の高融点金属、第２の側壁、および第１の半導体膜を除去する。トランジスタ上に誘電体中間層を堆積する。誘電体中間層を通り、フィールド酸化物の選択された領域の上に位置するシリサイド膜に達するコンタクトホールをエッチングする。金属をコンタクトホール中に堆積することにより、トランジスタのソース／ドレイン領域と誘電体中間層表面との間に電氣的相互接続を形成する。このようにして、ソース／ドレイン表面領域のサイズに関係なくトランジスタに対する接続が作製される。

40

【００５１】

同様にして、同じ金属層上にある第２のトランジスタのソース／ドレイン領域と、第１のトランジスタのソース／ドレイン領域との間に、フィールド酸化物を横切ってストラップ相互接続が形成される。工程a) は、両トランジスタの上に半導体膜を堆積することを包含する。工程b) において、ソース／ドレイン表面領域およびその間に位置するフィールド酸化物の選択された領域上に、高融点金属を堆積する。工程c) において、半導体膜および高融点金属をアニールすることにより、第２のトランジスタのソース／ドレイン領域

50

、第1のトランジスタのソース/ドレイン領域、およびその間に位置するフィールド酸化物の選択された領域の上に位置するシリサイド膜を形成する。このようにして、第1のトランジスタから第2のトランジスタまで、その間に位置するフィールド酸化物を横切って電氣的相互接続が作製される。例えば、第1のトランジスタのドレインは、第2のトランジスタのソースに接続される。

【0052】

CMOS相互接続およびCMOS相互接続方法によって得られる装置が提供される。CMOS相互接続は、ソース/ドレイン領域およびソース/ドレイン領域を囲むフィールド酸化物領域を含む。CMOS相互接続はまた、第1の酸化物側壁を有するゲート電極を含む。シリサイド膜が、ソース/ドレイン領域およびフィールド酸化物の選択された隣接領域の上に位置している。シリサイド層は、トランジスタおよびその周囲のフィールド酸化物領域の上に位置する半導体膜の層を堆積することにより、形成される。次に、絶縁層を堆積して異方性エッチングを行うことにより、第2のゲート電極側壁が形成される。トランジスタおよびフィールド酸化物の選択された隣接領域上に高融点金属を堆積してアニールすることにより、シリサイド膜を形成する。第1の酸化物側壁上に位置する未反応の高融点金属、第2の側壁、および半導体膜を除去する。フィールド酸化物の選択された領域の上に位置するシリサイド膜を介して、トランジスタのソース/ドレイン表面領域への電氣的接続が達成され得る。

【0053】

本発明によれば、小さなソース/ドレイン表面領域を可能にするCMOS相互接続方法が提供される。本相互接続は、ストラップ型接続およびビア型接続の両方に適用可能である。シリサイド膜をソース/ドレイン領域からフィールド酸化物まで形成することにより、小さなソース/ドレイン領域の表面領域が、隣接するフィールド酸化物領域内にまで拡張される。フィールド酸化物を覆うシリサイドへのコンタクトにより、同じ金属層上での相互接続、あるいは別の金属層への相互接続が作製される。ソース/ドレイン領域はシリサイド膜を受け入れるのに十分な大きさを有するだけでよい。ソース/ドレイン領域の小さいトランジスタは、ドレインリーク電流が少なく、寄生容量が少ない。CMOSTランジスタ相互接続装置もまた提供される。

【0054】

【発明の実施の形態】

図1は、CMOSTランジスタ（従来技術）の平面図である。トランジスタ10は、上面領域を有するソース12と、上面領域を有するドレイン14とを有している。ソース12およびドレイン14の一部の上に、ゲート電極16が位置している。ゲート電極16は酸化物側壁18を有しており、ゲート酸化物層20の上に位置している。トランジスタ10は、フィールド酸化物領域22および24に囲まれている。

【0055】

図2は図1のトランジスタ10の部分断面図である（従来技術）。トランジスタ10およびフィールド酸化物領域22および24の上に、誘電体中間層26が位置している。ソース12、ドレイン14、およびゲート電極16に至るビア28が、誘電体中間層内にエッチングされている。トランジスタ活性領域と誘電体中間層26の表面との間に電気接続をとるために、ビア28には金属が充填される。配線およびトレンチにより誘電体26の表面から他の電氣的要素（図示せず）への接続を行っている。ビアの相互接続を確実にするために、ソース/ドレイン12、14の総表面領域が所定の最小サイズより小さくならないようにする。またソース/ドレイン12、14のサイズにより、ドレインリーク電流および寄生容量は、少なくとも最小限のドレインリーク電流および寄生容量となる。

【0056】

図3から図12に、本発明の完成したCMOS相互接続を形成するための工程を示す。図3は、第1のトランジスタ38および隣接する第2のトランジスタ40の平面図である。CMOS相互接続は、第1の酸化物側壁44を有するゲート電極42を有している。第1のトランジスタ38は、電極46およびその下に位置する接合領域（後にソース領域とな

10

20

30

40

50

る)を有している。同様に、電極48はドレイン領域となる。あるいは、領域48をソースとし領域46をドレインとしてもよい。本明細書において一般に、領域46、48、58、および60を電極またはソース/ドレイン領域と呼ぶ。フィールド酸化物領域50および52が、ソース/ドレイン領域46、48を囲んでいる。

【0057】

第2のトランジスタ40は、第1の酸化物側壁56を有するゲート電極54を有している。電極58はソース領域となり、電極60はドレイン領域となる。あるいは、電極58をドレインとし電極60をソースとしてもよい。フィールド酸化物52および62が、ソース/ドレイン領域58、60を囲んでいる。

【0058】

図4は、図3のトランジスタ38およびトランジスタ40の部分断面図である。5~20ナノメートル(nm)程度の厚さを有するゲート酸化物層64の上にゲート電極42が位置している。P型ドーピングされた基板68の上に位置するように第1のトランジスタ38が作製される。Nウェル70の上に位置するように第2のトランジスタ40が作製される。

【0059】

バルクシリコン、SOI(silicon on insulator)、および隆起ソース/ドレイントランジスタからなる群より選択されるトランジスタ38および40に対して、相互接続が形成される。従来技術の方法を用いて、しきい電圧調節イオン注入とともにウェル70を形成し得る。本発明の異なる局面においては、ウェル70は拡散または逆行(retrograded)高エネルギーイオン注入から形成される。フィールド酸化物50、52および62は、シリコン局所酸化(LOCOS)または浅いトレンチ分離によって形成される。SOI構造を用いる場合、当該分野において周知のとおり、ドーピングされたウェルを形成するプロセスの代わりにシリコン島エッチングおよびしきい電圧調節注入を用いてもよい。

【0060】

典型的には、蒸着法によりポリシリコンを堆積し、ドーピングすることによりゲート電極42および54を形成する。ゲート電極42および54の厚さは、200~500nm程度である。

【0061】

図5は、半導体膜72の層の堆積後の図4のトランジスタ38および40を示す。半導体膜72はトランジスタ38および40、ならびにその周囲のフィールド酸化物領域50、52および62の上に位置する。明瞭さのため、半導体膜72を斜線で示している。半導体膜72は、ポリシリコンおよびシリコン-ゲルマニウム化合物 Si_xGe_{1-x} からなる群より選択される。シリコン-ゲルマニウム化合物(Si_xGe_{1-x})におけるxは、0.5から0.9の範囲である。半導体膜72は、50から200nmの範囲の厚さ73を有している。

【0062】

図6は、絶縁層74の堆積後の図5のトランジスタ38および40を示している。絶縁層74は半導体層72の上に位置する。絶縁層74の材料は、酸化物および窒化物からなる群より選択される。本発明のいくつかの局面においては(図示せず)、半導体膜72は非選択のフィールド酸化物領域50、52および62(すなわちフィールド酸化物領域のうち後の工程においてシリサイド膜が形成されない領域)からエッチングされる。

【0063】

図7は、絶縁層74の異方性エッチング後の図6のトランジスタ38および40を示す。異方性エッチングにより、第2のゲート電極側壁76が形成される。プラズマエッチングが適している。第1の側壁44(または56)、第2の側壁76、およびその間の半導体膜72は、結合側壁厚77aを有する。

【0064】

製造プロセスのこの時点において、イオン注入を行うことにより、ソース/ドレイン領域46、48、58、および60(図3を参照)に対応する活性ソース/ドレイン領域を形

10

20

30

40

50

成する。明瞭さのため、1個の電極領域48のみを示している。例えば、第1のトランジスタ38がNMOSトランジスタの場合、ヒ素による N^+ イオン注入が、30から60keVの間のエネルギーレベルかつ 5×10^{14} から $4 \times 10^{15} / \text{cm}^2$ の間のドースで行われる。第2のトランジスタ40がPMOSトランジスタの場合、 BF_2 による P^+ イオン注入が、30から60keVの間のエネルギーレベルかつ 5×10^{14} から $4 \times 10^{15} / \text{cm}^2$ の間のドースで行われる。ドーパントの拡散は、800から1000の範囲の温度で、20から60分の範囲の時間で起こる。NMOSおよびPMOSトランジスタを例として示すが、本発明は特定のトランジスタ様式には制限されない。得られる活性ソース/ドレイン領域は、ソース/ドレイン領域48の上に位置する結合側壁厚77aの約2倍のソース/ドレイン幅77bを有する。

10

【0065】

図8は、高融点金属層78の堆積後の図7のトランジスタ38および40を示す。高融点金属層78を2重斜線で示している。高融点金属層78は、半導体膜72上に堆積され、ソース/ドレイン表面領域46、48、58および60ならびに選択されたフィールド酸化物50、52および62隣接領域上に堆積された半導体膜72を覆う。典型的には、高融点金属層78は全ての面上に等方的に堆積される。次に、高融点金属層78を設けることが望ましい領域を覆うようにフォトリソグラフィマスクを設置する。フィールド酸化物領域部分50および62などのマスクによって覆われていない領域において、高融点金属層78がエッチングプロセスにより除去される。高融点金属78は、Ti、Co、W、PtおよびNiからなる群より選択される。

20

【0066】

図9は、アニール後の図8のトランジスタ38および40を示す。トランジスタ38および40をアニールすることによりシリサイド膜80を形成する。シリサイド膜80は、ソース/ドレイン領域46、48、58および60、フィールド酸化物領域50、52および62の選択された領域、ならびにゲート電極42および54上において、高融点金属層78が半導体膜72の上に位置している領域(図8参照)に形成される。高融点金属層78が半導体膜72の上に位置していない領域においては、高融点金属層78は未反応のままである。シリサイド膜80は、2~10オーム/平方インチの範囲の抵抗率(任意の寸法または単位系の平方につき導電率が一定として)を有する。シリサイド膜80は、40から200nmの範囲の厚さ81を有する。本発明のいくつかの局面において、アニールは2つのアニール小工程を包含する。第1の小工程は、450から650の範囲の温度でアニールを行うことを包含する。第2の小工程は、700から900の範囲の温度でアニールを行うことを包含する。本発明のいくつかの局面において、未反応の半導体膜72の層がアニール後のシリサイド膜80の下に位置する。本発明の他の局面において、半導体膜72はアニールプロセス中において完全に消費されてしまう(図示せず)。シリサイド膜80は、フィールド酸化物50、52および62からソース/ドレイン領域46、48、58および60への電氣的連絡を可能にする。

30

【0067】

図10は、エッチングプロセス後の図9のトランジスタ38および40を示す。第1の酸化物側壁44および56の上に位置する未反応の高融点金属層78、第2の側壁76および未反応の半導体膜72が、全て除去される。典型的には、これら3つの材料は3つの別々のエッチングプロセスによって除去される。絶縁体材料74(図6参照)従って第2のゲート電極側壁76が酸化物である場合、緩衝化ヒドロフルオリド(BHF)エッチングを用いて第2のゲート電極側壁76を除去し、 $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて半導体膜72を除去する。絶縁体材料74従って第2のゲート電極側壁76が窒化物である場合、リン酸を用いて第2のゲート電極側壁76を除去し、 $\text{NH}_3\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}$ 溶液を用いて半導体膜72を除去する。隣接するフィールド酸化物50、52および62の選択された領域からソース/ドレイン領域46、48、58および60へ電氣的連絡が達成される。

40

【0068】

50

図 1 1 は、誘電体中間層 8 2 の堆積後の図 1 0 のトランジスタ 3 8 および 4 0 を示す。誘電体中間層 8 2 は、上面 8 3 を有し、ソース/ドレイン領域 4 6、4 8、5 8 および 6 0 の上に位置する。誘電体中間層 8 2 はまた、周囲のフィールド酸化物領域 5 0、5 2 および 6 2 の上にも位置する。誘電体中間層表面 8 3 から誘電体中間層 8 2 を通り、選択されたフィールド酸化物 5 0 および 6 2 の隣接領域の上に位置するシリサイド膜 8 0 に至るコンタクトホール 8 4 が、パターンニングされる。コンタクトホール 8 4 内に金属 8 6 が堆積されることにより、シリサイド膜 8 0 とともに誘電体中間層表面 8 3 からソース/ドレイン領域 7 7 への電氣的相互接続が形成される。

【 0 0 6 9 】

図 1 2 は、図 1 0 のトランジスタ 3 8 および 4 0 の平面図である。第 1 の C M O S トランジスタ 3 8 と第 2 の C M O S トランジスタ 4 0 との間のストラップ相互接続は、この平面図において最もよく示されている。第 2 のトランジスタ 4 0 の第 1 の電極 5 8 (ソースなど)と、第 1 のトランジスタ 3 8 の第 2 の電極 4 8 (ドレインなど)との間に、フィールド酸化物領域 5 2 が位置している。シリサイド膜 8 0 の切り取り部分から、その下に位置する電極 4 8 および 5 8 が見えている。本方法は、あるトランジスタのソース、ドレイン、およびゲート電極を、他の任意のトランジスタのソース、ドレインまたはゲート電極に接続するためにも適用可能である。本方法は、セルサイズを縮小するように S R A M 構成を製造する際に特に有用である。図 3 ~ 図 1 0 に示して前述したように、シリサイド膜 8 0 が、第 2 のトランジスタ 4 0 の第 1 の電極 5 8 から第 1 のトランジスタ 3 8 の第 2 の電極 4 8 および、その間に位置するフィールド酸化物領域 5 2 の選択された領域の上に位置している。すなわち、シリサイド膜 8 0 は、間に位置するフィールド酸化物領域 5 2 の選択された領域をわたって、第 1 の電極 5 8 から第 2 の電極 4 8 の上に位置する。シリサイド膜 8 0 は、半導体膜 7 2 の層を、トランジスタ 3 8 および 4 0 ならびにその間に位置するフィールド酸化物領域 5 2 の上に堆積することによって形成される。次いで、半導体膜 7 2 上に絶縁層 7 4 を堆積し、異方性エッチングすることにより第 2 のゲート電極側壁 7 6 を形成する。高融点金属層 7 8 がトランジスタ 3 8 および 4 0 ならびに、その間に位置するフィールド酸化物 5 2 の選択された領域の上に位置している。トランジスタ 3 8 および 4 0 をアニールしてシリサイド膜 8 0 を形成する。エッチングにより、第 1 の酸化物側壁 4 4 および 5 6 の上に位置する未反応の高融点金属 7 8、第 2 の側壁 7 6 および半導体膜 7 2 を除去する。このようにして、第 1 のトランジスタ 3 8 から第 2 のトランジスタ 4 0 まで、その間に位置するフィールド酸化物領域 5 2 を横切って電氣的接続を行う。

【 0 0 7 0 】

図 1 2 に戻って、シリサイド膜 8 0 は、本発明の異なる局面に応じて異なる幅 9 0 を有する。図 1 2 において、幅 9 0 はソース/ドレイン領域 4 6、4 8、5 8 および 6 0 の幅にほぼ等しく示されている。あるいは、高融点金属 7 8 をソース/ドレイン領域 4 6、4 8、5 8 および 6 0 の選択された領域の上に堆積することにより、より狭い幅 9 0 を形成してもよい(図示せず)。ストラップ相互接続は、第 1 のトランジスタのソースと第 2 のトランジスタのドレインとの間の接続に限定されない。上述のように、任意のトランジスタ活性領域から同じ金属層上の任意の他の活性領域への接続を行う。同様に、本発明のいくつかの局面においては複数のトランジスタが接続される。本発明の接続はまた、ストラップ接続およびビア接続の両方の組み合わせにおいても用いられる。

【 0 0 7 1 】

図 1 3 は、周囲のフィールド酸化物領域を通る C M O S 相互接続を形成する方法を示すフローチャートである。この相互接続方法は、バルクシリコン、S O I、および隆起ソース/ドレイントランジスタからなる群より選択されるトランジスタについて適用可能である。工程 1 0 0 において、ソース/ドレイン領域を有する少なくとも第 1 のトランジスタを提供する。工程 1 0 2 において、トランジスタのソース/ドレイン領域および周囲のフィールド酸化物領域を含み、トランジスタの上に位置する半導体膜を堆積する。工程 1 0 2 は、ポリシリコンおよびシリコン - ゲルマニウム化合物 $\text{Si}_x\text{Ge}_{1-x}$ からなる群より半導体膜を選択することを包含する。本発明のいくつかの局面において、シリコン - ゲルマニ

10

20

30

40

50

ウム化合物 ($\text{Si}_x\text{Ge}_{1-x}$) における x は、 0.5 から 0.9 の範囲である。工程 102 は、半導体膜が約 50 から 200 nm の範囲の厚さを有していることを包含する。

【0072】

工程 104 において、ソース/ドレイン領域およびフィールド酸化物の選択された隣接領域上にすでに堆積されている半導体膜を覆うように、半導体膜の上に位置する高融点金属層を堆積する。高融点金属層は、 Ti 、 Co 、 W 、 Pt および Ni からなる群より選択される。工程 106 において、工程 102 で堆積された半導体膜および工程 104 で堆積された高融点金属をアニールすることにより、ソース/ドレイン領域およびフィールド酸化物の選択された隣接領域の上に位置するシリサイド膜を形成する。シリサイド層は、 40 から 200 nm の範囲の厚さおよび、 $2 \sim 10$ オーム/平方インチの範囲の抵抗率を有する。一般に、シリサイド層が厚くなるほど抵抗率が低くなる。工程 108 は完成品であり、周囲のフィールド酸化物からソース/ドレイン領域の間に電氣的相互接続が形成されることにより、ソース/ドレイン領域のサイズが最小化されている。

10

【0073】

本発明のいくつかの局面において、工程 102 に先立つ工程（図示せず）において、ゲート電極ならびにその下に位置するゲート酸化物層および第 1 の酸化物側壁を形成する。ゲート電極はソース/ドレイン領域の一部の上に位置する。次に、工程 104 は、ゲート電極および第 1 の酸化物側壁の上に位置する半導体膜を堆積することを包含する。

【0074】

本発明のいくつかの局面において、工程 102 に引き続きさらなる工程を行う。工程 102a において、酸化シリコン（酸化物）および窒化シリコン（窒化物）からなる群より選択される絶縁体の層を、半導体膜の上に位置するように堆積する。工程 102b において、工程 102a で堆積された絶縁体に対し異方性エッチングを行うことにより、ゲート電極側壁上の絶縁体を除去しないようにして、ソース/ドレイン領域、ゲート電極、および周囲のフィールド酸化物領域上の絶縁体を除去する。このようにして、第 2 の側壁が形成される。次に、工程 104 は、ゲート電極および第 2 の側壁の上に位置する高融点金属層を堆積することを包含する。工程 106 は、トランジスタをアニールすることによって、工程 102b において半導体膜が曝露された領域（ゲート電極を含むが第 2 の側壁は含まない）においてトランジスタの上に位置するシリサイド膜を形成することを包含する。

20

【0075】

本発明のいくつかの局面において、工程 102b における第 1 の側壁および第 2 の側壁ならびにその間に位置する工程 102 において堆積された半導体膜は、結合側壁厚を有する。次に、工程 102b に引き続きさらなる工程を行う。工程 102c（図示せず）において、ソース/ドレイン領域にドーピングおよびアニールを行うことにより、ソース/ドレイン領域の上に位置する結合側壁厚のほぼ 2 倍のソース/ドレイン幅を有する、活性ソース/ドレイン領域を形成する。

30

【0076】

本発明のいくつかの局面において、工程 106 に引き続きさらなる工程が行われる。工程 106a において、第 2 の側壁の上に位置する未反応の高融点金属、第 2 の側壁自体、および第 1 の酸化物側壁の上に位置する半導体膜を除去する。工程 102a で堆積された絶縁体が酸化物の場合、工程 106a は、緩衝化ヒドロフルオリド（ BHF ）を用いて第 2 のゲート電極側壁をエッチングすることを包含する。工程 102b で堆積された絶縁体が窒化物の場合、工程 106a は、リン酸を用いて第 2 のゲート電極側壁をエッチングすることを包含する。 $\text{NH}_3\text{OH} : \text{H}_2\text{O}_2 : \text{H}_2\text{O}$ 溶液を用いて半導体膜を除去する。

40

【0077】

工程 106b において、誘電体中間層を、その上面がトランジスタの上に位置するように堆積する。工程 106c において、誘電体中間層をエッチングすることにより、誘電体中間層の上面からフィールド酸化物の選択された隣接領域の上に位置するシリサイド膜まで延びるコンタクトホールを形成する。工程 106d において、コンタクトホール内に金属を堆積することにより、誘電体中間層の表面からソース/ドレイン領域まで電氣的接続を

50

形成する。このようにして、ソース/ドレイン領域のサイズに関係なく相互接続が作製される。

【0078】

本発明のいくつかの局面において、工程106は、2つのアニール小工程（図示せず）を包含する。第1の小工程は、450から650の範囲の温度でアニールを行うことを包含する。第2の小工程は、700から900の範囲の温度でアニールを行うことを包含する。

【0079】

図14は、フィールド酸化物領域を横切ってトランジスタ間にストラップ相互接続を形成する方法を示す、フローチャートである。工程200は少なくとも、第1の電極（ソース領域など）を有する第2のトランジスタ、第2の電極（ドレイン領域など）を有する第1のトランジスタ、および2つのトランジスタを少なくとも部分的に囲むフィールド酸化物領域を含む。本方法はソースをドレインに接続することに限定されない。本方法は、あるトランジスタのソース、ドレインおよびゲート電極を、任意の別のトランジスタのソース、ドレインおよびゲート電極への接続に適用可能である。工程202において、半導体膜を、第2のトランジスタの第1の電極、第1のトランジスタの第2の電極、および周囲のフィールド酸化物領域を含む、トランジスタ上に堆積する。工程204において、第1および第2の電極ならびに2つのトランジスタの間に位置するフィールド酸化物の選択された領域上にすでに堆積されこれらを覆っている半導体膜を含み、半導体膜の上に位置する高融点金属層を堆積する。すなわち、第2のトランジスタの第1の電極および第1のトランジスタの第2の電極の間に位置する、フィールド酸化物領域である。工程206において、工程202で堆積された半導体膜および工程204で堆積された高融点金属をアニールすることにより、第2のトランジスタの第1の電極、第1のトランジスタの第2の電極、およびその間に位置するフィールド酸化物の選択された領域の上に位置するシリサイド膜を形成する。工程208は完成品であり、第1のトランジスタから第2のトランジスタまでその間に位置するフィールド酸化物を横切って電氣的相互接続が形成されている。あるいは、第1のトランジスタの任意の活性領域から第2のトランジスタの任意の活性領域に対してストラップ接続を作製することができる。さらに、本発明のいくつかの局面においては、2つ以上のトランジスタ活性領域に対してストラップ接続が作製される。

【0080】

上述の相互接続および相互接続方法の変形例において、第1のトランジスタのゲート電極と第2のトランジスタの電極との間にシリサイド膜を形成する。次に、ゲート電極のうち第1のトランジスタのソース/ドレイン領域に隣接していない領域が、接続に選ばれる。この選択された接続部位においては第2の側壁が形成されないことにより、ゲート電極から第1の側壁を越えて隣接するフィールド酸化物領域を横切り第2のトランジスタ電極まで延びるシリサイド膜が、形成される。

【0081】

当業者には、本発明のその他の変形例およびその他の実施形態が明らかであろう。

【0082】

【発明の効果】

本発明によれば、小さなソース/ドレイン表面領域を可能にするトランジスタ相互接続が提供される。相互接続は、ストラップ接続およびビア接続の両方に適用可能である。シリサイド膜をソース/ドレイン領域からフィールド酸化物まで形成することにより、ソース/ドレイン領域の表面領域が、隣接するフィールド酸化物領域内にまで拡張される。フィールド酸化物を覆うシリサイドへの電氣的コンタクトにより、同じ金属層上での相互接続、あるいは別の金属層への相互接続が作製される。ソース/ドレイン領域はシリサイド膜を受け入れるのに十分な大きさを有するだけでよい。

【0083】

また、本発明によれば、ソース/ドレイン領域の表面領域に依存しないトランジスタ相互接続方法提供される。さらに、IC基板の金属層間の相互接続がトランジスタのソース/

10

20

30

40

50

ドレイン領域に対して直接なされないようになる。また、トランジスタのソースおよびドレイン領域を減少することにより、ソースおよびドレイン領域への接続に影響を与えずにドレインリーク電流を最小化でき、寄生容量も少なくできる。

【図面の簡単な説明】

【図 1】図 1 は、CMOS トランジスタの平面図である（従来技術）。

【図 2】図 2 は、図 1 のトランジスタの部分断面図である（従来技術）。

【図 3】図 3 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 4】図 4 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 5】図 5 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 6】図 6 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

10

【図 7】図 7 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 8】図 8 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 9】図 9 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

【図 10】図 10 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

。

【図 11】図 11 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

。

【図 12】図 12 は、本発明による完成した CMOS 相互接続の形成工程を示す図である。

。

【図 13】図 13 は、周囲のフィールド酸化物領域を介した CMOS 相互接続の形成方法を示すフローチャートである。

20

【図 14】図 14 は、フィールド酸化物領域を横切ってトランジスタ間のストラップ相互接続を形成する方法を示すフローチャートである。

【符号の説明】

42 ゲート電極

44 第 1 の酸化物側壁

46 ソース/ドレイン領域

48 ソース/ドレイン領域

50 フィールド酸化物領域

52 フィールド酸化物領域

30

54 ゲート電極

56 第 1 の酸化物側壁

58 ソース/ドレイン領域

60 ソース/ドレイン領域

62 フィールド酸化物領域

72 半導体膜

80 シリサイド膜

82 誘電体中間層

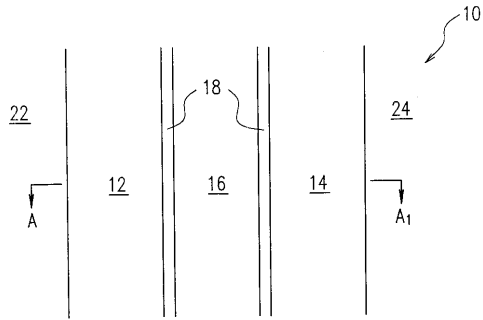
83 上面

84 コンタクトホール

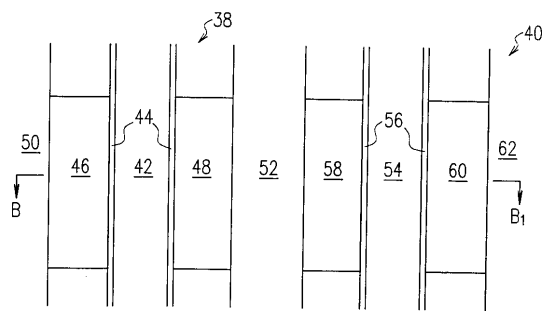
40

86 金属

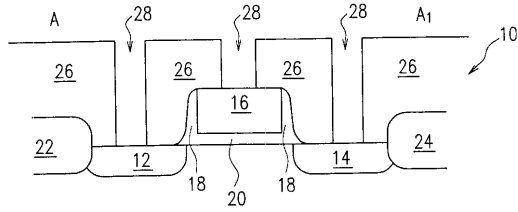
【図 1】



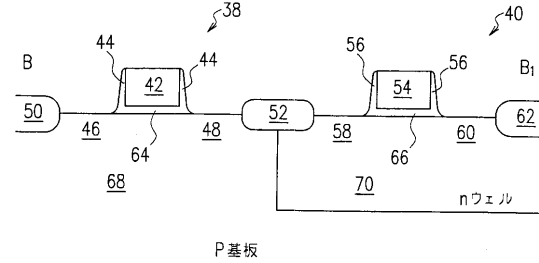
【図 3】



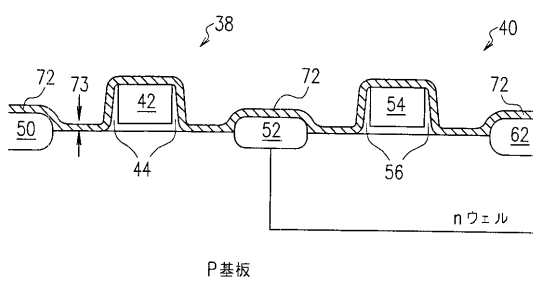
【図 2】



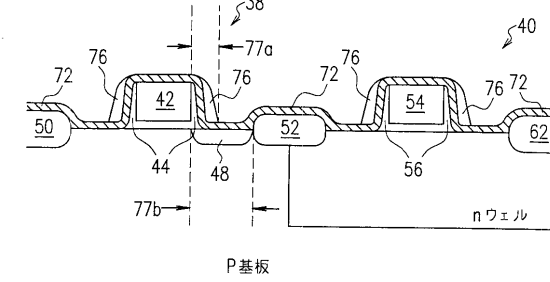
【図 4】



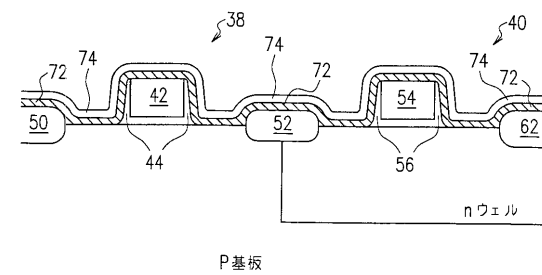
【図 5】



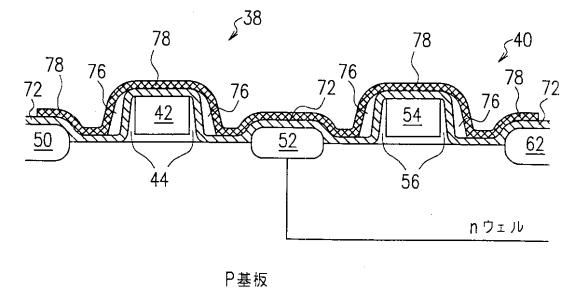
【図 7】



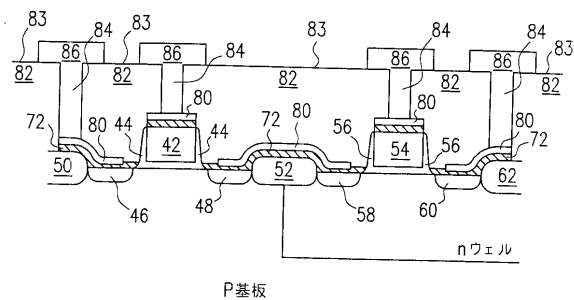
【図 6】



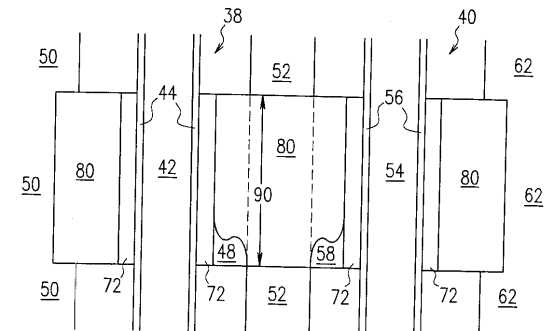
【図 8】



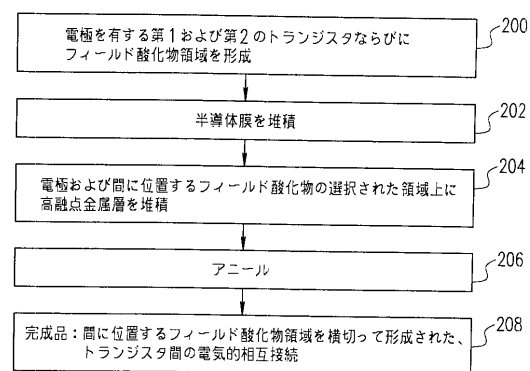
【 ㊦ 1 1 】



【 図 1 2 】



【 図 1 4 】



フロントページの続き

審査官 恩田 春香

- (56)参考文献 特開昭55-068675(JP,A)
特開昭61-125166(JP,A)
特開平02-237151(JP,A)
特開平05-347384(JP,A)
特開昭63-044754(JP,A)
特開平04-260325(JP,A)
特開昭50-023788(JP,A)
特開昭56-060063(JP,A)
特開昭62-078872(JP,A)
特開平07-045712(JP,A)
特開平08-017944(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234-8238
H01L 21/8248-8249
H01L 27/08
H01L 27/085-092