

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013년 7월 11일 (11.07.2013)



(10) 국제공개번호
WO 2013/103163 A1

- (51) 국제특허분류:
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 국제출원번호: PCT/KR2012/000079
- (22) 국제출원일: 2012년 1월 4일 (04.01.2012)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0000341 2012년 1월 3일 (03.01.2012) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): **고려대학교 산학협력단 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION)** [KR/KR]; 136-701 서울특별시 성북구 안암동 5가 1 고려대학교 내, Seoul (KR).
- (72) 발명자; 겸
- (75) 발명자/출원인 (US 에 한하여): **김상식 (KIM, Sangsig)** [KR/KR]; 135-968 서울특별시 강남구 대치동 1014-3 대치삼삼아파트 108동 1205호, Seoul (KR). **이명원 (LEE, Myeong-Won)** [KR/KR]; 157-031 서울특별시 강서구 등촌1동 두산위브센티움 1022호, Seoul (KR). 전

영인 (JEON, Youngin) [KR/KR]; 465-716 경기도 하남시 덕풍 2동 하남자이아파트 109동 303호, Gyeonggi-do (KR).

(74) 대리인: 특허법인주원 (**B&IP-JOOWON PATENT AND LAW FIRM**); 135-701 서울특별시 강남구 논현동 71-2 건설회관 9층, Seoul (KR).

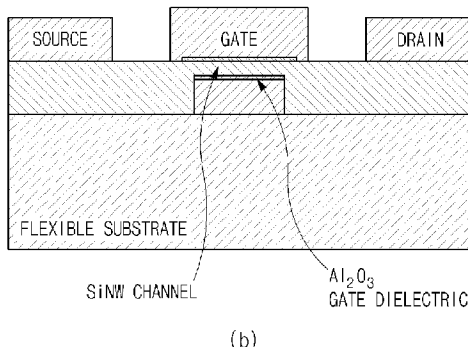
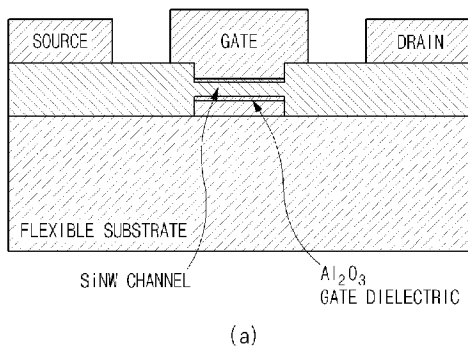
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

[다음 쪽 계속]

(54) Title: TRANSISTOR USING SINGLE CRYSTAL SILICON NANOWIRE AND METHOD FOR MANUFACTURING SAME

(54) 발명의 명칭: 단결정 실리콘 나노와이어를 이용한 트랜지스터 및 그 제조방법



(57) Abstract: Disclosed is a transistor using a single crystal silicon nanowire, and a method for manufacturing same. The transistor using the single crystal silicon nanowire comprises a substrate, and a single crystal nanowire that is formed on the substrate. Here, the single crystal silicon nanowire comprises a source region and a drain region that are formed away from each other in a length direction of the single crystal silicon nanowire, and a channel region that is disposed between the source region and the drain region. The width of the channel region in a direction vertical to the length direction is less than the widths of the source region and the drain region. By making a diameter of the channel region of the single crystal silicon nanowire used as a channel of the transistor smaller than the adjacent source region and drain region, it is possible to manufacture the transistor using the nanowire whose parasitic resistance at a source and a drain is low and which has excellent static electricity control. Also, the transistor using the single crystal silicon nanowire may further comprise: a gate electrode that surrounds the channel region; and a high-k gate insulating film between the channel region of the single crystal silicon nanowire and the gate electrode. Thus, by constituting the gate electrode (of the transistor using the single crystal silicon nanowire) in a gate all around (GAA) format, a transistor device using the nanowire can be manufactured which has a fine size and is capable of overcoming a short channel effect.

(57) 요약서:

[다음 쪽 계속]



ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, **공개:**

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,
GW, ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

단결정 실리콘 나노와이어를 이용한 트랜지스터 및 그 제조 방법이 개시된다. 단결정 실리콘 나노와이어를 이용한 트랜지스터는 기판, 및 기판상에 형성된 단결정 나노와이어를 포함한다. 이때 단결정 실리콘 나노 와이어는, 단결정 실리콘 나노와이어의 길이 방향으로 서로 이격되어 형성되는 소스 영역과 드레인 영역, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함하고, 길이 방향과 수직 방향으로의 채널 영역의 두께는 소스 영역과 드레인 영역의 두께보다 작다. 이와 같이, 트랜지스터의 채널로 사용되는 단결정 실리콘 나노와이어 채널 영역의 직경을 인접하는 소스 영역과 드레인 영역보다 작게 구현함으로써, 소스와 드레인의 기생저항이 작으면서도 우수한 정전기적 제어효과를 가지는 나노와이어를 이용한 트랜지스터를 제조할 수 있게 된다. 또한, 상기 단결정 실리콘 나노와이어를 이용한 트랜지스터는 채널 영역을 둘러싸는 게이트 전극, 및 단결정 실리콘 나노와이어 채널 영역과 게이트 전극 사이에 고유전율(high-k) 게이트 절연막을 더 포함할 수 있다. 이와 같이, 단결정 실리콘 나노와이어를 이용한 트랜지스터의 게이트 전극을 게이트 올 어라운드(Gate All Around; GAA)형으로 구성함으로써, 미세 크기를 가지면서도 단채널 효과를 극복할 수 있는 구조의 나노와이어를 이용한 트랜지스터 소자를 제조할 수 있게 된다.

명세서

발명의 명칭: 단결정 실리콘 나노와이어를 이용한 트랜지스터 및 그 제조방법

기술분야

- [1] 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 더욱 상세하게는 나노와이어를 이용하여 제작되는 트랜지스터 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 종래의 바텀-업 (bottom-up) 방식의 나노와이어 제조 방법에 있어서, 나노와이어 합성 및 그의 전기적, 광학적 및 물리적 특성에 대한 연구는 상당한 진전을 보이고 있지만, 이를 원하는 위치에 정렬(alignment)하는 방법은 아직 집적 시스템에 응용하는데 한계점이 있다.
- [3] 이에 반해, 탑-다운 (top-down) 방식으로 나노와이어를 제작하는 경우 정렬에 대한 문제점은 극복이 가능하나, 주로 SOI 기판과 전자빔 리소그래피(e-beam lithography)를 통해 제작되고 있어 나노와이어 소자의 생산성에 있어 문제점이 있다.
- [4] 최근에 SOI 기판이 아닌 단결정 실리콘 기판을 이용한 나노와이어 제작에 관한 다양한 방법이 소개되고 있지만 이를 이용한 소자는 딱딱한(rigid) 기판에 구현되거나 또는 플렉시블 기판에 구현되더라도 바텀-게이트 (bottom-gate) 및 탑-게이트(top-gate) 구조를 가지고 있는 경우가 대부분이다.
- [5] 그런데 나노와이어는 그 직경이 감소할수록, 나노와이어 소자의 정전기적 제어효과는 우수해지지만, 소스/드레인의 기생저항이 커지는 문제점이 있다.
- [6] 또한, 소자 크기가 작아짐에 따라, 소자 형성 영역 특히 액티브 영역에 형성되는 트랜지스터의 채널 길이가 줄어들며, 이에 따라 소스/드레인 영역이 채널 영역의 전계에 미치는 영향이 현저해지고 게이트 전극에 의한 채널 구동 능력이 열화되는 단채널 효과(short channel effect)가 나타나는 문제점이 나타나게 된다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명은 상술한 종래의 문제점을 해결하기 위해 안출된 것으로서, 소스와 드레인의 기생저항이 작아면서도 우수한 정전기적 제어효과를 가지는 나노와이어를 이용한 트랜지스터 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.
- [8] 또한, 미세 크기를 가지면서도 단채널 효과를 극복할 수 있는 구조의 나노와이어를 이용한 트랜지스터 소자 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제 해결 수단

- [9] 상기 목적을 달성하기 위해 본 발명에 따른 단결정 실리콘 나노와이어를

이용한 트랜지스터는 기판, 및 기판상에 형성된 단결정 나노와이어를 포함한다. 이때 단결정 실리콘 나노 와이어는, 단결정 실리콘 나노와이어의 길이 방향으로 서로 이격되어 형성되는 소스 영역과 드레인 영역, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 포함하고, 길이 방향과 수직 방향으로의 채널 영역의 두께는 소스 영역과 드레인 영역의 두께보다 작다.

[10] 이와 같이, 트랜지스터의 채널로 사용되는 단결정 실리콘 나노와이어 채널 영역의 직경을 인접하는 소스 영역과 드레인 영역보다 작게 구현함으로써, 소스와 드레인의 기생저항이 작으면서도 우수한 정전기적 제어효과를 가지는 나노와이어를 이용한 트랜지스터를 제조할 수 있게 된다.

[11] 또한, 상기 단결정 실리콘 나노와이어를 이용한 트랜지스터는 채널 영역을 둘러싸는 게이트 전극, 및 단결정 실리콘 나노와이어 채널 영역과 게이트 전극 사이에 고유전율(high-k) 게이트 절연막을 더 포함할 수 있다.

[12] 이와 같이, 단결정 실리콘 나노와이어를 이용한 트랜지스터의 게이트 전극을 게이트 올 어라운드(Gate All Around; GAA)형으로 구성함으로써, 미세 크기를 가지면서도 단채널 효과를 극복할 수 있는 구조의 나노와이어를 이용한 트랜지스터 소자를 제조할 수 있게 된다.

[13] 또한, 상기 단결정 실리콘 나노와이어를 이용한 트랜지스터의 기판은 플렉시블 기판일 수 있다.

[14] 또한, 본 발명에 따른 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법은, 단결정 실리콘 기판으로부터 단결정 실리콘 나노와이어를 형성하는 단계, 및 형성된 단결정 실리콘 나노와이어를 트랜지스터 기판으로 전사하는 단계를 포함한다.

[15] 이때, 단결정 나노와이어를 형성하는 단계는, 단결정 실리콘 나노 와이어의 길이 방향으로 서로 이격되도록 단결정 실리콘 나노 와이어의 미리 설정된 영역에 각각 소스 영역과 드레인 영역을 형성하고, 소스 영역과 드레인 영역 사이에 위치하는 채널 영역을 형성하는 소자 영역 형성 단계, 및 길이 방향과 수직 방향으로의 상기 채널 영역의 두께를 소스 영역과 드레인 영역의 두께보다 작게 형성하는 채널 영역 두께 축소 단계를 포함한다.

[16] 또한, 상기 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법은 채널 영역을 둘러싸는 게이트 전극을 형성하는 단계, 및 단결정 실리콘 나노와이어 채널 영역과 상기 게이트 전극 사이에 고유전율(high-k) 게이트 절연막을 형성하는 단계를 더 포함할 수 있다.

[17] 또한, 소자 영역 형성 단계는, 단결정 실리콘 나노와이어의 채널 영역, 소스와 드레인 영역 형성을 위해 불순물을 주입하는 단계를 포함하고, 채널 영역 두께 축소 단계는 채널 영역의 불순물 농도와 소스 및 드레인 영역의 불순물 농도 사이의 불순물의 농도 차이에 따른 이방성 식각을 이용하여 상기 채널 영역의 두께를 축소시키는 단계를 포함할 수 있다.

[18] 또한, 단결정 나노와이어를 형성하는 단계는, 단결정 실리콘 기판상에 실리콘

산화막을 형성하는 단계, 실리콘 산화막상에 실리콘 질화막을 형성하는 단계, 실리콘 질화막 및 산화막을 식각하여 실리콘 나노와이어 액티프 패턴을 형성하는 단계, 실리콘 질화막을 마스크로 실리콘 기판을 식각하여 실리콘 컬럼구조물을 형성하는 단계, 실리콘 컬럼구조물을 결정 구조에 따라 이방성 식각하여 모래시계 형태의 실리콘 구조물을 형성하는 단계, 실리콘 구조물 위에 나노와이어의 채널 영역 노출시키는 단계, 채널 영역이 노출된 모래시계 형태의 실리콘 구조물을 산화시키는 단계, 및 실리콘 질화막을 제거하는 단계, 및 실리콘 구조물로부터 산화막을 제거하는 단계를 포함할 수 있다.

- [19] 또한, 단결정 나노와이어를 형성하는 단계는, 단결정 실리콘 기판상에 실리콘 산화막을 형성하는 단계, 실리콘 산화막상에 실리콘 질화막을 형성하는 단계, 실리콘 질화막 및 산화막을 식각하여 실리콘 나노와이어 액티프 패턴을 형성하는 단계, 실리콘 질화막을 마스크로 실리콘 기판을 식각하여 실리콘 컬럼구조물을 형성하는 단계, 실리콘 컬럼구조물을 결정 구조에 따라 이방성 식각하여 모래시계 형태의 실리콘 구조물을 형성하는 단계, 모래시계 형태의 실리콘 구조물을 산화시키는 단계, 실리콘 구조물 위에 나노와이어의 채널 영역 노출시키는 단계, 노출된 채널 영역을 미리 설정된 깊이로 제거하는 단계, 실리콘 질화막을 제거하는 단계, 및 실리콘 구조물로부터 산화막을 제거하는 단계를 포함할 수 있다.

- [20] 또한, 이방성 식각은 이방성 식각 용액 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide; TMAH)를 이용하여 수행될 수 있다.

- [21] 또한, 단결정 실리콘은 열산화 방법으로 산화시킬 수 있다.

- [22] 또한, 실리콘 질화막 및 산화막의 제거 이후에 단결정 실리콘 기판상에 열산화막을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [23] 본 발명에 의하면, 트랜지스터의 채널로 사용되는 단결정 실리콘 나노와이어 채널 영역의 직경을 인접하는 소스 영역과 드레인 영역보다 작게 구현함으로써, 소스와 드레인의 기생저항이 작으면서도 우수한 정전기적 제어효과를 가지는 나노와이어를 이용한 트랜지스터를 제조할 수 있게 된다.

- [24] 또한, 단결정 실리콘 나노와이어를 이용한 트랜지스터의 게이트 전극을 게이트 올 어라운드(Gate All Around; GAA)형으로 구성함으로써, 미세 크기를 가지면서도 단채널 효과를 극복할 수 있는 구조의 나노와이어를 이용한 트랜지스터 소자를 제조할 수 있게 된다.

도면의 간단한 설명

- [25] 도 1은 본 발명에 따른 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법에 따라 제조된 나노와이어의 SEM 사진.

- [26] 도 2는 본 발명의 제1실시예에 따른 단결정 실리콘 나노와이어 제조공정도.

- [27] 도 3은 본 발명의 제2실시예에 따른 단결정 실리콘 나노와이어 제조공정도.
 [28] 도 4는 본 발명의 제3실시예에 따른 단결정 실리콘 나노와이어 제조공정도.
 [29] 도 5는 본 발명의 제1실시예 내지 제3실시예에 따른 단결정 실리콘 나노와이어를 이용한 소자 제조공정도.

발명의 실시를 위한 최선의 형태

- [30] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.
- [31] 도 1은 본 발명에 따른 단결정 실리콘 나노와이어를 이용한 트랜지스터의 일 실시예에 따라 제조된 나노와이어의 SEM 사진이다. 도 1에서 제조된 나노와이어는 지지 기둥(Supporting Pad)에 의해 지지되고 있고, 채널 영역의 직경이 인접한 소스 영역 및 드레인 영역의 직경보다 작게 형성된 것을 확인할 수 있다.
- [32] 이와 같이, 트랜지스터의 채널로 사용되는 단결정 실리콘 나노와이어 채널 영역의 직경을 인접하는 소스 영역과 드레인 영역보다 작게 구현함으로써, 소스와 드레인의 기생저항이 작으면서도 우수한 정전기적 제어효과를 가지는 나노와이어를 이용한 트랜지스터를 제조할 수 있게 된다.
- [33] 또한, 상기 단결정 실리콘 나노와이어를 이용한 트랜지스터는 채널 영역을 둘러싸는 게이트 전극, 및 단결정 실리콘 나노와이어 채널 영역과 게이트 전극 사이에 고유전율(high-k) 게이트 절연막을 더 포함할 수 있다.
- [34] 이와 같이, 단결정 실리콘 나노와이어를 이용한 트랜지스터의 게이트 전극을 게이트 올 어라운드(Gate All Around; GAA)형으로 구성함으로써, 미세 크기를 가지면서도 단채널 효과를 극대화할 수 있는 구조의 나노와이어를 이용한 트랜지스터 소자를 제조할 수 있게 된다.
- [35] 이하 본 발명을 구체적인 예와 함께 보다 상세하게 설명한다.
- [36]
- [37] [제1실시예]
- [38] 도 2는 본 발명의 제1실시예에 따른 단결정 실리콘 나노와이어 제조공정도이다. 도 2에는 고농도 불순물이 주입된 소스/드레인 영역과 저농도 불순물이 주입된 채널 영역의 불순물 농도 차이에 따른 이방성 습식 식각용액의 식각률 차이를 이용하여 나노와이어 채널의 직경이 얇은 단결정 실리콘 나노와이어를 제조하는 방법이 도시되어 있다.
- [39] 우선, 결정구조가 (100)인 단결정 실리콘 기판상에 제1열산화막과 실리콘 질화막을 증착한 후, 사진 공정을 통하여 실리콘 나노와이어 액티프 패턴을 형성한다. 이후, 상기 실리콘 질화막을 마스크로 사용하여 실리콘 건식 식각공정을 통하여 실리콘 기판을 등방성 식각함으로써 실리콘 컬럼구조를 형성한다(도 2a).
- [40] 이후, 이방성 식각용액인 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide, TMAH)를 이용하여 실리콘 컬럼구조를 습식 식각하면

모래시계 형태의 실리콘 구조물이 형성된다(도 2b). 이와 같이, (111) 결정구조에 대한 이방성 식각 용액의 습식 식각률이 (100) 또는 (110) 결정구조에 대한 습식 식각률에 비해 훨씬 느리기 때문에 (111) 결정구조는 식각 방지층으로 작용하여 모래시계 형태의 실리콘 구조물을 형성할 수 있다.

[41] 이후, 모래시계 형태의 실리콘 구조물을 열산화하여 제2열산화막 성장을 통하여 삼각형 형태의 실리콘 나노와이어를 형성한다(도 2c). 이후, 실리콘 질화막을 제거하고 사진 공정을 통하여 나노와이어의 소스/드레인 영역을 정의한 후 이온주입 공정을 통한 불순물을 주입한다(도 2d).

[42] 이때, 실리콘 질화막의 제거 후 불순물 주입 이전에, 단결정 실리콘 기판상에서 제1열산화막을 제거하고 다시 제3열산화막을 형성할 수도 있다. 이 경우, 실리콘 질화막의 제거시 손상된 제1열산화막 대신 양호한 상태의 제3열산화막을 단결정 실리콘 기판상에 형성할 수 있게 된다.

[43] 이후 포토레지스트(Photoresist)를 제거하고 불순물을 활성화시키기 위한 열처리를 진행한다. 이후 제1열산화막 및 제2열산화막을 제거하여 기판으로부터 릴리즈된 실리콘 나노와이어를 형성한다(도 2e).

[44] 마지막으로 이방성 식각용액인 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide, TMAH)를 이용하여 실리콘 나노와이어를 습식 식각하여 고농도 불순물이 주입된 소스/드레인 영역의 실리콘 나노와이어 직경은 그대로 유지한 채 수nm 또는 수십 nm 급의 채널 직경을 가지는 단결정 실리콘 나노와이어를 형성한다(도 2f).

[45]

[46] [제2실시예]

[47] 도 3은 본 발명의 제2실시예에 따른 단결정 실리콘 나노와이어 제조공정도이다.

[48] 도 3에 도시된 바와 같이, 본 발명의 제2실시예에 따른 단결정 실리콘 기판을 이용한 얇은 채널 직경을 가지는 실리콘 나노와이어 제조방법에서는, 나노와이어의 채널 영역을 노출시킨 후 열산화막을 성장시켜 실리콘 나노와이어 채널영역의 직경을 감소시킴으로써, 고농도 불순물이 주입될 소스/드레인 영역의 실리콘 나노와이어 직경은 두껍게 유지한 채 수nm 또는 수십 nm 급의 채널 직경을 가지는 단결정 실리콘 나노와이어를 제작한다.

[49] 이때, 제2실시예에서의 공정 중 일부는 도 2a 내지 도 2b 공정과 동일하기 때문에, 이후 실리콘 나노와이어 채널영역의 직경을 줄이는 공정을 상세히 설명한다.

[50] 도 2a 내지 도 2b 공정을 통한 모래시계 형태의 실리콘 구조물을 형성한 후 (도 3a), 사진 식각공정을 통하여 나노와이어의 채널영역을 노출시킨다(도 3b). 이후, 실리콘 나노와이어를 열산화하여 제2열산화막을 형성하게 되면 실리콘 질화막 아래의 소스/드레인 영역의 실리콘 나노와이어는 측면에서만 산화막이 성장하는 반면, 채널 영역의 실리콘 나노와이어는 측면뿐만 아니라 윗면에서도

산화막이 성장하게 되므로 소스/드레인 보다 얇은 채널의 실리콘 나노와이어를 형성할 수 있다(도 3c).

[51] 이후 실리콘 질화막을 제거하고 사진 공정을 통하여 나노와이어의 소스/드레인 영역을 정의한 후 이온주입 공정을 통한 불순물을 주입한다(도 3d). 이때, 제1실시에에서와 같이, 실리콘 질화막의 제거 후 불순물 주입 이전에 단결정 실리콘 기판상에서 제1열산화막을 제거하고 다시 제3열산화막을 형성할 수도 있다.

[52] 이후 포토레지스트(Photoresist)를 제거하고 불순물을 활성화시키기 위한 열처리를 진행한다. 마지막으로, 제1열산화막 및 제2열산화막을 제거하게 되면 기판으로부터 릴리즈된 얇은 채널 영역을 가지는 실리콘 나노와이어를 형성할 수 있다(도 3e).

[53]

[54] [제3실시예]

[55] 도 4는 본 발명의 제3실시예에 따른 단결정 실리콘 나노와이어 제조공정도이다.

[56] 도 4에 도시된 바와 같이, 본 발명의 제3실시예에 따른 단결정 실리콘 기판을 이용한 얇은 채널 직경을 가지는 실리콘 나노와이어 제조방법에서는, 나노와이어의 채널 영역만을 노출시켜 실리콘 건식 식각을 통하여 실리콘 나노와이어 채널영역의 직경을 감소시킴으로써, 고농도 불순물이 주입될 소스/드레인 영역의 실리콘 나노와이어 직경은 두껍게 유지한 채 수nm 또는 수십 nm 급의 채널 직경을 가지는 단결정 실리콘 나노와이어를 제작한다.

[57] 제3실시예에서는 공정 일부가 제1실시예의 도 2a내지 도 2c 공정까지와 동일하기 때문에, 이후 실리콘 나노와이어 채널영역의 직경을 줄이는 공정을 상세히 설명한다.

[58] 도 2a 내지 도 2c 공정을 통한 삼각형 형태의 실리콘 나노와이어를 형성한 후(도 4a), 사진 식각공정을 통하여 나노와이어의 채널영역을 노출시킨다(도 4b).

[59] 이후, 실리콘 나노와이어 건식 식각을 통하여 소스/드레인 보다 얇은 채널의 실리콘 나노와이어를 형성한다(도 4c). 이때, 소스/드레인 영역의 실리콘 나노와이어는 실리콘 질화막이 건식 식각 방지막으로 사용되기 때문에 건식 식각에 영향을 받지 않게 된다.

[60] 이후 실리콘 질화막을 제거하고 사진 공정을 통하여 나노와이어의 소스/드레인 영역을 정의한 후 이온주입 공정을 통한 불순물을 주입한다(도 4d). 이때, 제 1 및 2 실시예에서와 마찬가지로 실리콘 질화막의 제거 후 불순물 주입 이전에, 단결정 실리콘 기판상에서 제1열산화막을 제거하고 다시 제3열산화막을 형성할 수도 있다.

[61] 이후 포토레지스트(Photoresist)를 제거하고 불순물을 활성화시키기 위한 열처리를 진행한다. 마지막으로, 제1열산화막 및 제2열산화막을 제거하게 되면 기판으로부터 릴리즈된 얇은 채널 영역을 가지는 실리콘 나노와이어를 형성할

수 있다(도 4e).

[62] [제4실시에]

[63] 도 5는 본 발명의 제1실시에 내지 제3실시에 따른 단결정 실리콘 나노와이어를 이용한 소자 제조공정도이다.

[64] 도 5에 도시된 바와 같이, 본 발명의 제4실시예에서는 제1실시에 내지 제3실시에의 방법을 적용하여 제작된 나노와이어를 이용하여 플렉시블 전면 게이트 트랜지스터를 제조한다.

[65] 본 발명의 제1실시에 내지 제3실시에의 방법에 의하여 형성된 얇은 채널 직경을 가지는 실리콘 나노와이어를 이용하면, 도 5a 또는 도 5b에 도시된 바와 같이 실리콘 나노와이어를 절연성 플렉시블 기판에 전사한 후 게이트 절연막과 금속 전극을 형성하여 전면 게이트 구조를 갖는 트랜지스터를 제작할 수 있다.

[66] 이때, 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어를 전사할 절연성 플렉시블 기판은 고무, 섬유, 종이 및 플라스틱 기판 등을 포함한다. 한편, 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어를 다른 절연성 기판으로의 전사는 점착 특성이 좋은 포토리지스트(photoresist) 또는 레진(resin)과 같은 폴리머(polymer) 등으로 이루어질 수 있으며, 전사 이후에는 산소 플라즈마를 이용한 건식 에칭(ashing) 및 에탄올(Ethanol)을 이용한 습식 식각을 통해 제거할 수 있다.

[67]

[68] 본 발명에서는 단결정 실리콘 기판을 이용하여 기존의 CMOS 호환 공정을 통한 얇은 채널 직경을 가지는 실리콘 나노와이어를 제작한 후, 이를 다른 플렉시블 절연성 기판에 전사함으로써 제작되는 플렉시블 전면 게이트 트랜지스터 소자 및 그의 제조방법을 제공한다.

[69] 따라서, 본 발명의 단결정 실리콘 나노와이어 제작방법을 이용하여 제작된 플렉시블 전면 게이트 전계효과 트랜지스터는 짧은 채널 효과를 제어하기에 우수하며, 소스/드레인 기생저항 성분이 작아 전류 구동능력이 우수하다는 이점이 있다.

[70] 또한, 본 발명의 단결정 실리콘 나노와이어 제작방법을 이용한 플렉시블 전면 게이트 터널링 전계효과 트랜지스터는 터널링 확률을 더욱 효과적으로 제어하여 ON/OFF 스위칭 특성을 향상시킬 수 있는 이점이 있다.

[71] 한편, 본 발명은 잘 알려진 기존의 실리콘 공정 기술을 그대로 적용함으로써 전자빔 리소그래피 공정과 SOI 웨이퍼를 사용하지 않고서도 채널 영역의 직경이 수십 nm급인 나노와이어 소자를 생산할 수 있는 장점이 있다.

[72]

[73] 본 발명에 따른 단결정 실리콘 기판을 이용한 얇은 채널 직경을 가지는 실리콘 나노와이어 제조 및 플렉시블 전면 게이트 트랜지스터 제작 방법은 단결정 실리콘 기판을 사용하여 웨이퍼 단위의 공정에서 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어를 제조한 후, 이를 다른 플렉시블 절연성 기판에

전사하고 금속 전극을 사진 공정 및 리프트 오프 공정을 통하여 플렉시블 전면 게이트 트랜지스터를 제작한다.

- [74] 본 발명의 일실시예에 따른 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어 제작 방법은 잘 알려진 기존의 실리콘 공정 기술을 그대로 적용 가능하며, 불순물 농도 차이에 따른 이방성 식각용액인 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide, TMAH)의 식각률 차이를 이용하여 고농도 불순물이 주입된 소스/드레인 영역의 실리콘 나노와이어 직경은 그대로 유지한 채 수nm 또는 수십 nm 급의 채널 직경을 가지는 단결정 실리콘 나노와이어를 형성할 수 있다.
- [75] 본 발명의 다른 실시예에 따른 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어 제작 방법들은 잘 알려진 기존의 실리콘 공정 기술을 그대로 적용 가능하며, 선택적 산화 (Local Oxidation of Silicon, LOCOS) 공정 또는 실리콘 건식 식각 공정을 통하여 고농도 불순물이 주입된 소스/드레인 영역의 실리콘 나노와이어 직경은 그대로 유지한 채 수nm 또는 수십 nm 급의 채널 직경을 가지는 단결정 실리콘 나노와이어를 형성할 수 있다.
- [76] 또한, 본 발명에 따른 얇은 채널 직경을 가지는 단결정 실리콘 나노와이어는, 전면 게이트 상보형 전계효과 트랜지스터(c-MOSFET), 전면 게이트 상보형 터널링 효과를 이용한 트랜지스터, 전면 게이트 상보형 이온화 충돌 전계효과 트랜지스터(cI-MOS), 전면 게이트 상보형 junction-less 트랜지스터, 전면 게이트 Capacitorless 1T-DRAM 소자, 전면 게이트 비휘발성 메모리소자 등 다양한 소자의 제조에 적용될 수 있다.
- [77]
- [78] 본 발명이 비록 일부 바람직한 실시예에 의해 설명되었지만, 본 발명의 범위는 이에 의해 제한되어서는 아니 되고, 특허청구범위에 의해 뒷받침되는 상기 실시예의 변형이나 개량에도 미쳐야 할 것이다.

청구범위

- [청구항 1] 기판; 및
상기 기판상에 형성된 단결정 실리콘 나노와이어를 포함하는
단결정 실리콘 나노와이어를 이용한 트랜지스터로서,
상기 단결정 실리콘 나노와이어는,
상기 단결정 실리콘 나노와이어의 길이 방향으로 서로 이격되어
형성되는 소스 영역과 드레인 영역, 상기 소스 영역과 상기 드레인
영역 사이에 위치하는 채널 영역을 포함하고,
상기 길이 방향과 수직 방향으로의 상기 채널 영역의 두께는 상기
소스 영역과 상기 드레인 영역의 두께보다 작은 것을 특징으로
하는 단결정 실리콘 나노와이어를 이용한 트랜지스터.
- [청구항 2] 제 1항에 있어서,
상기 채널 영역을 둘러싸는 게이트 전극을 더 포함하는 것을
특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터.
- [청구항 3] 제 2항에 있어서,
상기 단결정 실리콘 나노와이어 채널 영역과 상기 게이트 전극
사이에 고유전율(high-k) 게이트 절연막을 더 포함하는 것을
특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터.
- [청구항 4] 제 1항에 있어서,
상기 기판은 플렉시블 기판인 것을 특징으로 하는 단결정 실리콘
나노와이어를 이용한 트랜지스터.
- [청구항 5] 단결정 실리콘 기판으로부터 단결정 실리콘 나노와이어를
형성하는 단계; 및
상기 형성된 단결정 실리콘 나노와이어를 트랜지스터 기판으로
전사하는 단계를 포함하는 단결정 실리콘 나노와이어를 이용한
트랜지스터 제조 방법으로서,
상기 단결정 나노와이어를 형성하는 단계는,
상기 단결정 실리콘 나노와이어의 길이 방향으로 서로 이격되도록
상기 단결정 실리콘 나노와이어의 미리 설정된 영역에 각각 소스
영역과 드레인 영역을 형성하고, 상기 소스 영역과 상기 드레인
영역 사이에 위치하는 채널 영역을 형성하는 소자 영역 형성 단계;
및
상기 길이 방향과 수직 방향으로의 상기 채널 영역의 두께를 상기
소스 영역과 상기 드레인 영역의 두께보다 작게 형성하는 채널
영역 두께 축소 단계를 포함하는 것을 특징으로 하는 단결정
실리콘 나노와이어를 이용한 트랜지스터 제조 방법.
- [청구항 6] 제 5항에 있어서,

상기 채널 영역을 둘러싸는 게이트 전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

[청구항 7]

제 6항에 있어서,

상기 단결정 실리콘 나노와이어 채널 영역과 상기 게이트 전극 사이에 고유전율(high-k) 게이트 절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

[청구항 8]

제 5항에 있어서,

상기 소자 영역 형성 단계는 상기 단결정 실리콘 나노와이어의 채널 영역, 소스와 드레인 영역 형성을 위해 불순물을 주입하는 단계를 포함하고,

상기 채널 영역 두께 축소 단계는 상기 채널 영역의 불순물 농도와 상기 소스 및 드레인 영역의 불순물 농도 사이의 불순물의 농도 차이에 따른 이방성 식각을 이용하여 상기 채널 영역의 두께를 축소시키는 단계를 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

[청구항 9]

제 5항에 있어서,

상기 단결정 나노와이어를 형성하는 단계는,

상기 단결정 실리콘 기판상에 실리콘 산화막을 형성하는 단계;

상기 실리콘 산화막상에 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막을 식각하여 실리콘 나노와이어 액티프 패턴을 형성하는 단계;

상기 실리콘 질화막을 마스크로 실리콘 기판을 식각하여 실리콘 컬럼구조물을 형성하는 단계;

상기 실리콘 컬럼구조물을 결정 구조에 따라 이방성 식각하여 모래시계 형태의 실리콘 구조물을 형성하는 단계;

상기 실리콘 구조물 위에 상기 나노와이어의 채널 영역 노출시키는 단계;

상기 채널 영역이 노출된 모래시계 형태의 실리콘 구조물을 산화시키는 단계; 및

상기 실리콘 질화막을 제거하는 단계;

상기 실리콘 구조물로부터 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조방법.

[청구항 10]

제 5항에 있어서,

상기 단결정 나노와이어를 형성하는 단계는,

상기 단결정 실리콘 기판상에 실리콘 산화막을 형성하는 단계;

상기 실리콘 산화막상에 실리콘 질화막을 형성하는 단계;
 상기 실리콘 질화막을 식각하여 실리콘 나노와이어 액티프 패턴을 형성하는 단계;
 상기 실리콘 질화막을 마스크로 실리콘 기판을 식각하여 실리콘 컬럼구조물을 형성하는 단계;
 상기 실리콘 컬럼구조물을 결정 구조에 따라 이방성 식각하여 모래시계 형태의 실리콘 구조물을 형성하는 단계;
 상기 모래시계 형태의 실리콘 구조물을 산화시키는 단계;
 상기 실리콘 구조물 위에 상기 나노와이어의 채널 영역 노출시키는 단계;
 상기 노출된 채널 영역을 미리 설정된 깊이로 제거하는 단계;
 상기 실리콘 질화막을 제거하는 단계; 및
 상기 실리콘 구조물로부터 산화막을 제거하는 단계를 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조방법.

[청구항 11]

제 8 내지 10항 중 어느 한 항에 있어서,
 상기 이방성 식각은 이방성 식각 용액 테트라메틸 암모늄 하이드록사이드(tetramethyl ammonium hydroxide; TMAH)를 이용하여 수행되는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

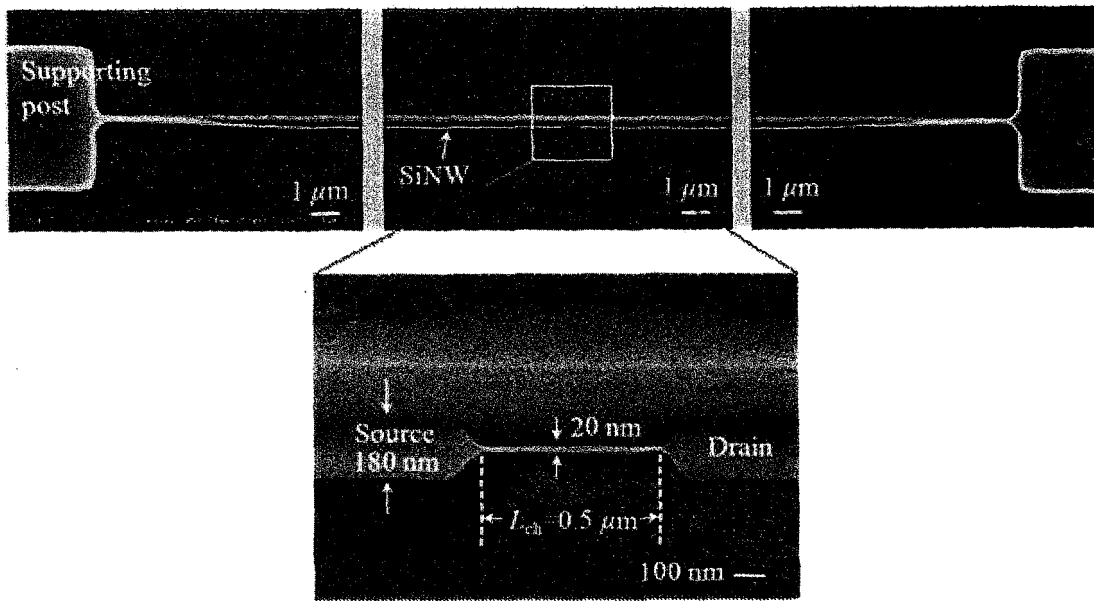
[청구항 12]

제 9 또는 10항에 있어서,
 상기 단결정 실리콘은 열산화 방법으로 산화시키는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

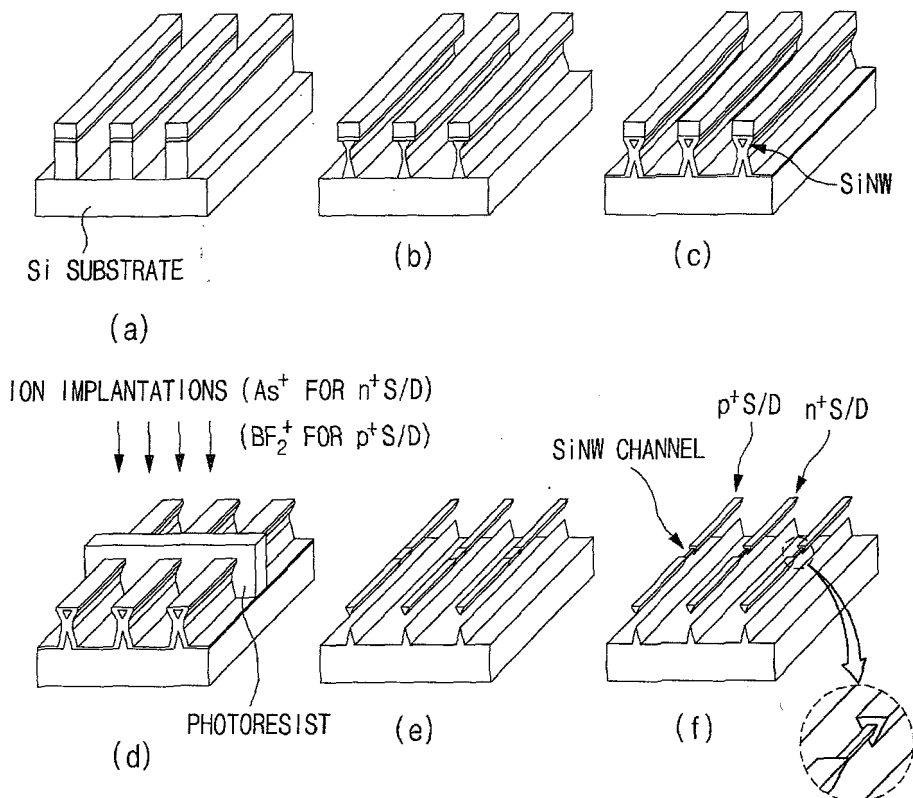
[청구항 13]

제 9 또는 10항에 있어서,
 상기 실리콘 질화막의 제거 이후,
 상기 실리콘 질화막이 제거된 단결정 실리콘 기판 영역에서, 상기 실리콘 산화막을 제거하고, 다시 실리콘 열산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 단결정 실리콘 나노와이어를 이용한 트랜지스터 제조 방법.

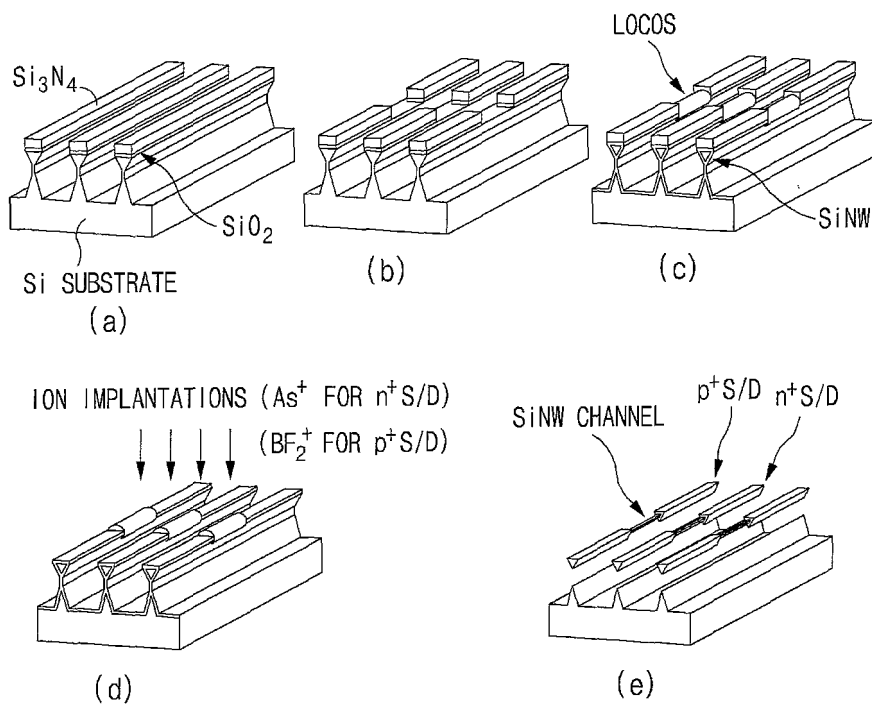
[Fig. 1]



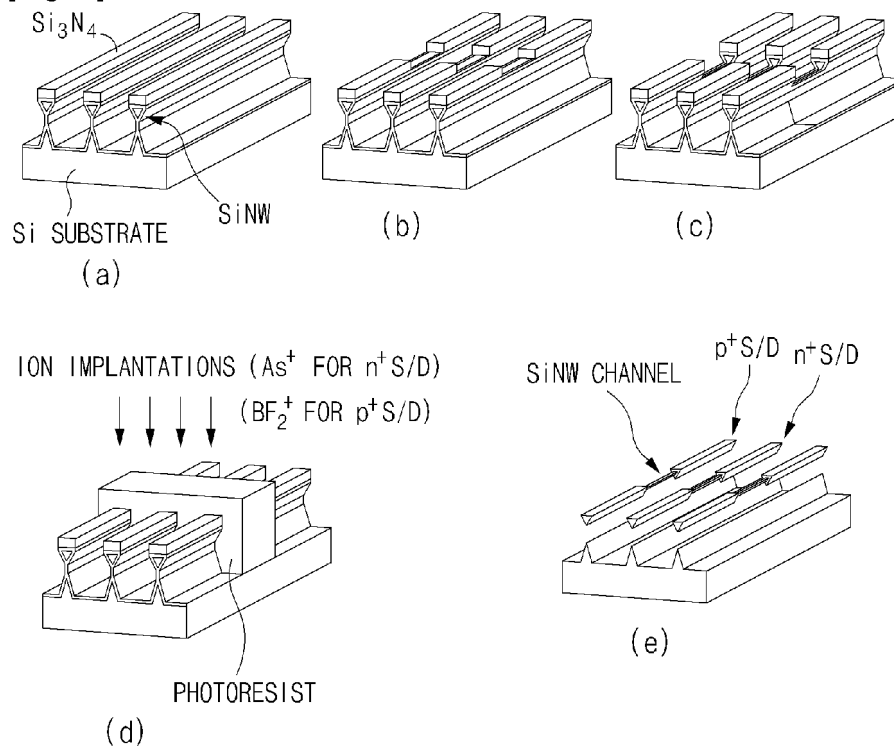
[Fig. 2]



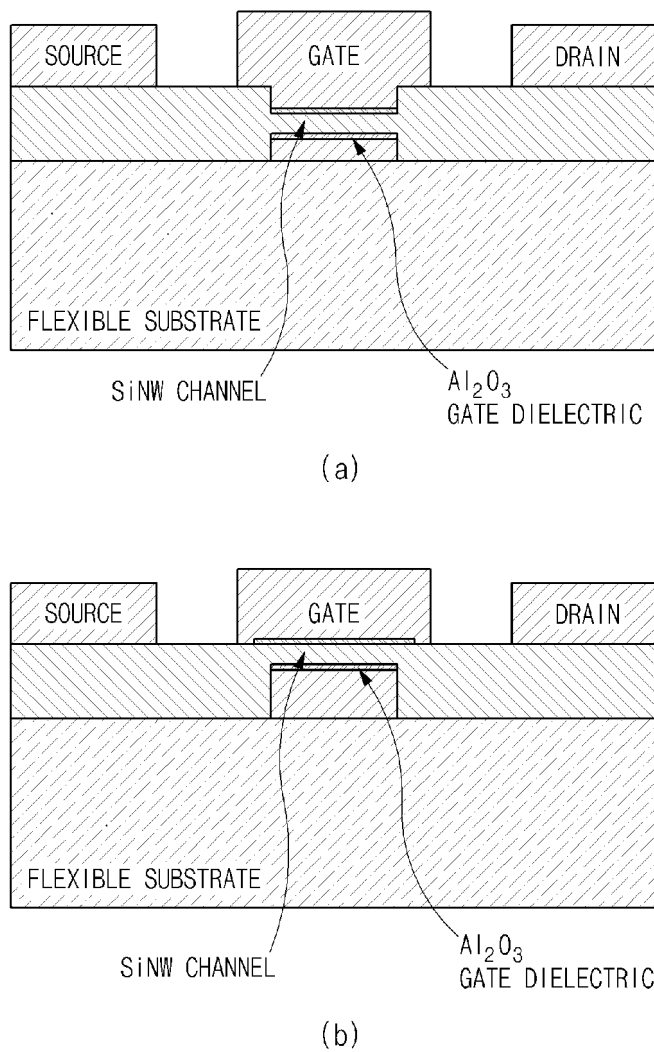
[Fig. 3]



[Fig. 4]



[Fig. 5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2012/000079**A. CLASSIFICATION OF SUBJECT MATTER****H01L 29/78(2006.01)i, H01L 21/336(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 29/78; B82Y 40/00; G06F 17/50; H01L 21/20; H01L 29/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: transistor, nanowire, source, drain, gate, transfer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	KR 10-2010-0038437 A (SHARP KABUSHIKI KAISHA et al.) 14 April 2010 See abstract; figures 2,3.	1-4 5-13
Y A	US 2011-0095267 A1 (ANDRES, Bryant et al.) 28 April 2011 See abstract; paragraphs [0047],[0048] of the description; figures 1B,3B,5A,5B.	1-4,5-7 8-13
Y A	KR 10-2008-0018559 A (KOREA ELECTRONICS TECHNOLOGY INSTITUTE) 28 February 2008 See abstract; paragraph [0027] of the description; figures 2a-2e,4.	5-7 1-4,8-13
A	US 8013324 B2 (DURESETI, Chidambarrao et al.) 06 September 2011 See abstract; figures 4,5.	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 JANUARY 2013 (23.01.2013)

Date of mailing of the international search report

30 JANUARY 2013 (30.01.2013)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2012/000079

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2010-0038437 A	14.04.2010	JP 05-095812 B2 JP 2010-533963 A US 2010-0252813 A1 US 2011-0163297 A1 US 7923310 B2 US 8258499 B2 WO 2009-011450 A1	28.09.2012 28.10.2010 07.10.2010 07.07.2011 12.04.2011 04.09.2012 22.01.2009
US 2011-0095267 A1	28.04.2011	NONE	
KR 10-2008-0018559 A	28.02.2008	CN 1935632 A CN 1935632 B CN 1935632 C0 JP 04-869847 B2 JP 2007-088482 A KR 10-0702531 B1 KR 10-0716937 B1 KR 10-0740531 B1 US 2007-0105321 A1 US 8080481 B2	28.03.2007 06.04.2011 28.03.2007 25.11.2011 05.04.2007 02.04.2007 14.05.2007 18.07.2007 10.05.2007 20.12.2011
US 8013324 B2	06.09.2011	US 2010-252815 A1	07.10.2010

A. 발명이 속하는 기술분류(국제특허분류(IPC)) <i>H01L 29/78(2006.01)i, H01L 21/336(2006.01)i</i>		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01L 29/78; B82Y 40/00; G06F 17/50; H01L 21/20; H01L 29/06 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: transistor, nanowire, source, drain, gate, transfer		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2010-0038437 A (샤프 가부시키키가이샤 외 1명) 2010.04.14 요약문; 도면 2,3 참조.	1-4 5-13
Y A	US 2011-0095267 A1 (BRYANT, ANDRES 외 3명) 2011.04.28 요약문; 명세서의 문단번호[0047],[0048]; 도면 1B,3B,5A,5B 참조.	1-4,5-7 8-13
Y A	KR 10-2008-0018559 A (전자부품연구원) 2008.02.28 요약문; 명세서의 문단번호[0027]; 도면 2a-2e,4 참조	5-7 1-4,8-13
A	US 8013324 B2 (CHIDAMBARRAO, DURESETI 외 1명) 2011.09.06 요약문; 도면 4,5 참조	1-13
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2013년 01월 23일 (23.01.2013)		국제조사보고서 발송일 2013년 01월 30일 (30.01.2013)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 82-42-472-7140		심사관 최정민 전화번호 82-42-481-8708

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2010-0038437 A	2010.04.14	JP 05-095812 B2 JP 2010-533963 A US 2010-0252813 A1 US 2011-0163297 A1 US 7923310 B2 US 8258499 B2 WO 2009-011450 A1	2012.09.28 2010.10.28 2010.10.07 2011.07.07 2011.04.12 2012.09.04 2009.01.22
US 2011-0095267 A1	2011.04.28	없음	
KR 10-2008-0018559 A	2008.02.28	CN 1935632 A CN 1935632 B CN 1935632 C0 JP 04-869847 B2 JP 2007-088482 A KR 10-0702531 B1 KR 10-0716937 B1 KR 10-0740531 B1 US 2007-0105321 A1 US 8080481 B2	2007.03.28 2011.04.06 2007.03.28 2011.11.25 2007.04.05 2007.04.02 2007.05.14 2007.07.18 2007.05.10 2011.12.20
US 8013324 B2	2011.09.06	US 2010-252815 A1	2010.10.07