

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5114414号  
(P5114414)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int. Cl. F I  
 HO 1 L 25/065 (2006.01) HO 1 L 25/08 Z  
 HO 1 L 25/07 (2006.01) HO 1 L 23/46 B  
 HO 1 L 25/18 (2006.01)  
 HO 1 L 23/427 (2006.01)

請求項の数 21 (全 12 頁)

(21) 出願番号	特願2008-535592 (P2008-535592)	(73) 特許権者	591003943 インテル・コーポレーション
(86) (22) 出願日	平成18年10月6日 (2006.10.6)		アメリカ合衆国 95054 カリフォル ニア州・サンタクララ・ミッション カレ ッジ ブレーバード・2200
(65) 公表番号	特表2009-512215 (P2009-512215A)	(74) 代理人	100104156 弁理士 龍華 明裕
(43) 公表日	平成21年3月19日 (2009.3.19)	(72) 発明者	ルー、ダオキアン アメリカ合衆国、85249 アリゾナ州 、チャンドラー、イー リブラ プレイス 937
(86) 国際出願番号	PCT/US2006/039246	(72) 発明者	シャイ、ウェイ アメリカ合衆国、95296 アリゾナ州 、ギルバート、イー、カルラ ビスタ コ ート 1064
(87) 国際公開番号	W02007/044577		最終頁に続く
(87) 国際公開日	平成19年4月19日 (2007.4.19)		
審査請求日	平成20年4月15日 (2008.4.15)		
(31) 優先権主張番号	11/250,644		
(32) 優先日	平成17年10月13日 (2005.10.13)		
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 3D貫通シリコンアーキテクチャのための集積マイクロチャネル

(57) 【特許請求の範囲】

【請求項1】

第1の基板の同一面内に、第1の開口と前記第1の開口よりも浅い第2の開口とを形成する第1形成ステップと、

第2の基板内に第3の開口を形成する第2形成ステップと、

前記第1の開口と前記第3の開口とが実質的に位置合わせされるように、前記第1の基板と前記第2の基板とを結合する結合ステップと、

前記第1の基板と前記第2の基板とを薄くすることによって、前記第1の開口と前記第3の開口とを露出する露出ステップと、

前記第1の開口と前記第3の開口内に導電性貫通ビアを形成する第3形成ステップと、  
を含む方法。

【請求項2】

前記第2形成ステップは、第2の基板の同一面内に複数の第3の開口を形成し、

前記結合ステップは、前記第2の開口の入力と出力を形成するべく、前記第2の開口と、前記複数の第3の開口のうちの1つとが実質的に位置合わせされるように前記第1の基板と前記第2の基板を結合する、請求項1に記載の方法。

【請求項3】

前記第2の開口の前記入力と前記出力は、前記第2の基板に形成される請求項2に記載の方法。

【請求項4】

10

20

前記第 1 の基板および前記第 2 の基板は、シリコンを含み、前記第 1 の基板と前記第 2 の基板との結合は、シリコン同士の拡散接合を含む、請求項 1 から 3 のいずれか 1 項に記載の方法。

【請求項 5】

前記第 1 形成ステップは、  
前記第 1 の基板上に第 1 のパターンを形成することと、  
前記第 1 のパターンにより露出した前記第 1 の基板の一部をエッチングすることにより、  
前記第 1 の開口を形成することと、  
前記第 1 の基板上に第 2 のパターンを形成することと、  
前記第 2 のパターンにより露出した前記第 1 の基板の一部をエッチングすることにより、  
前記第 2 の開口を形成することと、  
を含む、請求項 1 から 4 のいずれか 1 項に記載の方法。

10

【請求項 6】

前記結合された前記第 1 の基板および前記第 2 の基板を第 3 の基板に装着することをさらに含み、前記第 3 の基板は、集積回路および第 2 の導電性貫通ビアを含む、請求項 1 から 5 のいずれか 1 項に記載の方法。

【請求項 7】

ダイから熱を除去する装置であって、  
第 1 の基板内に形成された第 1 の開口と、第 2 の基板内に形成された第 3 の開口とが実質的に位置合わせされるように結合された前記第 1 の基板と前記第 2 の基板とを薄くすることによって露出した前記第 1 の開口と前記第 3 の開口内に形成された導電性貫通ビアと、

20

前記第 1 の基板の前記第 1 の開口が形成された面内に形成された前記第 1 の開口よりも浅い第 2 の開口により形成された、冷却剤のための実質的に囲まれたマイクロチャンネルとを含む装置。

【請求項 8】

前記第 2 の基板内に形成された第 4 の開口と前記第 2 の開口とが実質的に位置合わせされるように結合された前記第 1 の基板と前記第 2 の基板とを薄くして、前記第 4 の開口を露出することにより形成された前記マイクロチャンネルの入力および出力を含む請求項 7 に記載の装置。

30

【請求項 9】

前記マイクロチャンネルの前記入力と前記出力は、前記第 2 の基板に形成される請求項 8 に記載の装置。

【請求項 10】

前記第 1 の基板および前記第 2 の基板は、第 2 の冷却剤のための第 2 のマイクロチャンネルを含む、請求項 7 から 9 のいずれか 1 項に記載の装置。

【請求項 11】

前記マイクロチャンネルは、5 から 10 ミクロンの範囲内の幅と、50 から 100 ミクロンの範囲内の高さを有する、請求項 7 から 10 のいずれか 1 項に記載の装置。

【請求項 12】

貫通ビアを含む集積回路ダイと、  
前記集積回路ダイに取り付けられ、第 1 の基板内に形成された第 1 の開口と、第 2 の基板内に形成された第 3 の開口とが実質的に位置合わせされるように結合された前記第 1 の基板と前記第 2 の基板とを薄くすることによって露出した前記第 1 の開口と前記第 3 の開口内に形成された導電性貫通ビアと、前記第 1 の基板の前記第 1 の開口が形成された面内に形成された前記第 1 の開口よりも浅い第 2 の開口により形成された実質的に囲まれたマイクロチャンネルとを含むことにより、前記集積回路ダイから熱を除去する、前記第 1 の基板及び前記第 2 の基板を含む第 3 の基板と、  
を含む装置。

40

【請求項 13】

50

前記第2の基板内に形成された第4の開口と前記第2の開口とが実質的に位置合わせされるように結合された前記第1の基板と前記第2の基板とを薄くして、前記第4の開口を露出することにより形成された前記マイクロチャネルの入力および出力を含む請求項12に記載の装置。

【請求項14】

前記マイクロチャネルの前記入力と前記出力は、前記第2の基板に形成される請求項13に記載の装置。

【請求項15】

前記集積回路ダイと前記第3の基板とは、シリコン同士の結合により結合される、請求項12から14のいずれか1項に記載の装置。

10

【請求項16】

前記第3の基板は、前記集積回路ダイの活性表面の反対側にある、請求項12から15のいずれか1項に記載の装置。

【請求項17】

前記集積回路ダイの前記活性表面に電氣的に接続される第4の基板をさらに含む、請求項16に記載の装置。

【請求項18】

前記第3の基板に取り付けられる第2の集積回路ダイをさらに含む、請求項16に記載の装置。

【請求項19】

20

前記集積回路ダイは、第1中央処理装置を含み、前記第2の集積回路ダイは、第2中央処理装置を含む、請求項18に記載の装置。

【請求項20】

前記集積回路ダイは、中央処理装置を含み、前記第2の集積回路ダイは、ダイナミックランダムアクセスメモリを含む、請求項18に記載の装置。

【請求項21】

前記第2の集積回路ダイに取り付けられるフラッシュメモリ要素をさらに含み、前記第2の集積回路ダイは、第2の貫通ビアを含む、請求項20に記載の装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明の実施形態は、マイクロエレクトロニクス実装に関する。特に、本発明の実施形態は、3D貫通シリコンアーキテクチャにおける熱除去に関する。

【背景技術】

【0002】

マイクロエレクトロニクス実装の分野では、エレクトロニクスをより小さく速く生成する取り組みが続けられている。ダイスタッキングアーキテクチャを含む3D実装アーキテクチャは、2D実装アーキテクチャに勝るいくつかの強みがある（小型であること、相互接続間隔が短いことなど）。

【0003】

40

典型的な2D実装アーキテクチャは、ダイの活性表面（デバイスおよび金属層を含む）が基板に面するように基板に接続されたダイリップチップを含み得る。その後、ダイの露出された背面上にクーリングソリューションが設けられる。クーリングソリューションは、例えば、ヒートシンク、熱分散部材、集積熱分散部材、または、ファンを含み得る。

【0004】

図1は、基板110、中央処理装置（CPU）ダイ120、ダイナミックランダムアクセスメモリ（DRAM）ダイ130、フラッシュメモリダイ140、および、アナログダイ150を含む典型的な3Dパッケージ100を示す。基板110は、通常は、プリント回路基板またはマザーボードを含み得る。3Dパッケージ100を機能させるには、それぞれの構成要素の活性表面は、基板100または隣接する構成要素の活性表面に電氣的に

50

接続されていなければならない。活性表面を相互接続すべく、構成要素中を導電性貫通シリコンビア(TSV)160が貫通し得る。

【0005】

例えば、CPUダイ120は、CPUダイ120の活性表面が基板110と面するように基板110に接続されるフリップチップであってよい。DRAMダイ130は、DRAMダイ130の活性表面がCPUダイ120の不活性面と面するよう、バンプはんだ接合によりCPUダイ120に接続されてよい。その後、CPUダイ120のTSVがDRAMダイ130の活性表面をCPUダイの活性表面、または、基板110と電氣的に接続してよい。

【0006】

同様に、各構成要素の活性表面は、電氣的に相互接続されてよい。

【図面の簡単な説明】

【0007】

添付の図面における例を用いて本発明を示すが、これに限定されない。同様の参照符号は、同様の構成要素を示す。

【0008】

【図1】従来技術による装置を示す。

【0009】

【図2A - 2B】ダイが基板に取り付けられ、そのダイにクーリングソリューションが取り付けられ、そのクーリングソリューションに第2のダイが取り付けられている断面側面図である。

【0010】

【図3A - 3H】マイクロチャネルおよび貫通ビアを有するクーリングソリューションを形成する方法を示す。

【発明を実施するための最良の形態】

【0011】

3Dウェーハまたはダイ実装アーキテクチャに関する装置および方法が様々な実施形態で記載されている。しかしながら、様々な実施形態は、1つ以上の特定の詳細がなくとも、あるいは、他の方法、材料、または、構成要素によっても実施できる。また、本発明の様々な実施形態の側面をあいまいにしないよう、よく知られた構造、材料、または、動作を詳しく示すあるいは述べることはしない。同様に、本発明の完全なる理解をもたらすべく、説明のための特定の数、材料、および、構造が記載されている。とは言うものの、本発明は、特定の詳細がなくとも実施できる。さらに、図面に示される様々な実施形態は、例示的表現であって、一定の比率で描かれているわけではない。

【0012】

エレクトロニクスをより小さく速く生成すべく、半導体チップ(またはダイ)の実装密度を増大することができる。実装密度を増大させる1つの手法としては、チップスタッキングなどの3D実装アーキテクチャもあり得る。動作中、スタックの1つのまたは複数の活性領域は、熱を発生し得る。チップ能力を向上させるべく、より優れた能力をもつチップを利用すべく、あるいは、高性能実装を実現すべく、生じた熱は除去されてよい。典型的な3D実装アーキテクチャでは、いかなる熱除去またはサーマルソリューションも提供し得ない。

【0013】

一般的に、単一のチップ実装では、熱を除去するために集積熱分散部材あるいはファンなどの背面クーリングソリューションが用いられ得る。しかしながら、チップが積み重ねられている構造だと、裏面のクーリングソリューションを用いるのは実際的でないかもしれない。というのは、スペースの制限上、露出していないチップもあること、あるいは、電気接続経路の非適合性にもよる。簡潔に言えば、本発明の実施形態は、チップ間の電気経路用のビアを含む積層チップのためのクーリングソリューションを提供する。

【0014】

10

20

30

40

50

図 2 A および図 2 B は、本発明に従う積層ダイの熱除去を行う装置 200 の断面図である。図 2 B は、セグメント図 2 A のセグメント A - A' に沿った切断面を示す。

【0015】

装置 200 は、基板 210、ダイ 220、クーリングソリューション 230、および、ダイ 270 を含む。クーリングソリューション 230 は、基板 240、貫通ビア 260、および、マイクロチャネル 250 を含む。ダイ 220 は、貫通ビア 225 を含む。

【0016】

基板 210 は、ダイ 220 を装着する任意の適切な基板を含む。様々な実施形態では、基板 210 は、プリント回路基板 (PCB)、マザーボード、または、インターポーザを含む。基板 210 は、ダイ 220 の装着を容易にするよう、導電トレース、および、導電パッド、または、バンプを含み得る。ダイ 220 は、任意の適切な技術により基板 210 に装着され得る。一実施形態では、ダイ 220 は、ダイ 220 の活性表面が基板 210 に面するよう、ソルダバンプ、銅バンプ、導電性ランディングパッドなどにより基板 210 に接続されるフリップチップであってよい。一実施形態では、貫通ビア 225 は、ダイ 220 を貫通する電気経路を提供し得る。一実施形態では、貫通ビア 225 は、銅を含み得る。

【0017】

クーリングソリューション 230 とダイ 220 は、任意の適切な技術により接続されてよい。一実施形態では、クーリングソリューション 230 およびダイ 220 は、拡散接合により接続されてよい。一実施形態では、クーリングソリューション 230 およびダイ 220 は、どちらもシリコンを含み、シリコン同士の拡散接合により接続され得る。他の実施形態では、クーリングソリューション 230 は、バンプまたはランディングパッドを含むバンプはんだ接合技術によりダイ 220 に取り付けられてよい。様々な実施形態では、クーリングソリューション 230 は、ダイ 220 より大きくても、同じ大きさでも、あるいは、小さくてもよい。

【0018】

ダイ 270 およびクーリングソリューション 230 は、いかなる適切な貫通シリコンビア技術により接続され得る。一実施形態では、クーリングソリューション 230 およびダイ 270 は、拡散接合により接続され得る。一実施形態では、クーリングソリューション 230 およびダイ 270 は、どちらもシリコンを含み、シリコン同士の拡散接合により接続され得る。他の実施形態では、クーリングソリューション 230 は、バンプまたはランディングパッドを含むバンプはんだ接合技術によりダイ 270 に接着され得る。様々な実施形態では、ダイ 270 の活性表面は、クーリングソリューション 230 に面してよく、あるいは、ダイ 270 の活性表面は、クーリングソリューション 230 に面していなくてよい。一実施形態では、ダイ 270 は、導電性貫通ビア (図示せず) を含むことによりダイ 270 を貫通する電気経路を提供し得る。一実施形態では、クーリングソリューション 230 は、結合パッドまたはバンプを含むことにより、ダイ 270 との接続を容易にしてよい。

【0019】

ダイ 220 およびダイ 270 は、あらゆる適切なダイ、集積回路、または、チップも含み得る。例えば、ダイ 220 およびダイ 270 は、中央処理装置 (CPU)、ダイナミックランダムアクセスメモリ (DRAM)、アナログデバイス、または、フラッシュメモリダイのあらゆる組み合わせを含み得る。一実施形態では、ダイ 220 およびダイ 270 は、どちらも CPU を含み得る。他の実施形態では、ダイ 220 は、CPU を含み、ダイ 270 は、DRAM ダイを含み得る。一実施形態では、ダイ 220 は、薄膜化ダイを含み得る。他の実施形態では、ダイ 270 は、薄膜化ダイを含み得る。

【0020】

さらに、クーリングソリューション 230 に類似した任意の数の追加のダイまたはクーリングソリューションがダイ 270 上に任意の配置で積み重ねられてよい。ダイ 270 上に積み重ねられたダイは、CPU、DRAM、アナログデバイス、または、フラッシュメ

10

20

30

40

50

モリのあらゆる組み合わせを含み得る。一実施形態では、ダイ 220 は、CPU を含み、ダイ 270 は、DRAM を含み、ダイ 270 の上にフラッシュメモリおよびアナログデバイスが積み重ねられてよい。他の実施形態では、ダイ 220 およびダイ 270 は、CPU とクーリングソリューションを含むスタックとを含み、ダイ 270 の上に DRAM ダイが積み重ねられてよい。

#### 【0021】

上述のように、クーリングソリューション 230 は、基板 240、マイクロチャネル 250、および貫通ビア 260 を含む。貫通ビア 260 は、基板 240 に渡り延びることにより、導電経路を提供する。一実施形態では、貫通ビア 260 は、ダイ 220 とダイ 270 との間隔を最小限度とするか、あるいは、ダイ 220 とダイ 270 との間に直接電気経路を提供する。貫通ビア 260 は、いかなる適切な導電材料、あるいは、そのような材料の組み合わせを含み得る。一実施形態では、貫通ビア 260 は、銅を含み得る。基板 240 は、いかなる適切な材料を含み得る。一実施形態では、基板 240 は、シリコンを含み、貫通ビア 260 は、貫通シリコンビア (TSV) を含み得る。

10

#### 【0022】

マイクロチャネル 250 は、基板内 240 に冷却剤のための実質的に囲まれた領域を提供する (図示せず)。一実施形態では、冷却剤は、マイクロチャネル 250 を通じて流れることにより、ダイ 220 およびダイ 270 から熱を除去することができる。一実施形態では、単一のマイクロチャネルが設けられてよい。単一のマイクロチャネルは、実質的に基板 240 を貫通してよい。他の実施形態では、任意の数の別々のマイクロチャネルが設けられてよい。一実施形態では、マイクロチャネル 250 は、ダイ 220、ダイ 270、または両方の熱除去の必要性に応じて設計されてよい。一実施形態では、マイクロチャネル 250 は、より多くのマイクロチャネル、または、ホットスポットなど、より熱除去を必要とするダイ 220 またはダイ 270 の領域ごとにチャネル領域を提供し得る。

20

#### 【0023】

図 2B に示すように、マイクロチャネル 250 と共に入出力 280 が設けられてよい。入出力の数は、必要に応じて任意であってよい。例えば、単一のマイクロチャネルが用いられる場合には、単一あるいは複数の入出力が用いられ得る。複数の別々のマイクロチャネルが用いられるのであれば、それぞれのマイクロチャネルに対し少なくとも 1 つの入出力が設けられてよい。

30

#### 【0024】

冷却剤は、熱を除去することができる任意の適切な材料を含み得る。一実施形態では、冷却剤は、液体を含み得る。一実施形態では、冷却剤は、二相流冷却剤であってよい。一実施形態では、冷却剤は、冷却液 230 と冷却剤を冷却するかまたは濃縮できる 1 つ以上の外部熱交換器との間を流れることができる。

#### 【0025】

図 3A - 3H は、本発明に従う冷却液を提供できる方法を示す。

#### 【0026】

図 3A は、開始時基板 300 を示す。基板 300 は、任意の適切な材料を含み得る。一実施形態では、基板 300 は、シリコンを含み得る。一実施形態では、基板 300 は、ウェーハを含み得る。他の実施形態では、基板 300 は、ウェーハまたはチップの一部であってよい。

40

#### 【0027】

図 3B に示すように、開口 310 および開口 320 が基板内に形成されてよい。一実施形態では、開口 310 は、続いてマイクロチャネルを形成し、開口 320 は、続いて以下にさらに説明する貫通ビアを形成し得る。

#### 【0028】

開口 310 は、いかなる適切な幅を有してよい。一実施形態では、開口 310 は、約 5 乃至 10 ミクロンの範囲内の幅を有してよい。他の実施形態では、開口 310 は、約 6 乃至 8 ミクロンの範囲内の幅を有してよい。一実施形態では、開口 310 は、約 7 乃至 10

50

ミクロンの範囲内の幅を有してよい。開口310は、また、開口320より浅くなるようないかなる任意の深さを有してよい。したがって、開口310は、浅い開口であると考えられ、開口320は、深い開口であると考えられる。一実施形態では、開口310は、約50乃至100ミクロンの範囲内の深さを有してよい。他の実施形態では、開口310は、約60乃至80ミクロンの範囲内の深さを有してよい。一実施形態では、開口310は、約75乃至100ミクロンの範囲内の深さを有してよい。

**【0029】**

開口310は、基板300全体または基板300の一部にわたり実質的に延びるかまたは走るマイクロチャネルを規定するパターンを形成し得る。例えば、基板300がチップまたはダイである場合、開口310は、実質的に基板300を貫通するパターンを形成する。他の実施形態では、基板300がウェーハである場合、開口310は、ウェーハが集積回路のウェーハ(図3G)と位置合わせされることにより、それぞれの集積回路のマイクロチャネルレイアウトを提供するような、1つのダイにそれぞれ対応するいくつかのマイクロチャネルレイアウトのパターンを形成し得る。他の実施形態では、開口310は、1つのチップまたはダイに対し複数の別々のマイクロチャネルを規定するパターンを形成し得る。

10

**【0030】**

開口320は、任意の寸法でよく、3Dアーキテクチャのための貫通ビアの所望のパターンに対応してよい。一実施形態では、開口320は、上から見たとき概ね円または楕円形を有し得る。開口320は、任意の深さを有し得る。一実施形態では、開口320は、約100乃至150ミクロンの範囲内の深さを有してよい。他の実施形態では、開口320は、約80乃至120ミクロンの範囲内の深さを有してよい。一実施形態では、開口は、約50乃至100ミクロンの範囲内の深さを有してよい。

20

**【0031】**

一実施形態では、開口320は、開口310より深くてよい。一実施形態では、開口320は、開口310より約5乃至10ミクロン深くてよい。他の実施形態では、開口320は、開口310より約2乃至8ミクロン深くてよい。一実施形態では、開口320は、開口310より約10乃至20ミクロン深くてよい。他の実施形態では、開口320は、基板300を貫通してよい。

**【0032】**

開口310および開口320は、任意の適切な技術によって形成され得る。一実施形態では、それらは、2つのフォトリソグラフィおよびエッチング工程により形成され得る。一実施形態では、開口310および開口320は、基板200上にレジストパターンを形成し；基板300の露出した部分をエッチングすることにより開口310または開口320のいずれかを形成し；第1のレジストパターンを除去し；基板上に第2のレジストパターンを形成し；基板300の露出した部分をエッチングすることにより、残りの開口を形成し；第2のレジストパターンを除去する；ことにより形成され得る。

30

**【0033】**

図3Cは、第2の開始時基板330を示す。基板330は、任意の適切な材料を含み得る。一実施形態では、基板330は、シリコンを含んでよい。一実施形態では、基板は、ウェーハであってよい。他の実施形態では、基板330は、ウェーハまたはチップの一部であってよい。

40

**【0034】**

図3Dに示すように、基板330内に開口340が形成され得る。一実施形態では、開口340のいくつかは、続いて貫通ビアの一部を形成する。一実施形態では、開口340のいくつかは、続いてマイクロチャネルの入出力を形成する。

**【0035】**

開口340は、任意の適切な深さおよび幅を有してよい。一実施形態では、開口340は、開口320のパターンおよび寸法に対応するパターンを有し得る。開口340は、任意の適切な技術により形成されてよい。一実施形態では、それらは、フォトリソグラフィ

50

およびエッチングにより形成され得る。一実施形態では、開口 340 は、基板 330 上にレジストパターンを形成し；、基板 330 の露出した部分をエッチングすることにより、開口 340 のいずれかを形成し；、レジストパターンを除去する；ことにより形成され得る。一実施形態では、開口 340 は、基板 330 を貫通してよい。

【0036】

図 3 E に示すように、基板 300 および 330 は、位置合わせされて結合される。基板 300 および 330 は、いかなる技術により位置合わせされて結合されてもよい。一実施形態では、基板 300 および 330 は、開口 320 および 340 が実質的に位置合わせされるように位置合わせされてよい。一実施形態では、マイクロチャネルの入出力が形成されるように多数の開口 340 が開口 310 と位置合わせされてよい（図を複雑にしないためにこのような位置合わせは図 3 E には示されていない）。一実施形態では、基板 300 および 330 は、拡散接合により結合され得る。他の実施形態では、基板 300 および 330 は、シリコンを含み、シリコン同士の拡散接合により結合され得る。他の実施形態では、基板 300 および 330 は、接着剤またはエポキシを用いて結合され得る。

10

【0037】

図 3 F に示すように、基板 300 および 330 は、装置 335 となるべく薄くされる。例示される断面図では、基板が分割されているように見えるが、他の有効な断面図で示すことができるように、連続したままでもよい。図 3 F は、貫通ビア 350 のフォーメーションを示す。図 3 F では、図を複雑にしないために基板 300 と 330 との間の継ぎ目は示していない。基板 300 および 330 は、背面研磨技術など任意の適切な技術により薄くされる。

20

【0038】

図の実施形態では、薄くする前の結合が示されている。しかしながら、もし薄くするのであれば、結合の前に行われてもよい。一実施形態では、基板 300 は、結合の前に薄くされることができる。他の実施形態では、基板 330 が結合の前に薄くされることができる。一実施形態では、基板 300 および基板 330 の両方が結合の前に薄くされてよい。他の実施形態では、どちらかの基板あるいは基板の両方を薄くしなくてもよい。

【0039】

図 3 G に示すように、装置 335 は、基板 360 に位置合わせされて結合され得る。基板 360 は、貫通ビア 370 およびバンプ 380 を含んでよい。一実施形態では、基板 360 は、チップまたはダイを含み得る。一実施形態では、基板 360 は、集積回路を含み得る。いくつかの実施形態では、基板 360 は、CPU、DRAM、アナログデバイス、または、フラッシュメモリデバイスを含み得る。他の実施形態では、基板 360 は、集積回路のウェーハを含み得る。他の実施形態では、装置 335 は、貫通ビア 350 のいくつかは貫通ビア 370 のいくつかと位置合わせされるように基板 360 と位置合わせされてよい。様々な実施形態では、基板 360 の活性表面 360 は、装置 335 に面するか、あるいは、活性表面は、装置 335 に面していなくてもよい。

30

【0040】

図 3 H に示すように、導電性貫通ビア 390 が形成され得る。導電性貫通ビア 390 は、任意の適切な導電材料を含んでよい。一実施形態では、導電貫通ビア 390 は、銅を含み得る。導電貫通ビア 390 は、スパッタリング、化学または物理蒸着、電気めっき、無電解めっきなどの任意の適切な技術により形成され得る。

40

【0041】

図に示すように、装置 335 が基板に結合されて導電性貫通ビアが形成され得る。他の実施形態では、装置 335 は、導電性貫通ビア 390 の形成前には基板には結合されない。一実施形態では、導電性貫通ビア 390 が装置 335（図 3 F）に形成されることにより、マイクロチャネルおよび導電貫通ビアを有する装置となる。そのように形成された形成された装置は、拡散接合またはバンプはんだ接合など任意の技術により 1 つのダイまたは複数のダイに取り付けられ得る。

【0042】

50

図3 Iに示すように、装置335は、基板410に位置合わせされて結合され得る。基板410は、貫通ビア420を含み得る。一実施形態では、基板410は、チップまたはダイを含み得る。一実施形態では、基板410は、集積回路を含み得る。いくつかの実施形態では、基板410は、CPU、DRAM、アナログデバイス、または、フラッシュメモリデバイスを含み得る。他の実施形態では、基板410は、集積回路のウェーハを含み得る。他の実施形態では、装置335は、貫通ビア420のいくつかが貫通ビア370のいくつかと位置合わせされるように基板400と位置合わせされてよい。一実施形態では、基板410は、拡散接合により結合されてよい。一実施形態では、基板410は、パンプはんだ接合により結合されてよい。一実施形態では、パンプは、結合を容易にすべく、基板410、装置330、または、両方の上に形成されてよい。様々な実施形態では、基板410の活性表面は、装置335に面するか、あるいは、活性表面は、装置335に面していなくてもよい。

10

**【0043】**

上記技術が別々の集積回路構成要素を有するウェーハおよびマイクロチャネルクーリングソリューションと共に用いられた場合、図3 Hまたは図3 Iの実施形態は、個別のダイおよびクーリングソリューションを形成すべくダイシングされる。

**【0044】**

本願明細書を通じての「一実施形態」あるいは「一の実施形態」への言及は、実施形態に関連して記載される特定の特長、構造、材料、または、特徴が本発明の少なくとも1つの実施形態に含まれることを意味する。したがって、本願明細書の随所に見られる「一実施形態において」あるいは「一の実施形態において」という言い回しは、必ずしも本発明の同じ実施形態に言及するわけではない。さらに、特定の特長、構造、材料、または、特徴は、1つ以上の実施形態においていかなる適切なやり方で組み合わせられてよい。

20

**【0045】**

上記記載は例示に過ぎず、本発明の限定を意図しない。多くの実施形態は、上記記載を検討すれば、当業者には明らかであろう。したがって、本発明の範囲は、添付の請求項、および、請求項の均等物の全範囲に照らして決定されるべきである。

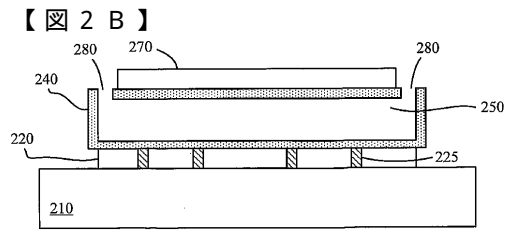
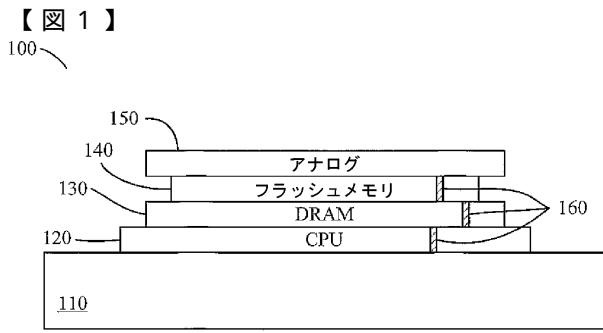


FIG. 2B

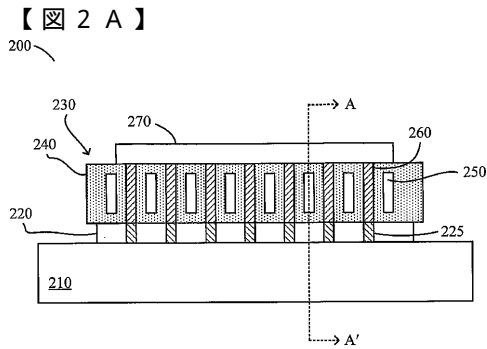


FIG. 2A

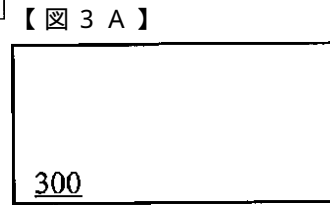


FIG. 3A

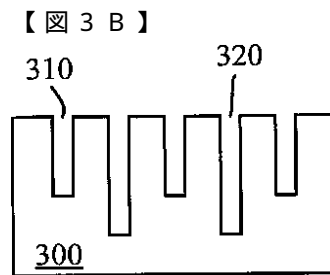


FIG. 3B

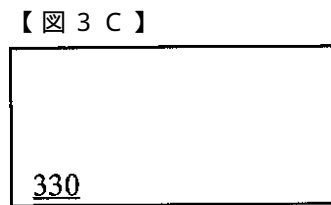


FIG. 3C

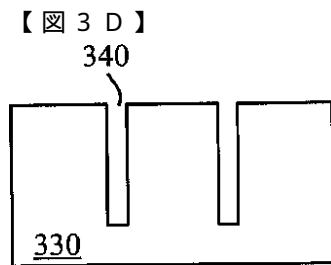


FIG. 3D

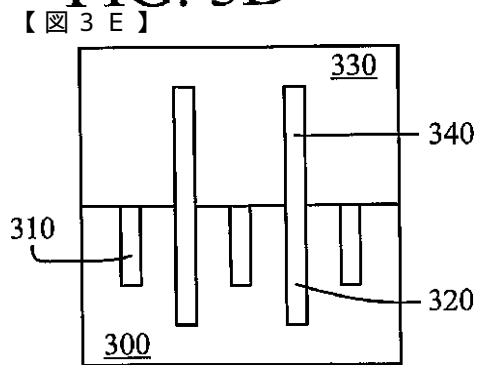


FIG. 3E

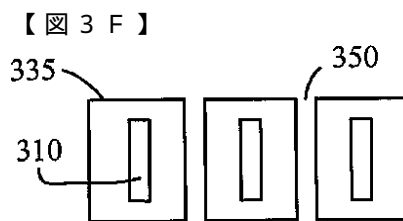
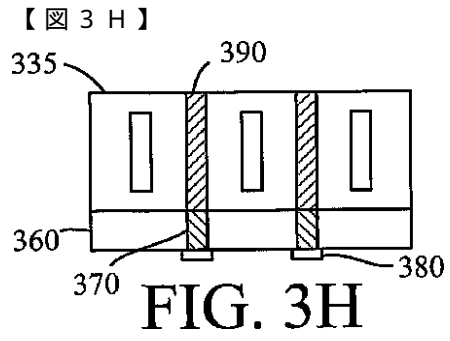
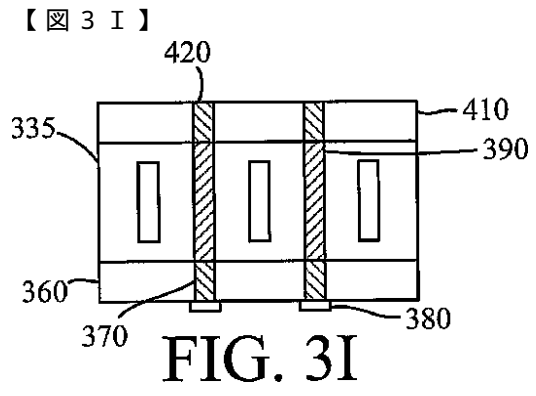
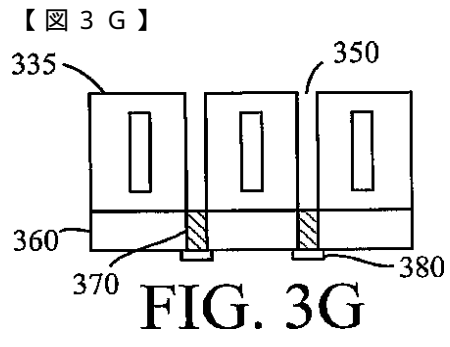


FIG. 3F



## フロントページの続き

- (72)発明者 バイ、イクン  
アメリカ合衆国、85226 アリゾナ州、チャンドラー、ナンバー 1224、エヌ・メトロ  
ブールバード 500
- (72)発明者 チョウ、チン  
アメリカ合衆国、85249 アリゾナ州、チャンドラー、イースト キャロブ ドライブ 15  
96
- (72)発明者 ヘ、ジャンキ  
アメリカ合衆国、85233 アリゾナ州、ギルバート、ダブリュー・メスキート ストリート  
1179

審査官 宮本 靖史

- (56)参考文献 米国特許第06678168(US, B1)  
特開昭62-012146(JP, A)  
特開昭64-053440(JP, A)  
特開平08-227953(JP, A)  
特開昭64-086543(JP, A)  
特開平02-121355(JP, A)  
特開平04-233795(JP, A)  
特開平04-356956(JP, A)

- (58)調査した分野(Int.Cl., DB名)  
H01L 25/00-25/18  
H01L 23/34-23/473  
H05K 1/00- 1/02