

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5379164号
(P5379164)

(45) 発行日 平成25年12月25日 (2013.12.25)

(24) 登録日 平成25年10月4日 (2013.10.4)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006.01)	G 1 1 C 17/00 6 O 1 T
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 O 1 D
	G 1 1 C 17/00 6 3 6 A
	G 1 1 C 17/00 6 3 6 B

請求項の数 36 (全 16 頁)

(21) 出願番号	特願2010-542484 (P2010-542484)	(73) 特許権者	508034325
(86) (22) 出願日	平成20年12月15日 (2008.12.15)		モサイド・テクノロジーズ・インコーポレ
(65) 公表番号	特表2011-510426 (P2011-510426A)		ーテッド
(43) 公表日	平成23年3月31日 (2011.3.31)		カナダ・オンタリオ・K 2 K・2 X 1・オ
(86) 国際出願番号	PCT/CA2008/002155		タワ・ハインズ・ロード・1 1・スイート
(87) 国際公開番号	W02009/092152		・2 0 3
(87) 国際公開日	平成21年7月30日 (2009.7.30)	(74) 代理人	100108453
審査請求日	平成23年2月16日 (2011.2.16)		弁理士 村山 靖彦
(31) 優先権主張番号	61/022, 656	(74) 代理人	100064908
(32) 優先日	平成20年1月22日 (2008.1.22)		弁理士 志賀 正武
(33) 優先権主張国	米国 (US)	(74) 代理人	100089037
(31) 優先権主張番号	12/286, 959		弁理士 渡邊 隆
(32) 優先日	平成20年10月3日 (2008.10.3)	(74) 代理人	100140534
(33) 優先権主張国	米国 (US)		弁理士 木内 敬二

最終頁に続く

(54) 【発明の名称】 タイミング制約が緩和される NANDフラッシュメモリアクセス

(57) 【特許請求の範囲】

【請求項 1】

メモリ装置内のNANDフラッシュメモリと、

前記NANDフラッシュメモリに対する外部アクセスを提供し、かつ前記外部アクセスと関連付けられたビット幅を規定するように構成されたメモリ装置内の入力／出力(I/O)バッファと、

前記NANDフラッシュメモリを前記I/Oバッファに結合し、前記ビット幅にそれぞれが適合する第1および第2のデータパスと、

前記NANDフラッシュメモリおよび前記I/Oバッファに結合されたメモリ装置内のスイッチング装置と、

前記I/Oバッファより大きく、複数のページバッファ部分を有するメモリ装置内のページバッファとを備え、

前記第1および第2のデータパスが、前記スイッチング装置を横断し、また前記スイッチング装置が、交互のシーケンスで、前記第1および第2のデータパスを選択するように構成され、

前記複数のページバッファ部分は、前記NANDフラッシュメモリの関連部分に結合され、かつ前記第1および第2のデータパスのうち対応する1つにそれぞれがさらに結合されている、メモリ装置。

【請求項 2】

メモリ装置内のNANDフラッシュメモリと、

10

20

前記NANDフラッシュメモリに対する外部アクセスを提供し、かつ前記外部アクセスと関連付けられたビット幅を規定するように構成されたメモリ装置内の入力／出力(I/O)バッファと、

前記NANDフラッシュメモリを前記I/Oバッファに結合し、前記ビット幅にそれぞれが適合する複数のデータパスと、

前記I/Oバッファより大きく、複数のページバッファ部分を有するメモリ装置内のページバッファとを備え、

前記複数のページバッファ部分は、前記NANDフラッシュメモリの関連部分に接続され、かつ複数のデータパスのうち対応する1つにそれぞれがさらに接続されているメモリ装置。

10

【請求項3】

前記ページバッファが、複合ページバッファである、請求項2に記載のメモリ装置。

【請求項4】

前記NANDフラッシュメモリの前記関連部分が、前記NANDフラッシュメモリの単一のプレーン内に含まれる、請求項2に記載のメモリ装置。

【請求項5】

前記NANDフラッシュメモリの前記関連部分が、前記NANDフラッシュメモリの複数のプレーンにわたって提供される、請求項2に記載のメモリ装置。

【請求項6】

前記NANDフラッシュメモリおよび前記I/Oバッファに結合されたスイッチング装置を含み、前記データパスが、前記スイッチング装置を横断し、また前記スイッチング装置が、選択シーケンスに従って前記データパスを選択するように構成される、請求項2に記載のメモリ装置。

20

【請求項7】

前記NANDフラッシュメモリの第1および第2の部分にそれぞれが結合された前記データパスの第1および第2の組を含む、請求項6に記載のメモリ装置。

【請求項8】

前記NANDフラッシュメモリの前記第1および第2の部分、前記NANDフラッシュメモリの単一のプレーン内に含まれる、請求項7に記載のメモリ装置。

【請求項9】

前記NANDフラッシュメモリの前記第1および第2の部分、それぞれ、前記NANDフラッシュメモリの異なるプレーン中で提供される、請求項7に記載のメモリ装置。

30

【請求項10】

前記NANDフラッシュメモリが、2の累乗である数の前記プレーンからなる、請求項9に記載のメモリ装置。

【請求項11】

前記選択シーケンスは、前記第1の組の前記データパスの選択と、前記第2の組の前記データパスの選択とを時間的にインターリーブする、請求項7に記載のメモリ装置。

【請求項12】

前記NANDフラッシュメモリの第1、第2、第3、および第4の部分にそれぞれが結合される前記データパスの第1、第2、第3、および第4の組を含む、請求項2から11のいずれか一項に記載のメモリ装置。

40

【請求項13】

前記NANDフラッシュメモリの前記第1、第2、第3、および第4の部分、前記NANDフラッシュメモリの複数のプレーンにわたって提供される、請求項12に記載のメモリ装置。

【請求項14】

前記複数のプレーンが、2の累乗である数の前記プレーンからなる、請求項13に記載のメモリ装置。

【請求項15】

前記選択シーケンスが、前記第1の組の前記データパスの選択と、前記第2の組の前記デ

50

ータパスの選択とを時間的にインターリーブする第1のインターリービングを含み、かつ前記第3の組の前記データパスの選択と、前記第4の組の前記データパスの選択とを時間的にインターリーブする第2のインターリービングをさらに含む、請求項12に記載のメモリ装置。

【請求項16】

前記選択シーケンスが、前記第1のインターリービングの選択と、前記第2のインターリービングの選択とを時間的にインターリーブする第3のインターリービングをさらに含む、請求項15に記載のメモリ装置。

【請求項17】

前記データパスの選択が、前記選択シーケンス中で時間的にインターリーブされる、請求項6または7に記載のメモリ装置。

10

【請求項18】

前記スイッチング装置が、前記NANDフラッシュメモリの読取りアクセス中に、前記データパスからの情報を前記I/Oバッファ中に多重化し、かつ前記NANDフラッシュメモリの書込みアクセス中に、前記バッファからの情報を前記データパス上に逆多重化する、請求項6から11のいずれか一項に記載のメモリ装置。

【請求項19】

前記複数のデータパスが情報を少なくとも部分的に並列して運ぶように構成される、請求項2に記載のメモリ装置。

【請求項20】

20

データプロセッサと、

前記データプロセッサに結合されたメモリ装置であって、前記メモリ装置内のNANDフラッシュメモリと、前記データプロセッサが前記メモリ装置へアクセスできるようにしかつ前記アクセスと関連付けられたビット幅を規定するように構成された前記メモリ装置内の入力／出力(I/O)バッファと、前記NANDフラッシュメモリを前記I/Oバッファに結合し、前記ビット幅にそれぞれが適合する複数のデータパスとを含み、さらにメモリ装置が、前記I/Oバッファより大きく、複数のページバッファ部分を有する前記メモリ装置内のページバッファを含む、メモリ装置とを備え、

前記複数のページバッファ部分は、前記NANDフラッシュメモリの関連部分に接続され、かつ複数のデータパスの対応する1つにそれぞれがさらに接続されているデータ処理システム。

30

【請求項21】

前記複数のデータパスが情報を少なくとも部分的に並列して運ぶように構成される、請求項20に記載のデータ処理システム。

【請求項22】

前記メモリ装置が、前記NANDフラッシュメモリおよび前記I/Oバッファに結合されたスイッチング装置を含み、前記データパスが、前記スイッチング装置を横断し、また前記スイッチング装置が、選択シーケンスに従って前記データパスを選択するように構成される、請求項20または21に記載のデータ処理システム。

【請求項23】

40

前記メモリ装置が、前記NANDフラッシュメモリの第1および第2の部分にそれぞれ結合される前記データパスの第1および第2の組を含む、請求項22に記載のデータ処理システム。

【請求項24】

前記選択シーケンスは、前記第1の組の前記データパスの選択と、前記第2の組の前記データパスの選択とを時間的にインターリーブする、請求項23に記載のデータ処理システム。

【請求項25】

前記メモリ装置が、前記NANDフラッシュメモリの第1、第2、第3、および第4の部分にそれぞれが結合される前記データパスの第1、第2、第3、および第4の組を含む、請求項22に記載のデータ処理システム。

50

【請求項 26】

前記選択シーケンスが、前記第1の組の前記データパスの選択と、前記第2の組の前記データパスの選択とを時間的にインターリーブする第1のインターリーブングを含み、かつ前記第3の組の前記データパスの選択と、前記第4の組の前記データパスの選択とを時間的にインターリーブする第2のインターリーブングをさらに含む、請求項25に記載のデータ処理システム。

【請求項 27】

前記選択シーケンスが、前記第1のインターリーブングの選択と、前記第2のインターリーブングの選択とを時間的にインターリーブする第3のインターリーブングをさらに含む、請求項26に記載のデータ処理システム。

10

【請求項 28】

前記データパスの選択が、前記選択シーケンス中で時間的にインターリーブされる、請求項22に記載のデータ処理システム。

【請求項 29】

前記スイッチング装置が、前記NANDフラッシュメモリの読取りアクセス中に、前記データパスからの情報を前記I/Oバッファ中に多重化し、かつ前記NANDフラッシュメモリの書き込みアクセス中に、前記I/Oバッファからの情報を前記データパス上に逆多重化する、請求項22に記載のデータ処理システム。

【請求項 30】

前記ページバッファが、前記NANDフラッシュメモリの関連部分に結合され、かつ前記データパスのうちの対応するデータパスにそれぞれがさらに結合される複数の構成バッファ部分を有する複合ページバッファである、請求項20に記載のデータ処理システム。

20

【請求項 31】

前記構成バッファ部分が、互いに物理的に別個の各バッファである、請求項30に記載のデータ処理システム。

【請求項 32】

移動体データ処理システムとして提供される、請求項20、21、30または31のいずれか一項に記載のデータ処理システム。

【請求項 33】

デジタルオーディオ再生装置、デジタルビデオ再生装置、携帯電話、フラッシュカード、USBフラッシュドライブ、およびハードディスクの代替としてのソリッドステートドライブのうちの1つとして提供される、請求項20、21、30または31のいずれか一項に記載のデータ処理システム。

30

【請求項 34】

前記ビット幅が8ビットである、請求項20、21、30または31のいずれか一項に記載のデータ処理システム。

【請求項 35】

集積回路のNANDフラッシュメモリと、

前記NANDフラッシュメモリに対する外部アクセスを提供し、かつ前記外部アクセスと関連付けられたビット幅を規定するように構成された集積回路の入力／出力(I/O)バッファと、

40

前記NANDフラッシュメモリを前記I/Oバッファに結合し、前記ビット幅にそれぞれが適合する第1および第2のデータパスと、

前記NANDフラッシュメモリおよび前記I/Oバッファに結合された集積回路のスイッチング装置と、

前記I/Oバッファより大きく、複数のページバッファ部分を有する集積回路のページバッファとを備え、

前記第1および第2のデータパスが、前記スイッチング装置を横断し、また前記スイッチング装置が、交互のシーケンスで、前記第1および第2のデータパスを選択するように構成され、

50

前記複数のページバッファ部分は、前記NANDフラッシュメモリの関連部分に結合され、かつ前記第1および第2のデータパスのうち対応する1つにそれぞれがさらに結合され、

前記ページバッファ部分のうちの1つと前記I/Oバッファ、または逆も同様、の間における第1および次の内部データ転送間のタイミングバジェットが、集積回路により受信されたタイミング信号のエッジ間の時間の期間に対して緩和される、集積回路上に提供されるメモリ装置。

【請求項36】

集積回路のNANDフラッシュメモリと、

前記NANDフラッシュメモリに対する外部アクセスを提供し、かつ前記外部アクセスと関連付けられたビット幅を規定するように構成された集積回路の入力／出力(I/O)バッファと、

10

前記NANDフラッシュメモリを前記I/Oバッファに結合し、前記ビット幅にそれぞれが適合する複数のデータパスと、

前記I/Oバッファより大きく、複数のページバッファ部分を有する集積回路のページバッファとを備え、

前記複数のページバッファ部分は、前記NANDフラッシュメモリの関連部分に接続され、かつ前記データパスのうち対応する1つにそれぞれがさらに接続され、

前記ページバッファ部分のうちの1つと前記I/Oバッファ、または逆も同様、の間における第1および次の内部データ転送間のタイミングバジェットが、集積回路により受信されたタイミング信号のエッジ間の時間の期間に対して緩和される、集積回路上に提供されるメモリ装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、データ処理に関するものであり、より詳細には、情報を記憶するためにフラッシュメモリを使用するデータ処理に関するものである。

【背景技術】

【0002】

従来のNANDフラッシュメモリ技術は、比較的低価格で、高いデータ記憶密度を提供している。NANDフラッシュメモリは、例えば、移動体データ処理アプリケーション、および移動体データ記憶アプリケーションなど、数多くのタイプのデータ処理アプリケーションで一般に使用される。NANDフラッシュメモリを使用することから利益の得られる用途の具体的な例は、デジタルオーディオ/ビデオ再生装置、携帯電話、フラッシュカード、USBフラッシュドライブ、およびHDD(ハードディスクドライブ:hard disk drive)の代替としてのSSD(ソリッドステートドライブ:solid state drive)を含む。

30

【0003】

図1は、従来のNANDフラッシュメモリ装置を図示している。図1では、NANDフラッシュメモリセルアレイ10は、 n 個のブロック(明示的には示していない)を含み、また各ブロックは、 m 個のページを含んでおり、その1つが示されている。いくつかの従来のNANDフラッシュメモリ装置は、2つのこのようなアレイを含む。各アレイは、(プレーンとも呼ばれる)読取り動作とプログラミング動作の両方に対して、ページベースでアクセスされる。各ページは、 j バイトを含むデータフィールド、および k バイトを含むスペアフィールドを含み、ページごとに合計 $j+k$ バイトとなる。図1で示されたメモリプレーンでは、 $j=4096$ (すなわち、4KB)、および $k=128$ で、ページごとに合計4224バイトである。いくつかの従来のアレイでは、 $m=128$ および $n=2048$ である。

40

【0004】

ページの読取り動作中に、データの選択されたページが図1のページバッファ13中にロードされ、次いで、1バイト幅の信号パス17を介して、バイト単位で順次に、1バイト幅の入出力バッファ15へと転送される。ページプログラム動作中では、ページデータは、信号パス17を介して、バイト単位で順次に、入出力バッファ15からページバッファ13へと転送

50

される。(ページバッファ13と入出力バッファ15の間の信号パス17中に従来配置されるセンスアンプおよび書込みドライバ装置は、不要な複雑さを避けるために図1では除外されている。)

【0005】

図2および3は、それぞれ、プログラム動作(信号W/R#がハイであるとき)、および読取り動作(W/R#がローであるとき)のタイミングの従来例を示している。図2および3は、いわゆるDDR(double data rate:ダブルデータレート)動作を示しており、ページデータのバイト(DinまたはDout)が、タイミング信号(図2および3でCLKとして示されている)の各立上がりおよび立下がりのエッジで転送される(ページバッファ13との間で)。一方、従来のSDR(single data rate:シングルデータレート)手法では、ページデータは、CLKのサイクル当たり10 1バイトのレートで転送され、図2および3のDDR手法の転送スループットの半分を達成する。いくつかの従来手法は、読取りおよびプログラム動作のためのタイミング信号として、CLKの差動バージョンを使用する。いくつかの(SDRまたはDDRインターフェースのための)従来装置では、プログラミング動作のためのタイミング信号として、書込みイネーブル信号が使用され、また読取り動作のためのタイミング信号として、読取りイネーブル信号が使用される。

【0006】

DDR動作の例で続けると、入力データバイトは、図2のプログラミング動作中、CLKの半サイクルごとに有効であり、それは、入力バイトを、入出力バッファ15からページバッファ13(図1を参照のこと)に転送するための合計時間を、固有のタイミング要件を満たすために、半サイクル時間未満にすべきであることを意味している。これは、図3の読取り動作に関しても同様である、すなわち、データのセンシングと、ページバッファ13から入出力バッファ15への転送とのための合計時間を、半サイクル時間未満にすべきである。 20

【0007】

タイミング信号(図2および3のCLK)の周波数が増加するにつれて、タイミング信号の対応するサイクル時間は減少する。このように周波数が増加すると、(プログラミング動作のために)データが、入出力バッファ15からページバッファ13へとデータ入力パスを横断するために必要な時間と、(読取り動作のために)データが、ページバッファ13から入出力バッファ15へとデータ出力パスを横断するために必要な時間とは、ボトルネックとなるが、それは、データ入力パスまたはデータ出力パスを横断するために必要な合計時間(タイミングバジェット)は、チップコストを含めたコストを不都合なほどに増加させる可能性のある、例えば、高性能トランジスタを導入するなどの対策を取らないと、容易に低減できないからである。 30

【0008】

さらに、メモリ容量の増加は、ページバッファ13と入出力バッファ15の間の物理的な距離の対応する増加を通常伴うため、メモリ容量が増加すると、データ入力パスおよびデータ出力パスは、タイミングのボトルネックとなる可能性がある。

【発明の概要】

【発明が解決しようとする課題】

【0009】

したがって、NANDフラッシュメモリ装置において、ページバッファと入出力バッファの間のインターフェースをデータが横断するためのタイミングバジェットに対する制約を緩和させることが望ましい。 40

【課題を解決するための手段】

【0010】

本発明の一態様によれば、NANDフラッシュメモリと、NANDフラッシュメモリに対する外部アクセスを提供し、かつ外部アクセスと関連付けられたビット幅を規定するバッファとを含むメモリ装置が提供される。第1および第2のデータパスが、NANDフラッシュメモリをバッファに結合し、また第1および第2のデータパスのそれぞれは、ビット幅に適合する。スイッチング装置が、NANDフラッシュメモリおよびバッファに結合される。第1および第2 50

のデータパスは、スイッチング装置を横断し、またスイッチング装置は、交互のシーケンスで第1および第2のデータパスを選択するように構成される。

【0011】

本発明の他の態様によれば、NANDフラッシュメモリと、NANDフラッシュメモリに対する外部アクセスを提供し、かつ外部アクセスと関連付けられたビット幅を規定するバッファとを含むメモリ装置が提供される。複数のデータパスが、NANDフラッシュメモリをバッファに結合し、データパスのそれぞれはビット幅に適合する。

【0012】

本発明のさらに他の態様によれば、データプロセッサと、データプロセッサに結合されたメモリ装置とを含むデータ処理システムが提供される。メモリ装置は、NANDフラッシュメモリと、データプロセッサがメモリ装置へアクセスできるようにしかつアクセスと関連付けられたビット幅を規定するバッファとを含む。複数のデータパスが、NANDフラッシュメモリをバッファに結合し、またデータパスのそれぞれはビット幅に適合する。

10

【0013】

本発明のさらに他の態様によれば、NANDフラッシュメモリと、NANDフラッシュメモリに対する外部アクセスを提供し、かつデータユニットのビット幅を規定するバッファとの間でデータユニットを転送する方法が提供される。本方法は、データユニットのシーケンスを提供するステップを含む。本方法はまた、シーケンス中で隣接するデータユニットを、NANDフラッシュメモリとバッファの間で提供されるそれぞれが異なるデータパス上に経路指定するステップを含む。データパスのそれぞれはビット幅に適合する。

20

【図面の簡単な説明】

【0014】

【図1】従来技術によるNANDフラッシュメモリを示す図である。

【図2】従来技術のメモリプログラミング動作および読取り動作のタイミングを、それぞれ、グラフィカルに示す図である。

【図3】従来技術のメモリプログラミング動作および読取り動作のタイミングを、それぞれ、グラフィカルに示す図である。

【図4】本発明の例示的な実施形態によるデータ処理システムを示す図である。

【図5】図4のシステムにより実施できるメモリプログラミング動作およびメモリ読取り動作を、それぞれ、グラフィカルに示す図である。

30

【図6】図4のシステムにより実施できるメモリプログラミング動作およびメモリ読取り動作を、それぞれ、グラフィカルに示す図である。

【図7】本発明の例示的な実施形態による図4の一部を示す図である。

【図8】図7の実施形態により実施できる動作をグラフィカルに示す図である。

【図9】図7の実施形態により実施できる動作をグラフィカルに示す図である。

【図10】本発明のさらなる例示的な実施形態によるデータ処理システムを示す図である。

【図11】図10のシステムにより実施できるメモリプログラミング動作およびメモリ読取り動作を、それぞれ、グラフィカルに示す図である。

【図12】図10のシステムにより実施できるメモリプログラミング動作およびメモリ読取り動作を、それぞれ、グラフィカルに示す図である。

40

【図13】本発明のさらなる例示的な実施形態によるデータ処理システムを示す図である。

【図14】本発明のさらなる例示的な実施形態によるデータ処理システムを示す図である。

【発明を実施するための形態】

【0015】

図4は、本発明の例示的な実施形態によるデータ処理システムを図示している。データ処理システムは、データ処理リソース42に結合されたNANDフラッシュメモリ装置41を含む。いくつかの実施形態では、メモリ装置41は、図1の従来装置におけるページバッファ13

50

と入出力バッファ15の間のデータ転送と関連する前述のタイミング制約を緩和する。これは、図1のページバッファ13を、図4のページバッファ部分13Aおよび13Bなど、複数のページバッファ部分に分割することにより、いくつかの実施形態で達成される。いくつかの実施形態では、ページバッファ部分13Aおよび13Bは、全体的に複合されたページバッファの構成部分を規定する物理的に別個のバッファとして実装される。いくつかの実施形態では、ページバッファ部分13Aおよび13Bは、単一の物理的なバッファである全体的に複合されたバッファの単なる構成部分である。

【0016】

図4の例示的なメモリ装置41では、ページバッファ部分13Aおよび13Bはそれぞれ、ページバッファ全体の半分を表す。したがって、ページバッファ部分のそれぞれは、 $j/2$ バイトのデータフィールド、および $k/2$ バイトのスペアフィールドを有する。ページバッファ部分13Aおよび13Bは、それぞれ、図1の従来のNANDフラッシュメモリプレーン10など、NANDフラッシュメモリプレーンの対応する部分(例えば、半分)40および47に結合される。

【0017】

説明のために過ぎないが、NANDフラッシュメモリプレーン10は、 $j=4096$ 、 $k=m=128$ 、および $n=2048$ である前述の従来例に応じて、以降では、8Gビットのプレーンであると仮定する。ページバッファ部分13Aおよび13Bのそれぞれが、図1のページバッファ13全体の半分を表す場合、各ページバッファ部分13Aおよび13Bは、2048バイト(すなわち、2KB)のデータフィールド、および64バイトのスペアフィールドを有する。メモリプレーン部分40および47のそれぞれがプレーン10の半分を構成する場合、NANDフラッシュメモリプレーン部分40および47のそれぞれは、8ギガビットプレーン10内の4ギガビットのNANDフラッシュセルアレイである。

【0018】

ページバッファ部分13Aおよび13Bは、それぞれ、その関連するページバッファ部分と入出力バッファ15の間で、データ(またはプログラムコード/命令などの他の情報)を転送する対応する信号パス43および44(データパス0およびデータパス1として、それぞれ、図4でさらに示されている)と関連付けられている。信号パスのそれぞれは、8ビット(1バイト)幅であり、したがって、入出力バッファ15(図1も参照のこと)の従来のビット幅とマッチする。信号パス43および44は、センスアンプおよび書込みドライバ(図4で、それぞれ、大域S/Aおよび書込みドライバ0、および大域S/Aおよび書込みドライバ1としても示される)の各組48および49を含む。図4のメモリ装置41は、したがって、2つの8ビット幅のセンスアンプおよび書込みドライバの組を含み、一方、図1の従来装置は、このようなセンスアンプおよび書込みドライバの組を1つ含んでいるだけである(図1では明示的に示していない)。

【0019】

全体的に45で指定されるスイッチング装置(SW)は、8ビット幅の信号パス43および44と、8ビット(DQ0~DQ7)入出力バッファ15とのインターフェースを取り、したがって、信号パス43および44を、メモリ読取り動作とメモリプログラム動作の両方に関して、データ処理リソース42が利用できるようになる。データ処理リソース42は、読取り動作およびプログラム動作を制御するために、概して、46で指定される制御シグナリングを行う。46の制御シグナリングは、図1~3に関して上記で述べた従来のメモリ読取りおよびプログラム動作を制御するために使用される制御信号、ならびにスイッチング装置45の制御動作に対するさらなる制御シグナリングを含む。データ処理リソース42はさらに、メモリプログラム動作中、入出力バッファ15のDQ0~DQ7端子に、(従来の方法で)入力データバイトのシーケンスを提供し、メモリ読取り動作中、DQ0~DQ7端子から、(従来の方法で)出力データバイトのシーケンスを受け取る。

【0020】

図5および6は、本発明の例示的な実施形態による、DDRプログラミングおよび読取り動作に対するデータ転送タイミングを、それぞれ、グラフィカルに示している。いくつかの実施形態では、図4のシステムは、図5および6のプログラミングおよび読取り動作を行う

10

20

30

40

50

ことが可能である。図5で示すプログラミング動作の場合、図4のスイッチング装置45は、データ処理リソース42により提供される入力シーケンス中のデータバイトDin0、Din1などが、信号パス43および44(データパス0およびデータパス1)上で、メモリプレーン10のそれぞれが対応するメモリ部分40および47へと、交互に経路指定されるように動作する。第1のバイトDin0は、信号パス43(データパス0)を介して、ページバッファ部分13Aに転送するために、CLKの立上がりエッジ(T0)で、入出力バッファ15にラッチされる。第2のバイトDin1は、信号パス44(データパス1)を介してページバッファ部分13Bに転送するために、CLKの立下がりエッジ(T1)でラッチされる。第3のバイトDin2は、信号パス43を介してページバッファ部分13Aに転送するために、CLKの次の立上がりエッジ(T2)でラッチされ、第4のバイトDin3は、信号パス44を介してページバッファ部分13Bに転送するために、CLKの次の
10

【0021】

信号パス43および44のこの交互の(またはインターリーブされた)選択を用いると、入出力バッファ15からページバッファ部分13Aおよび13Bに転送するためのタイミングバジェットは、図1の入出力バッファ15からページバッファ13に転送するためのタイミングバジェット(図2で示される)に対して緩和される。図5では、1バイトのデータは、図2のように、CLKのあらゆるエッジでラッチされるが、入出力バッファ15からページバッファ部分13Aおよび13Bに転送するための合計のタイミングバジェットは、図1および2の従来の手法と関連するCLKの半サイクルであるタイミングバジェットではなく、CLKの完全な1サイクルである。例えば、プログラミングシーケンスDin0、Din1、Din2を考える。信号パス43および
20 44のインターリーブされた選択により、信号パス43を介するページバッファ部分13AへのDin0の転送は、T1で、Din1が入出力バッファ15にラッチされたとき完了する必要はない。そうではなくて、信号パス43は、T2でDin2が入出力バッファ15にラッチされたときに、利用可能となる必要があるに過ぎない。

【0022】

図6は、メモリ読取り動作に対するタイミングバジェットも同様に緩和されることをグラフィカルに示す。立上がりのCLKエッジT0で、第1のバイトDout0は、入出力バッファ15に転送するために、ページバッファ部分13Aから信号パス43(データパス0)に出力される。バイトDout0は、CLKの立上がりエッジT2に応じて入出力バッファ15中で有効になる。1CLKサイクルの待ち時間は、ページバッファ部分13Aから入出力バッファ15への転送のために
30 必要な時間に相当する。同様に、立下がりのCLKエッジT1で、次のバイトDout1が、入出力バッファ15に転送するために、ページバッファ部分13Bから信号パス44(データパス1)に出力される。バイトDout1は、立下がりのCLKエッジT3に応じて入出力バッファ15中で有効になる。

【0023】

いくつかの実施形態では、スイッチング装置45は、読取り動作中、信号パス43および44から入出力バッファ15へと、データバイトを多重化する多重化機能を実施し、かつプログラミング動作中、入出力バッファ15から信号パス43および44へと、データバイトの多重化を解除する逆多重化機能を実施する。図7~9は、このようなスイッチング装置の例を示す
40

【0024】

より具体的には、図7~9は、メモリプログラミングのために、入出力バッファ15のn番目のビット位置GIO_nを、信号パス43および44へと逆多重化すること(図8で示す)、およびメモリ読取りのために、ページバッファ13Aおよび13Bからのビットをn番目のビット位置GIO_nへと多重化すること(図9で示す)を示している。図7では、図4からの参照番号は、図4で示された対応するバイト幅構造のn番目のビットを表す構造を示すために、添字「n」を付けて示している。図4で示すバイト幅アーキテクチャの例では、nは、値0、1、・・・7を取る。図7のスイッチング制御信号IO_ODDおよびIO_EVENは、図4のバイト幅アーキテクチャのすべての8ビット(n=0、1、・・・7)に対して、大域的に提供される。

【0025】

10

20

30

40

50

読取りまたはプログラミングシーケンスにおける偶数のバイト(Din0/Dout0、Din2/Dout2、Din4/Dout4、およびDin6/Dout6)は信号パス43上を移動し、したがって、EGIO_nおよびEGDL_nは、所与の偶数バイトのn番目のビットに対応する。同様に、読取りまたはプログラミングシーケンスにおける奇数のバイト(Din1/Dout1、Din3/Dout3、Din5/Dout5、およびDin7/Dout7)は信号パス44上を移動し、したがって、OGIO_nおよびOGDL_nは、所与の奇数バイトのn番目のビットに対応する。データ処理リソース42は、スイッチング制御信号IO_ODDおよびIO_EVEN(図4の46も参照のこと)を提供する。図8および9をさらに参照すると、スイッチング制御信号IO_ODDおよびIO_EVENは、パスゲート71_nおよび72_nを適切に制御して、図8の読取り動作のために多重化を行い、かつ図9のプログラミング動作のために逆多重化を行う。

10

【0026】

図10は、本発明のさらなる例示的な実施形態によるデータ処理システムを図示する。図4のものと概して同様である図10のシステムは、データ処理リソース42Aに結合されたNANDフラッシュメモリ装置41Aを含む。しかし、図10では、4つの8ビット幅信号パス(データパス0～データパス3)が、入出力バッファ15とメモリ部分40および47の間でデータバイトを転送するために提供される。図10では、図4のページバッファ部分13Aは、1組の2つのページバッファ部分13Cおよび13Dにより置き換えられ、そのそれぞれは、ページバッファ部分13Aの半分に相当する。図10ではさらに、図4のページバッファ部分13Bが、1組の2つのページバッファ部分13Eおよび13Fにより置き換えられ、そのそれぞれは、ページバッファ部分13Bの半分に相当する。いくつかの実施形態では、信号パス、すなわち、データパス0～データパス3のそれぞれは、概して、図4の信号パス43および44と同様の構造的かつ機能的特性を有する。

20

【0027】

スイッチング装置45Aは、4つの信号パスと入出力バッファ15とのインターフェースを取る。データ処理リソース42Aは、プログラミング動作中にデータバイトの入力シーケンスを提供し、読取り動作中にデータバイトの出力シーケンスを受け取り、かつ図4の制御シグナリング46と概して同様のものであるが、スイッチング装置45Aに4つの信号パスと入出力バッファ15とのインターフェースを適切に取るようにさせる制御信号を含む制御シグナリング46Aを提供する。

【0028】

図11および12は、本発明の例示的な実施形態による、DDRプログラミングおよび読取り動作のためのデータ転送タイミングを、それぞれ、グラフィカルに示している。いくつかの実施形態では、図10のシステムは、図11および12のプログラミングおよび読取り動作を行うことができる。図11では、図5と同様に、CLKの各エッジでデータバイトが入出力バッファ15にロードされる。制御シグナリング46A(図10も参照のこと)は、入力シーケンスのデータバイトを以下のように経路指定するために、スイッチング装置45Aに4つの信号パスの選択をインターリーブさせる。すなわち、Din0をデータパス0を介してページバッファ部分13Cに、Din1をデータパス1を介してページバッファ部分13Eに、Din2をデータパス2を介してページバッファ部分13Dに、またDin3をデータパス3を介してページバッファ部分13Fに経路指定する。これは、4つの信号パス、すなわち、データパス0～データパス3の選択を4通りにインターリーブすることを表す。

30

40

【0029】

図4～6に関して上記で述べた信号パス選択の2通りのインターリーブと比べて、図10～12の4通りのインターリーブは、入出力バッファ15とページバッファ部分の間で転送するためのタイミングバジェットをさらに緩和させる。例えば、図11で示すように、T₀で、Din0が入出力バッファ15にラッチされ、データパス0へと経路指定されるが、データパス0は、T₄でDin4がラッチされるまで、他のデータ転送のために利用可能である必要がない。したがって、CLKの2つの完全なサイクルが、入出力バッファ15から任意のページバッファ部分13C～13Fにデータバイトを転送するために利用可能であるが、新しいバイトは、CLKのあらゆるエッジで、入出力バッファ15にラッチされる。同様に、図12は、メモリ

50

読取り動作中、同様の2つのCLKサイクルのタイミングバジェットが実現されるが、なお、CLKのあらゆるエッジでページバッファ部分13C～13Fの1つからデータバイトを出力する。

【0030】

当業者には明白であるように(またいくつかの実施形態で実施されるように)、図7のパスゲート構造および制御信号は、図11および12でそれぞれ示されたプログラミングおよび読取り動作を実施するように容易に拡張される。

【0031】

図13は、本発明のさらなる例示的な実施形態によるデータ処理システムを図示する。図13のデータ処理システムは、2つのメモリプレーン10を含めるために、図4のデータ処理システムを拡張したものと見ることができる。より具体的には、システムは、プレーン0およびプレーン1としても指定される2つのNANDフラッシュメモリプレーン10を有するメモリ装置41Bを含む。メモリプレーンのそれぞれは、図4～6に関して上記で述べたものと同様の方法で、2つのページバッファ部分(13Aおよび13B)、およびそれぞれが対応する2つの信号パス(プレーン0に対するデータパス0およびデータパス1、およびプレーン1に対するデータパス2およびデータパス3)を介して、入出力バッファ15とインターフェースされる。プレーン0およびプレーン1は、スイッチング装置45(図4～6も参照のこと)の、それぞれに対応する第1と第2のインスタンスと関連付けられており、そのスイッチング装置45は、図4～6に関して上記で述べたものと同様な方法で、その関連する信号パスと入出力バッファ15とのインターフェースを取る。第1および第2のスイッチング装置45と入出力バッファ15とのインターフェースを取るために、スイッチング装置45の第3のインスタンスが設けられる。

【0032】

データ処理リソース42Bは、図4～6に関して前述したものと同様な方法で、スイッチング装置45の第1および第2のインスタンスを制御する信号を含む制御シグナリング46Bをメモリ装置41Bに送る。46Bのさらなる制御シグナリングは、プレーン0およびプレーン1の(読取りおよびプログラム)アクセスが、任意の所望のタイミングに従って、互いにインターリーブされるように、スイッチング装置45の第3のインスタンスを制御する。

【0033】

図14は、本発明のさらなる例示的な実施形態によるデータ処理システムを図示している。図14のデータ処理システムは、図13のデータ処理システムが、2つのメモリプレーンを含めるために図4のデータ処理システムを拡張したのと概して同様な方法で、(メモリ装置41C内に含まれる)2つのメモリプレーン10を含めるために、図10のデータ処理システムを拡張したものと見ることができる。データ処理リソース42Cは、図10～12に関して前述したものと同様の方法で、スイッチング装置45A(図10～12も参照のこと)の第1および第2のインスタンスを制御する信号を含む制御シグナリング46Cをメモリ装置41Cに送る。46Cのさらなる制御シグナリングは、プレーン0およびプレーン1の(読取りまたはプログラム)アクセスが、任意の所望のタイミングに従って互いにインターリーブされるように、スイッチング装置45(図4～6も参照のこと)のインスタンスを制御する。

【0034】

上記で述べたデータ処理システムの様々な実施形態は、以下の非網羅的なリストの例などの特性を示す。(1)データ処理システムは、単一の集積回路として提供される、(2)メモリ装置およびデータ処理リソースは、それぞれ、2つの別個の集積回路上で提供される、(3)メモリ装置およびデータ処理リソースの一方は、単一の集積回路上で提供され、またメモリ装置およびデータ処理リソースの他方は、複数の集積回路上にわたって分散される、(4)メモリ装置は、複数の集積回路上にわたって分散され、またデータ処理リソースも、複数の集積回路上にわたって分散される、(5)読取り動作およびプログラミング動作は、CLKの差動バージョンに従ってタイミング付けされる、(6)プログラミング動作は、(CLKに代えて)書込みイネーブル信号に従ってタイミング付けされ、かつ読取り動作は、(CLKに代えて)読取りイネーブル信号に従ってタイミング付けされる、(7)データ処理システムのアーキテクチャは、8ビット以外のビット幅を有するデータユニットを転送するために縮

10

20

30

40

50

小拡大される。

【0035】

図13および14で示すNANDフラッシュメモリ装置は、2つのメモリプレーンを含むが、他の実施形態では、NANDフラッシュメモリ装置は、2を超えるメモリプレーンを含む。いくつかの実施形態では、NANDフラッシュメモリ装置は、2を超える、2の累乗ではない数のメモリプレーンからなる。例えば、様々な実施形態では、NANDフラッシュメモリ装置は、3つのメモリプレーンからなり、その内容は、図13および14に関して上記で述べたものと同様のインターリーブされた選択シーケンスに従って、単一の入出力バッファとのインターフェースが取られる。

【0036】

10

いくつかの実施形態では、上記で述べた様々なデータ処理システムは、移動体データ処理アプリケーション、または移動体データ記憶アプリケーションを実施する。様々な実施形態では、上記で述べたデータ処理システムは、例えば、デジタルオーディオ/ビデオ再生装置、携帯電話、フラッシュカード、USBフラッシュドライブ、およびHDD(ハードディスクドライブ)の代替としてのSSD(ソリッドステートドライブ)のうちの任意の1つを構成する。

【0037】

本発明の例示的な実施形態が詳細に上記で述べられてきたが、これは、様々な実施形態で実施できる本発明の範囲を限定するものではない。

【符号の説明】

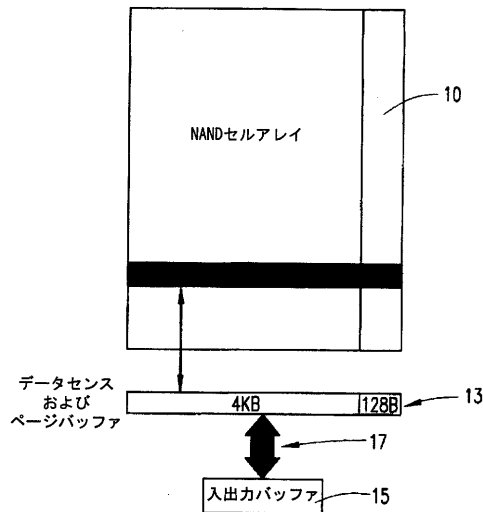
20

【0038】

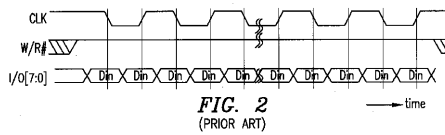
- 10 NANDフラッシュメモリセルアレイ、NANDフラッシュメモリプレーン
- 13 ページバッファ
- 13A～F ページバッファ部分
- 15 入出力バッファ
- 17 信号パス
- 40 NANDフラッシュメモリプレーン部分
- 41、41A～C NANDフラッシュメモリ装置
- 42、42A～C データ処理リソース
- 43 信号パス
- 44 信号パス
- 45、45A スイッチング装置
- 46、46A～C 制御シグナリング
- 47 NANDフラッシュメモリプレーン部分
- 48 大域S/Aおよび書込みドライバ0
- 49 大域S/Aおよび書込みドライバ1

30

【図 1】

FIG. 1
(従来技術)

【図 2】

FIG. 2
(PRIOR ART)

【図 4】

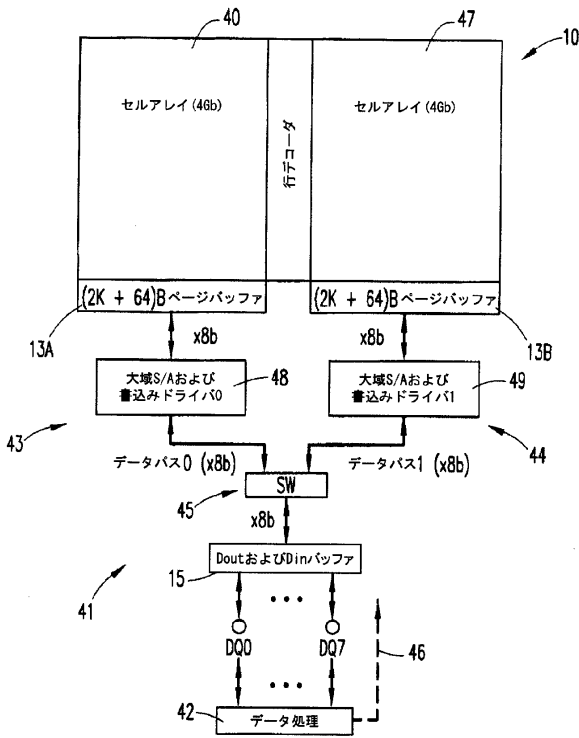
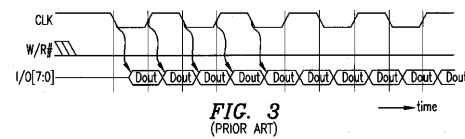


FIG. 4

【図 3】

FIG. 3
(PRIOR ART)

【図 5】

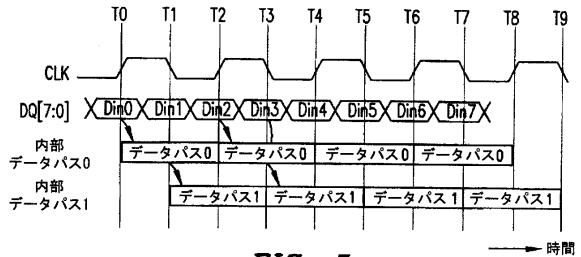


FIG. 5

【図 6】

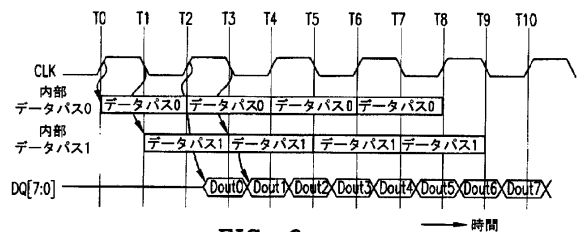


FIG. 6

【図 7】

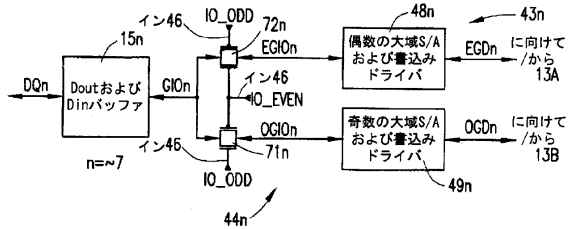


FIG. 7

【図 8】

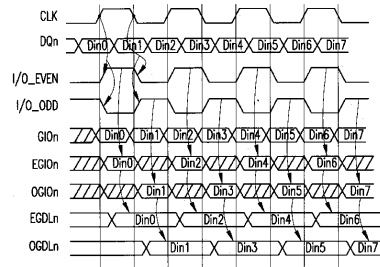


FIG. 8

【図 9】

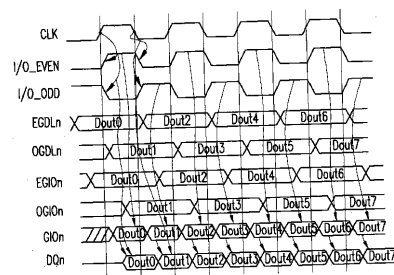


FIG. 9

【図 10】

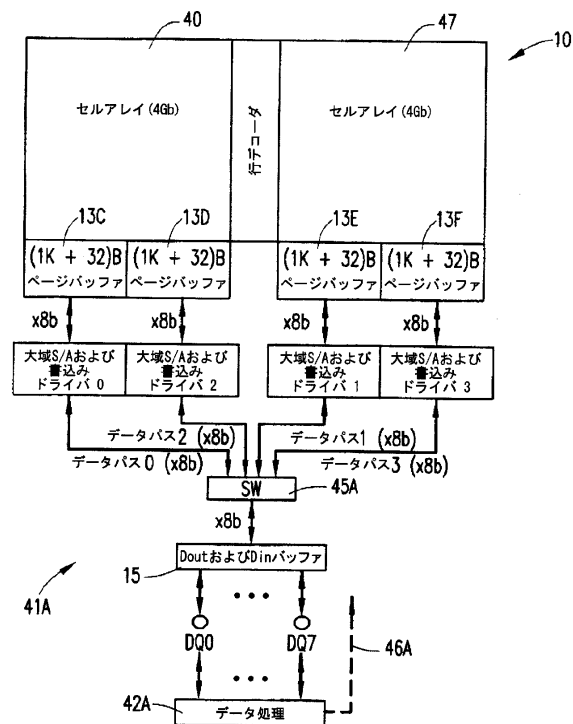


FIG. 10

【図 11】

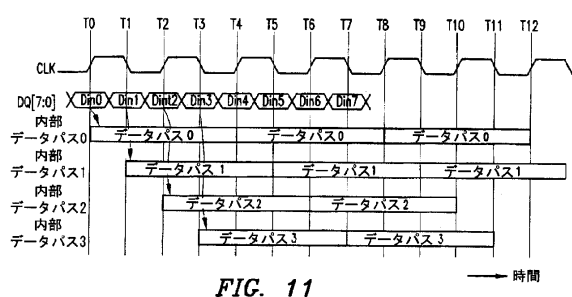


FIG. 11

【図 12】

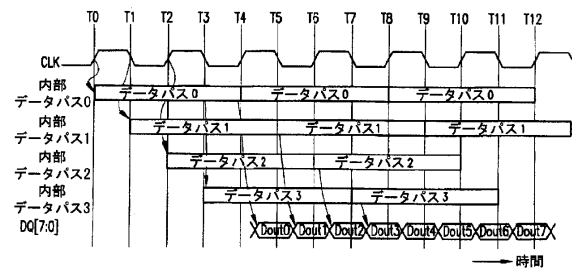


FIG. 12

【図 1 3】

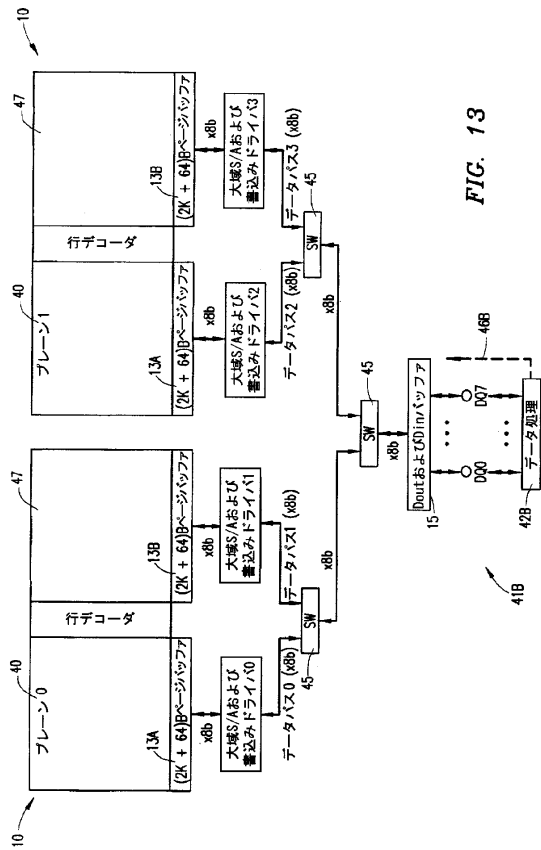


FIG. 13

【図 14】

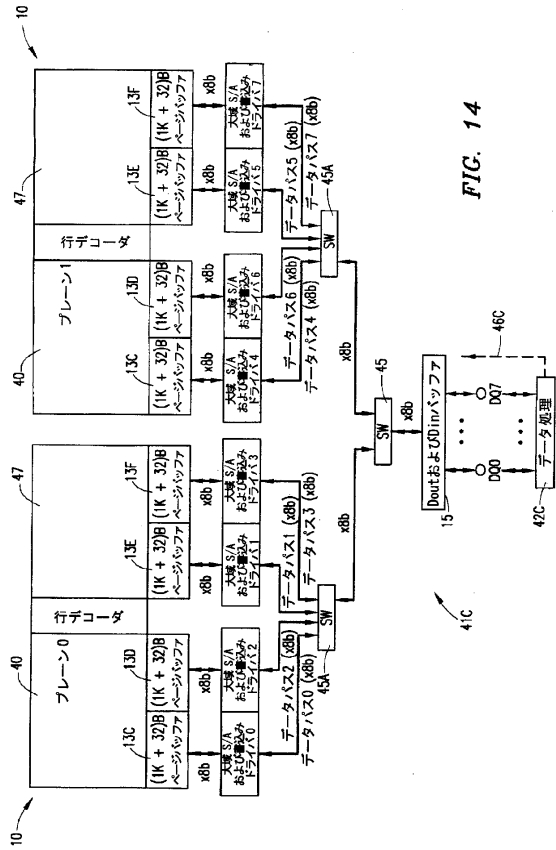


FIG. 14

フロントページの続き

(72)発明者 ジンキー・キム

カナダ・オンタリオ・K 2 K・3 H 6・カナタ・アイアンサイド・コート・4 6

審査官 園田 康弘

(56)参考文献 特開2006-202469 (JP, A)

特開平08-255496 (JP, A)

特開2001-325796 (JP, A)

特開2007-141393 (JP, A)

特開2006-107691 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 6 / 0 2

G 1 1 C 1 1 / 4 0 1

G 1 1 C 1 1 / 4 0 7

G 1 1 C 1 1 / 4 1 3

G 1 1 C 1 6 / 0 6