



(12)发明专利

(10)授权公告号 CN 103578933 B

(45)授权公告日 2018.03.30

(21)申请号 201310338519.6

(51)Int.Cl.

(22)申请日 2013.08.06

H01L 21/04(2006.01)

(65)同一申请的已公布的文献号

H01L 21/28(2006.01)

申请公布号 CN 103578933 A

H01L 29/78(2006.01)

(43)申请公布日 2014.02.12

H01L 29/43(2006.01)

(30)优先权数据

审查员 田丽娟

13/567791 2012.08.06 US

(73)专利权人 通用电气公司

地址 美国纽约州

(72)发明人 J.D.迈克尔 S.D.阿瑟

T.L.约翰逊 D.A.利利恩菲尔德

(74)专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 徐予红 汤春龙

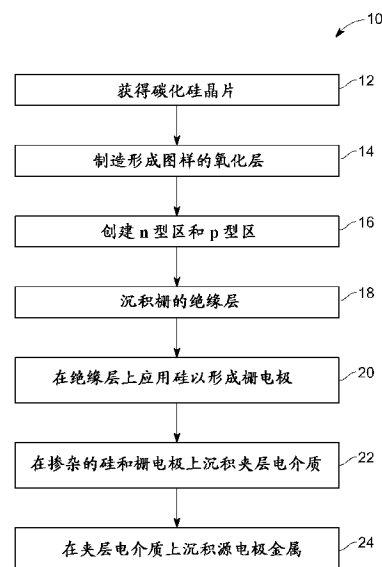
权利要求书2页 说明书8页 附图4页

(54)发明名称

具有降低的偏置温度不稳定性(BTI)的器件

(57)摘要

本发明公开了半导体器件连同用于制造此类器件的方法。在某些实施例中,半导体器件包括使用限制半导体器件在操作期间诸如由偏置温度不稳定性引起的阈值电压偏移的金属形成的源电极。在某些实施例中,半导体器件可基于碳化硅。



1. 一种用于制造半导体器件的方法,包括:
提供适合于半导体制造的碳化硅晶片;
在每个碳化硅晶片上制造一个或多个半导体器件;
通过沉积限制所述半导体器件在操作期间的阈值电压偏移的金属来形成每个半导体器件的源电极;其中,所述源电极包括钨和/或金。
2. 如权利要求1所述的方法,其中,所述金属是对氢的扩散势垒。
3. 如权利要求1所述的方法,其中,所述金属不从水分子中产生在硅石中溶解的原子氢。
4. 如权利要求1所述的方法,其中,所述半导体器件包括金属氧化物半导体场效应晶体管。
5. 如权利要求1所述的方法,其中,所述半导体器件包括绝缘栅双极晶体管、MOS控制晶闸管或栅控制晶闸管。
6. 如权利要求1所述的方法,其中,所述半导体器件的所述阈值电压偏移起因于在将所述半导体器件操作在125℃以上的高温时所述半导体器件中的偏置温度不稳定性。
7. 如权利要求1所述的方法,其中,所述半导体器件在操作期间的阈值电压偏移小于1V。
8. 如权利要求1所述的方法,其中,所述源电极由金属层的组合构成。
9. 一种金属氧化物场效应晶体管器件,包括:
栅电极;
衬底,其包括碳化硅以及具有支撑所述栅电极并且定义表面法线方向的表面,其中所述衬底包括:
漂移区,其包括使得具有第一电导率类型的第一掺杂剂类型;
邻近所述漂移区并且接近所述表面的阱区,其中所述阱区包括使得具有第二电导率类型的第二掺杂剂类型以及接近所述栅电极布置的沟道区;以及
邻近所述阱区的源接触区,其中所述源接触区具有所述第一电导率类型;
夹层电介质,其布置在所述栅电极附近并且在所述衬底的表面的一部分上;
接触层,其布置在覆盖所述源接触区的一部分的所述衬底的表面的一部分上;以及
源电极,其布置在所述夹层电介质上并且与所述源接触区电接触,其中所述源电极包括抑制所述金属氧化物场效应晶体管器件在操作期间的阈值电压偏移的金属,其中,所述源电极包括钨和/或金。
10. 如权利要求9所述的金属氧化物场效应晶体管器件,其中,所述源电极金属是对氢的扩散势垒。
11. 如权利要求9所述的金属氧化物场效应晶体管器件,其中,所述源电极金属不从水分子中产生在硅石中溶解的原子氢。
12. 如权利要求9所述的金属氧化物场效应晶体管器件,其中,所述金属氧化物场效应晶体管器件的所述阈值电压偏移起因于在将所述金属氧化物场效应晶体管器件操作在125℃以上的高温时所述金属氧化物场效应晶体管器件中的偏置温度不稳定性。
13. 如权利要求9所述的金属氧化物场效应晶体管器件,其中,所述金属氧化物场效应晶体管器件在操作期间的所述阈值电压偏移小于1V。

14. 如权利要求9所述的金属氧化物场效应晶体管器件,其中,所述源电极由金属层的组合构成。

15. 一种半导体器件,包括:

栅电极,其布置在绝缘层上;

源电极,其中所述源电极包括抑制所述半导体器件在操作期间的阈值电压偏移的金属,其中,所述源电极包括铟和/或金;

夹层电介质,其布置在所述栅电极和所述绝缘层与所述源电极之间;

源接触区,其中所述源接触区接触所述源电极和阱区两者并且是n型或p型;

碳化硅衬底,在其上布置所述绝缘层、所述源接触区和所述夹层电介质,其中所述碳化硅衬底是n型或p型;

所述阱区,其中所述阱区延伸到所述碳化硅衬底中并且是n型或p型;以及

漏电极,其布置在所述碳化硅衬底与所述栅电极相对的侧上。

16. 如权利要求15所述的半导体器件,其中,所述源电极金属是对氢的扩散势垒。

17. 如权利要求15所述的半导体器件,其中,所述源电极金属不从水分子产生在硅石中溶解的原子氢。

18. 如权利要求15所述的半导体器件,其中,所述半导体器件的所述阈值电压偏移起因于在将所述半导体器件操作在125℃以上的高温时所述半导体器件中的偏置温度不稳定性。

19. 如权利要求15所述的半导体器件,其中,所述半导体器件在操作期间的阈值电压偏移小于1V。

20. 如权利要求15所述的半导体器件,其中,所述源电极由金属层的组合构成。

具有降低的偏置温度不稳定性 (BTI) 的器件

技术领域

[0001] 本文公开的主题涉及半导体器件,并且更一般而言涉及提高半导体器件的稳定性。

背景技术

[0002] 对于诸如碳化硅 (SiC) 晶体管的半导体器件,偏置温度不稳定性 (BTI) 可引起器件性能相当大的变化性。例如,当在持续时间段上操作在诸如负偏置和/或高温的特定条件下时,负偏置温度不稳定性 (NBTI) 可导致 SiC 器件的阈值电压显著改变或偏移。认为 SiC 器件中的 NBTI 是界面电荷俘获 (例如,氧电荷) 的结果,例如在持续时间段将器件操作在高温以及在特定偏置条件下时可引起界面电荷俘获。例如, SiC 金属氧化物半导体场效应晶体管 (MOSFET) 在蒙受由于 NBTI 引起的组合的电压和温度应力时可经历阈值电压偏移。

[0003] 在某些情况中,前述的 NBTI 可将 SiC 器件的阈值电压偏移 (例如,减少) 到器件可在即使没有施加栅-源电压的情况下变得导电的点,从而将常关器件变换成常开器件。因此, NBTI 显著影响 SiC 器件的可靠性和性能。然而必须确定对 SiC 器件中的 NBTI 的工业可接受的解决方案。因此,尤其合乎需要的是减轻 SiC 器件中的 NBTI 问题以便利用 SiC 可对某些系统和应用提供的独特操作特性 (例如,更高的操作温度、改进的机械性质、改进的电性质等)。

发明内容

[0004] 在一个实施例中,提供用于制造半导体器件的方法。根据该方法,提供适合于半导体制造的碳化硅晶片。在每个碳化硅晶片上制造一个或多个半导体器件。通过沉积限制半导体器件在操作期间的阈值电压偏移的金属来形成每个半导体器件的源电极。

[0005] 在另一实施例中,提供金属氧化物场效应晶体管 (MOSFET) 器件。MOSFET 器件包括栅电极和衬底,衬底包括碳化硅并且具有支撑栅电极并且定义表面法线方向的表面。衬底包括:漂移区,包括使得具有第一电导率类型的第一掺杂剂类型;邻近漂移区并且接近表面的阱区,其中阱区包括使得具有第二电导率类型的第二掺杂剂类型以及布置在接近栅电极的沟道区;以及邻近阱区的源接触区,其中源接触区具有第一电导率类型。MOSFET 器件还包括:夹层电介质,布置在栅电极附近并且在衬底的表面的一部分上;接触层,布置在覆盖源接触区的一部分的衬底的表面的一部分上;以及源电极,布置在夹层电介质上并且与源接触区电接触。源电极包括抑制 MOSFET 器件在操作期间的阈值电压偏移的金属。

[0006] 在另一实施例中,提供半导体器件。所述半导体器件包括:栅电极,布置在绝缘层上;源电极,其中源电极包括抑制半导体器件在操作期间的阈值电压偏移的金属;夹层电介质 (ILD),布置在栅电极和绝缘层与源电极之间;源接触区,其中源接触区接触源电极和阱区两者并且是 n 型或 p 型;碳化硅衬底,在碳化硅衬底上布置绝缘层、源接触区和夹层电介质,其中碳化硅衬底是 n 型或 p 型;阱区,其中阱区延伸到碳化硅衬底中并且是 n 型或 p 型;以及漏电极,布置在碳化硅衬底与栅电极相对的侧上。

[0007] 根据本公开的一方面,一种用于制造半导体器件的方法,包括:提供适合于半导体

制造的碳化硅晶片；在每个碳化硅晶片上制造一个或多个半导体器件；通过沉积限制所述半导体器件在操作期间的阈值电压偏移的金属来形成每个半导体器件的源电极。

[0008] 其中，所述金属是对氢的扩散势垒。

[0009] 其中，所述金属不从水分子中产生在硅石中溶解的原子氢。

[0010] 其中，所述半导体器件包括金属氧化物半导体场效应晶体管 (MOSFET)。

[0011] 其中，所述半导体器件包括绝缘栅双极晶体管 (IGBT)、MOS控制晶闸管或栅控制晶闸管。

[0012] 其中，所述半导体器件的所述阈值电压偏移起因于在将所述半导体器件操作在高温、高偏置或两者时所述半导体器件中的偏置温度不稳定性 (BTI)。

[0013] 其中，所述半导体器件在操作期间的阈值电压偏移小于1 V。

[0014] 其中，所述源电极由金属层的组合构成。

[0015] 根据本公开的另一方面，一种金属氧化物场效应晶体管 (MOSFET) 器件，包括：栅电极；衬底，其包括碳化硅以及具有支撑所述栅电极并且定义表面法线方向的表面，其中所述衬底包括：漂移区，其包括使得具有第一电导率类型的第一掺杂剂类型；邻近所述漂移区并且接近所述表面的阱区，其中所述阱区包括使得具有第二电导率类型的第二掺杂剂类型以及接近所述栅电极布置的沟道区；以及邻近所述阱区的源接触区，其中所述源接触区具有所述第一电导率类型；夹层电介质，其布置在所述栅电极附近并且在所述衬底的表面的一部分上；接触层，其布置在覆盖所述源接触区的一部分的所述衬底的表面的一部分上；以及源电极，其布置在所述夹层电介质上并且与所述源接触区电接触，其中所述源电极包括抑制所述MOSFET器件在操作期间的阈值电压偏移的金属。

[0016] 其中，所述源电极金属是对氢的扩散势垒。

[0017] 其中，所述源电极金属不从水分子中产生在硅石中溶解的原子氢。

[0018] 其中，所述MOSFET器件的所述阈值电压偏移起因于在将所述MOSFET器件操作在高温、高偏置或两者时所述MOSFET器件中的偏置温度不稳定性 (BTI)。

[0019] 其中，所述MOSFET器件在操作期间的所述阈值电压偏移小于1 V。

[0020] 其中，所述源电极由金属层的组合构成。

[0021] 根据本公开的又一方面，一种半导体器件，包括：栅电极，其布置在绝缘层上；源电极，其中所述源电极包括抑制所述半导体器件在操作期间的阈值电压偏移的金属；夹层电介质 (ILD)，其布置在所述栅电极和所述绝缘层与所述源电极之间；源接触区，其中所述源接触区接触所述源电极和阱区两者并且是n型或p型；碳化硅衬底，在其上布置所述绝缘层、所述源接触区和所述夹层电介质，其中所述碳化硅衬底是n型或p型；所述阱区，其中所述阱区延伸到所述碳化硅衬底中并且是n型或p型；以及漏电极，其布置在所述碳化硅衬底与所述栅电极相对的侧上。

[0022] 其中，所述源电极金属是对氢的扩散势垒。

[0023] 其中，所述源电极金属不从水分子产生在硅石中溶解的原子氢。

[0024] 其中，所述半导体器件的所述阈值电压偏移起因于在将所述半导体器件操作在高温、高偏置或两者时所述半导体器件中的偏置温度不稳定性 (BTI)。

[0025] 其中，所述半导体器件在操作期间的阈值电压偏移小于1 V。

[0026] 其中，所述源电极由金属层的组合构成。

附图说明

[0027] 当参考附图阅读下文详细描述时,将更好理解本发明的这些和其它特征、方面和优点。其中在整个附图中类似字符表示类似的部件,其中:

[0028] 图1是根据本技术的某些实施例的晶体管加工过程的过程流程图;

[0029] 图2是根据本方法的实施例的SiC MOSFET的示意性截面图;

[0030] 图3是在电压和温度应力之前和之后常规MOSFET的漏极电流作为栅电压的函数的曲线图;以及

[0031] 图4是在本方法的实施例中对于不同金属发生的不同阈值电压偏移的图示比较。

具体实施方式

[0032] 以下将描述一个或多个特定实施例。致力于提供这些实施例的简洁描述,在说明书中可不描述实际实施的所有特征。应该领会,在任何此类实际实施的开发中,正如在任何工程或设计项目中一样,必须做出许多实施特定的决策以实现开发者的诸如服从涉及系统和涉及商业的约束的特定目标,其可从一个实施到另一个实施有所不同。另外,应该领会,此类开发努力可能是复杂并且耗时的,但对于具有本公开的益处的本领域的技术人员将仍然不过是设计、加工和制造的常规任务。

[0033] 在介绍本发明的各种实施例的要素时,冠词“一(a、an)”、“该”以及“所述”意图表示存在一个或多个要素。术语“包含”、“包括”以及“具有”意图是包括性的并且表示除了列出的要素之外可还有额外要素。

[0034] 如以上叙述的,诸如NBTI的BTI提出对半导体器件可靠性的挑战。应该领会,与BTI现象关联的物理和化学是复杂的。因此,尽管在所有情境中可不完全理解BTI的准确机制,但当前实施例提供用于在半导体器件(例如,SiC MOSFET)的操作期间抑制(例如,降低、限制、减轻或其他方式减小)诸如NBTI的BTI的系统和方法。特别地,本方法涉及包括将BTI抑制到可忍受水平(例如,十分之一伏特的量级而不是几个伏特的量级)的作为SiC半导体器件的源电极的金属。在某些实施例中,方法包括其中沉积金属作为源电极的半导体器件制造过程中的步骤。在其它实施例中,提供包括作为源电极的金属的SiC半导体或MOSFET器件。

[0035] 尽管下文的公开可通常集中在SiC MOSFET中的NBTI上,但是应该领会本文详述的用于减轻BTI的解决方案和技术可具有对其它半导体器件的适用性,比如绝缘栅双极晶体管(IGBT)、MOS控制晶闸管和栅控制晶闸管。为了解释的目的,MOS控制晶闸管(MCT)可包括嵌入在结构中的两个MOSFET并且可对由BTI效应引起的阈值电压(V_{TH})偏移敏感。还预期本文详述的技术还将减轻与正偏置阈值不稳定性(PBTI)有关的影响,PBTI指在正偏置下发生的 V_{TH} 效应。

[0036] 牢记前述,图1示出根据本方法的某些实施例的晶体管加工过程10的一个示例的步骤的过程流程图。如框12表示的,可获得碳化硅晶片。在一个实施例中,可在炉子中加热晶片以形成二氧化硅层(也被称为氧化层)。在获得碳化硅晶片并且形成氧化层之后,可在晶片的氧化层中创建图样(pattern),如框14表示的。

[0037] 在一个实施中,为了创建形成图样的氧化层,可在氧化层的表面上应用光致抗蚀

剂层并且烘干。定义晶体管的电路特征的掩膜可应用到光致抗蚀剂,并且光致抗蚀剂可暴露于紫外光。暴露于紫外光的光致抗蚀剂的部分可变软并且被碱性溶液洗掉。强酸可应用到晶片并且可溶解没有受光致抗蚀剂保护的氧化层的部分。然后溶剂可用来清洗剩余的光致抗蚀剂。因此,形成图样的氧化层可保留在碳化硅晶片上。如将领会的,尽管以上涉及一种用于形成合适氧化图样层的方法,但是可采用任何其它合适的光刻方法以在正被加工的器件的氧化层(或在其它层上)形成需要的痕迹和/或图样。

[0038] 在碳化硅晶片上存在想要的氧化图样之后,可在碳化硅中形成n型区和p型区,如框16表示的。例如,在一个实施中可通过将晶片暴露于离子束以将施主或受主原子注入到碳化硅表面内来创建n型和p型区(即,阱)。不同类型的原子创建n型阱和p型阱。例如,硼离子束可创建p型阱,而磷离子束可创建n型阱。形成图样的氧化层可设计成允许阱的精确布局。在加工晶体管时,框14和16可重复若干次以在碳化硅中创建复杂的阱图样。

[0039] 取决于正被加工的器件,在阱处于适当位置后可用以上描述的方式形成另一氧化层。可如框18表示的在漂移区上沉积薄绝缘层。在某些实施例中,可在碳化硅晶片的部分上沉积或热生长绝缘层。绝缘层可由二氧化硅或另外合适的绝缘体构成。在沉积18绝缘层之后,可在绝缘层上沉积多晶硅以形成栅电极,如框20表示的。在某些实施例中,可在多晶硅层上沉积额外低电阻层。

[0040] 一旦沉积多晶硅层,就可在多晶硅层上沉积夹层电介质(ILD),如框22表示的。ILD可用来将栅电极的多晶硅或金属材料与源电极绝缘。然后在ILD上沉积源电极,如框24表示的。如本文论述的,源电极可由抑制或限制晶体管在操作期间的阈值电压偏移的金属构成。

[0041] 牢记加工操作的前述示例,图2示出根据本方法的实施例的金属氧化物半导体场效应晶体管(MOSFET) 100。在某些实施例中,示出的MOSFET 100可以是高温操作(例如,大约125°C以上、大约175°C以上和/或大约300°C以上)设计的基于SiC的MOSFET。另外,示出的MOSFET 100可使用诸如以上描述的过程的标准微电子加工过程来加工。这些过程例如可包括光刻、薄膜沉积/生长方法(例如,物理和化学气相沉积、喷镀、氧化等)、晶体生长方法以及湿法和干法蚀刻方法。示出的MOSFET 100包括衬底102,衬底102可由诸如碳化硅(SiC)的半导体材料构成。衬底102可以是定义主要表面(major surface) 104以及从表面垂直地延伸并且到衬底102中的表面法线方向或“厚度方向”t的半导体裸片(die)或晶片。应该领会,图2意图示出MOSFET 100的一个示例中各种部件的相对位置并且不应将其解释为暗指这些部件的相对尺度或尺寸。

[0042] 在描绘的实施例中,示出的表面104支撑栅电极106。另外,示出的栅电极106布置在与衬底102的表面104直接接触的绝缘层108(还可将绝缘层108称为栅氧化层或栅电介质层)上。绝缘层108通常可由诸如二氧化硅(SiO₂)的电绝缘材料构成。此外,示出的绝缘层108沿着表面104延伸并且可延伸到直到接触层126的任何点。栅电极106可包括多晶硅层107,并且还可包括例如由导电材料(例如,金属和/或硅化物)形成的低电阻层109。栅电极106可配置成接收栅电压V_G。

[0043] 示出的衬底102还定义与漏电极112接触的第二表面110,漏电极112通常配置成接收漏电压V_D。应该注意,图2是单个MOSFET单元的示意性截面图,而完整的MOSFET器件通常由彼此靠近设置、可共用公共栅电极106和漏电极112的大量单元组成。

[0044] 示出的衬底102除了阱区116之外还包括漂移区114,阱区116布置在邻近漂移区

114并且接近表面104。漂移区114可掺杂有第一掺杂剂类型并且具有拥有第一多数电荷载流子的第一电导率类型,而阱区116可掺杂有第二掺杂剂类型并且具有拥有第二多数电荷载流子的第二电导率类型。例如,在SiC衬底102中,第一掺杂剂类型可以是氮和磷(“n型掺杂剂”)中的一种或多种,而第二掺杂剂类型可以是铝、硼、镓和铍(“p型掺杂剂”)中的一种或多种,从而分别产生n掺杂区和p掺杂区。对于此类实施例,第一和第二多数电荷载流子将分别是电子和空穴。

[0045] 示出的衬底102还包括具有第一电导率类型(例如,图2中的n型)的源接触区122。阱区116可布置在接近接触区122使得阱区116可在其中包括接近栅电极106布置的沟道区118。例如,沟道区118可在栅电极106下沿着表面104延伸(其中“下”还表示沿着厚度方向t)。另外,有时还被称为夹层电介质(ILD)的电介质层120可布置在栅电极106和绝缘层108上。在一个示例中,电介质层是包括磷硅玻璃(PSG)的材料。

[0046] 在一个实施例中,源接触区122可布置在邻近表面104而阱区116可围绕源接触区122。在某些实施例中,衬底102还包括具有第二电导率类型(例如,图2中的p型)的体接触区125。在示出的实施例中,体接触区125布置在邻近阱区116和邻近表面104。

[0047] 源电极124(例如,由诸如镍的金属形成)可布置在源接触区122和体接触区125上并且可配置成接收源电压 V_S 。另外,源电极124可与源接触区122和体接触区125均电接触,例如,在示出的实施例中,源电极124与源接触区122和体接触区125之间的电接触通过接触层126(例如,由镍或其它合适金属形成)来完成。以下更详细论述源电极124的形成和组成。

[0048] 在操作期间,MOSFET 100通常可充当开关。当在漏电极112与源电极124之间施加电压差 $V_{DS}=V_D-V_S$ 时,那些相同电极之间的输出电流(I_{DS})能通过施加到栅电极106上的输入电压 V_{GS} 来调制或以其他方式控制,其中 $V_{GS}=V_G-V_S$ 。对于栅电压 V_G 小于MOSFET 100的“阈值电压”(V_{TH}),电流 I_{DS} 标称保持在大约零,但即使对于栅电压在阈值电压以下的情况可存在相对较小的泄漏电流。阈值电压V_{TH}尤其是MOSFET 100中的尺寸、材料和掺杂水平的函数,并且MOSFET通常设计成以便呈现预定的阈值电压V_{TH}。然后能将包括有MOSFET 100的电路设计到期望(预定)的阈值电压V_{TH}。

[0049] 应该领会,MOSFET的阈值电压(V_{TH})不是唯一定义的。存在至少五种不同技术用于测量V_{TH},并且对于特定示例它们不一定准确地产生相同结果。本文采用的方法称为“阈值漏极电流方法”,其中在特定漏极电流下的栅电压取为阈值电压。

[0050] 已经发现当蒙受在栅和源电极106、124之间的电势差以及特别当在高温下并且在持续时间段蒙受该电势时,包括SiC MOSFET的常规MOSFET由于NBTI而经历阈值电压偏移。特别地,如所提到的,对于SiC器件关注负偏置温度不稳定性(NBTI)。示出此类阈值电压偏移的示例,图3是在电压和温度应力之前和之后常规MOSFET的漏极电流作为栅电压的函数的曲线图140。即,图3示出缺少限制在操作期间的NBTI效应的源电极124的应力下的SiC MOSFET器件的NBTI效应,如本文论述的。

[0051] 针对图3,在表征SiC MOSFET器件中的NBTI现象时可使用作为“亚阈值技术”的变型的阈值漏极电流方法。以下叙述用于生成图3的曲线140中示出的数据的示例测试条件。在某些实施例中,测试条件可使得在恒定应力温度下对MOSFET进行转移曲线测量。例如,首先栅电压可在恒定-20伏特(V)保持15分钟并且 V_{DS} 可保持在0 V。然后,可在源和漏端子之间施加小的恒定电压(例如,100 mV)并且可将栅电压从-10 V扫描到10 V,范围大到足够捕

捉MOSFET的较低电流范围(例如,在此特定情况中小于0.1纳安)直到饱和电流(例如,大约16微安),从而定义图3中描绘的“post neg”转移曲线142。然后+20 V的恒定电压栅正应力偏置可对栅施加额外15分钟,其中 $V_{DS}=0$ V。最后,可从+10 V到-10 V进行栅电压的类似反向扫描以捕捉在 $V_{DS}=0.1$ V情况下的“post pos”转移曲线144。

[0052] 为了实践原因对于 V_{TH} 确定使用10微安作为选择的阈值漏极电流。例如,它小到足以驻留在半对数转移曲线的线性亚阈值部分上并且大到足以准确地测量和易于从数据中提取。用于数据收集的MOSFET参数和测试条件如下: $V_{DS}=0.1$ V; $Temp=175^{\circ}C$;栅氧化层厚度(T_{ox})=500埃,器件有源面积=0.067 cm^2 ;一个MOS单元的面积=1.6E-4 cm^2 ;一个MOS单元的沟道宽长比(W/L)=6900。调节(scale)阈值漏极电流至更大或更小器件具有器件有源面积、一个MOS单元的面积和 W/L 上的线性相关。然而应该注意,阈值电流与栅氧化层厚度(T_{ox})相反地调节。

[0053] 因此,图3证明在正的和负的栅偏置应力之后阈值电压的漂移或偏移(例如,在 I_{DS} 显著增加时电压的偏移)。垂直刻度是漏极电流(安培),水平刻度是栅到源的电压(伏特)。阈值电压偏移因此表示偏置温度不稳定性(BTI)的影响的示例。 V_{TH} 漂移取为在源到漏极电流为10微安时 V_{TH} 正电压应力值与 V_{TH} 负电压应力值之间的电压差。在图3中示出的示例中, V_{TH} 漂移大约为6.9 V。

[0054] 在与某些实施例有关的试验中,假设作为源电极金属的铝可能是导致NBTI的因素-这是由于铝与氢和OH基的化学反应性。在一组试验中,将少量铟带(Indium ribbon)用在没有沉积最终源金属的器件上。在这些试验中,将铟带压在SiC半导体的源垫(pad)区域并且在 $125^{\circ}C$ 加热。该加热方法提高铟对SiC半导体的附着力。执行两类测试以研究用铟代替铝的效果。在腔室中进行第一系列的测试,能将腔室抽吸到低真空而仍升高到 $125^{\circ}C$,该温度足以引起SiC半导体中的NBTI。在大气条件下在加热到 $150^{\circ}C$ 和 $175^{\circ}C$ 的加热器中进行第二测试。因此获取 $125^{\circ}C$ 时接近真空、 $125^{\circ}C$ 时大气条件下、 $150^{\circ}C$ 时大气条件下以及 $175^{\circ}C$ 时大气条件下的数据。每个测试都指示铟的使用已经减轻了SiC半导体中的NBTI的后果。

[0055] 以上描述的利用铟的试验工作的延伸将包括能潜在证明与铟同样功能性的其它金属。在一组试验中,考虑对氢是良好扩散势垒的金属用于形成源电极124。另外,在评估将用于形成源电极124的金属时考虑的另外因素是金属不应该从水中产生在硅石(silica)中溶解的原子氢。另外,如果金属确实产生溶解的原子氢,则其应该用作氢类的吸附剂(getter)。例如,钛和铝在水中均产生氢,但钛能吸附氢。牢记这一点,图4示出在源电极的铝层下添加钛层的益处。基于以上提到的特性,选择不同金属和金属组合来测试:金+10纳米镍、镍、钼、以及铝。在一个试验中,选择10纳米的镍层作为附着层以有助于金对半导体表面的附着力。采用铝作为基线用于比较利用其它金属的NBTI测量。

[0056] 为了准备半导体用于备选金属试验,在全部(the lot)到达垫金属沉积步骤之后移开碳化硅晶片。在金属沉积之前,利用标准垫金属图样但使用负剥离(lift off)抗蚀剂对其形成图样。然后将所形成图样的晶片激光切割成12个矩形片,每片大约有20个裸片。牺牲裸片的行或列以做出切割。然后将各种金属层沉积在片上。金属层和厚度如下:金(2000 Å)/镍(100 Å)、镍(2000 Å)、钼(2000 Å)、铝(2000 Å)、以及铝(~100 Å)。还测试以下金属:铝(40000 Å)、铝(40000 Å)/钛(200 Å)以及铝(40000 Å)/钛(1000 Å)。对样品中一些进行1分钟预溅射的预清洁,而对其它进行1分钟预溅射、等待以及另一分钟的预溅射的预清洁。

测试利用两种预清洁方法的金/镍样品,以及测试没有预清洁的2000 Å铝样品。利用MRC643溅射机、Perkin-Elmer溅射机或Temescal溅射机来沉积金属样品。沉积之后,将样品单独浸泡在超声波浴池中的丙酮中。丙酮去除抗蚀剂图样和在其上沉积的金属。片然后接收ST22和PRS1000溶剂清洗并且在用于NBTI测试之前存放在洁净室中的干燥箱内。

[0057] 试验的结果在图4中给出,其中图显示对于不同源垫电极金属类型的不同阈值电压偏移的比较。数据点以上的变量“N”表示进行测量的数量。对于200 nm的铝样品,在图上出现两个数据点。第一个Al(200 nm)数据点表示包括具有电压阈值偏移值为4.42 V的单个样品的数据集。标记为“A1-没有离群值”的数据点包含去除离群值(离群值)的相同数据集。在图上比较的金属的每个(除了铝以外)具有接近0.25 V的阈值电压偏移。这些金属仅具有大约0.05至0.2 V的偏差。另一方面,对于200 nm的样品(没有离群值)而言铝具有接近0.75 V的阈值电压,而对于4000 nm的样品而言铝具有接近6.6 V的阈值电压。200 nm的铝(没有离群值)和4000 nm的铝金属两者分别具有大约0.5 V和1.5 V的大的偏差。应该领会,由于在典型SiC MOSFET中BTI效应可产生几个伏特(例如,2 V至6 V)的阈值电压偏移,如本文论述的源电极124的使用可提供对器件可靠性的相当大的提高。

[0058] 试验的结果将表明钼是用于限制阈值电压偏移的合适金属,尽管应用的方法与测试其它金属不同,因此真正的比较是困难的。此外,利用仅含Al的垫金属,在175°C时NBTI测量是试验中尝试的具有同等金属厚度的任何其它垫金属的2-4倍之间。鉴于可靠性,备选垫金属在彼此的0.1-0.2 V内并且显示比纯铝更窄的变化。在与基线金属类型比较时,备选垫金属还显示相对窄的变化。2000 Å铝样品显示的NBTI偏移大约是40000 Å铝样品的1/6.5。更低的NBTI偏移可能是将样品厚度降低为1/20的反映。铝(40000 Å)/钛(200 Å)组合显示与其余金属相当的NBTI偏移。较小量的钛具有小的NBTI偏移的观测表明在某些试验中钛不是主要用作氢吸附剂而是仅用作MOSFET的电介质层与铝之间的势垒。在进行的试验中,金确实具有低的NBTI偏移,但该NBTI偏移稍微大于钼、镍或钽的偏移。因此如本文论述的,当作为源垫124存在时将铝垫金属从与电介质层物理接触中分离开来导致MOSFET中NBTI偏移的降低。备选地,如那些以上论述的其它金属可用来形成源垫124并且实现NBTI偏移的降低。

[0059] 因此,如本文论述的,制造具有某种源电极金属的MOSFET将极大地抑制或限制图3中所示的漂移。根据某些实施例,源电极124可由限制MOSFET器件在操作期间的阈值电压偏移的金属构成。在某些实施例中,金属可不从水分子中产生在硅石中溶解的原子氢。另外,金属可以是对氢的扩散势垒。在某些实施例中,金属可用作使铝垫金属避开与MOSFET的电介质层物理接触的方法。金属可通过使用沉积薄膜的溅射方法或任何其它合适的沉积技术来沉积。例如,在某些实施例中,源电极124可由镍(Ni)的薄膜或层(例如2000 Å)或钽的薄膜或层(例如2000 Å)来构成。在其它实施例中,源电极124可由金属层的组合来构成。例如,源电极124可由金(Au)的薄膜或层(例如2000 Å)与Ni的薄膜或层(例如100 Å)一起形成层或铝的膜或层(例如40000 Å)与钛的薄膜或层(例如200 Å)一起形成层来构成。在某些实施例中,金属的层中之一可用作附着层以改善源电极124与MOSFET的接触。如将领会的,如本文论述的用作源电极124或与其配合使用的各种金属仅表示一些此类合适金属或材料的示例。因此,其它金属或材料还可单独或彼此一起组合用来限制如本文论述的BTI(正和负两者)的影响并且包含在本公开之中。

[0060] 实施例的技术效果包括设计成抑制半导体器件在操作期间的阈值电压偏移的半导体器件(例如,碳化硅(SiC)器件)。在某些实施中,半导体器件包括布置在绝缘层上的栅电极、源电极、夹层电介质、衬底、阱区、源接触区和漏电极。源电极选择为抑制半导体器件在操作期间的阈值电压偏移的金属。

[0061] 本书面描述使用包括最佳实施方式的示例来公开本发明并且还使本领域的技术人员能够实践本发明,包括制作和使用任何器件或系统以及执行任何并入的方法。本发明要求专利保护的范围由权利要求来限定并且可包括本领域的技术人员能想到的其它示例。如果此类其它示例具有与权利要求的字面语言并无不同的结构要素或如果此类其它示例包括与权利要求的字面语言并无实质不同的等同结构要素,则此类其它示例被确定为在权利要求的范围之内。

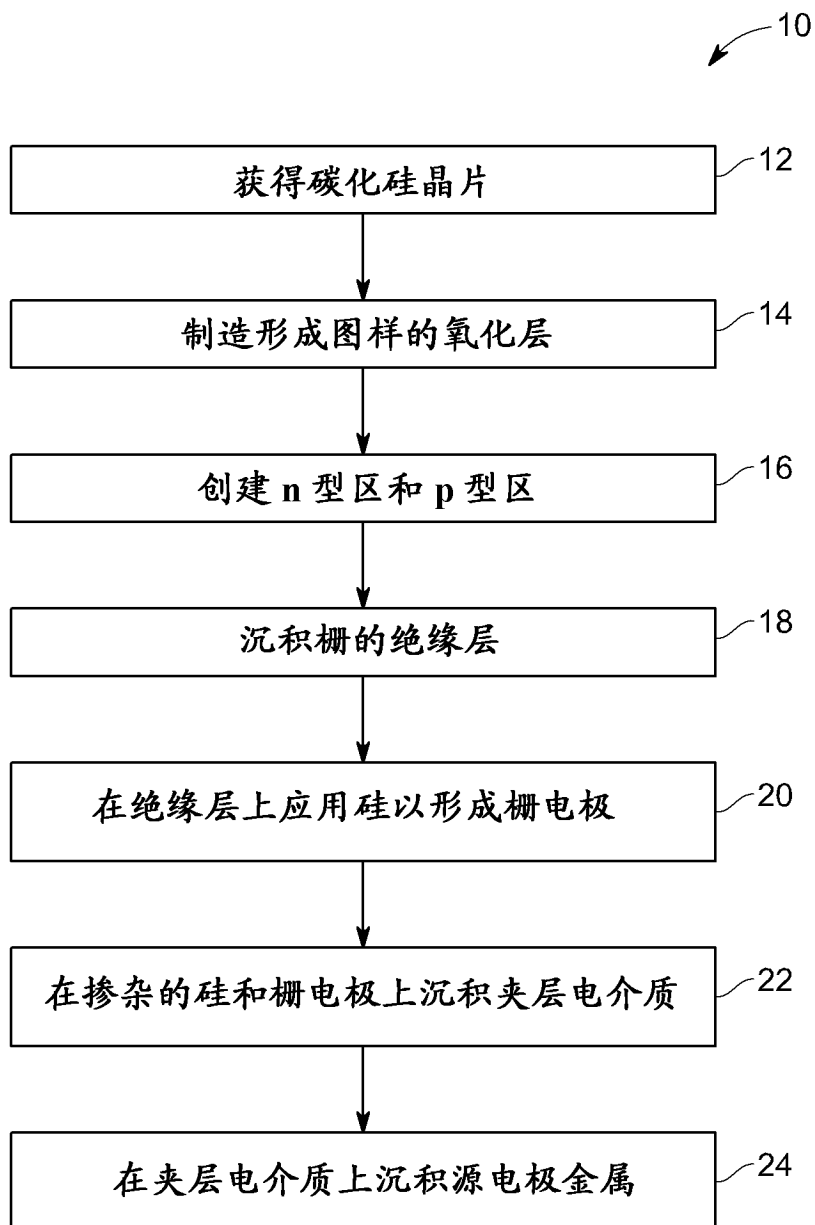


图 1

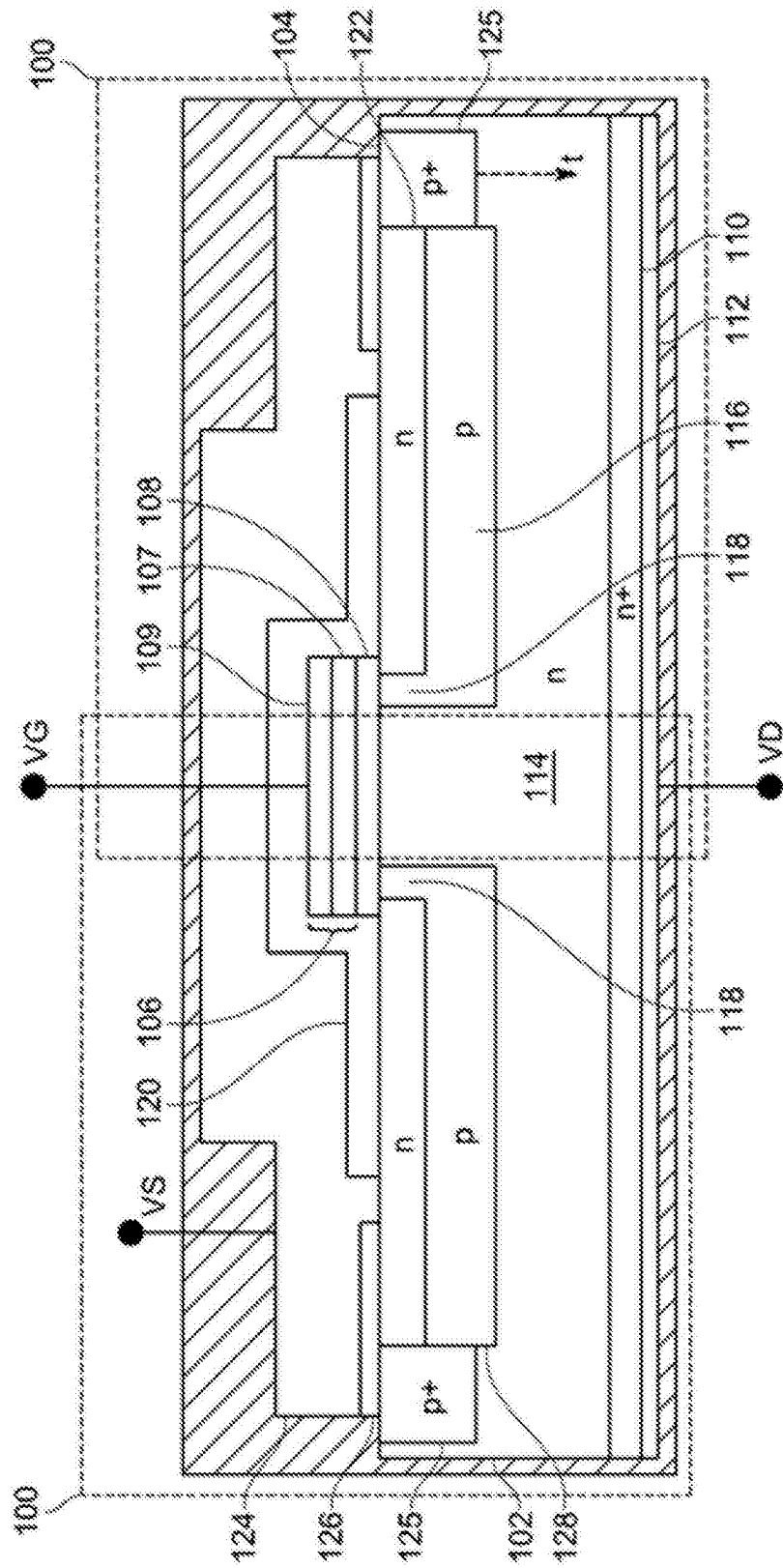


图 2

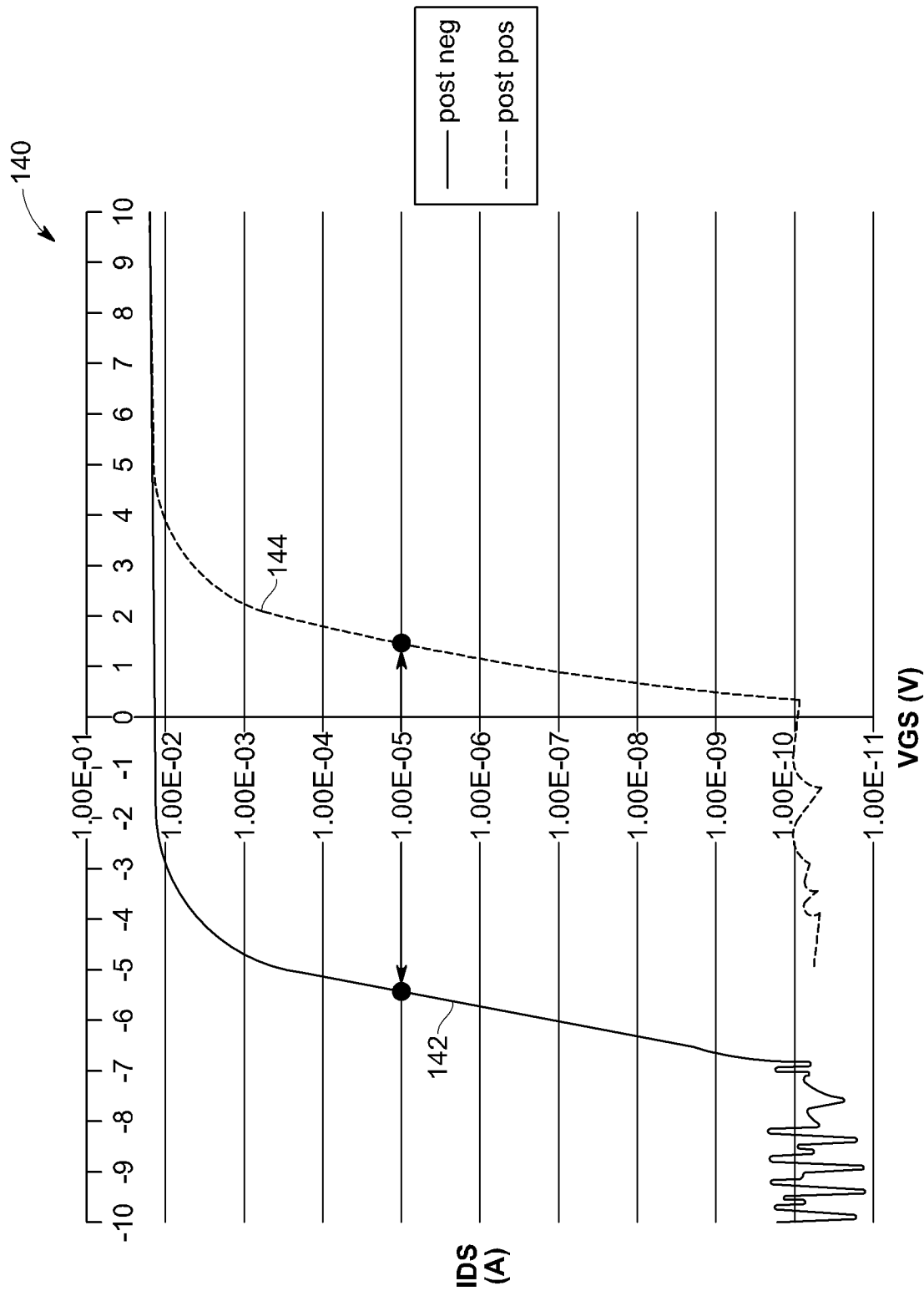


图 3

备选垫金属的比较

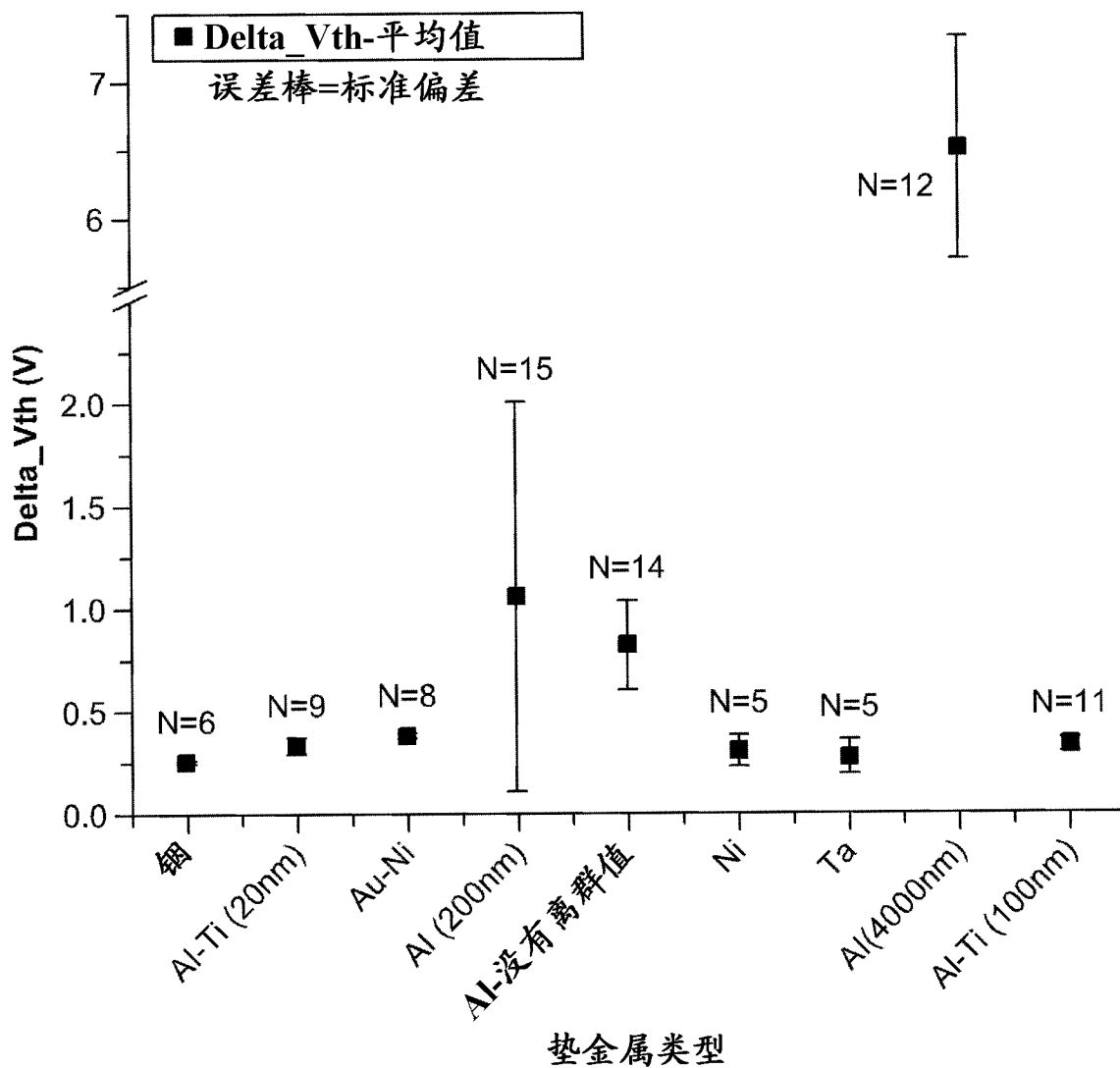


图 4