

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4288805号
(P4288805)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月10日(2009.4.10)

(51) Int.Cl.

F 1

H04N 5/937 (2006.01)

H04N 5/93

C

G11B 20/10 (2006.01)

G11B 20/10

321Z

H04N 5/76 (2006.01)

H04N 5/76

A

請求項の数 2 (全 15 頁)

(21) 出願番号

特願平11-375012

(22) 出願日

平成11年12月28日(1999.12.28)

(65) 公開番号

特開2001-189910(P2001-189910A)

(43) 公開日

平成13年7月10日(2001.7.10)

審査請求日

平成18年3月13日(2006.3.13)

(73) 特許権者 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100122884

弁理士 角田 芳末

(74) 代理人 100113516

弁理士 磯山 弘信

(74) 代理人 100080883

弁理士 松隈 秀盛

(72) 発明者 賀川 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 井上 光司

東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

(54) 【発明の名称】 映像信号再生装置

(57) 【特許請求の範囲】

【請求項 1】

圧縮されて記録された映像信号をデコードして再生すると共に、前記デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、

前記取り出した映像信号のフレームを順次記憶するメモリと、

前記取り出した映像信号のフレームを所定時間記憶してから出力する第一記憶手段と、

前記第一記憶手段から出力される映像信号を前記所定時間記憶してから出力する第二記憶手段と、

前記第二記憶手段から出力される映像信号を前記所定時間記憶してから出力する第三記憶手段と、

前記メモリから出力される映像信号に前記複数の記憶手段の個数に応じて決定される所定の係数を乗算する第一加重手段と、

前記第一記憶手段から出力される映像信号に前記所定の係数を乗算する第二加重手段と、

前記第二記憶手段から出力される映像信号に前記所定の係数を乗算する第三加重手段と、

前記第三記憶手段から出力される映像信号に前記所定の係数を乗算する第四加重手段と、

前記第一加重手段、前記第二加重手段、前記第三加重手段および前記第四加重手段の出

力信号を加算する加算手段と
を備える映像信号再生装置。

【請求項 2】

前記フレームは、M P E G方式で圧縮された映像信号のIフレームである
請求項1に記載に映像信号再生装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えばMoving Picture coding Experts Group (以下M P E Gと略称する) 方式で圧縮されて記録された映像信号を、デコードして再生する際に使用して好適な映像信号再生装置に関する。詳しくは、M P E G方式で記録された記録媒体を高速サーチ等で再生する際に、良好な再生表示が行われるようにするものである。10

【0 0 0 2】

【従来の技術】

例えばM P E G方式で圧縮されて記録された映像信号をデコードして再生する映像信号再生装置においては、例えば映像信号の15フレームごとに設けられる単独でデコード可能なIフレームと呼ばれるフレームをデコードする。そしてこのデコードされたIフレームを用いて、フレームの間の差分によって形成されるP及びBフレームと呼ばれるフレームをデコードして、映像信号を形成する全フレームの再生を行うようになされている。20

【0 0 0 3】

そこでこのようなM P E G方式で記録された記録媒体を、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみを順番にデコードして映像信号を形成することが行われる。すなわち例えば上述のようにIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみを再生することによって15倍速の高速サーチの再生を行うことになる。

【0 0 0 4】

ところが現実には、上述のIフレームを各フレームに付加されたアドレス等に基づいて検出するのに時間が掛かり、このような検出を行いながらの再生では、例えば1秒間に3~5フレーム程度しか再生することができない。このため従来の装置では、例えば1秒間に3~5フレームの再生される間の期間には直前のフレームを繰り返すことによって、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出すことが行われていた。30

【0 0 0 5】

しかしながらこのような映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまふ。すなわち例えば15倍速で毎秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。従って各表示されるフレームの間隔は標準の再生時間で3秒間隔となり、例えばアナログ方式のVTRでの0.5秒間隔より間隔が大きくなつて不自然になる。40

【0 0 0 6】

また、例えば毎秒5フレームの表示が行われている場合には、各フレームが表示される時間は0.2秒となり、観視者が各フレームの画像を充分に知覚できる時間となる。従って、このような知覚された画像が間欠的に更新される表示は、例えば従来のアナログ方式のVTRの高速サーチのような充分な知覚を伴わない画像が連続的に近い状態で見える表示に比べて、観視者には極めて不自然に見えてしまうものである。

【0 0 0 7】

【発明が解決しようとする課題】

この出願はこのような点に鑑みて成されたものであつて、解決しようとする問題点は、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生50

方法では、この映像信号を表示した場合に極めて不自然な表示になってしまうというものである。

【0008】

【課題を解決するための手段】

上記課題を解決するために、本発明の映像信号再生装置は、圧縮されて記録された映像信号をデコードして再生すると共に、デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、取り出した映像信号のフレームを順次記憶するメモリと、取り出した映像信号のフレームを所定時間記憶してから出力する第一記憶手段と、第一記憶手段から出力される映像信号を所定時間記憶してから出力する第二記憶手段と、第二記憶手段から出力される映像信号を所定時間記憶してから出力する第三記憶手段と、メモリから出力される映像信号に複数の記憶手段の個数に応じて決定される所定の係数を乗算する第一加重手段と、第一記憶手段から出力される映像信号に所定の係数を乗算する第二加重手段と、第二記憶手段から出力される映像信号に所定の係数を乗算する第三加重手段と、第三記憶手段から出力される映像信号に所定の係数を乗算する第四加重手段と、第一加重手段、第二加重手段、第三加重手段および第四加重手段の出力信号を加算する加算手段とを備える。10

そのため、不帰還型の回路を用いて映像信号を徐々に入れ替えて出力することができる。これにより、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。20

【0009】

【発明の実施の形態】

すなわち本発明は、圧縮されて記録された映像信号をデコードして再生すると共に、デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、映像信号の1または複数のフレームを記憶する記憶手段と、取り出した映像信号及び/または記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段と、複数の加重手段の出力信号を加算する加算手段とを有し、取り出した映像信号を徐々に入れ替えて出力するようにしたものである。20

【0010】

以下、図面を参照して本発明を説明するに、図1は本発明を適用した映像信号再生装置の一の実施形態の構成を示すブロック図である。なお、図1の実施形態では、例えばMPEG方式で圧縮された映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用されるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。30

【0011】

図1において、例えばディスク1には、例えばMPEG方式で圧縮された映像信号が記録されており、このディスク1に記録された圧縮された映像信号がピックアップ2を通じて再生される。このピックアップ2からの再生信号が、再生処理部3に供給されて例えばMPEG方式のビットストリームが取り出され、このビットストリームが例えばMPEG方式のデコーダ回路4に供給される。これによってデコーダ回路4からは、圧縮を復元した映像信号が出力される。40

【0012】

すなわちこのデコーダ回路4では、例えばMPEG方式で圧縮された映像信号の中から、例えば15フレームごとに設けられる単独でデコード可能なIフレームと呼ばれるフレームがデコードされる。そしてこのデコードされたIフレームを用いて、フレームの間の差分によって形成されるP及びBフレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。50

【0013】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみが順番にデコードされて映

像信号が形成される。これによって例えばIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみが再生されることで15倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームにIフレームを検出してデコードすることはできないものである。

【0014】

そこで上述したように、例えば15倍速で毎秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。すなわち例えばデコーダ回路4で判別されたIフレームのアドレスが制御用のマイクロコンピュータ5に供給され、このマイクロコンピュータ5では、例えば上述の倍速値と毎秒の表示フレーム数とから次に再生されるIフレームのアドレスが算出される。そしてそのアドレスにピックアップ2を送るように制御が行われる。10

【0015】

なおデコーダ回路4にはメモリー6が併設され、このメモリー6に再生中の信号に関わるIフレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー6に記憶されているIフレームの信号が出力され、そこから例えば90フレーム後のアドレスにピックアップ2を送る制御が行われる。またマイクロコンピュータ5には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部7が設けられる。

【0016】

このようにしてデコーダ回路4からは、例えば90フレームごとのIフレームの映像信号が取り出される。そしてこの場合に、例えば90フレーム後のIフレームの信号を取り出すのには、6フレーム期間程度の時間が掛かることになり、その間は前のIフレームの信号が繰り返し出力される。これによりこのデコーダ回路4からは、各デコードされたIフレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。20

【0017】

そしてこの装置において、このデコーダ回路4からの信号が例えば係数0.5の第1の加重回路となるアンプ11を通じて加算手段となる加算器12に供給される。さらにこの加算器12からの加算信号が出力端子13に取り出されると共に、例えば1フレームの記憶手段となるフレームメモリー14に供給される。またこのフレームメモリー14に記憶された信号が、例えば係数0.5の第2の加重回路となるアンプ15を通じて加算器12に供給される。30

【0018】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ11、15からは同じ信号が加算器12に供給されて、同じフレームの信号が出力端子13に出力される。これに対してデコーダ回路4からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが0.5:0.5で加算された信号が出力され、次のフレームでは前のフレームと更新されたフレームが0.25:0.75で加算された信号が出力される。

【0019】

さらに次のフレームでは、前のフレームと更新されたフレームが0.125:0.875で加算された信号が出力されて、前のフレームと更新されたフレームとが徐々に入れ替えられて出力される。なおこのままでは前のフレームは永久に残っているように見えるが、実際には3~4フレーム程度で前のフレームの影響は検知限以下となり、更新されたフレームに置き換えられることになる。そしてこの動作がデコーダ回路4からの信号が更新される度に繰り返される。40

【0020】

こうしてこの装置によれば、デコーダ回路4でデコードされたIフレームが更新される度に、出力端子13には前のフレームと更新されたフレームとが徐々に入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変50

化されるように見えることになり、例えば従来のアナログ方式のVTRの高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。

【0021】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、記憶手段と加重手段と加算手段による帰還型の回路を用いてこの映像信号を徐々に入れ替えて出力することによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【0022】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

10

【0023】

ところで上述の構成で、例えばアンプ11、15での加重を共に係数0.5とした場合には3~4フレーム程度で入れ替えが行われる。これは例えば毎秒5フレームの表示で6フレームごとに信号が更新されている場合には適当な値である。ところが例えば倍速値を30倍速や150倍速にした場合には、例えば次のアドレスにピックアップ2を送るまでの時間が長く掛かり、例えば毎秒3フレームの表示で10フレームごとの信号の更新となることがある。

20

【0024】

そこで例えば10フレームごとの更新に対して上述の3~4フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに対して、例えばアンプ11での加重を係数0.25、アンプ15での加重を係数0.75とすることにより、前のフレームと更新されたフレームの割合とが、最初のフレームでは0.75:0.25となり、次のフレームでは0.5625:0.4375となって、入れ替えに掛かる時間を長くすることができる。

【0025】

しかしながらこのように入れ替えに掛かる時間を長くしておくと、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却つて不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さらに例えば制御手段としてのマイクロコンピュータ5によってアンプ11、15での加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

30

【0026】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ5では、操作部7から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて予め設定された値にアンプ11、15での加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができるものである。

40

【0027】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度が変化しても表示の不自然さが生じないようにすることができるものである。

【0028】

さらに図2には、本発明を適用した映像信号再生装置の他の実施形態の構成のブロック図を示す。なお、図2の実施形態では、例えばMPEG方式で圧縮された映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用さ

50

れるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。

【0029】

図2において、例えばディスク1には、例えばMPEG方式で圧縮された映像信号が記録されており、このディスク1に記録された圧縮された映像信号がピックアップ2を通じて再生される。このピックアップ2からの再生信号が、再生処理部3に供給されて例えばMPEG方式のビットストリームが取り出され、このビットストリームが例えばMPEG方式のデコーダ回路4に供給される。これによってデコーダ回路4からは、圧縮を復元した映像信号が出力される。

【0030】

すなわちこのデコーダ回路4では、例えばMPEG方式で圧縮された映像信号の中から、例えば15フレームごとに設けられる単独でデコード可能なIフレームと呼ばれるフレームがデコードされる。そしてこのデコードされたIフレームを用いて、フレームの間の差分によって形成されるP及びBフレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。

【0031】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみが順番にデコードされて映像信号が形成される。これによって例えばIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみが再生されることで15倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームにIフレームを検出してデコードすることはできないものである。

【0032】

そこで上述したように、例えば15倍速で毎秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。すなわち例えばデコーダ回路4で判別されたIフレームのアドレスが制御用のマイクロコンピュータ5に供給され、このマイクロコンピュータ5では、例えば上述の倍速値と毎秒の表示フレーム数とから次に再生されるIフレームのアドレスが算出される。そしてそのアドレスにピックアップ2を送るように制御が行われる。

【0033】

なおデコーダ回路4にはメモリー6が併設され、このメモリー6に再生中の信号に関わるIフレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー6に記憶されているIフレームの信号が出力され、そこから例えば90フレーム後のアドレスにピックアップ2を送る制御が行われる。またマイクロコンピュータ5には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部7が設けられる。

【0034】

このようにしてデコーダ回路4からは、例えば90フレームごとのIフレームの映像信号が取り出される。そしてこの場合に、例えば90フレーム後のIフレームの信号を取り出すのには、6フレーム期間程度の時間が掛かることになり、その間は前のIフレームの信号が繰り返し出力される。これによりこのデコーダ回路4からは、各デコードされたIフレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。

【0035】

そしてこの装置において、このデコーダ回路4からの信号が縦続に接続された3個のフレームメモリー21、22、23に供給され、順次供給されたフレームの信号が記憶される。さらにデコーダ回路4からの信号と、フレームメモリー21、22、23に記憶された信号が、それぞれ例えば係数0.25の加重回路となるアンプ24、25、26、27を通じて加重手段となる加算器28に供給される。またこの加算器28で加算された信号が

10

20

30

40

50

出力端子 29 に取り出される。

【0036】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ 24 ~ 27 からは同じ信号が加算器 28 に供給されて、同じフレームの信号が出力端子 29 に出力される。これに対してデコーダ回路 4 からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが 0.75 : 0.25 で加算された信号が出力され、次のフレームでは前のフレームと更新されたフレームが 0.5 : 0.5 で加算された信号が出力される。

【0037】

さらに次のフレームでは、前のフレームと更新されたフレームが 0.25 : 0.75 で加算された信号が出力される。そしてその次のフレームでは、更新されたフレームのみが出力されて、前のフレームと更新されたフレームとが徐々に入れ替えられて出力される。すなわちこの装置においては、4 フレームで前のフレームが更新されたフレームに置き換えることになる。そしてこの動作がデコーダ回路 4 からの信号が更新される度に繰り返される。

10

【0038】

こうしてこの装置によれば、デコーダ回路 4 でデコードされた I フレームが更新される度に、出力端子 29 には前のフレームと更新されたフレームとが徐々に入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変化されることになり、例えば従来のアナログ方式の VTR の高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。

20

【0039】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、記憶手段と加重手段と加算手段による不帰還型の回路を用いてこの映像信号を徐々に入れ替えて出力することによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【0040】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

30

【0041】

ところで上述の構成では、フレームメモリ 21 ~ 23 を用いてアンプ 24 ~ 27 の加重を全て係数 0.25 として 4 フレームで入れ替えが行われる。これは例えば毎秒 5 フレームの表示で 6 フレームごとに信号が更新されている場合には適当な値である。ところが例えば倍速値を 30 倍速や 150 倍速にした場合には、例えば次のアドレスにピックアップ 2 を送るまでの時間が長く掛かり、例えば毎秒 3 フレームの表示で 10 フレームごとの信号の更新となることがある。

【0042】

40

そこで例えば 10 フレームごとの更新に対して上述の 4 フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに対して、例えば破線図示のようにフレームメモリーの数を増やすと共に、各アンプでの加重の係数値を小さくして、入れ替えに掛かる時間を長くすることができる。すなわち例えばフレームメモリーの数を 7 個とし、8 個のアンプの係数値を 0.125 ずつすることで、入れ替えの時間を 8 フレームにすることができる。

【0043】

しかしながらこのように入れ替えに掛かる時間を長くしておくと、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却って不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さら

50

にフレームメモリーの数を増やすと共に、制御手段としてのマイクロコンピュータ5によってアンプでの加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

【0044】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ5では、操作部7から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて用いるフレームメモリーの数及びアンプでの加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができるものである。

10

【0045】

なお上述の実施の形態では、フレームメモリーを縦続に接続しているが、並列に設けられるメモリーを選択して順次に記憶を行わせるようなメモリー制御装置を設けて実現することもできる。また、アンプでの加重の係数値が例えば1フレーム期間ごとに制御できるのであれば、1個のフレームメモリーに前のフレームの信号を記憶させ、フレームメモリーとデコーダ回路からの信号を2個のアンプで加重の係数値を制御しながら加算して入れ替えを行うこともできる。

【0046】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度が変化しても表示の不自然さが生じないようにすることができるものである。

20

【0047】

ところで図3には、例えばフレームメモリー31と減算器32を用いて前後のフレームの差信号を検出し、この差信号をリミッター回路33で適当なレベルに制限して、減算器34で元の信号から減算することによって、ノイズを低減するようにしたノイズ低減回路の構成が示されている。ここでこのようなノイズ低減回路は例えばデコーダ回路4の後段に設けられるが、通常の再生時のみに必要とされるものであって、例えば上述の高速サーチでは不要となるものである。

【0048】

30

そこで図4は、このようなノイズ低減回路に設けられるフレームメモリー31を利用して、上述の映像信号を徐々に入れ替えて表示の不自然さを解消するようにした装置を形成するものである。なお、図4の実施形態では、例えばMPEG方式で圧縮された映像信号がディスク状の記録媒体に記録されている場合を示しているが、本発明は任意の圧縮方式に適用されるものであり、また、記録媒体もディスクに限らずテープ等の他の形式の記録媒体にも適用できるものである。

【0049】

図4において、例えばディスク1には、例えばMPEG方式で圧縮された映像信号が記録されており、このディスク1に記録された圧縮された映像信号がピックアップ2を通じて再生される。このピックアップ2からの再生信号が、再生処理部3に供給されて例えばMPEG方式のビットストリームが取り出され、このビットストリームが例えばMPEG方式のデコーダ回路4に供給される。これによってデコーダ回路4からは、圧縮を復元した映像信号が出力される。

40

【0050】

すなわちこのデコーダ回路4では、例えばMPEG方式で圧縮された映像信号の中から、例えば15フレームごとに設けられる単独でデコード可能なIフレームと呼ばれるフレームがデコードされる。そしてこのデコードされたIフレームを用いて、フレームの間の差分によって形成されるP及びBフレームと呼ばれるフレームがデコードされる。これにより、映像信号を形成する全フレームが復元されて、映像信号の再生が行われるものである。

50

【0051】

そしてこの装置において、例えば高速サーチのような記録時とは異なる時系列で再生する場合には、例えば上述の単独でデコード可能なIフレームのみが順番にデコードされて映像信号が形成される。これによって例えばIフレームが映像信号の15フレームごとに設けられている場合には、このIフレームのみが再生されることで15倍速の高速サーチの再生が行われる。ただし、上述したように毎フレームにIフレームを検出してデコードすることはできないものである。

【0052】

そこで上述したように、例えば15倍速で毎秒5フレームの表示が行われている場合には、各表示されるフレームは90フレームごとのものとなる。すなわち例えばデコーダ回路4で判別されたIフレームのアドレスが制御用のマイクロコンピュータ5に供給され、このマイクロコンピュータ5では、例えば上述の倍速値と毎秒の表示フレーム数とから次に再生されるIフレームのアドレスが算出される。そしてそのアドレスにピックアップ2を送るように制御が行われる。

10

【0053】

なおデコーダ回路4にはメモリー6が併設され、このメモリー6に再生中の信号に関わるIフレームが記憶されている。従って例えば再生中に高速サーチへの切り換えが行われた場合には、まずこのメモリー6に記憶されているIフレームの信号が出力され、そこから例えば90フレーム後のアドレスにピックアップ2を送る制御が行われる。またマイクロコンピュータ5には、再生、停止の制御や高速サーチ時の倍速値の設定等が行う操作部7が設けられる。

20

【0054】

このようにしてデコーダ回路4からは、例えば90フレームごとのIフレームの映像信号が取り出される。そしてこの場合に、例えば90フレーム後のIフレームの信号を取り出すのには、6フレーム期間程度の時間が掛かることになり、その間は前のIフレームの信号が繰り返し出力される。これによりこのデコーダ回路4からは、各デコードされたIフレームがフレーム単位で所定時間ずつ間欠的に更新して取り出されるようにされた映像信号が出力されることになる。

【0055】

そしてこの装置において、このデコーダ回路4の出力がスイッチ35の一方の固定接点aに供給されると共に、このデコーダ回路4の出力がアンプ11を通じてスイッチ35の他方の固定接点bに供給される。さらにこのスイッチ35の可動接点cからの信号が減算器34の被減算入力に供給される。またこの減算器34の出力が出力端子13に供給されると共に、フレームメモリ14を兼ねるフレームメモリ31に供給される。なお符号は、上述の図1、図3と共に通である。

30

【0056】

さらにデコーダ回路4の出力がスイッチ36の一方の固定接点aに供給されると共に、このスイッチ36の他方の固定接点bが接地される。そしてこのスイッチ36の可動接点cからの信号が減算器32の被減算入力に供給される。また、フレームメモリ31の出力がスイッチ37の一方の固定接点aに供給されると共に、このフレームメモリ31の出力がアンプ15に相当する反転アンプ15を通じてスイッチ37の他方の固定接点bに供給される。

40

【0057】

そしてこのスイッチ37の可動接点cからの信号が減算器32の減算入力に供給され、この減算器32の出力がリミッタ回路33に供給される。さらにこのリミッタ回路33の出力がスイッチ38の一方の固定接点aに供給されると共に、減算器32の出力がインバータ39を通じてスイッチ38の他方の固定接点bに供給される。そしてこのスイッチ38の可動接点cからの信号が減算器34の減算入力に供給される。

【0058】

かくしてこの装置において、スイッチ35～38が全て固定接点aに接続された状態では

50

、上述の図3と同じノイズ低減回路の構成となる。すなわちこの装置において、フレームメモリー31と減算器32を用いて前後のフレームの差信号が検出される。そしてこの差信号がリミッター回路33で適当なレベルに制限され、減算器34で元の信号から減算されることによって、ノイズを低減するようにしたノイズ低減回路が形成されている。

【0059】

これに対してスイッチ35～38が全て固定接点bに接続されると、減算器32は被減算入力が接地され、減算入力に反転アンプ15を通じた信号が供給されることによって、反転アンプ15がそのまま通過される。また減算器34では、減算入力にインバータ39を通じた信号が供給されることによって加算が行われる。すなわちこの装置では、スイッチ35～38が全て固定接点bに接続されることによって上述の図1と同じ回路構成となる。10

【0060】

これによりこの装置において、同じフレームの信号が繰り返されている間は、アンプ11、15からの同じ信号が減算器34で加算されて、同じフレームの信号が出力端子13に出力される。これに対してデコーダ回路4からの信号が更新されると、まず最初のフレームでは前のフレームと更新されたフレームが0.5:0.5で加算された信号が出力され、次のフレームでは前のフレームと更新されたフレームが0.25:0.75で加算された信号が出力される。

【0061】

さらに次のフレームでは、前のフレームと更新されたフレームが0.125:0.875で加算された信号が出力されて、前のフレームと更新されたフレームとが徐々に入れ替えられて出力される。なおこのままでは前のフレームは永久に残っているように見えるが、実際には3～4フレーム程度で前のフレームの影響は検知限以下となり、更新されたフレームに置き換えられることになる。そしてこの動作がデコーダ回路4からの信号が更新される度に繰り返される。20

【0062】

こうしてこの装置によれば、デコーダ回路4でデコードされたIフレームが更新される度に、出力端子13には前のフレームと更新されたフレームとが徐々に入れ替えられた映像信号が出力されることになる。これにより観視者には、表示されるフレームが連続して変化されることになり、例えば従来のアナログ方式のVTRの高速サーチと同様の連続して変化される表示が見えることで、観視者に自然な感じを与えることができるものである。30

【0063】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【0064】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。40

【0065】

さらにこの装置においては、例えば高速サーチでは不要となるノイズ低減回路に設けられるフレームメモリーを利用して、上述の映像信号を徐々に入れ替えて出力する装置を形成することによって、新たなフレームメモリー等を用意することなく簡単な構成で、本発明を実施することができるものである。

【0066】

ところで上述の構成で、例えばアンプ11、15での加重を共に係数0.5とした場合には3～4フレーム程度で入れ替えが行われる。これは例えば毎秒5フレームの表示で6フレームごとに信号が更新されている場合には適当な値である。ところが例えば倍速値を50

30倍速や150倍速にした場合には、例えば次のアドレスにピックアップ2を送るまでの時間が長く掛かり、例えば毎秒3フレームの表示で10フレームごとの信号の更新となることがある。

【0067】

そこで例えば10フレームごとの更新に対して上述の3~4フレームの入れ替えでは、間欠的な表示が解消されずに不自然に見えてしまう恐れがある。これに対して、例えばアンプ11での加重を係数0.25、アンプ15での加重を係数0.75とすることにより、前のフレームと更新されたフレームの割合とが、最初のフレームでは0.75:0.25となり、次のフレームでは0.5625:0.4375となって、入れ替えに掛かる時間を見くすることができる。

10

【0068】

しかしながらこのように入れ替えに掛かる時間を長くしておくと、例えば更新が短い間隔で行われる場合に、更新時に前々のフレームの信号の影響が残っていることになり、却って不自然な表示になってしまう恐れがある。このような点に鑑みて上述の装置では、さらに例えば制御手段としてのマイクロコンピュータ5によってアンプ11、15での加重の係数値を制御し、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

【0069】

すなわち上述の装置において、表示されるフレームの更新の頻度は、例えば高速サーチの倍速値等によって予め定まっているものである。従ってマイクロコンピュータ5では、操作部7から設定される倍速値等によって表示されるフレームの更新の頻度を予め知ることができる。そしてこの頻度に応じて予め設定された値にアンプ11、15での加重の係数値を制御することにより、入れ替えに掛かる時間をフレームの更新の頻度に応じて制御することができる。

20

【0070】

従って上述の装置において、加重手段の係数を制御する制御手段として例えば制御用のマイクロコンピュータを設け、取り出した映像信号の入れ替えに掛かる時間を、例えばフレームの更新の頻度に応じて制御することによって、フレームの更新の頻度が変化しても表示の不自然さが生じないようにすることができるものである。

【0071】

30

さらに図5では、記録系を有する映像信号再生装置に本発明を適用する場合の実施形態について説明する。すなわち記録系において例えばMPEG方式で映像信号を圧縮する場合には、一般的に復元より多くのフレームメモリーが必要とされる。従って再生時には、圧縮用に用意されたフレームメモリーの一部は使用されずに置かれていることになる。そこでこのような不使用のフレームメモリーを利用して、上述の映像信号を徐々に入れ替える装置を形成することができる。

【0072】

すなわち図5においては、映像信号の圧縮を行うエンコーダ回路41にはセレクタ42、43のA端子を通じて、映像信号の圧縮に必要な全量に相当するメモリー44、45が接続される。これに対して、映像信号の復元を行うデコーダ回路46にはセレクタ42のB端子を通じて一部のメモリー44が接続される。そこで上述の取り出した映像信号の入れ替えを行う入れ替え回路47に、セレクタ43のB端子を通じて残りのメモリー45が接続される。

40

【0073】

そして記録時には、セレクタ42、43をA端子に切り替えてエンコーダ回路41にメモリー44、45を接続して圧縮を行う。また再生時には、セレクタ42をB端子に切り替えてデコーダ回路46にメモリー44を接続して復元を行うと共に、セレクタ43をB端子に切り替えて入れ替え回路47にメモリー45を接続する。このようにして、再生時には不使用のフレームメモリー45を利用して、上述の映像信号を徐々に入れ替える装置を形成することができる。

50

【 0 0 7 4 】

従ってこの装置において、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができる。

【 0 0 7 5 】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

【 0 0 7 6 】

さらにこの装置においては、映像信号の圧縮に用いられ、再生時には不使用のフレームメモリーを利用して、上述の映像信号を徐々に入れ替えて出力する装置を形成することによって、新たなフレームメモリー等を用意することなく簡単な構成で、本発明を実施することができるものである。

【 0 0 7 7 】

こうして上述の映像信号再生装置によれば、圧縮されて記録された映像信号をデコードして再生すると共に、デコードした映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す機能を有する映像信号再生装置であって、映像信号の 1 または複数のフレームを記憶する記憶手段と、取り出した映像信号及び / または記憶手段に記憶した映像信号にそれぞれ任意の係数を乗算する複数の加重手段と、複数の加重手段の出力信号を加算する加算手段とを有し、取り出した映像信号を徐々に入れ替えて出力することにより、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

【 0 0 7 8 】

なお上述のフレームメモリーは、フレーム単位で格納するタイプに限らず、フィールド単位で格納するタイプであってもよい。

【 0 0 7 9 】

また本発明は、上述の説明した実施の形態に限定されるものではなく、本発明の精神を逸脱することなく種々の変形が可能とされるものである。

【 0 0 8 0 】**【 発明の効果 】**

従って請求項 1 の発明によれば、映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出した信号に対して、この映像信号を徐々に入れ替えて出力するようにしたことによって、表示される画像が連続的に変化されて、表示の不自然さを解消することができるものである。

【 0 0 8 1 】

これによって、従来の装置のように映像信号をフレーム単位で所定時間ずつ間欠的に更新して取り出す再生方法では、この映像信号を表示した場合に極めて不自然な表示になってしまっていたものを、本発明によればこれらの問題点を容易に解消することができるものである。

【 図面の簡単な説明 】

【 図 1 】本発明の映像信号再生装置の一の実施形態の構成図である。

【 図 2 】本発明の映像信号再生装置の他の実施形態の構成図である。

【 図 3 】ノイズ低減回路の構成図である。

【 図 4 】本発明の映像信号再生装置のさらに他の実施形態の構成図である。

【 図 5 】本発明の映像信号再生装置を記録系を有する装置に適用する場合の説明図である。

【 符号の説明 】

1 ... 例えば M P E G 方式で圧縮された映像信号が記録されたディスク、 2 ... ピックアップ、 3 ... 再生処理部、 4 ... 例えば M P E G 方式のデコーダ回路、 5 ... 制御用のマイクロコンピュータ、 6 ... メモリー、 7 ... 操作部、 1 1 ... 第 1 の加重回路となるアンプ、 1 2 ... 加算

10

20

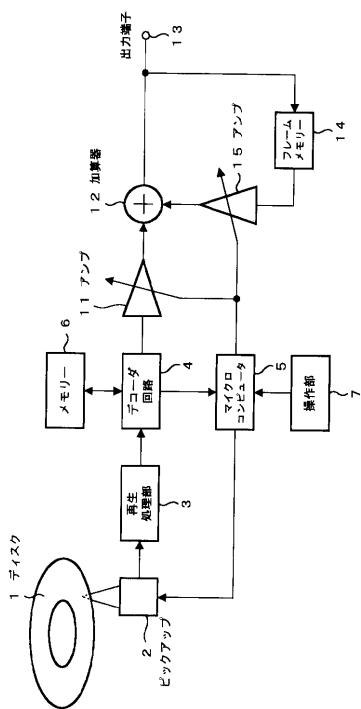
30

40

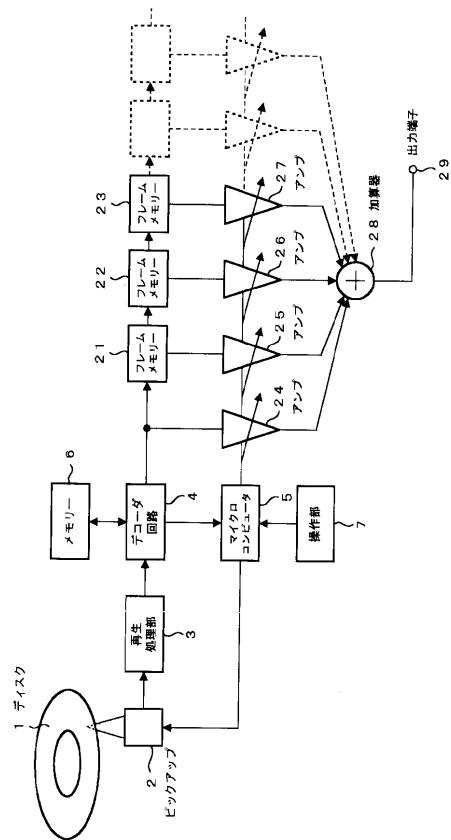
50

器、13…出力端子、14…記憶手段となるフレームメモリー、15…第2の加重回路となるアンプ

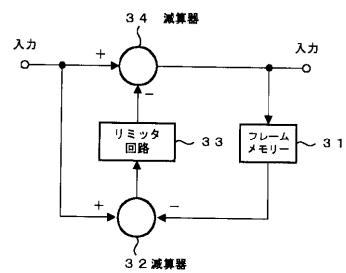
【図1】



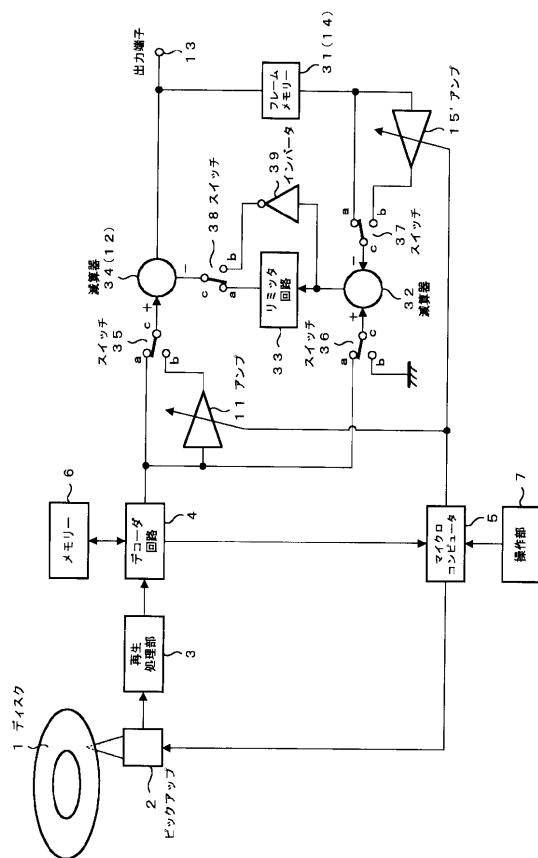
【図2】



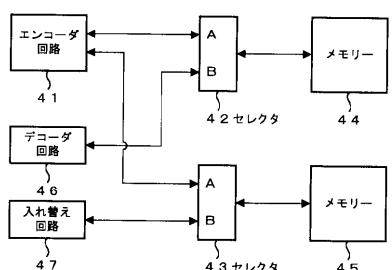
【図3】



【 図 4 】



【図5】



フロントページの続き

審査官 梅岡 信幸

(56)参考文献 特開平10-257435(JP,A)

特開平11-220756(JP,A)

特開昭63-287278(JP,A)

特開平09-070008(JP,A)

特開平08-307760(JP,A)

特開平08-265749(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/76-5/956

G11B 20/10-20/16