



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2004 005 502 B4 2008.04.17**

(12)

Patentschrift

(21) Aktenzeichen: **10 2004 005 502.5**

(22) Anmeldetag: **30.01.2004**

(43) Offenlegungstag: **16.09.2004**

(45) Veröffentlichungstag
 der Patenterteilung: **17.04.2008**

(51) Int Cl.⁸: **H01L 21/336 (2006.01)**
H01L 29/78 (2006.01)

Innerhalb von drei Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 2 Patentkostengesetz).

(30) Unionspriorität:
2003/12793 28.02.2003 KR

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

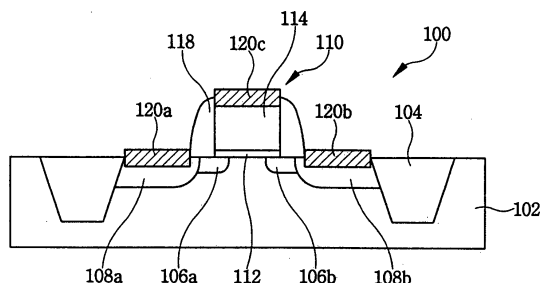
(72) Erfinder:
Ko, Young-Gun, Sunnam, Kyonggi, KR; Oh, Chang-Bong, Sunnam, Kyonggi, KR

(56) Für die Beurteilung der Patentfähigkeit in Betracht
 gezogene Druckschriften:
US2002/00 72 181 A1
US 60 87 235 A
US 60 51 473 A

(54) Bezeichnung: **Verfahren zur Herstellung eines MOS-Transistors mit erhöhter Source-/Drain-Struktur**

(57) Hauptanspruch: Verfahren zur Herstellung eines MOS-Transistors mit erhöhter Source-/Drain-Struktur, gekennzeichnet durch folgende Schritte:

- Bereitstellen einer Opfer-Gate-Struktur (330) auf einem Substrat (302),
- Bereitstellen einer Epitaxieschicht (305) auf dem Substrat benachbart zu der Opfer-Gate-Struktur,
- Bereitstellen einer ersten isolierenden Schicht (337) und einer zweiten isolierenden Schicht (338) auf der Epitaxieschicht benachbart zu der Opfer-Gate-Struktur,
- Entfernen der Opfer-Gate-Struktur, um einen Teil des Substrats und Wandbereiche der Epitaxieschicht freizulegen,
- Bereitstellen einer Gate-Dielektrikumschicht (312) auf dem freigelegten Teil des Substrats und entlang der Wandbereiche der Epitaxieschicht,
- Bereitstellen einer Gate-Elektrode (314) auf der Gate-Dielektrikumschicht,
- Entfernen der zweiten isolierenden Schicht und der ersten isolierenden Schicht,
- Dotieren der Epitaxieschicht mit Störstellen unter Verwendung der Gate-Elektrode als Maske, um Source-/Drain-Erweiterungsbereiche (306a, 306b) in der Epitaxieschicht benachbart zur Gate-Dielektrikumschicht zu bilden,
- Bereitstellen von isolierenden Abstandshaltern (318) an Seitenwänden eines oberen Bereichs der Gate-Elektrode...



Beschreibung

[0001] Die Erfindung bezieht sich auf ein Verfahren zur Herstellung eines MOS-Transistors mit erhöhter Source-/Drain-Struktur.

[0002] In der Halbleiterindustrie ist die Minimierung der Elementabmessung von MOS-Transistoren in integrierten Schaltkreisen ein allgemeines Ziel. Dieses Ziel wird im Wesentlichen wegen der Notwendigkeit verfolgt, integrierte Schaltkreise bei immer geringeren Kosten herzustellen und dabei Schaltkreisfunktionalität und -geschwindigkeit zu verbessern. Ein derartiges Herunterskalieren kann durch Reduzieren der charakteristischen Abmessungen der Transistoren, d.h. Reduzieren der Gate-Längen, der Dicke des Gate-Oxids und der Übergangstiefen, und durch Erhöhen der Kanaldotierniveaus erreicht werden. Herunterskalierte MOS-Transistoren leiden jedoch im Allgemeinen an einem Phänomen, das als "Kurzkanaleffekt" bezeichnet wird. Der Kurzkanaleffekt hat einen nachteiligen Einfluss auf die Schaltleistungsfähigkeit der Transistoren, da ein derartiges Schalten durch die Gate-Elektrode ineffizient gesteuert wird, was zu einer unerwünschten Abnahme der Schwellenspannung führt. Mechanisch belegen die Verarmungsgebiete um die Source- und die Drain-Elektrode herum einen zunehmend größeren Bruchteil des Kanalgebiets, so dass ein niedrigeres Potential auf der Gate-Elektrode notwendig ist, um eine Inversion in dem Kanal zu erreichen.

[0003] Bezugnehmend auf [Fig. 1](#) beinhaltet ein herkömmlicher, herunterskalierter MOS-Transistor **100**, der innerhalb eines Halbleitersubstrats **102** gefertigt ist, einen Source-Erweiterungsbereich **106a** und einen Drain-Erweiterungsbereich **106b**. Der Source-Erweiterungsbereich **106a** und der Drain-Erweiterungsbereich **106b** weisen flache Übergänge auf, um den Kurzkanaleffekt zu minimieren, der in MOS-Transistoren mit Submikrometer- oder Nanometer-Abmessungen auftritt. Der MOS-Transistor **100** beinhaltet des Weiteren einen Source-Bereich **108a** und einen Drain-Bereich **108b**, die tiefere Übergänge relativ zu dem Source-Erweiterungsbereich **106a** und dem Drain-Erweiterungsbereich **106b** aufweisen, um einen niedrigeren Widerstandswert bereitzustellen. Der MOS-Transistor **100** beinhaltet außerdem eine Gate-Struktur **110**, die aus einem Gate-Dielektrikum **112** und einer Gate-Elektrode **114** besteht. Ein isolierender Abstandshalter **118**, der typischerweise aus Siliciumnitrid (SiN) besteht, ist an den Seitenwänden der Gate-Struktur **110** angeordnet. Der MOS-Transistor **100** beinhaltet des Weiteren Silicid-Gebiete **120a**, **120b** und **120c**, um einen niederohmigen elektrischen Kontakt mit dem Source-/Drain-Gebiet **108a/108b** und der Gate-Elektrode **114** bereitzustellen. Der MOS-Transistor ist von anderen Bauelementen durch flache Grabenisolationsstrukturen **104** elektrisch isoliert.

[0004] Ein Problem liegt darin, dass Störstellen in den Source-/Drain-Erweiterungsbereichen **106a/106b** dazu tendieren, in den Bereich unmittelbar unter der Gate-Elektrode **110** zu diffundieren. Die Teile der Source-/Drain-Erweiterungsbereiche **106a/106b**, die unmittelbar unter der Gate-Elektrode **110** ausgebildet sind, weisen einen höheren elektrischen Widerstandswert relativ zu den Teilen der Erweiterungsbereiche **106a/106b** auf, die sich unmittelbar unter den Seitenwandabstandshaltern **118** befinden. Aus diesem Grund weist der Transistor **100** effektive Widerstände auf, die seriell mit Source- und Drain-Elektrode verbunden sind. Dies verhindert den Fluss elektrischen Stroms, wodurch die Betriebssgeschwindigkeit verringert wird.

[0005] Ein zweites Problem betrifft den Anstieg der Kanaldotiermittelkonzentration, der seinerseits einen Anstieg der Schwellenspannung in dem Feldeffekttransistor verursacht. Um Miniaturisierungsanforderungen in MOS-Transistoren zu genügen, wird die Störstellenkonzentration des Kanalstörstellenbereichs notwendigerweise angehoben. Gleichzeitig sind gegenwärtige Halbleiterbauelemente dafür ausgelegt, mit einer niedrigeren Leistungsversorgungsspannung zu arbeiten, wie einer, die im Bereich zwischen 5V und 3,3V liegt. Für einen Betrieb mit einer derart niedrigen Leistungsversorgungsspannung muss die Schwellenspannung des Feldeffekttransistors niedriger sein. Aus diesem Grund ist jeglicher Anstieg der Schwellenspannung des MOS-Transistors aufgrund des Anstiegs der Kanaldotiermittelkonzentration unerwünscht. Andererseits verursacht ein Kanaldotierniveau, das in herunterskalierten Bauelementen zu hoch ist, überflüssige Leckströme und Übergangsdurchbrüche.

[0006] In einem Versuch, die angegebenen Schwierigkeiten zu überwinden, wurden bereits erhöhte, d.h. angehobene Source- und Drain-Strukturen vorgeschlagen. [Fig. 2](#) zeigt einen solchen MOS-Transistor **200** mit einer Gate-Struktur **210**, die aus einem Gate-Dielektrikum **212** und einer Gate-Elektrode **214** besteht und auf der Oberfläche eines Halbleitersubstrats **202** ausgebildet ist. Des Weiteren sind ein Source-Erweiterungsbereich **206a** und ein Drain-Erweiterungsbereich **206b** in dem Halbleitersubstrat **202** ausgebildet. Ein Abstandshalter **218**, der typischerweise aus Siliciumnitrid (SiN) besteht, ist an den Seitenwänden der Gate-Struktur **210** ausgebildet. Eine Epitaxieschicht, die typischerweise aus Silicium besteht, ist auf freiliegende Teile der Source-/Drain-Erweiterungsbereiche **206a/206b** aufgewachsen, typischerweise unter Verwendung von selektivem epitaktischem Aufwachsen. Nach dem Aufwachsen der Epitaxieschicht werden Dotierstoffe implantiert und aktiviert, um einen erhöhten Source-Bereich **208a** und einen erhöhten Drain-Bereich **208b** zu bilden. Der MOS-Transistor **200** beinhaltet des Weiteren Silicidbereiche **220a**, **220b** und **220c**, um

elektrische Kontakte zu den erhöhten Source-/Drain-Bereichen **208a/208b** und der Gate-Elektrode **214** bereitzustellen.

[0007] Ein MOS-Transistor mit einem erhöhten Source-/Drain-Bereich, der gemäß der Struktur von **Fig. 2** hergestellt ist, ist effektiv hinsichtlich einer Reduzierung des Widerstands der Source- und Drain-Bereiche durch Erhöhen der Dicke und des Dotierniveaus mittels Erhöhen der Source-/Drain-Bereiche **208a/208b**. Es ist jedoch unvermeidbar, dass die Dotierstoffe der Source-/Drain-Erweiterungsbereiche **206a/206b** in das Gebiet unmittelbar unter der Gate-Struktur **210** diffundieren, was zu einem Übergangsleckstrom über die Source-/Drain-Erweiterungsbereiche **206a/206b** führt.

[0008] Es sind auch bereits verschiedentlich MOS-Transistoren mit einem erhöhten Source-/Drain-Bereich vorgeschlagen worden, bei denen eine (Gate-Elektrode im Querschnitt U-förmig von einer an ihrer Unterseite und im Seitenbereich angrenzenden Gate-Dielektrikumschicht eingefasst ist und die Source-/Drain-Bereiche seitlich auf der der Gate-Elektrode gegenüberliegenden Seite an die Gate-Dielektrikumschicht anschließen, siehe beispielsweise die US 6.051.473 A und die US 2002/0072181 A1. In der 6.087.235 A ist ein MOS-Transistor mit erhöhter Source-/Drain-Struktur offenbart, bei dem unter Zwischenfügung je einer im Querschnitt L-förmigen Pufferschichtstruktur aus Oxid Abstandshalter an den Seitenwänden einer Gate-Elektrode und einer darunterliegenden Gate-Dielektrikumschicht sowie auf einem Teil eines darunterliegenden Source-/Drain-Bereichs gebildet sind, wobei sich seitlich an die Abstandshalter erhöhte Source-/Drain-Kontaktschichtstrukturen anschließen.

[0009] Der Erfindung liegt als technisches Problem die Bereitstellung eines Verfahrens zur Herstellung eines MOS-Transistors der eingangs genannten Art zugrunde, mit dem sich die oben erwähnten Schwierigkeiten ganz oder teilweise beheben lassen und sich insbesondere eine Diffusion von Dotierstoffen aus Source-/Drain-Erweiterungsbereichen in einen Kanalbereich ganz oder weitgehend vermeiden lässt.

[0010] Die Erfindung löst dieses Problem durch die Bereitstellung eines Verfahrens zur Herstellung eines MOS-Transistors mit erhöhter Source-/Drain-Struktur mit den Merkmalen des Anspruchs 1.

[0011] Vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

[0012] Insbesondere stellt die Erfindung ein Verfahren zur Herstellung eines Transistors bereit, der Source-/Drain-Erweiterungsbereiche beinhaltet, in denen die Diffusion von Dotierstoffen in den Kanalbe-

reich gemildert oder eliminiert ist. Dies wird teilweise durch Erhöhen der Source-/Drain-Erweiterungsbereiche in die Epitaxieschicht erreicht, die auf dem darunterliegenden Substrat ausgebildet ist. Dadurch wird die Kanallänge vergrößert, während eine Diffusion von Dotierstoffen in den Kanalbereich begrenzt wird.

[0013] Die Leistungscharakteristika des erfindungsgemäß hergestellten Transistors können durch Steuern der jeweiligen Geometrien (d.h. der Tiefen und Weiten) der Source-/Drain-Erweiterungsbereiche, der Source-/Drain-Bereiche, der Kanalbreite und eines optionalen Grabens, der in dem darunterliegenden Substrat ausgebildet ist, festgelegt werden. In den verschiedenen Ausführungsformen können sich die Source-/Drain-Bereiche und die Source-/Drain-Erweiterungsbereiche teilweise oder vollständig durch die Epitaxieschicht hindurch oder sogar in das darunterliegende Halbleitersubstrat hinein erstrecken.

[0014] Vorteilhafte, nachfolgend beschriebene Ausführungsformen der Erfindung sowie die zu deren besserem Verständnis oben erläuterten, herkömmlichen Ausführungsbeispiele sind in den Zeichnungen dargestellt. Hierbei zeigen:

[0015] **Fig. 1** eine schematische Querschnittansicht eines herkömmlichen MOS-Transistors,

[0016] **Fig. 2** eine schematische Querschnittansicht eines herkömmlichen MOS-Transistors mit erhöhter Source-/Drain-Struktur,

[0017] **Fig. 3** eine schematische Querschnittansicht eines MOS-Transistors mit erhöhter Source-/Drain-Struktur, der gemäß einer ersten Ausführungsform des erfindungsgemäßen Verfahrens herstellbar ist,

[0018] **Fig. 4** eine schematische Querschnittansicht eines MOS-Transistors mit erhöhter Source-/Drain-Struktur, der gemäß einer zweiten Ausführungsform des erfindungsgemäßen Verfahrens herstellbar ist,

[0019] **Fig. 5**, **Fig. 6** und **Fig. 7** schematische Querschnittansichten von erfindungsgemäß hergestellten MOS-Transistoren mit erhöhten Source-/Drain-Strukturen, wobei Source- und Drain-Bereiche und Source- und Drain-Erweiterungsbereiche verschiedene Tiefen aufweisen,

[0020] **Fig. 8A** und **Fig. 8B** schematische Querschnittansichten eines MOS-Transistors mit erhöhter Source-/Drain-Struktur, der gemäß der ersten bzw. zweiten Ausführungsform des erfindungsgemäßen Verfahrens herstellbar ist und auf einem Silicium-auf-Isolator(SOI)-Substrat ausgebildet ist,

[0021] [Fig. 9A](#) bis [Fig. 9L](#) schematische Querschnittansichten zur Veranschaulichung eines Verfahrens zur Herstellung des MOS-Transistors gemäß der ersten Ausführungsform der Erfindung und

[0022] [Fig. 10A](#) bis [Fig. 10C](#) schematische Querschnittansichten zur Veranschaulichung eines Verfahrens zur Herstellung des MOS-Transistors gemäß der zweiten Ausführungsform der Erfindung.

[0023] Eine erfindungsgemäß herstellbare MOS-Transistorstruktur **300** ist in [Fig. 3](#) dargestellt. Eine Gate-Elektrode **314** ist über einem Halbleitersubstrat **302** ausgebildet, um eine Gate-Elektrode **310** zu bilden. Ein Gate-Dielektrikum **312**, zum Beispiel aus Siliciumoxid (SiO_2), ist unter der Gate-Elektrode **314** und an einem unteren Bereich von Seitenwänden der Gate-Elektrode **314** ausgebildet. Eine Epitaxieschicht **305**, die zum Beispiel aus Silicium oder Silicium-Germanium besteht, ist auf dem Substrat **302** benachbart zu entgegengesetzten Seiten der Gate-Elektrode **310** ausgebildet. Ein isolierender Abstandshalter **318** ist mit entsprechenden Teilen an einem oberen Bereich der Seitenwände der Gate-Elektrode **310** ausgebildet. In der Epitaxieschicht **305** sind unter den Abstandshalterteilen **318** ein Source-Erweiterungsbereich **306a** bzw. ein Drain-Erweiterungsbereich **306b** ausgebildet. Ein Source-Bereich **308a** und ein Drain-Bereich **308b** sind auf den freiliegenden Teilen der Source-/Drain-Erweiterungsbereiche **306a**, **306b** ausgebildet, d.h. Teilen der Epitaxiebereiche, die nicht unter den Abstandshalterteilen **318** liegen. Der MOS-Transistor **300** kann des Weiteren optional Silicidbereiche **320a**, **320b** und **320c** beinhalten, um niederohmige elektrische Kontakte für die erhöhten Source-/Drain-Bereiche **306a**, **306b** und die Gate-Elektrode **314** bereitzustellen.

[0024] Der isolierende Abstandshalter **318** besteht zum Beispiel aus Siliciumnitrid (SiN). Außerdem kann eine optionale Siliciumoxidschicht **316** als Pufferschicht zwischen dem SiN -Abstandshalter **318** und den anderen Siliciumschichten, wie der Gate-Elektrode **314** und der Epitaxieschicht **305**, ausgebildet sein.

[0025] Bei einer weiteren erfindungsgemäß herstellbaren, in [Fig. 4](#) gezeigten Ausführungsform **400** ist die Gate-Elektrode **414** in einem Graben **417** oder einem vertieften Bereich eines Halbleitersubstrats **402** ausgebildet. In diesem Fall ist ein Gate-Dielektrikum **412** teilweise unter und am unteren Bereich der Seitenwände der Gate-Elektrode zum Beispiel auf dem Boden und an Seitenflächen des Gate-Grabens **417** des Halbleitersubstrats **402** und an Seitenwänden einer Epitaxieschicht **405** ausgebildet, wie gezeigt. Die Graben-Ausführungsform von [Fig. 4](#) sorgt für eine effektive Verlängerung des Kanalbereichs zwischen Source- und Drain-Erweiterungsbereichen **406a**, **406b**, die zusätzlich zu Source- und Drain-Bereichen **408a**, **408b** ausgebildet sind.

[0026] Die effektive Kanallänge der Transistorstruktur der Erfindung kann durch Steuern verschiedener Faktoren variiert werden, wie der Dicke der Epitaxieschicht **305** bzw. **405**, der Tiefe der Source-/Drain-Erweiterungsbereiche **306a**, **306b** bzw. **406a**, **406b**, der Tiefe der Source-/Drain-Bereiche **308a**, **308b** bzw. **408a**, **408b** und der Tiefe des Gate-Grabens **417**.

[0027] In den exemplarischen Ausführungsformen der [Fig. 3](#) und [Fig. 4](#) erstrecken sich die Tiefen der Source-/Drain-Bereiche **308a**, **308b** bzw. **408a**, **408b** in das Halbleitersubstrat **302** bzw. **402** hinein, während sich die Source-/Drain-Erweiterungsbereiche **306a**, **306b** bzw. **406a**, **406b** nur in einen oberen Teil der Epitaxieschicht **305** bzw. **405** mit Abstand über dem Halbleitersubstrat **302** bzw. **402** erstrecken, wie gezeigt. Alternativ können sich auch die Tiefen der Source-/Drain-Erweiterungsbereiche **306a**, **306b** bzw. **406a**, **406b** in das Halbleitersubstrat **302** bzw. **402** hinein erstrecken (nicht gezeigt). Bei einem in [Fig. 5](#) gezeigten Ausführungsbeispiel **500** erstrecken sich Source-/Drain-Bereiche **508a**, **508b** bis zu der Grenze zwischen Epitaxieschicht **505** und Halbleitersubstrat **502**, während sich Source-/Drain-Erweiterungsbereiche **506a**, **506b** nur über einen oberen Teil der Epitaxieschicht **505** erstrecken. Bei einem in [Fig. 6](#) gezeigten Ausführungsbeispiel **600** erstrecken sich Source-/Drain-Bereiche **608a**, **608b** bis zu der Grenze zwischen Epitaxieschicht **605** und Halbleitersubstrat **602**, und Source-/Drain-Erweiterungsbereiche **606a**, **606b** erstrecken sich ebenfalls bis zu der Grenze zwischen der Epitaxieschicht **605** und dem Halbleitersubstrat **602**. Bei einem in [Fig. 7](#) gezeigten Ausführungsbeispiel **700** erstrecken sich Source-/Drain-Bereiche **708a**, **708b** nur über einen oberen Teil einer Epitaxieschicht **705** mit Abstand zum Halbleitersubstrat **702**, und Source-/Drain-Erweiterungsbereiche **706a**, **706b** erstrecken sich ebenfalls nur über einen oberen Teil der Epitaxieschicht **705** bis zu einer anderen Tiefe als die Source-/Drain-Bereiche **708a**, **708b**.

[0028] Durch Steuern der Kanallänge können verschiedene Bauelementcharakteristika erreicht werden, und der Kurzkanaleffekt kann verhindert werden, ungeachtet der Notwendigkeit für ein Herunterskalieren der Bauelementabmessung. In einem herkömmlichen Transistor ist die Kanallänge primär durch die Gate-Länge bestimmt; in dem Transistor der Erfindung ist die Kanallänge hingegen nicht nur von der Gate-Länge, sondern auch von der Dicke der Epitaxieschicht, der Dicke der Source-/Drain-Bereiche und der Tiefe des Gate-Grabens abhängig.

[0029] Da sich unter Bezugnahme auf [Fig. 3](#) gemäß der Erfindung die Störstellen der Source-/Drain-Erweiterungsbereiche **306a/306b** in der Epitaxieschicht befinden, diffundieren sie im Gegensatz zu den herkömmlichen Ausführungsformen selbst nach einer

Wärmebehandlung des Siliciumsubstrats **302** nicht in das Gebiet unter der Gate-Elektrode **310**. Auf diese Weise wird eine Verkürzung der Kanallänge relativ zu der Gate-Länge verhindert. Des Weiteren kann der Kanal variabel verlängert werden, indem er sich längs des unteren Seitenwandteils der Gate-Elektrode und des Bereichs erstreckt, der sich unmittelbar unter der Gate-Elektrode befindet. Dazu wird die Dicke der Epitaxieschicht **305**, die Tiefe der Source-/Drain-Erweiterungsbereiche **306a**, **306b** in der Epitaxieschicht und/oder die Tiefe des Gate-Grabens **317** in dem Halbleitersubstrat entsprechend gesteuert. Auf diese Weise kann ein Kanal mit ausreichender Länge in einer Transistorstruktur erzielt werden, die eine minimierte Gate-Länge aufweist.

[0030] Gemäß der Erfindung kann die Konzentrationsverteilung von Störstellen in dem Kanalbereich zwischen dem Source-Erweiterungsbereich und dem Drain-Erweiterungsbereich präzise gesteuert werden. Demzufolge kann die resultierende Schwellenspannung eines MOS-Transistors genau vorhergesagt werden, so dass ein Halbleiterbauelement mit optimalen elektrischen Eigenschaften erzielt werden kann.

[0031] Ein Anstieg der Schwellenspannung des MOS-Transistors kann zum Beispiel durch das Bilden der Source-/Drain-Bereiche **308a**, **308b** in der Epitaxieschicht **305** mit niedrigen Störstellenkonzentrationen unterdrückt werden, wodurch eine Kompatibilität mit einer Abnahme der Leistungsversorgungsspannung des Halbleiterbauelements erzielt wird.

[0032] Das Material des Halbleitersubstrats ist nicht auf Silicium beschränkt, sondern kann jegliches einer Anzahl anderer Halbleitermaterialien oder -konfigurationen beinhalten, einschließlich Silicium-auf-Isolator (SOI), SiGe, SiGe-auf-Isolator (SGOI), gestrecktes Silicium (Silicium-auf-SiGe), gestrecktes Silicium-auf-Isolator und GaAs. Eine schematische Querschnittansicht von erfindungsgemäß herstellbaren Ausführungsformen, bei denen ein MOS-Transistor **800** auf einem SOI-Substrat ausgebildet ist, sind in den [Fig. 8A](#) und [Fig. 8B](#) gezeigt. In der Ausführungsform von [Fig. 8A](#) beinhaltet ein auf einem SOI-Substrat **802** ausgebildeter MOS-Transistor **800** eine Gate-Elektrode **810**, die auf dem SOI-Substrat **802** ausgebildet ist, wie in der Ausführungsform von [Fig. 3](#). In der Ausführungsform von [Fig. 8B](#) ist bei dem auf dem SOI-Substrat **802** ausgebildeten MOS-Transistor **800** die Gate-Elektrode **810** in einem Graben **817** ausgebildet, der in dem SOI-Substrat **802** ausgebildet ist, wie in der Ausführungsform von [Fig. 4](#). Auf diese Weise sind die Transistoren **700**, **800** vollständig kompatibel mit SOI-Fertigungsprozessen. Somit kann die Dicke des Kanalstörstellenbereichs in dem Transistor aufrechterhalten oder dramatisch verringert werden, während die Übergangstiefen der resultierenden angehobenen Sour-

ce-/Drainbereiche vergrößert werden.

[0033] In einem SOI-Bauelement wird die Tiefe der Source-/Drainbereiche flach, da die Dicke des Oberflächensiliciums relativ gering ist. Demzufolge nimmt der resultierende Widerstandswert des Source-/Drainbereichs zu. Die Erfindung vermindert dieses Problem, da die Source-/Drainbereiche dank der Epitaxieschicht eine adäquate Tiefe aufweisen.

[0034] Das Gate-Dielektrikum **312**, **412** kann aus einem Siliciumoxidfilm gebildet werden, wie vorstehend angegeben, oder alternativ aus Siliciumoxynitrid (SiON). Alternativ kann ein Film verwendet werden, der aus einem Material mit hoher Dielektrizitätskonstante besteht, wie Tantaloxid. Die Gate-Dielektrikumschicht kann zum Beispiel in einem Depositionsprozess gebildet werden, oder alternativ in einem thermischen Oxidationsprozess. Für die Gate-Elektrode kann zum Beispiel ein Silicium-Germanium-Film, ein Silicidfilm oder ein Metallfilm anstelle des Polysiliciumfilms verwendet werden. Optional kann ein Laminatfilm der vorstehenden Materialien verwendet werden.

[0035] Vorstehend wurde eine erste Ausführungsform unter Bezugnahme auf [Fig. 3](#) gezeigt und beschrieben. Ein erfindungsgemäßes Verfahren zur Herstellung eines Halbleiterbauelements gemäß der ersten Ausführungsform wird nunmehr unter Bezugnahme auf die [Fig. 9A](#) bis [Fig. 9L](#) beschrieben.

[0036] Am Anfang wird bezugnehmend auf [Fig. 9A](#) ein Elementisolationsfilm **304** in einem Siliciumsubstrat **302** zum Beispiel durch ein Isolationsverfahren mit einem flachen Graben gebildet. Als nächstes werden Störstellen in das Siliciumsubstrat **302** dotiert, um so in nicht gezeigter Weise ein Muldengebiet und ein Kanalstörstellengebiet zu erzeugen. Als nächstes werden ein Siliciumoxidfilm **332** und ein Siliciumnitridfilm **334** sequentiell auf dem Siliciumsubstrat **302** gebildet und einem anisotropen Ätzzvorgang unterworfen, um eine Dummy-Gate-Elektrode **330** zu erzeugen.

[0037] Als nächstes wird bezugnehmend auf [Fig. 9B](#) eine Epitaxieschicht **305** selektiv auf dem Substrat **302** seitlich der Dummy-Gate-Elektrode **330** aufgewachsen. Es kann zum Beispiel selektives epitaktisches Aufwachsen (SEG) zur Erzeugung der Epitaxieschicht **305** derart verwendet werden, dass diese auf der Oberfläche des Siliciumsubstrats und nicht auf der Siliciumnitridschicht **334** oder den Oxidgrabenisolationselementen **304** gebildet wird. Die Epitaxieschicht **305** kann in diesem Stadium optional dotiert werden, um die Source-/Drain-Erweiterungsbereiche zu bilden, oder alternativ undotiert bleiben. In einer bevorzugten Ausführungsform folgt der Bildung der Gate-Elektrode eine Dotierung der Source-/Drain-Erweiterungsbereiche, wie nachstehend

unter Bezugnahme auf [Fig. 9I](#) beschrieben. Wenn die Epitaxieschicht in diesem Stadium dotiert wird, wird auf der Epitaxieschicht **305** eine nicht gezeigte, optionale Kontaktstellenoxidschicht als Pufferschicht bereitgestellt, um die Epitaxieschicht während der Implantation von Dotierstellen zu schützen. Die optionale Kontaktstellenoxidschicht kann durch thermische Oxidation aufgewachsen werden.

[0038] Wie in [Fig. 9C](#) gezeigt, wird auf der gesamten Oberfläche der resultierenden Struktur von [Fig. 9B](#) ein Siliciumnitridfilm **337** gebildet. Als nächstes wird ein Siliciumoxidfilm **338** zum Beispiel durch ein CVD-Verfahren gebildet. Anschließend wird der Siliciumoxidfilm **338** zum Beispiel einer chemisch-mechanischen Polierbehandlung oder einer Rückätzbehandlung der gesamten Oberfläche unterworfen, um so die Oberfläche des Siliciumoxidfilms **338** zu planarisieren und die Oberfläche des Siliciumnitrids **334** freizulegen, wie in [Fig. 9D](#) gezeigt.

[0039] Bezugnehmend auf [Fig. 9E](#) wird die Dummy-Gate-Elektrode **330** einschließlich des Siliciumnitridfilms **334** und des Siliciumoxidfilms **332** entfernt, wodurch ein Teil der Oberfläche des Halbleitersubstrats **302** freigelegt wird. Da die Oberfläche des Halbleitersubstrats **302** über dem Kanalbereich freigelegt ist, kann optional der Kanalstörstellenbereich zu diesem Zeitpunkt gebildet werden, statt dass der Kanalstörstellenbereich während der Bildung des Muldenbereichs gebildet wird, wie vorstehend unter Bezugnahme auf [Fig. 9A](#) beschrieben. Auf diese Weise kann der Kanalstörstellenbereich in dem Halbleitersubstrat **302** in einem Bereich gebildet werden, der unter dem Bereich der jetzt entfernten Dummy-Gate-Struktur lokalisiert ist. Dies ist für die Ausführungsform von [Fig. 4](#) besonders vorteilhaft, die einen in dem Halbleitersubstrat ausgebildeten Graben und einen unter dem Graben ausgebildeten Kanalbereich beinhaltet.

[0040] Bezugnehmend auf [Fig. 9F](#) wird auf dem freigelegten Kanalstörstellenbereich und den Seitenwänden der Epitaxieschicht **305** eine Gate-Dielektrikumschicht **312** zum Beispiel aus einem Siliciumoxidfilm gebildet. Die Gate-Dielektrikumschicht **312** kann unter Verwendung eines thermischen Oxidationsprozesses aus Siliciumoxid gebildet werden, oder es kann alternativ eine Deposition eines Materials mit hoher Dielektrizitätskonstante verwendet werden, wie Siliciumoxynitrid (SiON), Aluminiumoxid, HfO₂ oder Tantaloxid. Als nächstes wird eine Gate-Elektrode **314** zum Beispiel aus einem Polysiliciumfilm auf dem Gate-Dielektrikum **312** aufgebracht. Das Material der Gate-Elektrode **314** kann alternativ zum Beispiel einen Silicium-Germanium-Film, einen Silicidfilm, einen Wolframfilm, einen TiN-Film oder einen Metallfilm oder Laminate derselben umfassen. Unter Bezugnahme auf [Fig. 9G](#) wird als nächstes der Polysiliciumfilm zum Beispiel durch eine chemisch-me-

chanische Polierbehandlung oder eine Rückätzbehandlung der gesamten Oberfläche planarisiert, um den oberen Teil der Gate-Dielektrikumschicht **312** zu entfernen und den Siliciumoxidfilm **338** freizulegen. Als nächstes werden bezugnehmend auf [Fig. 9H](#) die Siliciumoxidschicht **338** und die Siliciumnitridschicht **337** zum Beispiel durch einen Nassätzprozess entfernt, um eine Gate-Struktur **310** zu bilden.

[0041] Als nächstes werden, wie in [Fig. 9I](#) gezeigt, Störstellen mit einem Leitfähigkeitstyp, der jenem des Siliciumsubstrats entgegengesetzt ist, in die Epitaxieschicht **305** implantiert, um so einen Source- und einen Drain-Erweiterungsbereich **306a**, **306b** zu erzeugen. Ein Kontaktstellenoxidfilm **316**, zum Beispiel aus Siliciumoxidmaterial, der durch thermische Oxidation oder Deposition gebildet wird, kann optional auf der Epitaxieschicht **305** als Pufferschicht gebildet werden, um die Oberfläche der Epitaxieschicht **305** vor einer Schädigung während des Implantationsprozesses zu schützen.

[0042] Bezugnehmend auf [Fig. 9J](#) wird ein Siliciumnitridfilm (SiN) bereitgestellt, um das Substrat zu schützen, das dann einem anisotropen Ätzvorgang oder alternativ einem Trockenätzprozess unterworfen wird, um so Abstandshalter **318** an den oberen Seitenwänden der Gate-Elektrode **310** zu erzeugen. Die Siliciumoxid-Pufferschicht **316** verbleibt nach dem anisotropen Ätzvorgang zwischen dem SiN-Abstandshalter **318** und den anderen Siliciumschichten, wie der Gate-Elektrode **314** und der Epitaxieschicht **305**.

[0043] Bezugnehmend auf [Fig. 9K](#) werden unter Verwendung der Gate-Elektrode **310** und der Abstandshalter **318** als Maske Störstellen mit dem gleichen Leitfähigkeitstyp wie jenem der Source-/Drain-Erweiterungsbereiche **306a**, **306b** in die Epitaxieschicht **305** implantiert, um so einen Source-Bereich **308a** und einen Drain-Bereich **308b** zu bilden. Zu diesem Zeitpunkt verbleiben die Source-/Drain-Erweiterungsbereiche **306a**, **306b** unter den Abstandshaltern **318**, und die Source-/Drain-Bereiche **308a**, **308b** werden neben den Abstandshaltern **318** in der Epitaxieschicht gebildet. Die Tiefe der Source- und Drain-Bereiche **308a**, **308b** wird gemäß dem Dotierprozess zum Beispiel entsprechend der Konzentration von Störstellen und der Länge der Einwirkungszeit gesteuert.

[0044] Bezugnehmend auf [Fig. 9L](#) wird ein Kobaltfilm zum Beispiel durch ein Sputterverfahren erzeugt und dann einer Wärmebehandlung bei einer Temperatur im Bereich zwischen 500°C und 1000°C in einer Stickstoffatmosphäre oder einer Argonatmosphäre unterworfen, um so zu ermöglichen, dass der Kobaltfilm mit dem Silicium in der Epitaxieschicht **305** und der Gate-Elektrode **310** reagiert, und dadurch Kobalt-silicidfilme **320a**, **320b** und **320c** in einer selbstjus-

tierten Weise auf freigelegten Oberflächen der Source-/Drain-Bereiche **308a**, **308b** beziehungsweise der Gate-Elektrode **314** zu bilden. Der nicht reagierte Kobaltfilm wird dann unter Verwendung herkömmlicher Mittel entfernt. Alternativ können die Silicidfilme andere geeignete Materialien beinhalten, die Co, Ni, W, Ti und Kombinationen derselben umfassen.

[0045] Auf diese Weise sind durch Verschieben der Bildung der Source-/Drain-Erweiterungsbereiche **306a**, **306b** auf einen Zeitpunkt nach der Bildung der Gate-Elektrode **314** zur Herstellung der Transistorstruktur der Erfindung weniger Schritte erforderlich. Alternativ können die Source-/Drain-Erweiterungsbereiche **306a**, **306b**, wie vorstehend erwähnt, in dem in **Fig. 9B** gezeigten Schritt unter Verwendung der Dummy-Gate-Struktur **330** als Maske erzeugt werden. Diese Vorgehensweise erfordert jedoch zusätzliche Schritte.

[0046] Eine zweite Ausführungsform der Erfindung wird nun unter Bezugnahme auf **Fig. 4** beschrieben. In der zweiten Ausführungsform ist die Gate-Elektrode **414** in einem Graben oder einem vertieften Bereich **417** des Halbleitersubstrats **402** gebildet. Weitere Komponenten der Transistorkonfiguration der zweiten Ausführungsform sind jenen der vorstehenden ersten Konfiguration ähnlich, und daher wird auf deren wiederholte Beschreibung verzichtet. Eine jeweilige Komponente von **Fig. 4** mit einem Bezugszeichen der Form "4xx" dient dem gleichen Zweck wie die vorstehend beschriebene Komponente von **Fig. 3** mit dem entsprechenden Bezugszeichen der Form "3xx", wobei "xx" für einen restlichen Bezugszeichen teil steht.

[0047] Ein erfindungsgemäßes Verfahren zur Herstellung eines Halbleiterbauelements gemäß der zweiten Ausführungsform wird nunmehr unter Bezugnahme auf die **Fig. 10A** bis **Fig. 10C** beschrieben. Die Prozesse, die dem in **Fig. 10A** gezeigten Schritt vorausgehen, sind identisch zu jenen, die in den **Fig. 9A** bis **Fig. 9D** vorstehend unter Bezugnahme auf die erste Ausführungsform gezeigt sind.

[0048] Bezugnehmend auf **Fig. 10A** wird die Dummy-Gate-Elektrode einschließlich des Siliciumnitridfilms und des Siliciumoxidfilms entfernt, wobei ein Teil der Oberfläche des Halbleitersubstrats **402** freigelegt wird. Die freigelegte Oberfläche des Halbleitersubstrats wird des Weiteren einem Ätzvorgang unterworfen, um einen Graben **417** oder vertieften Bereich zu bilden. Die Tiefe des Grabens **417** ist gemäß der gewünschten Kanallänge des resultierenden Bauelements festgelegt; je tiefer der Graben **417**, desto länger die effektive Kanallänge. Im Allgemeinen beträgt die Tiefe des Grabens **417** weniger als 50nm.

[0049] Da die Oberfläche des Halbleitersubstrats über dem Kanalbereich freigelegt ist, kann, wie vor-

stehend erwähnt, der Kanalstörstellenbereich optional zu diesem Zeitpunkt gebildet werden, statt den Kanalstörstellenbereich während der Bildung des Muldenbereichs zu erzeugen, wie vorstehend unter Bezugnahme auf **Fig. 9A** beschrieben. Auf diese Weise kann der Kanalstörstellenbereich in dem Halbleitersubstrat in einem Gebiet gebildet werden, das auf die Fläche unter dem Gebiet der nun entfernten Dummy-Gate-Struktur lokalisiert ist. Dies ist für die vorliegende Ausführungsform besonders vorteilhaft, die einen in dem Halbleitersubstrat ausgebildeten Graben und einen unter dem Graben ausgebildeten Kanalbereich beinhaltet, da der Kanalbereich nicht vollständig definiert ist, bis der Graben gebildet ist.

[0050] Bezugnehmend auf **Fig. 10B** wird eine Gate-Dielektriumschicht **412** zum Beispiel aus einem Siliciumoxidfilm auf dem freigelegten Kanalstörstellenbereich, den Seitenwänden des Grabens **417** und den Seitenwänden der Epitaxieschicht **405** gebildet. Wie vorstehend beschrieben, kann die Gate-Dielektriumschicht **412** unter Verwendung eines thermischen Oxidationsprozesses aus Siliciumoxid gebildet werden, oder es kann alternativ eine Deposition eines Materials mit hoher Dielektrizitätskonstante verwendet werden, wie Siliciumoxynitrid (SiON), Aluminiumoxid, HfO₂ oder Tantaloxid. Als nächstes wird eine Gate-Elektrode **414** zum Beispiel aus einem Polysiliciumfilm auf der Gate-Dielektriumschicht **412** aufgebracht. Das Material der Gate-Elektrode **414** kann alternativ zum Beispiel einen Silicium-Germanium-Film, einen Silicidfilm, einen Wolframfilm, einen TiN-Film oder einen Metallfilm oder Laminate derselben umfassen. Unter Bezugnahme auf **Fig. 10C** wird der Polysiliciumfilm als nächstes zum Beispiel durch eine chemisch-mechanische Polierbehandlung oder eine Rückätzbehandlung der gesamten Oberfläche planarisiert, um den oberen Teil der Gate-Dielektriumschicht **412** zu entfernen und den Siliciumoxidfilm **438** freizulegen.

[0051] Danach sind die Prozesse identisch mit jenen, die unter Bezugnahme auf die in der ersten Ausführungsform beschriebenen **Fig. 9H** bis **Fig. 9L** gezeigt sind.

[0052] Die Leistungsfähigkeitscharakteristika des resultierenden Transistors können durch Steuern der jeweiligen Geometrien (d.h. Tiefen und Breiten) der Source-/Drain-Erweiterungsbereiche, der Source-/Drain-Bereiche, der Kanalbreite und des optionalen Grabens präzise festgelegt werden. In den verschiedenen Ausführungsformen können sich die Source-/Drain-Bereiche und die Source-/Drain-Erweiterungsbereiche teilweise oder vollständig durch die Epitaxieschicht oder sogar in das darunterliegende Halbleitersubstrat erstrecken.

Patentansprüche

1. Verfahren zur Herstellung eines MOS-Transistors mit erhöhter Source-/Drain-Struktur, gekennzeichnet durch folgende Schritte:

- Bereitstellen einer Opfer-Gate-Struktur (**330**) auf einem Substrat (**302**),
- Bereitstellen einer Epitaxieschicht (**305**) auf dem Substrat benachbart zu der Opfer-Gate-Struktur,
- Bereitstellen einer ersten isolierenden Schicht (**337**) und einer zweiten isolierenden Schicht (**338**) auf der Epitaxieschicht benachbart zu der Opfer-Gate-Struktur,
- Entfernen der Opfer-Gate-Struktur, um einen Teil des Substrats und Wandbereiche der Epitaxieschicht freizulegen,
- Bereitstellen einer Gate-Dielektrikumschicht (**312**) auf dem freigelegten Teil des Substrats und entlang der Wandbereiche der Epitaxieschicht,
- Bereitstellen einer Gate-Elektrode (**314**) auf der Gate-Dielektrikumschicht,
- Entfernen der zweiten isolierenden Schicht und der ersten isolierenden Schicht,
- Dotieren der Epitaxieschicht mit Störstellen unter Verwendung der Gate-Elektrode als Maske, um Source-/Drain-Erweiterungsbereiche (**306a**, **306b**) in der Epitaxieschicht benachbart zur Gate-Dielektrikumschicht zu bilden,
- Bereitstellen von isolierenden Abstandshaltern (**318**) an Seitenwänden eines oberen Bereichs der Gate-Elektrode und
- Dotieren der Epitaxieschicht mit Störstellen unter Verwendung der Gate-Elektrode und der isolierenden Abstandshalter als Maske, um tiefe Source-/Drain-Bereiche (**308a**, **308b**) benachbart zu den Source-/Drain-Erweiterungsbereichen zu bilden.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Source-/Drain-Erweiterungsbereiche durch Dotieren der Epitaxieschicht mit Störstellen vor der Bereitstellung eines Siliciumnitridfilms und eines Siliciumoxidfilms auf der Epitaxieschicht gebildet werden.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass das Bereitstellen der Opfer-Gate-Struktur eine sequentielle Bildung eines Siliciumoxidfilms und eines Siliciumnitridfilms sowie eine Strukturierung der sequentiell gebildeten Filme beinhaltet, um die Opfer-Gate-Struktur zu erzeugen.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass das Substrat von einem Typ ist, der aus der Gruppe ausgewählt ist, die aus Silicium, Silicium-auf-Isolator (SOI), SiGe, SiGe-auf-Isolator (SGOI), gestrecktem Silicium, gestrecktem Silicium-auf-Isolator und GaAs besteht.

5. Verfahren nach einem der Ansprüche 1 bis 4, gekennzeichnet durch das Bilden einer Kontaktstel-

lenoxidschicht (**320a**, **320b**) auf der Epitaxieschicht.

6. Verfahren nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass die Bereitstellung der ersten isolierenden Schicht und der zweiten isolierenden Schicht auf der Epitaxieschicht benachbart zu der Opfer-Gate-Struktur folgende Schritte umfasst:

- sequentielles Bereitstellen eines Siliciumnitridfilms und eines Siliciumoxidfilms auf der Epitaxieschicht und der Opfer-Gate-Struktur und
- Planarisieren des Siliciumnitridfilms, des Siliciumoxidfilms und der Opfer-Gate-Struktur, um eine Oberseite der Opfer-Gate-Struktur freizulegen.

7. Verfahren nach Anspruch 6, dadurch gekennzeichnet, dass das Planarisieren ein Planarisieren durch einen chemisch-mechanischen Polierprozess (CMP) oder eine Rückätzbehandlung beinhaltet.

8. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass das Entfernen der Opfer-Gate-Struktur ein Ätzen der Opfer-Gate-Struktur beinhaltet, um eine Oberseite des Substrats freizulegen.

9. Verfahren nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass das Entfernen der Opfer-Gate-Struktur ein Ätzen der Opfer-Gate-Struktur beinhaltet, um eine Vertiefung in dem Substrat zu erzeugen.

10. Verfahren nach Anspruch 9, dadurch gekennzeichnet, dass das Bereitstellen der Gate-Dielektrikumschicht ein Bereitstellen der Gate-Dielektrikumschicht auf einem Boden und an Seitenwänden der Vertiefung des Substrats beinhaltet.

11. Verfahren nach Anspruch 9 oder 10, dadurch gekennzeichnet, dass die Vertiefung eine Tiefe von weniger als 50nm aufweist.

12. Verfahren nach einem der Ansprüche 1 bis 11, gekennzeichnet durch ein Dotieren des freigelegten Bereichs des Substrats mit Störstellen nach der Entfernung der Opfer-Gate-Struktur, um einen Kanalbereich zu erzeugen.

13. Verfahren nach einem der Ansprüche 1 bis 11, gekennzeichnet durch ein Dotieren eines Kanalbereichs des Substrats mit Störstellen vor der Bereitstellung der Opfer-Gate-Struktur auf dem Substrat.

14. Verfahren nach einem der Ansprüche 1 bis 13, dadurch gekennzeichnet, dass die Gate-Dielektrikumschicht ein Material beinhaltet, das aus der Gruppe von Materialien ausgewählt ist, die aus Siliciumoxidfilm, Siliciumoxynitrid (SiON), Tantaloxid und einem Material mit hoher Dielektrizitätskonstante besteht.

15. Verfahren nach einem der Ansprüche 1 bis 14, dadurch gekennzeichnet, dass die Bereitstellung der Gate-Dielektrikumschicht eine Bildung der Gate-Dielektrikumschicht unter Verwendung eines Depositions- oder eines thermischen Oxidationsprozesses beinhaltet.

16. Verfahren nach einem der Ansprüche 1 bis 15, dadurch gekennzeichnet, dass die Bereitstellung der Gate-Elektrode folgende Schritte umfasst:
 – Bilden eines Films aus einem Gate-Elektrodenmaterial auf der Gate-Dielektrikumschicht und der zweiten isolierenden Schicht und
 – Planarisieren des Gate-Elektrodenmaterialfilms und der zweiten isolierenden Schicht.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, dass das Planarisieren ein Planarisieren durch einen chemisch-mechanischen Polierprozess (CMP) oder eine Rückätzbehandlung beinhaltet.

18. Verfahren nach einem der Ansprüche 1 bis 17, dadurch gekennzeichnet, dass die Gate-Elektrode ein Material beinhaltet, das aus der Gruppe von Materialien ausgewählt ist, die aus Polysiliciumfilm, Silicium-Germanium-Film, Silicidfilm, Metallfilm und Laminatfilm besteht.

19. Verfahren nach einem der Ansprüche 1 bis 18, dadurch gekennzeichnet, dass das Entfernen der zweiten isolierenden Schicht und der ersten isolierenden Schicht eine Entfernung unter Verwendung eines Nassätzprozesses beinhaltet.

20. Verfahren nach einem der Ansprüche 1 bis 19, dadurch gekennzeichnet, dass das Bereitstellen von isolierenden Abstandshaltern an Seitenwänden eines oberen Bereichs der Gate-Elektrode folgende Schritte umfasst:
 – Bereitstellen eines Siliciumnitridfilms auf der zuvor resultierenden Struktur und
 – anisotropes Ätzen des Siliciumnitridfilms.

21. Verfahren nach Anspruch 20, gekennzeichnet durch das Bereitstellen einer Siliciumoxid-Pufferschicht auf der resultierenden Struktur, bevor der Siliciumnitridfilm bereitgestellt wird.

22. Verfahren nach einem der Ansprüche 1 bis 21, gekennzeichnet durch die Bildung eines Silicidfilms auf den Source-/Drain-Bereichen und der Gate-Elektrode.

23. Verfahren nach Anspruch 22, dadurch gekennzeichnet, dass der Silicidfilm ein Material beinhaltet, das aus einer Gruppe ausgewählt ist, die aus Co, Ni, W, Ti und Kombinationen derselben besteht.

24. Verfahren nach einem der Ansprüche 1 bis

23, dadurch gekennzeichnet, dass die Tiefe der Source-/Drain-Erweiterungsbereiche geringer als die Tiefe der tiefen Source-/Drain-Bereiche ist.

25. Verfahren nach einem der Ansprüche 1 bis 24, dadurch gekennzeichnet, dass sich die tiefen Source-/Drain-Bereiche in das Substrat hinein erstrecken.

26. Verfahren nach einem der Ansprüche 1 bis 25, dadurch gekennzeichnet, dass sich die Source-/Drain-Erweiterungsbereiche in das Substrat hinein erstrecken.

Es folgen 12 Blatt Zeichnungen

FIG. 1 (STAND DER TECHNIK)

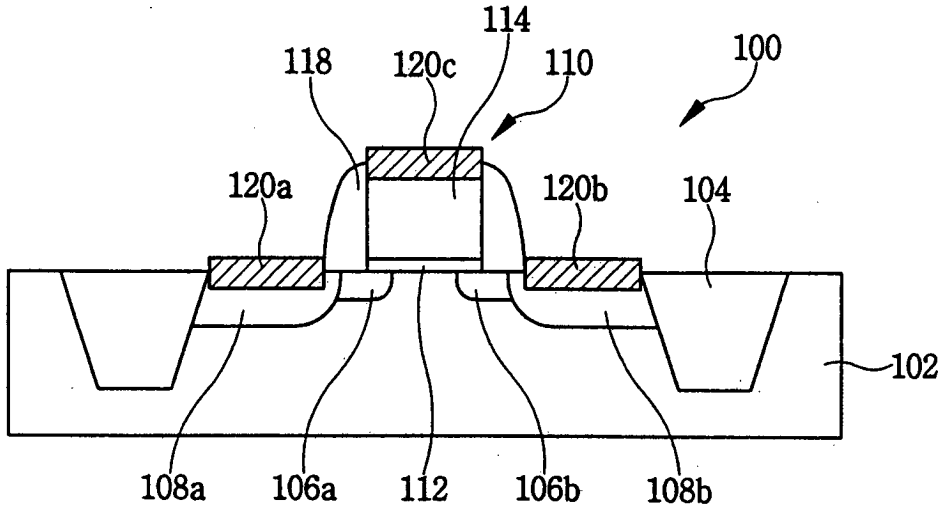


FIG. 2 (STAND DER TECHNIK)

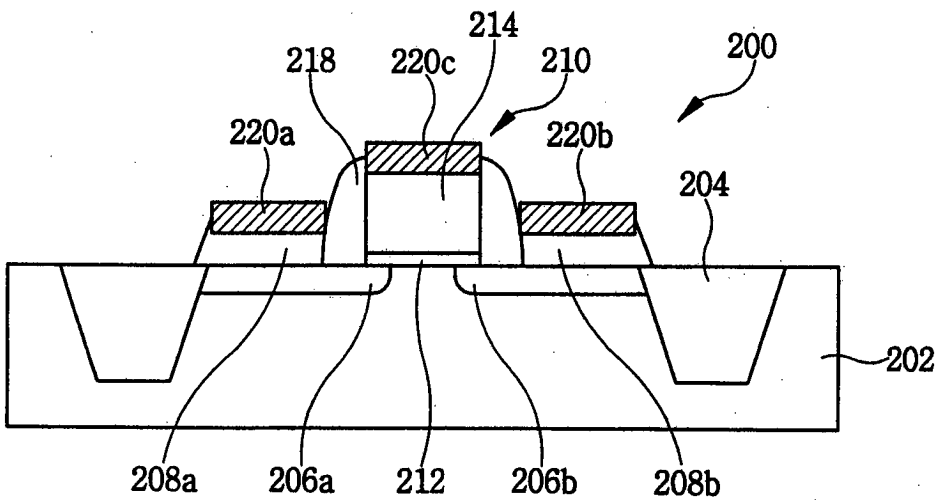


FIG. 3

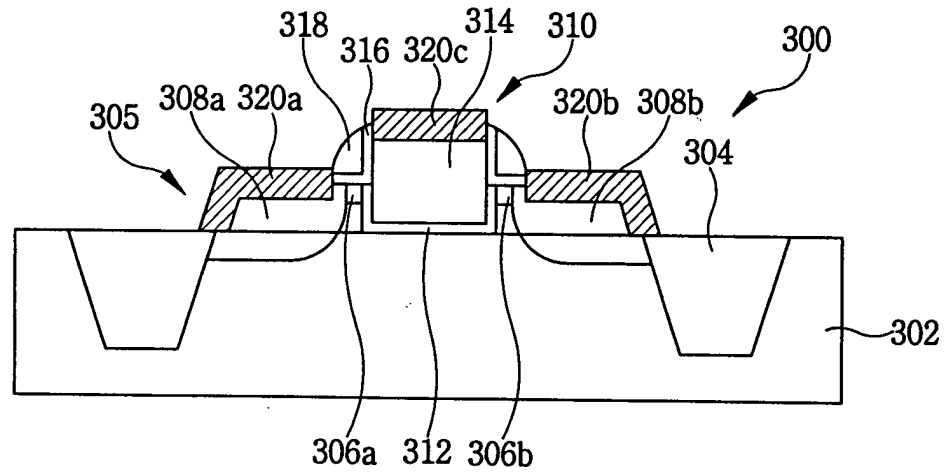


FIG. 4

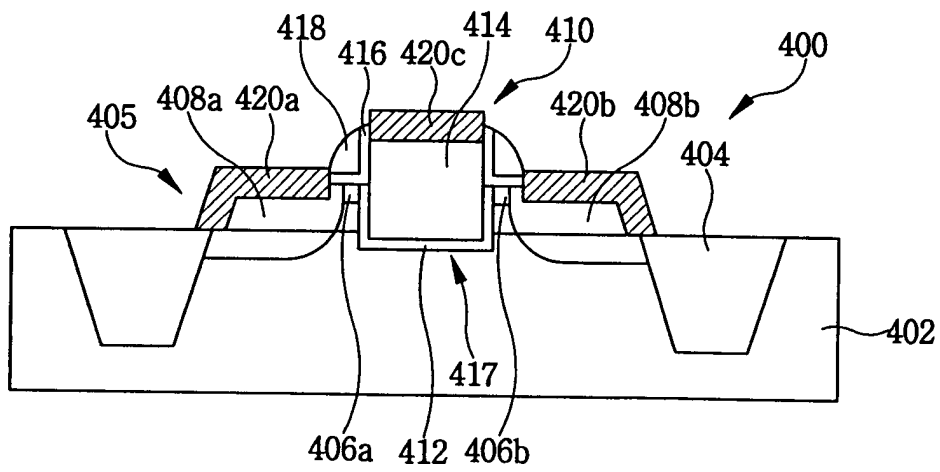


FIG. 5

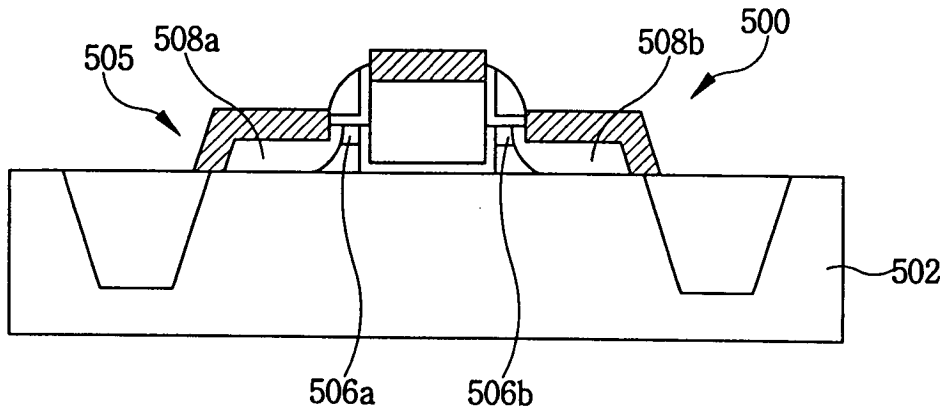


FIG. 6

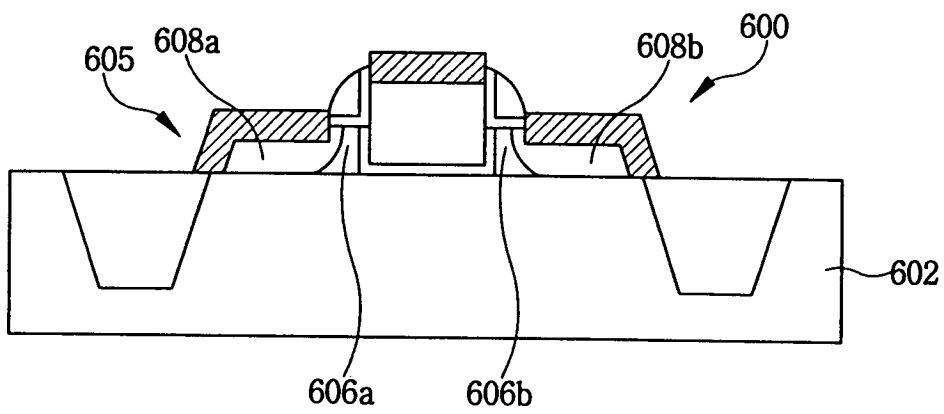


FIG. 7

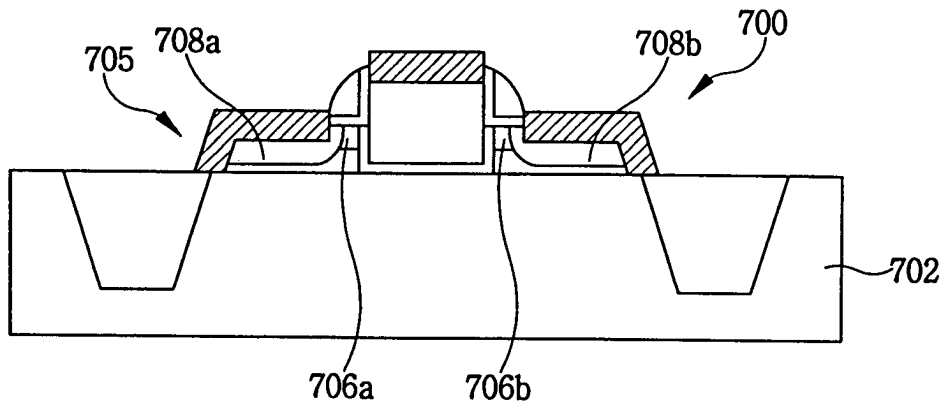


FIG. 8A

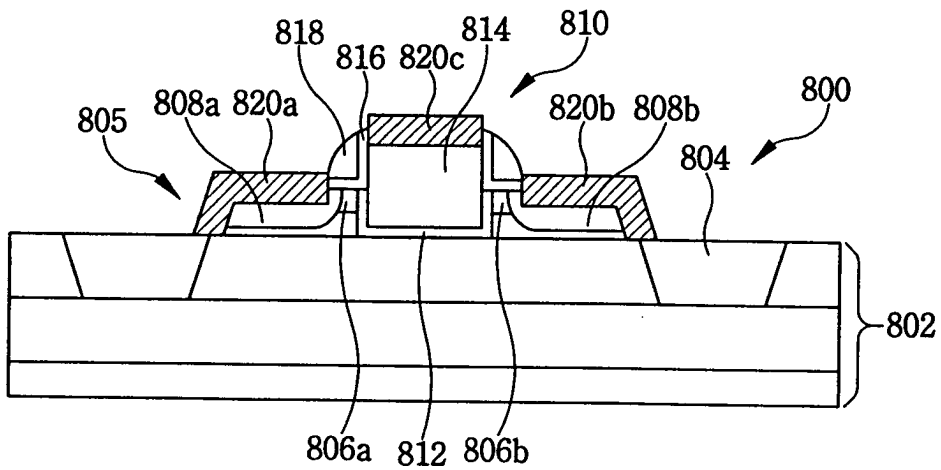


FIG. 8B

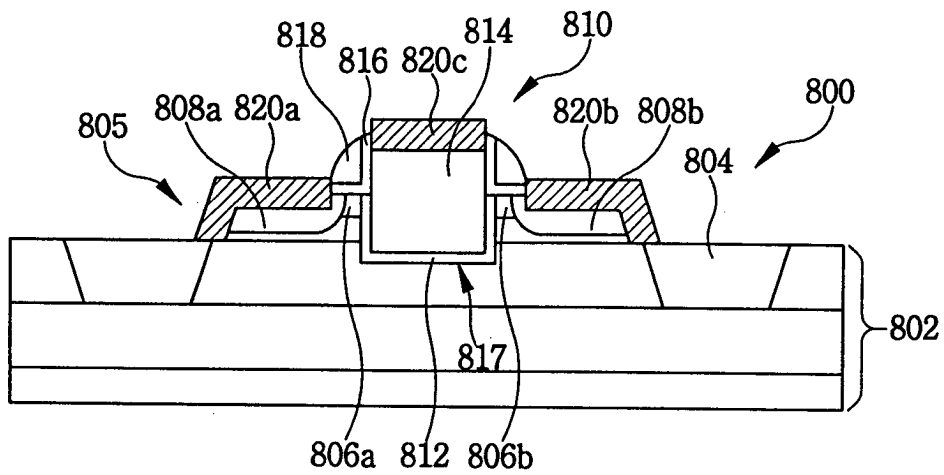


FIG. 9A

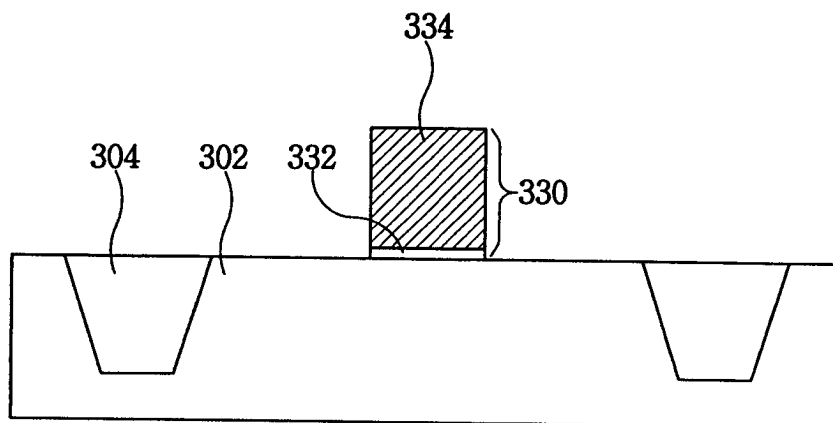


FIG. 9B

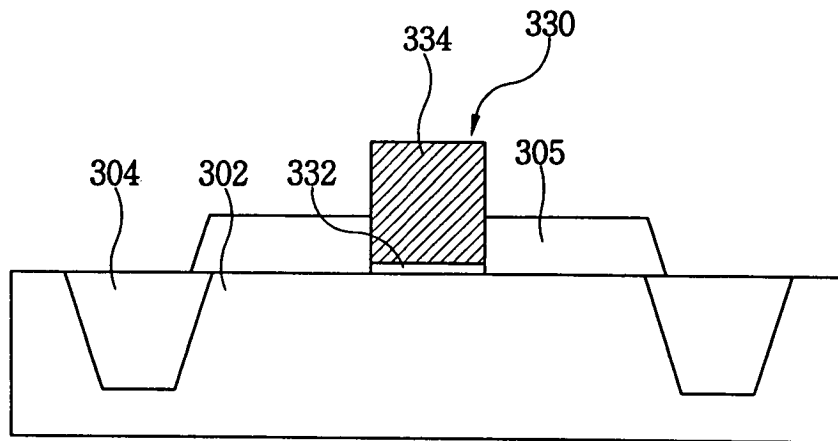


FIG. 9C

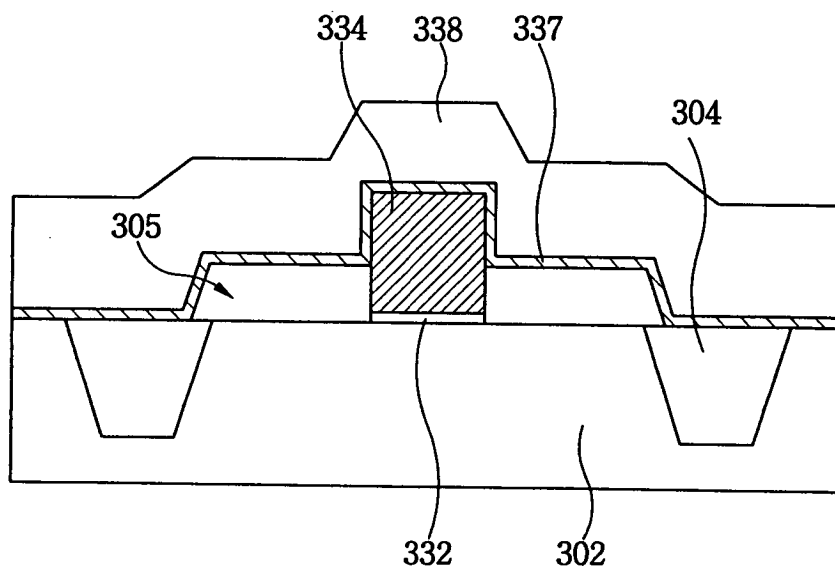


FIG. 9D

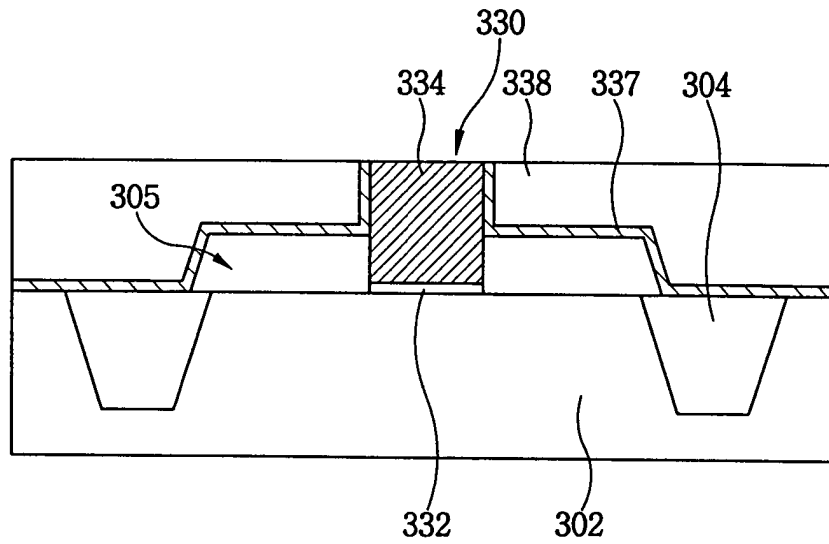


FIG. 9E

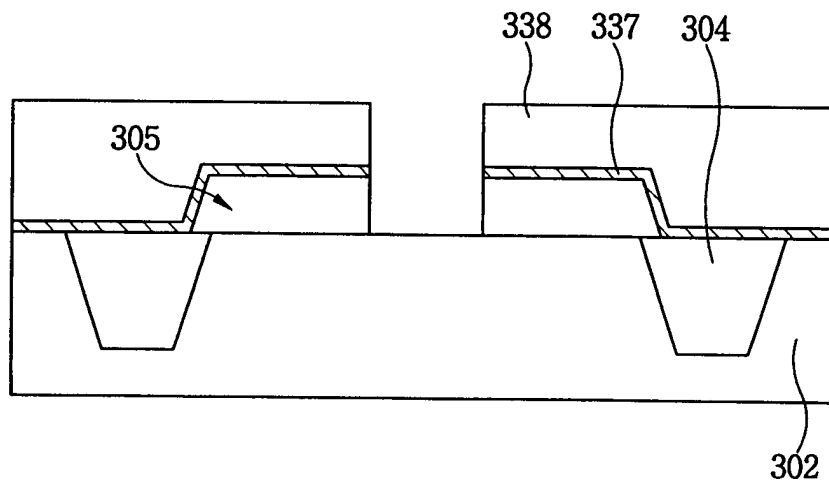


FIG. 9F

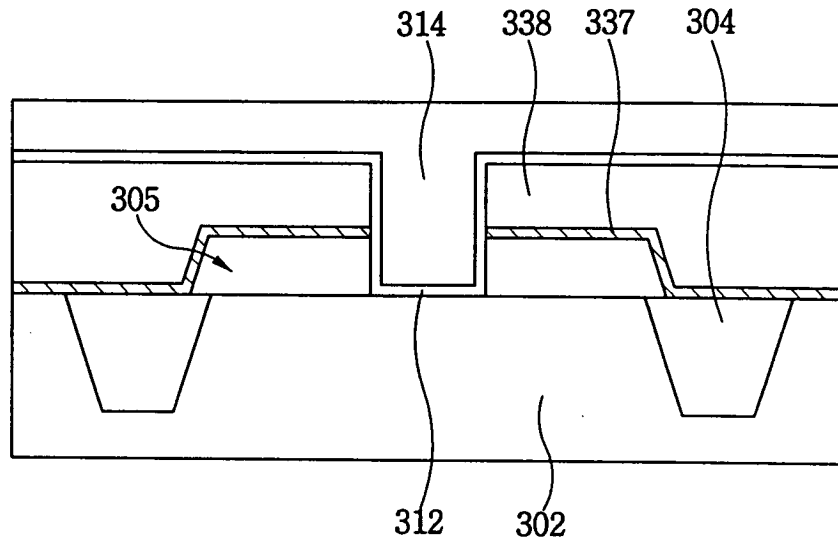


FIG. 9G

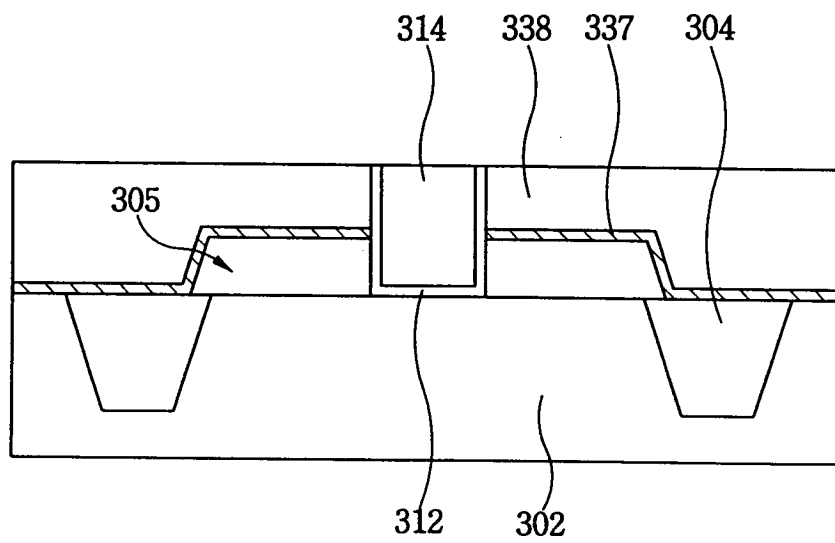


FIG. 9H

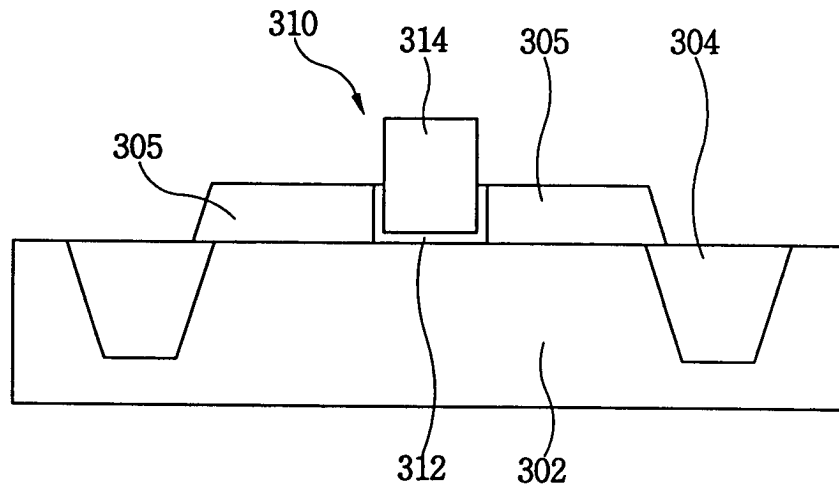


FIG. 9I

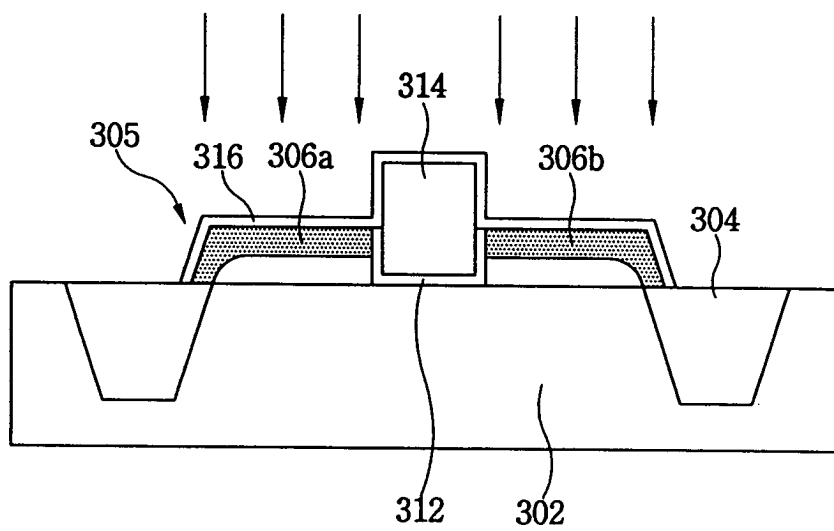


FIG. 9J

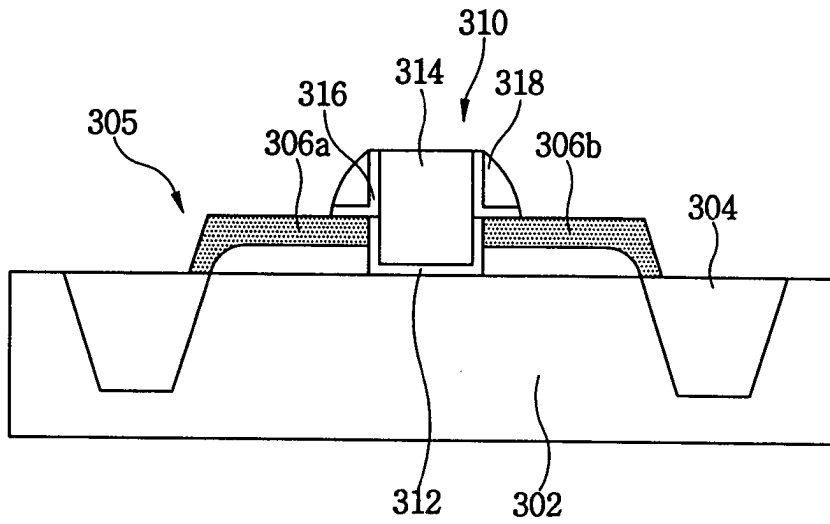


FIG. 9K

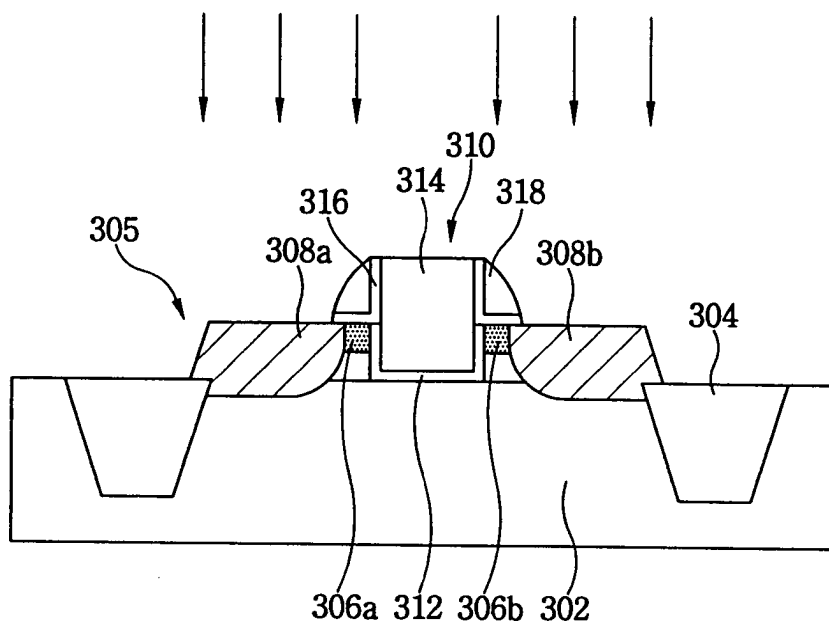


FIG. 9L

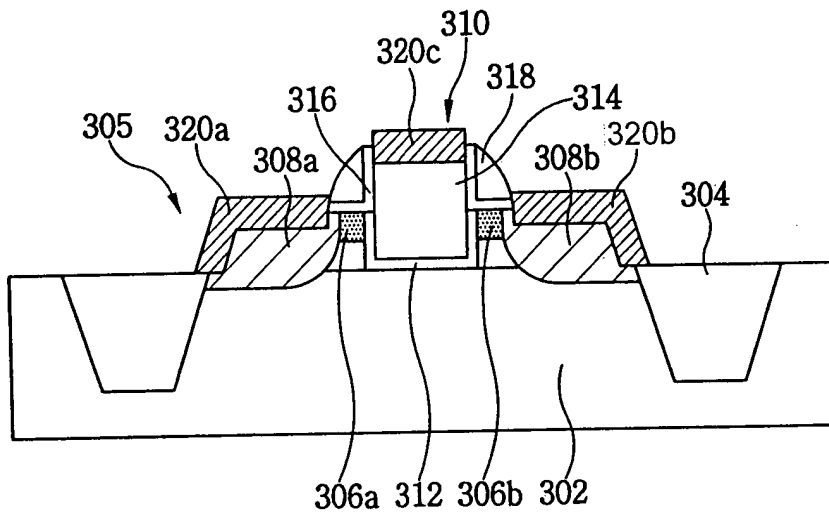


FIG. 10A

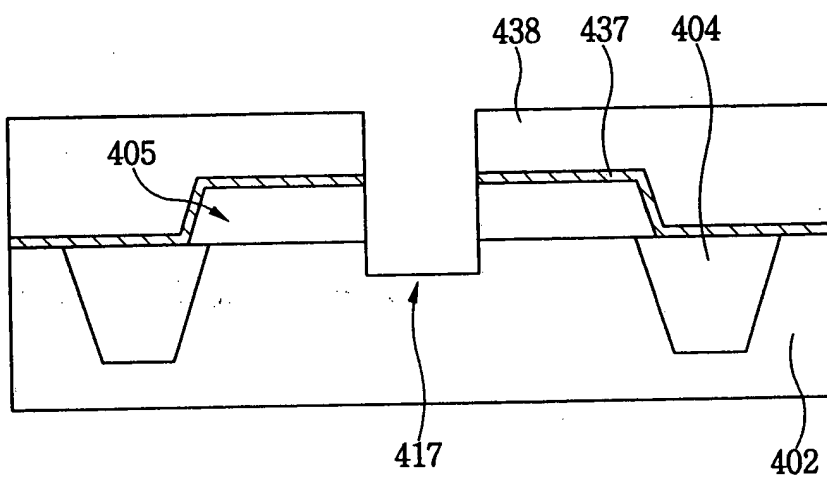


FIG. 10B

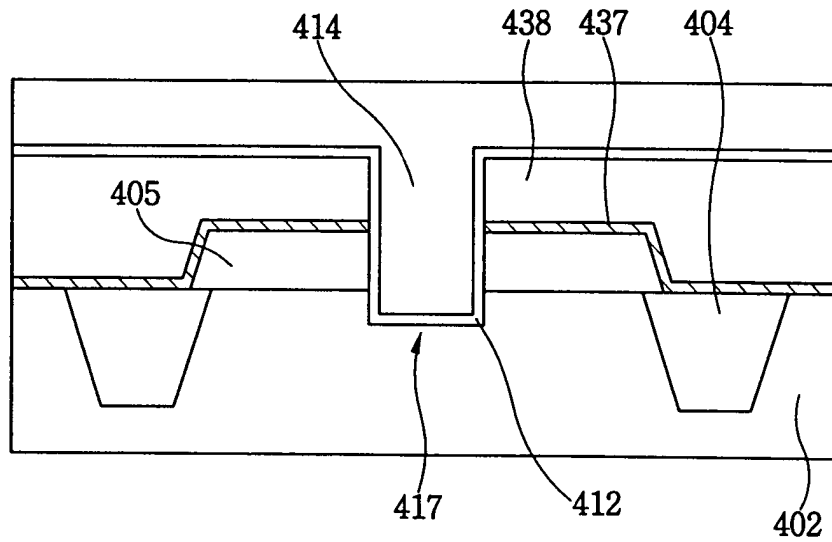


FIG. 10C

