(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013 年 9 月 6 日(06.09.2013)

WIPO | PCT

(10) 国際公開番号
WO 2013/129202 A1

(51) 国際特許分類:
H04N 5/378 (2011.01) *H04N 5/374* (2011.01)
H03M 1/56 (2006.01)

(21) 国際出願番号: PCT/JP2013/054125

(22) 国際出願日: 2013 年 2 月 20 日(20.02.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-044233 2012 年 2 月 29 日(29.02.2012) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 西田　祐輔(NISHIDA Yuusuke); 〒2400005 神奈川県横浜市保土ヶ谷区神戸町１３４番地 ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP). 久松　康秋(HISAMATSU Yasuaki); 〒2400005 神奈川県横浜市保土ヶ谷区神戸町１３４番地　ソニー・エルエスアイ・デザイン株式会社内 Kanagawa (JP).

(74) 代理人: 稲本　義雄, 外(INAMOTO Yoshio et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号　西新宿木村屋ビルディング９階 Tokyo (JP).

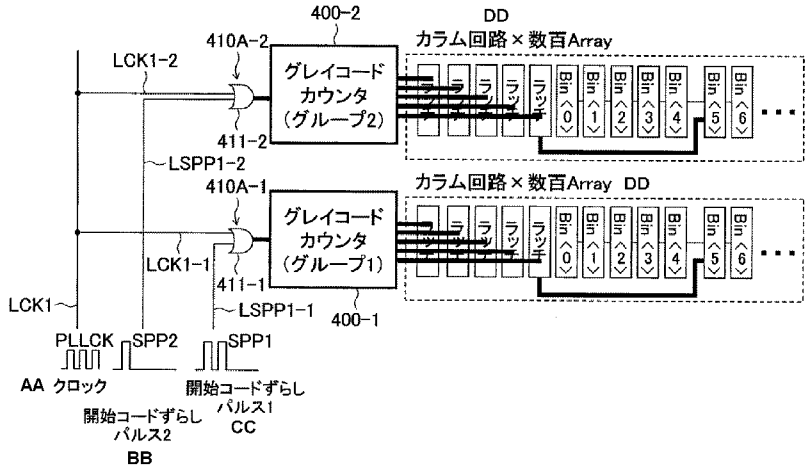
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: COLUMN A/D CONVERTER, COLUMN A/D CONVERSION METHOD, SOLID IMAGING DEVICE, AND CAMERA SYSTEM

(54) 発明の名称 : カラムＡ／Ｄ変換器、カラムＡ／Ｄ変換方法、固体撮像装置およびカメラシステム



400-1 GRAY CODE COUNTER (GROUP 1)
400-2 GRAY CODE COUNTER (GROUP 2)
AA CLOCK
BB START CODE DISPLACEMENT PULSE 2
CC START CODE DISPLACEMENT PULSE 1
DD COLUMN CIRCUIT × SEVERAL HUNDRED ARRAY

(57) **Abstract**: The present invention relates to a column A/D converter, column A/D conversion method, solid imaging device, and camera system that make it possible to reduce the IR drop amount by dispersing the current consumed during counting actuation, mitigate the counter characteristic degradation, and readily reduce the amount of fluctuation in the power source voltage and achieve operation at a low power source voltage. The column A/D converter includes: a plurality of column processors including an A/D conversion function for converting an analog signal into a digital signal; a plurality of counters for generating a digital code in response to a reference clock, the counters being arranged so as to correspond to a single or a plurality of column processors; and a count start displacement unit for causing the counters to perform a pseudo count operation before the reference clock is supplied to the counters, and displacing the counter start code of at least two of the counters.

(57) 要約:

[続葉有]

WO 2013/129202 A1

本発明は、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、電源電圧変動量の低減、および低電源電圧動作を容易に実現することができるようにするカラムＡ／Ｄ変換器、カラムＡ／Ｄ変換方法、固体撮像装置、およびカメラシステムに関する。カラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するＡ／Ｄ変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、カウンタに基準クロックが供給される前に、カウンタに疑似的なカウント動作を行わせて、複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む。

明　細　書

発明の名称 ：

カラムＡ／Ｄ変換器、カラムＡ／Ｄ変換方法、固体撮像装置およびカメラシステム

技術分野

[0001] 本発明は、ＣＭＯＳイメージセンサ等の固体撮像装置等に適用可能なカラムＡ／Ｄ変換器、カラムＡ／Ｄ変換方法、固体撮像装置およびカメラシステムに関するものである。

背景技術

[0002] 複数の画素を２次元配列で設けた画素部を有し、この画素部の各画素で読み取った画素信号を各画素列毎に順次読み出し、各列信号にＣＤＳ処理などを施して画像信号に変換して出力するＣＭＯＳイメージセンサが提供されている。

[0003] ＣＭＯＳイメージセンサは、各画素毎に浮遊拡散層（ＦＤ：Floating Diffusion)を有するＦＤアンプを持ち合わせており、その出力は、画素アレイの中のある一行を選択し、それらを同時に列方向へと読み出すような列並列出力型が主流である。

これは、画素内に配置されたＦＤアンプでは十分な駆動能力を得ることは難しく、したがってデータレートを下げることが必要で、並列処理が有利とされているからである。

[0004] 列並列出力型ＣＭＯＳイメージセンサの画素信号読み出し（出力）回路については実に様々なものが提案されている。

その最も進んだ形態のひとつが列毎にアナログーデジタル変換装置（以下、ＡＤＣ（Analog Digital Converter)と略す）を備え、デジタル信号として画素信号を取り出すタイプである。

[0005] このような列並列型のＡＤＣを搭載したＣＭＯＳイメージセンサは、たとえば非特許文献１や特許文献１に開示されている。

[0006] 図１は、列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）の構成例を示すブロック図である。

[0007] この固体撮像装置１は、図１に示すように、画素部２、垂直走査回路３、水平転送走査回路４、およびＡＤＣ群からなるカラム処理回路群５を有する。

さらに、固体撮像装置１は、デジタルーアナログ変換装置（以下、ＤＡＣ(Digital - Analog Converter)と略す）６、およびアンプ回路（Ｓ／Ａ）７を有する。

[0008] 画素部２は、フォトダイオード（光電変換素子）と画素内アンプとを含む単位画素２１がマトリクス状（行列状）に配置されて構成される。

[0009] カラム処理回路群５は、列ごとにＡＤＣを形成するカラム処理回路５１が複数列配列されている。

各カラム処理回路（ＡＤＣ）５１は、ＤＡＣ６により生成される参照信号を階段状に変化させたランプ波形（ＲＡＭＰ）である参照信号ＲＡＭＰ（Ｖｓｌｏｐ）と、行線毎に画素から垂直信号線を経由し得られるアナログ信号とを比較する比較器５１－１を有する。

さらに、各カラム処理回路５１は、比較器５１－１の比較時間をカウントし、そのカウント結果を保持するカウンタラッチ５１－２を有する。

カラム処理回路５１は、ｎビットデジタル信号変換機能を有し、垂直信号線（列線）８－１～８－ｎ毎に配置され、これにより列並列ＡＤＣブロックが構成される。

各メモリ５１－２の出力は、たとえばｋビット幅の水平転送線９に接続されている。

そして、水平転送線９に対応したｋ個のアンプ回路７が配置される。

[0010] 図２は、図１の回路のタイミングチャートを示す図である。

[0011] 各カラム処理回路（ＡＤＣ）５１において、垂直信号線８に読み出されたアナログ信号（電位Ｖｓｌ）が列毎に配置された比較器５１－１でたとえば階段状に変化する参照信号ＲＡＭＰ（Ｖｓｌｏｐ）と比較される。

このとき、アナログ電位ＶｓｌＩと参照信号ＲＡＭＰ（ＶｓｌＯｐ）のレベルが交差し比較器５１－１の出力が反転するまで基準クロックＣＫを用いてカウンタラッチ５１－２でカウントが行われる。これにより、垂直信号線８の電位（アナログ信号）ＶｓｌＩがデジタル信号に変換される（ＡＤ変換される）。このとき、カウンタはフルビットリップルカウンタとして構成される。

このＡＤ変換は、１度の読出しで２回行われる。

１回目は単位画素２１のリセットレベル（Ｐ相）が垂直信号線８（－１～－ｎ）に読み出され、ＡＤ変換が実行される。

このリセットレベルＰ相には画素毎のばらつきが含まれる。

２回目は各単位画素２１で光電変換された信号が垂直信号線８（－１～－ｎ）に読み出され（Ｄ相）、ＡＤ変換が実行される。

このＤ相にも、画素毎のばらつきが含まれるため、（Ｄ相レベル－Ｐ相レベル）を実行することで、相関二重サンプリング（ＣＤＳ）が実現できる。

デジタル信号に変換された信号はカウンタラッチ５１－２に記録され、水平（列）転送走査回路４により、順番に水平転送線９を介してアンプ回路７に読み出され、最終的に出力される。

このようにして、列並列出力処理が行われる。

先行技術文献

特許文献

[0012] 特許文献1：特開２００５－２７８１３５号公報

特許文献2：特開２０１１－２３４３２６号公報

非特許文献

[0013] 非特許文献1：W. Yang等 (W. Yang et. Al., “An Integrated 800x600 CMOS Image System,” ISSCC Digest of Technical Papers, pp. 304-305、 Feb., 1999)

発明の概要

発明が解決しようとする課題

[0014] 上述したように、一般的な列並列読み出しを行う電圧スロープ方式の固体撮像装置においては、全カラム列にそれぞれ配置されたリップルカウンタにＡＤ分解能を決める基準クロックＣＫを入力し、カラム毎のカウント動作を行っている。この場合、カウンタは全ビットバイナリコードのカウンタとして構成される。

このため、クロック周波数が高くなり、水平カラム数が大きくなると、各カラムにおけるカウンタで消費する電力が大きくなり、製品性を損なうと同時にＩＲドロップ等による動作マージンの低下等の弊害を生じる。

また、基準クロック配線の負荷が大きいことで、高速な基準クロックになるほどクロックデューティ劣化が大きくなりＡＤ分解能の限界が生じる。

[0015] このような状況に対応して、下位ビットグレイコードおよび上位ビットバイナリコードする複合カウンタを適用して消費電力を大幅に低減することが可能なカラムＡ／Ｄ変換器が提案されている（特許文献２参照）。

[0016] ところで、上述したように、カウンタがアレイ状に配置されたカラムＡ／Ｄ変換器は、下位ビットグレイコードおよび上位ビットバイナリコードする複合カウンタや、全ビットバイナリコードのカウンタにおいて、以下の不利益がある。

図３および図４に示すように、アレイ状に配置されたカウンタが同時動作することによってＩＲドロップ等に起因して発生する電流変動ΔＩとパッケージのＬ成分で、カラムＡ／Ｄ変換器としては巨大な内部電源電圧の変動ΔＶ（＝－Ｌ×Δｄｉ／Δｔ）が発生する。

カラムＡ／Ｄ変換器では、図３に示すように、数千カラムが同時並列的に動作することから瞬時に電流が増大する。

[0017] この低減策として、電源強化を目的としたパッド（ＰＡＤ）追加や配線強化といった影響を受けないようにする対策を行ってきたが、チップサイズの増大を招く等の不利益がある。

[0018] 本発明は、カウント動作時の消費電流を分散させることでＩＲドロップ量

を低減でき、カウンタの特性劣化を改善でき、電源電圧変動量の低減、および低電源電圧動作を容易に実現することが可能なカラムＡ／Ｄ変換器、カラムＡ／Ｄ変換方法、固体撮像装置、およびカメラシステムを提供することにある。

[0019] 本発明の第１の観点のカラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を有する。

[0020] 本発明の第２の観点のカラムＡ／Ｄ変換方法は、カウンタを含み、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部においてＡＤ変換を行うに際し、上記カウンタに基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、複数の上記カウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらしておき、上記カウンタにおいて、上記基準クロックに応答してデジタルコードを生成し、当該デジタルコードを用いてＡＤ変換を行う。

[0021] 本発明の第３の観点の固体撮像装置は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、上記画素信号読み出し部は、読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、上記カラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複

数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む。

また、本発明の固体撮像装置は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、第１チップと、第２チップと、を有し、上記画素信号読み出し部は、読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、上記カラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、上記第１チップと上記第２チップは貼り合わされた積層構造を有し、上記第１チップは、上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、上記第２チップは、上記画素信号読み出し部が配置され、上記第１チップと上記第２チップ間の配線は、上記ビアを通して接続されている。

[0022] 本発明の第４の観点のカメラシステムは、固体撮像装置と、上記固体撮像装置に被写体像を結像する光学系と、を有し、上記固体撮像装置は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、上記画素信号読み出し部は、読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、上記カラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウン

ト動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む。

また、本発明のカメラシステムは、固体撮像装置と、上記固体撮像装置に被写体像を結像する光学系と、を有し、上記固体撮像装置は、光電変換を行う複数の画素が行列状に配列された画素部と、上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、第１チップと、第２チップと、を有し、上記画素信号読み出し部は、読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、上記カラムＡ／Ｄ変換器は、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、１または複数のカラム処理部ごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、上記第１チップと上記第２チップは貼り合わされた積層構造を有し、上記第１チップは、上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、上記第２チップは、上記画素信号読み出し部が配置され、上記第１チップと上記第２チップ間の配線は、上記ビアを通して接続されている。

発明の効果

[0023] 本発明によれば、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、電源電圧変動量の低減、および低電源電圧動作を容易に実現することができる。

図面の簡単な説明

[0024] [図1]列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）の構成例を示すブロック図である。

[図2]図１の回路のタイミングチャートを示す図である。

[図3]数千カラムが同時並列的に動作することから瞬時に電流が増大する様子

を概念的に示す図である。

[図4]アレイ状に配置されたカウンタが同時動作することによって発生する電流変動ΔＩとパッケージのＬ成分で、カラムＡ／Ｄ変換器としては巨大な内部電源電圧の変動ΔＶが発生することを説明するための図である。

[図5]本技術の実施形態に係る半導体装置の積層構造の一例を示す図である。

[図6]本実施形態に係る半導体装置における回路等の第１の配置構成例を示す図である。

[図7]本実施形態に係る半導体装置の信号の時間的関係を示す図である。

[図8]本実施形態に係る半導体装置における回路等の第２の配置構成例を示す図である。

[図9]本実施形態に係る半導体装置における回路等の第３の配置構成例を示す図である。

[図10]図９の半導体装置の動作を時間軸の波形で、隣接カラムからの干渉を低減できること示す図である。

[図11]本実施形態に係る固体撮像装置（ＣＭＯＳイメージセンサ）の基本的な構成例を示す図である。

[図12]本実施形態に係る４つのトランジスタで構成されるＣＭＯＳイメージセンサの画素の一例を示す図である。

[図13]本実施形態に係る列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）の構成例を示すブロック図である。

[図14]図１３の列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）における要部をより具体的に示すブロック図である。

[図15]本実施形態に係る第１のカラムＡＤＣ（カラムＡ／Ｄ変換器）の基本的な構成例を示す第１図である。

[図16]本実施形態に係る第１のカラムＡＤＣ（カラムＡ／Ｄ変換器）の基本的な構成例を示す第２図である。

[図17]第１のカラムＡＤＣに適用されるカウント開始コードを意図的にずらす制御の具体的なタイミングチャートを示す図である。

[図18]図１７のように反映タイミングをずらすことにより、数千カラムが同時並列的に動作した場合でも瞬時電流を平均化させて小さくなる様子を概念的に示す図である。

[図19]図１７のように反映タイミングをずらすことにより、アレイ状に配置されたカウンタが同時動作した場合でも電源ドロップが平均化されることを説明するための図である。

[図20]比較例として、カウント開始コードを意図的にずらす制御を行う場合の具体的なタイミングチャートを示す図である。

[図21]本実施形態に係る第１のカラムＡＤＣに適用されるカウント開始ずらし部の第１の構成例を示す図である。

[図22]比較例としてカウント開始ずらし部を持たない場合のグレイコードカウンタへのクロック供給部を示す図である。

[図23]本実施形態に係る第１のカラムＡＤＣに適用されるカウント開始ずらし部の第２の構成例を示す図である。

[図24]本実施形態に係るカウント開始ずらし部のパルス数調整部を含む具体的な構成例を示す回路図である。

[図25]カウント開始コードを意図的にずらす制御を採用しない場合と採用した場合のＣＤＳ読み出し方式を模式的に示す図である。

[図26]本実施形態に係るグレイコードカウンタの出力、下位ビットラッチ部および上位ビットリップルカウンタの基本的な配置関係を示す図である。

[図27]本実施形態に係る下位ビットラッチ部にラッチされるグレイコードおよび上位ビットリップルカウンタの各カウンタ出力の一例を示す図である。

[図28]本実施形態に係る下位ビットラッチ部におけるラッチ処理に好適な駆動方法である遅延ＶＣＯ駆動について説明するための図である。

[図29]本実施形態に係る上位側リップルカウンタの具体的な構成例を示す回路図である。

[図30]図２９のリップルカウンタにおけるＰ相およびＤ相切り替え時のデータ反転機能を説明するための図である。

[図31]４つのリップルカウンタが縦続接続されている場合の出力データの状態遷移を含むタイミングチャートを一例として示す図である。

[図32]本実施形態における後段の信号処理回路におけるＣＳＤ演算処理を模式的に示す図である。

[図33]本実施形態におけるバイナリデータとグレイコードのＣＤＳ演算処理の具体例を示す図である。

[図34]下位ビットラッチ回路のラッチデータをカラム内で加算処理してＣＤＳ処理を行うＣＤＳ処理部の構成例を示す回路図である。

[図35]図１３の列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）における要部の他の構成例を示す図であって、本実施形態に係る第２のカラムＡＤＣ（カラムＡ／Ｄ変換器）の基本的な構成例を示す図ある。

[図36]第２のカラムＡＤＣに適用されるカウント開始コードを意図的にずらす制御の具体的なタイミングチャートを示す図である。

[図37]本実施形態に係る第２のカラムＡＤＣに適用可能なカウント開始ずらし部の第１の構成例を示す図である。

[図38]本実施形態に係る第２のカラムＡＤＣに適用可能なカウント開始ずらし部の第２の構成例を示す図である。

[図39]第２のカラムＡＤＣにカウント開始コードを意図的にずらす制御を採用しない場合と採用した場合のＣＤＳ読み出し方式を模式的に示す図である。

[図40]本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第１の配置構成例を示す図である。

[図41]離散時間アナログ信号を伝送するＴＣＶを集中して配置し、デジタル信号を伝送するＴＣＶと分離して配置する例を示す図である。

[図42]本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第２の配置構成例を示す図である。

[図43]本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第３の配置構成例を示す図である。

[図44]本発明の実施形態に係る固体撮像装置が適用されるカメラシステムの構成の一例を示す図である。

発明を実施するための形態

[0025] 以下、本技術の実施形態を図面に関連付けて説明する。

なお、説明は以下の順序で行う。

１．半導体装置の概要
１．１　半導体装置における第１の配置構成例
１．２　半導体装置における第２の配置構成例
１．３　半導体装置における第３の配置構成例
２．固体撮像装置の概要
２．１　固体撮像装置の基本的な構成例
２．２　列並列ＡＤＣ搭載固体撮像装置の全体構成例
２．３　第１のカラムＡＤＣの基本構成例
２．４　グレイコードカウンタの構成例
２．５　カウント開始コードを意図的にずらす制御の概要
２．６　カウント開始ずらし部の第１の構成例
２．７　カウント開始ずらし部の第２の構成例
２．８　下位ビットラッチ部および上位ビットリップルカウンタの構成例
２．９　第２のカラムＡＤＣの基本構成例
３．１　固体撮像装置における第１の配置構成例
３．２　固体撮像装置における第２の配置構成例
３．３　固体撮像装置における第２の配置構成例
４．カメラシステムの構成例

[0026] ＜１．半導体装置の概要＞

図５は、本実施形態に係る半導体装置の積層構造の一例を示す図である。

本実施形態の半導体装置１００は、アレイ状に配置された、光電変換素子等を含む複数のセンサを有する。

以下では、このような構成を有する半導体装置の構成例を説明した後、半

導体装置の一例として固体撮像装置であるＣＭＯＳイメージセンサの構成例について説明する。

そして、入力波形に与える誤差を低減でき、消費電流、雑音、面積の増大を招くことなく精度の向上を図れ、ＡＤ変換器誤差や画質劣化を抑止することが可能で、固体撮像装置に適用可能なシングルスロープ型ＡＤ変換器の具体的な構成例について詳細に説明する。

[0027] 半導体装置１００は、図５に示すように、第１チップ（上チップ）１１０と第２チップ（下チップ）１２０の積層構造を有する。

積層される第１チップ１１０と第２チップ１２０は、第１チップ１１０に形成されたビア（ＴＣ（Ｓ）Ｖ（Through Contact(Silicon) VIA）により電気的に接続される。

この半導体装置１００は、ウェハレベルで貼り合わせ後、ダイシングで切り出した積層構造の半導体装置として形成される。

[0028] 上下２チップの積層構造において、第１チップ１１０はアイレ状に複数のセンサが配置されたアナログチップ（センサチップ）で構成される。

第２チップ１２０は第１チップ１１０からＴＣＶを介して転送されるアナログ信号を量子化する回路および信号処理回路を含むロジックチップ（デジタルチップ）で構成される。

ボンディングパッドＢＰＤおよび入出力回路は第２チップ１２０に形成されており、第１チップ１１０には、第２チップ１２０にワイヤーボンドするための開口部ＯＰＮが形成されている。

[0029] そして、本実施形態に係る２チップの積層構造を有する半導体装置１００は、以下の特徴的な構成を有する。

第１チップ１１０と第２チップ１２０間の電気的接続は、たとえばビア（ＴＣＶ）を通して行われる。

ＴＣＶ（ビア）の配置位置はチップ端、もしくはパッド（ＰＡＤ）と回路領域の間とする。

たとえば、制御信号ならびに電力供給用ＴＣＶは主にチップ角部の４箇所

に集中し、第１チップ１１０の信号配線領域を削減することができる。

第１チップ１１０の配線層数削減により、電源線抵抗が増加し、ＩＲ-Ｄｒｏｐが増大する課題に対し、ＴＣＶを有効に配置することで、第２チップ１２０の配線を用いて第１チップ１１０の電源のノイズ対策や安定供給等のための強化を行うことが可能である。

[0030] ＜１．１　半導体装置における第１の配置構成例＞

図６は、本実施形態に係る半導体装置における回路等の第１の配置構成例を示す図である。

図６の半導体装置１００Ａは、積層構造を有する第１チップ１１０Ａと第２チップ１２０Ａの回路等の配置が容易に理解できるように、第１チップ１１０Ａと第２チップ１２０Ａが２次元的に展開されて示されている。

[0031] 第１チップ１１０Ａには、アレイ状に配置された複数のセンサ１１１（－０，－１、・・・）、各センサ１１１（－０，－１、・・・）の出力アナログ信号（センサ信号）を伝送する第１信号線ＬＳＧ１（－０，－１、・・・）が形成されている。

第１チップ１１０Ａにおいて、第１信号線ＬＳＧ１（－０，－１、・・・）には、各センサ１１１（－０，－１、・・・）のセンサ信号を第１クロックＣＬＫ１１でサンプリングするサンプルホールド（ＳＨ）回路１１２（－０，－１、・・・）が配置されている。　第１信号線ＬＳＧ１（－０，－１、・・・）には、それぞれサンプルホールド（ＳＨ）回路１１２（－０，－１、・・・）の出力センサ信号を増幅する増幅器（アンプ）１１３（－０，－１、・・・）が配置されている。

そして、第１チップ１１０Ａには、第１信号線ＬＳＧ１（－０，－１、・・・）を第２チップ１２０Ａ側と電気的に接続し、センサ信号を伝送するためのＴＣＶ１１４（－０，－１、・・・）が形成されている。

なお、図示していないが、第１チップ１１０Ａには、電源や制御信号用のＴＣＶも形成される。

[0032] 第２チップ１２０Ａには、第１チップ１１０Ａに形成された各ＴＣＶ１１

４に接続された第２信号線ＬＳＧ２（－０，－１、・・・）を形成されている。

各第２信号線ＬＳＧ２（－０，－１、・・・）には、ＴＣＶ１１４を伝送されたセンサ信号を第２クロックＣＬＫ１２でサンプリングするサンプリングスイッチ１２１（－０，－１、・・・）が配置されている。

各第２信号線ＬＳＧ２（－０，－１、・・・）には、サンプリングスイッチ１２１（－０，－１、・・・）でサンプリングされた信号を量子化する量子化器１２２（－０，－１、・・・）が配置されている。

第２チップ１２０Ａには、各量子化器１２２（－１，－２、・・・）で量子化された信号をデジタル演算処理する信号処理回路１２３が配置されている。

[0033] 半導体装置１００Ａにおいて、各センサ１１１から出力される信号は、ＳＨ回路１１２でサンプルホールドされ、アンプ１１３を介してＴＣＶ１１４に伝送される。

ここで、センサ１１１からＳＨ回路１１２から出力される信号の電力が十分に大きい場合については、アンプはなくとも良い。

ＴＣＶ１１４を通して伝送された信号はロジックチップ（デジタルチップ）である第２チップ１２０Ａ上のサンプリングスイッチ１２１でサンプリングされ、量子化器１２２を用いて電圧方向に量子化される。このようにしてデジタル化したデータは信号処理回路１２３で演算処理される。

[0034] 本技術ではＴＣＶ１１４を伝送する信号は時間方向に離散化されており、電圧方向には連続の信号、すなわち離散時間アナログ信号としている。

この場合についても、隣接するＴＣＶ１１４からの信号の干渉が発生する。

ただし、ＳＨ回路１１２でサンプルホールドするタイミングを制御する第１クロックＣＬＫ１１と、第２チップ１２０Ａ上で離散時間アナログ信号をサンプリングする第２クロックＣＬＫ１２のタイミングを適切に制御することにより、ＴＣＶ間の干渉を回避できる。

[0035] 図７の（Ａ）～（Ｃ）は、本実施形態に係る半導体装置の信号の時間的関係を示す図である。

図７の（Ａ）はＴＣＶを伝送された信号が供給されるノードＮＤ１１の信号波形を、図７の（Ｂ）は第１クロックＣＬＫ１１を、図７の（Ｃ）は第２クロックＣＬＫ１２を、それぞれ示している。

[0036] 今、ＴＣＶ１１４を介して伝送される離散時間アナログ信号のノードＮＤ１１に着目する。

第１クロックＣＬＫ１１はすべてのセンサ１１１に接続されたＳＨ回路１１２で共通のタイミングを使用しているため、ノードＮＤ１１と隣接するノードＮＤ１２の信号遷移の時間は理想的には同期化されている。

ただし、たとえば信号の配線遅延などでノードＮＤ１１とノードＮ１２にセンサからの信号出力タイミングがずれた場合については、図７の（Ａ）に示すようにノードＮ１１の信号に干渉に起因するヒゲが発生する。

しかしながら、１データ伝送する区間において信号はＳＨ回路１１２で既に時間離散化されているため、この区間においては一定値であり、十分に時間を経過すれば所望の値に静定する。

この十分に値が静定したタイミングで第２クロックＣＬＫ１２を用いてサンプリングを行うように駆動を行うことで、ＴＣＶ１１４の干渉により発生する誤差を無視できるレベルまで低減することが可能となる。

[0037] ＜１．２　半導体装置における第２の配置構成例＞

図８は、本実施形態に係る半導体装置における回路等の第２の配置構成例を示す図である。

[0038] 図８の半導体装置１００Ｂが図２の半導体装置１００Ａと異なる点は以下の通りである。

すなわち、第２チップ１２０Ｂにおいて、各第２信号線ＬＳＧ２（－０，－１、・・・）に配置されるサンプリングスイッチ１２１（－０，－１、・・・）と量子化器１２２（－０，－１、・・・）の配置位置（接続位置）が逆になっている。

[0039] 本技術における第２クロックＣＬＫ１２のタイミングでのサンプリングと量子化は、連続時間での量子化と量子化器１２２に接続されたサンプリングスイッチ１２１というように順番を入れ替えても構わない。

この場合、サンプリングスイッチ１２１の動作はフリップフロップを各信号に対して設けることで実現される。

[0040] 図６のような構成をとった場合、サンプリングスイッチ１２１がオフにあるとき（切れるとき）にｋＴ/Ｃノイズが発生し、これが問題となるおそれがあるが、図８の構成であればｋＴ/Ｃノイズが発生しない。

[0041] ＜１．３　半導体装置における第３の配置構成例＞

図９は、本実施形態に係る半導体装置における回路等の第３の配置構成例を示す図である。

[0042] 図９の半導体装置１００Ｃが図６および図７の半導体装置１００Ａ，１００Ｂと異なる点は以下の通りである。

すなわち、第２チップ１２０Ｃにおいては、サンプリングスイッチと量子化器の代わりに、比較器１２４（－０，－１、・・・）およびカウンタ１２５（－０，－１、・・・）が設けられている。

[0043] この第２チップ１２０Ｃにおいては、ランプ信号ＲＡＭＰとＴＣＶ１１４を伝送されたセンサ信号を比較器１２４により比較することにより電圧軸から時間軸への変換を行って、時間情報をカウンタ１２５で量子化する。

この場合に図７と同様の原理で隣接カラムからの干渉を低減できることを図１０に示す。図９の構成において、ＡＤ変換動作はランプ波ＲＡＭＰと信号を比較し、この時間をカウンタ１２５でデジタル値に変換することで行われている。したがって、ランプ波およびカウンタ１２５が動作していない時間については、ＡＤ変換器で信号の取り込みは行われない。

ここで図１０に示すように、信号出力ＬＳＧＯ-Ｎが十分に静定してから、ランプ波の遷移およびカウンタの動作を開始することにより、図７と同様に隣接ＴＣＶからの干渉による誤差を低減することが可能になる。

[0044] ＜２．固体撮像装置の概要＞

本実施形態に係る半導体装置の一例として固体撮像装置であるＣＭＯＳイメージセンサの構成例について説明する。

[0045] ＜２．１　固体撮像装置の基本的な構成＞

図１１は、本実施形態に係る固体撮像装置（ＣＭＯＳイメージセンサ）の基本的な構成例を示す図である。

[0046] 図１１のＣＭＯＳイメージセンサ２００は、画素部２１０、行選択回路（Ｖｄｅｃ）２２０、およびカラム読み出し回路（ＡＦＥ）２３０を有する。

そして、行選択回路２２０およびカラム読み出し回路２３０により画素信号読み出し部が形成される。

[0047] この半導体装置としてのＣＭＯＳイメージセンサ２００は、図５の積層構造が採用される。

本実施形態において、この積層構造においては、基本的に、第１チップ１１０には画素部２１０が配置され、第２チップ１２０に画素信号読み出し部を形成する行選択回路２２０およびカラム読み出し回路２３０が配置される。

そして、画素の駆動信号や画素（センサ）のアナログ読み出し信号、電源電圧等は第１チップ１１０の形成されるＴＣＶを通して、第１チップ１１０と第２チップ１２０間で送受される。

[0048] 画素部２１０は、複数の画素回路２１０ＡがM行×Ｎ列の２次元状（マトリクス状）に配列されている。

[0049] 図１２は、本実施形態に係る４つのトランジスタで構成されるＣＭＯＳイメージセンサの画素の一例を示す図である。

[0050] この画素回路２１０Ａは、たとえばフォトダイオード（ＰＤ）からなる光電変換素子（以下、単にＰＤというときもある）２１１を有する。

そして、画素回路２１０Ａは、この１個の光電変換素子（受光部）２１１に対して、転送トランジスタ（転送ゲート）２１２、リセットトランジスタ２１３、増幅トランジスタ２１４、および選択トランジスタ２１５の４つのトランジスタを能動素子として有する。

[0051] 光電変換素子２１１は、入射光をその光量に応じた量の電荷（ここでは電子）に光電変換する。

転送素子としての転送トランジスタ２１２は、光電変換素子２１１と入力ノードとしてのフローティングディフュージョンＦＤとの間に接続され、転送制御線ＬＴＲＧを通じてそのゲート（転送ゲート）に制御信号である転送信号ＴＲＧが与えられる。

これにより、転送トランジスタ２１２は、光電変換素子２１１で光電変換された電子をフローティングディフュージョンＦＤに転送する。

[0052] リセットトランジスタ２１３は、電源電圧ＶＤＤが供給される電源ラインＬＶＤＤとフローティングディフュージョンＦＤとの間に接続され、リセット制御線ＬＲＳＴを通してそのゲートに制御信号であるリセット信号ＲＳＴが与えられる。

これにより、リセット素子としてのリセットトランジスタ２１３は、フローティングディフュージョンＦＤの電位を電源ラインＬＶＤＤの電位にリセットする。

[0053] フローティングディフュージョンＦＤには、増幅素子としての増幅トランジスタ２１４のゲートが接続されている。すなわち、フローティングディフュージョンＦＤは増幅素子としての増幅トランジスタ２１４の入力ノードとして機能する。

増幅トランジスタ２１４と選択トランジスタ２１５は電源電圧ＶＤＤが供給される電源ラインＬＶＤＤと信号線ＬＳＧＮとの間に直列に接続されている。

このように、増幅トランジスタ２１４は、選択トランジスタ２１５を介して信号線ＬＳＧＮに接続され、画素部外の定電流源ＩＳとソースフォロアを構成している。

そして、選択制御線ＬＳＥＬを通してアドレス信号に応じた制御信号である選択信号ＳＥＬが選択トランジスタ２１５のゲートに与えられ、選択トランジスタ２１５がオンする。

選択トランジスタ２１５がオンすると、増幅トランジスタ２１４はフローティングディフュージョンＦＤの電位を増幅してその電位に応じた電圧を信号線ＬＳＧＮに出力する。信号線ＬＳＧＮを通じて、各画素から出力された電圧は、カラム読み出し回路２３０に出力される。

これらの動作は、たとえば転送トランジスタ２１２、リセットトランジスタ２１３、および選択トランジスタ２１５の各ゲートが行単位で接続されていることから、１行分の各画素について同時に行われる。

[0054] 画素部２１０に配線されているリセット制御線ＬＲＳＴ、転送制御線ＬＴＲＧ、および選択制御線ＬＳＥＬが一組として画素配列の各行単位で配線されている。

ＬＲＳＴ、ＬＴＲＧ、ＬＳＥＬの各制御線はそれぞれＭ本ずつ設けられている。

これらのリセット制御線ＬＲＳＴ、転送制御線ＬＴＲＧ、および選択制御線ＬＳＥＬは、行選択回路２２０により駆動される。

[0055] このような構成を有する画素部２１０は、上述したように、信号配線および制御配線を含んで第１チップ１１０に形成される。

そして、本実施形態においては、第１チップ１１０に配置される増幅トランジスタ２１４とソースフォロワを形成する定電流源ＩＳは第２チップ１２０側に配置される。

[0056] 行選択回路２２０は、画素部２１０の中の任意の行に配置された画素の動作を制御する。行選択回路２２０は、制御線ＬＳＥＬ、ＬＲＳＴ、ＬＴＲＧを通して画素を制御する。

行選択回路２２０は、たとえばシャッターモード切替信号に応じて露光方式を行毎に露光を行うローリングシャッター方式または前画素動に露光を行うグローバルシャッター方式に切り替えて、画像駆動制御を行う。

[0057] カラム読み出し回路２３０は、行選択回路２２０により読み出し制御された画素行のデータを、信号線ＬＳＧＮを介して受け取り、後段の信号処理回路に転送する。

カラム読み出し回路２３０は、ＣＤＳ回路やＡＤＣ（Analog digital converter：アナログデジタルコンバータ）を含む。

[0058] ［列並列ＡＤＣ搭載固体撮像装置の構成例］

なお、本実施形態に係る固体撮像装置（ＣＭＯＳイメージセンサ）は、特に限定されないが、たとえば列並列型のアナログーデジタル変換装置（以下、ＡＤＣと略すこともある）を搭載した固体撮像装置（ＣＭＯＳイメージセンサ）として構成することも可能である。

[0059] 以下、列並列型のＡＤＣを搭載した固体撮像装置（ＣＭＯＳイメージ）の構成例について説明する。

ここでは、まず、列並列ＡＤＣ搭載固体撮像装置の全体の構成例について説明する、その後、下位ビットグレイコードおよび上位ビットバイナリコードする複合カウンタがアレイ状に配置された第１のカラムＡＤＣを含む第１の固体撮像装置（ＣＭＯＳイメージセンサ）について説明する。

その後に、全ビットバイナリコードのカウンタがアレイ状に配置された第２のカラムＡＤＣを含む第２の固体撮像装置（ＣＭＯＳイメージセンサ）について説明する。

[0060] 本実施形態においては、複数のカウンタがアレイ状に配列される第１および第２のＡＤＣにおいて、以下の特徴的な構成を有する。

すなわち、本実施形態においては、カウンタ動作によるＩＲドロップ量を軽減し、電源電圧変動量の低減、および低電源電圧動作を容易に実現する。

たとえば、アレイ状に配列された複数のカウンタのクロック供給経路とコードずらし経路で論理和（ＯＲ）をとり、カウンタクロック供給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらすように構成される。

これにより、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、画質向上に寄与する。

カウント開始コードを意図的にずらすことでＩＲドロップを低減でき、電源電圧変動量の低減、および低電源電圧動作の実力改善に効果がある。

後で述べるように、カウント開始コードの意図的なずらし制御は単純で、カウント動作外の期間に処理するため、カウンタの特性に影響を及ぼすことはなく、ケアが容易である。

また、アレイごとに回路を必要としないため、サイズインパクトも小さい。

[0061] ＜２．２　列並列ＡＤＣ搭載固体撮像装置の全体構成例＞

図１３は、本実施形態に係る列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）の構成例を示すブロック図である。

図１４は、図１３の列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）における要部をより具体的に示すブロック図である。

[0062] この固体撮像装置３００は、図１３および図１４に示すように、撮像部としての画素部３１０、垂直走査回路３２０、水平転送走査回路３３０、タイミング制御回路３４０、および画素信号読み出し部としてのカラムＡＤＣ３５０を有する。なお、画素信号読み出し部は、垂直走査回路３２０等を含んで構成される。

固体撮像装置３００は、Ｄ／Ａ変換器３６１を含むＤＡＣおよびバイアス回路３６０、アンプ回路（Ｓ／Ａ）３７０、および信号処理回路３８０を有する。

これらの構成要素のうち、画素部３１０、垂直走査回路（行選択回路）３２０、水平転送走査回路３３０、カラムＡＤＣ３５０、ＤＡＣおよびバイアス回路３６０、並びにアンプ回路（Ｓ／Ａ）３７０はアナログ回路により構成される。

また、タイミング制御回路３４０、および信号処理回路３８０はデジタル回路により構成される。

[0063] 本実施形態に係るカラムＡＤＣ３５０は、上述したように、以下の特徴的な構成を有する。

カラムＡＤＣ３５０は、たとえば、アレイ状に配列された複数のカウンタのクロック供給経路とコードずらし経路でＯＲをとり、カウンタクロック供

給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらす構成を含む。

これにより、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、画質向上に寄与する。

カウント開始コードを意図的にずらすことでＩＲドロップを低減でき、電源電圧変動量の低減、および低電源電圧動作の実力改善に効果がある。

後で述べるように、カウント開始コードの意図的なずらし制御は単純で、カウント動作外の期間に処理するため、カウンタの特性に影響を及ぼすことはなく、ケアが容易である。

また、アレイごとに回路を必要としないため、サイズインパクトも小さい。

[0064] 画素部３１０は、光電変換素子（フォトダイオード）と画素内アンプとを含む、たとえば図１２に示すような画素がｍ行ｎ列の２次元状（マトリクス状）に配列されている。

また、固体撮像装置３００においては、画素部３１０の信号を順次読み出すための制御回路として次の回路が配置されている。

すなわち、固体撮像装置３００においては、制御回路として内部クロックを生成するタイミング制御回路３４０、行アドレスや行走査を制御する垂直走査回路（行選択回路）３２０、そして列アドレスや列走査を制御する水平転送走査回路３３０が配置される。

[0065] タイミング制御回路３４０は、画素部３１０、垂直走査回路３２０、水平転送走査回路３３０、カラムＡＤＣ３５０、ＤＡＣおよびバイアス回路３６０、信号処理回路３８０の信号処理に必要なタイミング信号を生成する。

また、タイミング制御回路３４０は、ＰＬＬ回路３４１を含む。

ＰＬＬ回路３４１は、カラムＡＤＣ３５０のカウント動作に用いられる、たとえば周波数９００ＭＨｚの基準クロックＰＬＬＣＫを生成する。

ＰＬＬ回路３４１は、カラムＡＤＣ３５０の複数カラムに一つ配置されるグレイコードカウンタ、あるいは全ビットバイナリカウンタにクロックを供

給するクロック供給線ＬＣＫに出力する。

[0066] 画素部３１０においては、ラインシャッタを使用した光子蓄積、排出により、映像や画面イメージを画素行毎に光電変換し、アナログ信号ＶＳＬをカラム処理回路群としてのカラムＡＤＣ３５０に出力する。

カラムＡＤＣ３５０では、各カラム部でそれぞれ、画素部３１０のアナログ出力をＤＡＣ３６１からの参照信号（ランプ信号）ＲＡＭＰを使用したＡＤ変換、およびデジタルＣＤＳを行い、数ビットのデジタル信号を出力する。

[0067] 水平転送走査回路３３０では、転送速度の確保のために数チャンネル同時並列転送を行う。

後段の信号処理回路３８０では、縦線欠陥や点欠陥の補正、信号のクランプ処理を行ったり、パラレル-シリアル変換、圧縮、符号化、加算、平均、間欠動作などデジタル信号処理を行う。

本実施形態の固体撮像装置３００においては、信号処理回路３８０のデジタル出力がＩＳＰやベースバンド（base band）ＬＳＩの入力として送信される。

[0068] 以下、本実施形態に係る特徴的な構成を有するカラムＡＤＣ１５０の構成、機能について詳細に説明する。

[0069] ＜２．３　第１のカラムＡＤＣの基本構成例＞

図１５および図１６は、本実施形態に係る第１のカラムＡＤＣ（カラムＡ／Ｄ変換器）３５０Ａの基本的な構成例を示す図である。

[0070] 第１のカラムＡＤＣ３５０Ａは、通常のカラムＡＤＣにおいて消費電力の大半を占めるのが各カラム内リップルカウンタの下位側ビットであることから、次のように構成される。

第１のカラムＡＤＣ３５０Ａは、各カラムにおける下位側ビットのカウント動作は行わず、複数カラムにひとつ配置した、基準クロックＰＬＬＣＫに同期してカウントを行うＮビットグレイコードカウンタの出力コードを各カラムでラッチする構成を採用する。これにより、ＡＤ変換値を確定する。

本実施形態に係る第１のカラムＡＤＣ３５０Ａにおいては、タイミング制御回路３４０のＰＬＬ回路３４１で生成される基準クロックＰＬＬＣＫは数ユニットのグレイコードカウンタのみに入力される。

このため、配線負荷が軽く、動作周波数を大きくすることができる。

本実施形態では、このとき、クロック供給前に疑似的なカウント動作を行わせるために、コードずらし経路より、カウント開始コードを意図的にずらすように、グレイコードカウンタへのクロック入力ラインにカウント開始ずらし部４１０が配置される。

また、本実施形態のカラムＡＤＣ３５０Ａにおいては、カラム毎に下位ビットのカウント動作を行わないことから消費電力を小さく抑えることができる。

第１のカラムＡＤＣ３５０Ａにおいては、カウンタ上位側ビットに関しては、カウンタ出力Ｎビット目のコード（クロック）を用いて、リップルカウント動作を行うことができる。

これにより、カラム内デジタルＣＤＳ（Correlated Double Sampling；相関二重サンプリング）を行うことができ、水平転送配線面積を抑えることも可能としている。

また、第１のカラムＡＤＣ３５０Ａは、カラム内に加算器等を配置することにより、ラッチした下位ビットに関してもカラム内でいわゆる垂直（Ｖ）方向加算を行う構成をとることも可能である。

本実施形態の第１のカラムＡＤＣ３５０Ａは、同時間分解能をもつ場合のフルビットリップルカウンタ方式と比較して、消費電力を１／８程度まで抑えることが可能となっている。

[0071] 本実施形態に係る第１のカラムＡＤＣ３５０Ａは、下位Ｎビット、上位Ｍビットのａｄｃとして構成される。

本実施形態に係る第１のカラムＡＤＣ３５０Ａは、たとえば下位５ビット、上位１０ビットのＡＤＣとして構成される。

[0072] 第１のカラムＡＤＣ３５０Ａは、複数カラムを含む複数のＡＤＣブロック

３５１－０～３５０－Ｐに有する。換言すれば、第１のカラムＡＤＣ１５０Ａは、複数のカラムを一つのＡＤＣブロックとして複数のＡＤＣブロックに区分けされている。

第１のカラムＡＤＣ３５０Ａは、各ＡＤＣブロック３５０－１～３５０－Ｐに一つのグレイコードカウンタ３００－１～３００－Ｐが配置されている。グレイコードカウンタ３００－１～２００－Ｐは、コード変換カウンタとして機能する。

各カラムには、カラム毎に比較処理、下位ビットラッチ、並びに上位ビットカウント動作を行うカラム処理部５００が配置されている。

[0073] カラム処理部５００は、ＤＡＣ１６１により生成される傾きを変化させたランプ波形である参照信号ＲＡＭＰ（Ｖｓｌｏｐ）と、行線毎に画素から垂直信号線ＬＳＧＮを経由し得られるアナログ信号ＶＳＬとを比較する比較器（コンパレータ）５１０を有する。

カラム処理部５００は、比較器５１０の出力およびグレイコードカウンタ４００－１～４００－Ｐのカウント結果を受けてカウント値をラッチする下位Ｎビットの下位ビットラッチ部５２０を有する。

カラム処理部５００は、下位ビットラッチ部５２０の最上位側下位ビットラッチ回路のラッチ出力を受けてカウント動作を行う上位Ｍビット用の上位ビットカウンタ部５３０を有する。

また、カラム処理部５００は、最上位側下位ビットラッチ回路の出力と上位ビットリップルカウンタ５３０の最下位側上位ビットリップルカウンタ回路との間に、ビット非整合性を防止するビット非整合性防止回路５４０を有する。

[0074] なお、下位ビットラッチ部５２０と上位ビットカウンタ部５３０によりラッチカウンタ部が形成される。

また、グレイコードカウンタ４００と下位ビットラッチ部５２０により第１のカウンタが形成され、上位ビットカウンタ部５３０により第２のカウンタが形成される。

[0075] 本実施形態においては、参照信号ＲＡＭＰは、時間とともに電圧値がたとえば線形に変化するランプ波形として生成される。

各カラム処理部５００の比較器５１０は、この参照信号ＲＡＭＰと画素部３１０のアドレス指定された画素から垂直信号線ＬＳＧＮに読み出されたアナログ信号ＶＳＬとを比較する。

ここでは、比較器５１０は、参照信号ＰＡＭＰとアナログ信号ＶＳＬが一致するまでは出力信号ＶＣＯをハイレベルで出力し、一致すると出力信号ＶＣＯのレベルをハイレベルからローレベルに反転する。

本実施形態では、この比較器５１０の出力信号ＶＣＯの出力レベルが反転したことをトリガとして下位ビットラッチ部５２０におけるグレイコードＧＣ［０］～ＧＣ「４」のラッチ動作が行われる。

[0076] ＜２．４　グレイコードカウンタの構成例＞

各グレイコードカウンタ４００は、タイミング制御回路１４０のＰＬＬ回路１４１で生成され、クロック供給線ＬＰＬＬＣＫを伝搬される、たとえば周波数ｆｎ（ＭＨｚ）の基準クロックＰＬＬＣＫを受けデジタルコードであるＮビットのグレイコードＧＣを生成する。

複数のＮビットのグレイコードＧＣは、１ビットのみ論理［０］と論理［１］間のレベル遷移がおこるコードとして形成される。

本実施形態のグレイコードカウンタ４００は、周波数ｆｎの基準クロックＰＬＬＣＫを受けてカウント動作を行い、分周した周波数の５（＝Ｎ）ビットのグレイコードＧＣ［０］～ＧＣ［４］を生成する。

グレイコードカウンタ４００は、周波数（１／２）ｆｎの最下位のグレイコードＧＣ［０］を生成し、周波数（１／４）ｆｎのグレイコードＧＣ［１］を生成し、周波数（１／８）ｆｎＭＨｚのグレイコードＧＣ［２］を生成する。

グレイコードカウンタ４００は、周波数（１／１６）ｆｎのグレイコードＧＣ［３］おおび最上位のグレイコードＧＣ［４］を生成する。

各グレイコードカウンタ４００は、生成したグレイコードを同じＡＤＣブ

ロック１５０－１～１５０－Ｐに含まれる複数カラム分の下位ビットラッチ部５２０に供給する。

[0077] グレイコードカウンタ４００は、入力基準クロックＰＬＬＣＫの立ち下りエッジでバイナリコードＰＧ［０］～ＰＧ［４］を生成し、入力クロックおよびバイナリコードＰＧ「［０］～ＰＧ［４］を生成する。

そして、基準クロックＰＬＬＣＫと同じ周波数のクロックＣＫおよびその反転信号ＸＣＫで各ビットの同期を取り直して、グレイコードＧＣ［０］～ＧＣ［４］を出力する。

[0078] 各グレイコードカウンタ４００は、生成したグレイコードを同じＡＤＣブロック１５０－１～１５０－Ｐに含まれる複数カラム分の下位ビットラッチ部５２０に供給する。

[0079] ［基準クロックＰＬＬＣＫの伝送］

本実施形態においては、クロック供給線ＬＣＫを伝送される基準クロックＰＬＬＣＫのデューティの崩れを防止するために、図７に示すような構成を採用している。

すなわち、ＰＬＬ回路１４１の出力部からラム全体に配線される主クロック供給線ＭＬＣＫにはひとつのＣＭＯＳバッファによる一つずつの主インバータＭＩＶをリピータとして用いている。

そして、各ＡＤＣブロック１５０－１～１５０－Ｐのグレイコードカウンタ４００に分岐する副クロック供給線ＳＬＣＫには、基準クロックＰＬＬＣＫが正論理で供給されるように、反転回路としての副インバータＳＩＶが選択的に配置される。

図７の例では、ＡＤＣブロック１５０－１のグレイコードカウンタ４００－１にはリピータとしての主インバータＭＩＶを介していないことから、副クロック供給線ＳＬＣＫには副インバータＳＩＶは配置されていない。

ＡＤＣブロック１５０－２のグレイコードカウンタ４００－２には、リピータとしての主インバータＭＩＶを介していることから、副クロック供給線ＳＬＣＫには副インバータＳＩＶが配置されている。

以下同様に構成される。

このような構成を採用することにより、周波数ｆｎ（ＭＨｚ）程度の高速な基準クロックＰＬＬＣＫのデューティに崩れを防止しながら、略５０％に保持しつつ、供給先のグレイコードカウンタ４００に伝送することができる。

[0080] ＜２．５　カウント開始コードを意図的にずらす制御の概要＞

図１７は、第１のカラムＡＤＣに適用されるカウント開始コードを意図的にずらす制御の具体的なタイミングチャートを示す図である。

図１８は、図１７のように反映タイミングをずらすことにより、数千カラムが同時並列的に動作した場合でも瞬時電流を平均化させて小さくなる様子を概念的に示す図である。

図１９は、図１７のように反映タイミングをずらすことにより、アレイ状に配置されたカウンタが同時動作した場合でも電源ドロップが平均化されることを説明するための図である。

図２０は、比較例として、カウント開始コードを意図的にずらす制御を行わない場合の具体的なタイミングチャートを示す図である。

[0081] カウント開始コードを意図的にずらす制御はカウンタ回路（本例ではグレイコードウンタ）のリセットタイミング後に、複数カラムを１グループとしてグループ毎に異なるパルス数を事前入力し、カウント開始時のコードをずらしておくだけの簡単なものである。

この場合、たとえばタイミング制御回路３４０の制御の下に生成される開始コードずらしパルスＳＰＰが各カウント開始ずらし部４１０に異なるパルス数をもって供給される。

この制御により、下位ビットグレイコードおよび上位ビットバイナリコードの複合カウンタにおいては、図１８および図１９に示すように、複数カラムに対応するカウンタ回路の上位ビットバイナリコードへのクロック反映タイミングが分散される。このため、カウント時の電源変動を抑制できる。

また、もっとも電源変動が大きくなる状態である複数カラム対応のカウン

タ回路（本例ではグレイコードカウンタ）のオール“０”からオール“１”への一斉動作タイミングも同様に分散できる。

この点に関しては、下位ビットグレイコードおよび上位ビットバイナリコードの複合カウンタ、後述する全ビットバイナリコードのカウンタどちらにも効果がある。

[0082] ちなみに、図２０に示すように、カウント開始コードを意図的にずらす制御を行わない場合は、以下の不利益がある。

図３および図４に示すように、アレイ状に配置されたカウンタが同時動作することによってＩＲドロップ等に起因して発生する電流変動ΔＩとパッケージのＬ成分で、カラムＡ／Ｄ変換器としては巨大な内部電源電圧の変動ΔＶ（＝－Ｌ×Δｄｉ/Δｔ）が発生する。

カラムＡ／Ｄ変換器では、図３に示すように、数千カラムが同時並列的に動作することから瞬時に電流が増大する。

[0083] ＜２．６　カウント開始ずらし部４１０の第１の構成例＞

図２１は、本実施形態に係るカウント開始ずらし部の第１の構成例を示す図である。

図２２は、比較例としてカウント開始ずらし部を持たない場合のグレイコードカウンタへのクロック供給部を示す図である。

なお、図２１および図２２においては、理解を容易にするために、グレイコードカウンタが２つの場合を例に示している。

[0084] 第１の構成例では、グレイコードカウンタ（カウンタ回路）のクロック供給経路ＬＣＫ１とコードずらし経路ＬＳＰＰ１を設け、カウント開始ずらし回路４１０Ａ－１，４１０Ａ－２に両経路の論理和をとる論理和（ＯＲ）回路４１１－１，－２を配置している。

そして、それぞれのグループに対応する各コードずらし経路ＬＳＰＰ１－１，ＬＳＰＰ１－２に外部で生成された異なるパルス数のコードずらしパルスＳＰＰ１、ＳＰＰ２を伝搬させる。図２１の例では、コードずらしパルスＳＰＰ１のパルス数は２であり、コードずらしパルスＳＰＰ２のパルス数は

１である。

このように、第１の構成例では、アレイ状に配列された複数のカウンタのクロック供給経路とコードずらし経路でＯＲをとり、カウンタクロック供給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらす。

この第１の構成例では、下位ビットグレイコードおよび上位ビットバイナリコードの複合カウンタにおいては、複数カラムに対応するカウンタ回路の上位ビットバイナリコードへのクロック反映タイミングが分散される。このため、カウント時の電源変動を抑制できる。

また、もっとも電源変動が大きくなる状態である複数カラム対応のグレイコードカウンタのオール“０”からオール“１”への一斉動作タイミングも同様に分散できる。

[0085] ちなみに、図２２のように、カウント開始ずらし回路を有してない構成では、疑似的なカウント動作が行われてないことから、アレイ状に配置されたグレイコードカウンタ４００が同時並列的に動作する。これにより、ことによってＩＲドロップ等に起因して発生する電流変動ΔＩとパッケージのＬ成分で、カラムＡ／Ｄ変換器としては巨大な内部電源電圧の変動ΔＶ（＝－Ｌ×Δｄｉ/Δｔ）が発生する。

カラムＡ／Ｄ変換器では、数千カラムが同時並列的に動作することから瞬時に電流が増大する。

[0086] ＜２．７　カウント開始ずらし部４１０の第２の構成例＞

図２３は、本実施形態に係るカウント開始ずらし部の第２の構成例を示す図である。

[0087] この第２の構成例では、１本の主コードずらし経路ＭＬＳＰＰ１に複数のパルスを含むコードずらしパルスＳＰＰ１０を伝搬させている。

主コードずらし経路ＭＬＳＰＰ１を各グループのＯＲ回路４１１－１，－２の入力段で副コードずらし経路ＳＬＳＳＰ１－１，－２に分岐されている。

そして、図２３の構成では、主コードずらし経路ＭＬＳＰＰ１の分岐領域の前のパルス数を調整（削除）するパルス数調整部４１２－１，４１２－２・・・が配置されている。

[0088] 図２３の構成において、たとえばタイミング制御回路３４０の制御の下、パルス数がたとえば１６のコードずらしパルスＳＰＰ１０が主コードずらし経路ＭＬＳＰＰ１に伝搬される。そして、初段のパルス数調整部４１２－１でたとえばパルスが２個削除されて、１４個のパルスのコードずらしパルスが副コードずらし経路ＳＬＳＳＰ１－１に分岐されてＯＲ回路４１１－１に供給される。

パルス数が１４の削減されたコードずらしパルスＳＰＰ１０は、次段のパルス数調整部４１２－２でたとえばパルスが２個削除されて、１２個のパルスのコードずらしパルスが副コードずらし経路ＳＬＳＳＰ１－２に分岐されてＯＲ回路４１１２－２に供給される。

このように、第２の構成例では、パルス数を分岐させる毎に削減させてカウンタクロック供給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらす。

[0089] 図２４は、本実施形態に係るカウント開始ずらし部のパルス数調整部を含む具体的な構成例を示す回路図である。

[0090] 図２４のカウント開始ずらし部４１０Ｃにおけるパルス数調整部４１２は、縦続接続されたフリップフロップ（ＦＦ）４１２１，４１２２、および２入力ＡＮＤ（論理積）回路４１２３を含んで構成されている。

[0091] パルス数調整部４１２において、フリップフロップ４１２１，４１２２の負のクロック入力端子がコードずらしパルスＳＰＰ１０が伝搬される主コードずらし経路ＭＬＳＳＰ１に接続されている。

フリップフロップ４１２１は、Ｄ入力が電源電位ＶＤＤに接続され、Ｑ出力が次段のフリップフロップ４１２２のＤ入力に接続され、フリップフロップ４１２２の出力がＡＮＤ回路４１２３の一方に入力に接続されている。

そして、ＡＮＤ回路４１２３の他方の入力および出力が主コードずらし経

路ＭＬＳＳＰ１に接続されている。すなわち、ＡＮＤ回路４１２３は主コードずらし経路ＭＬＳＳＰ１に挿入されている。

[0092] このような構成を有するカウント開始ずらし部４１０Ｃは、フリップフロップ４１２１，４１２２とＯＲ回路４１１で構成されるイネーブラを１グループに１ユニットもつだけの簡単でサイズ影響の小さなものである。

図２４の例は、グループ１にのみ外部で生成された単一のパルスを入力し、内部でパルス数を減らして後段に伝達するだけの簡単な回路構成である。

[0093] なお、第２の構成例としてパルスを徐々に削減していく場合を例に説明したが、本技術はパルスを徐々に増やしていく構成も適用することが可能である。

[0094] ［カウント開始コードを意図的にずらす制御を採用した場合のＣＤＳ読み出し方式］

図２５の（Ａ）および（Ｂ）は、カウント開始コードを意図的にずらす制御を採用しない場合と採用した場合のＣＤＳ読み出し方式を模式的に示す図である。

図２５の（Ａ）がカウント開始コードを意図的にずらす制御を採用しない場合を、図２５の（Ｂ）がカウント開始コードを意図的にずらす制御を採用した場合を、それぞれ示している。

[0095] カウント開始コードを意図的にずらす制御は、リセットが基準読み出し前に実施し（図中の１ｓｔ制御）、また、信号転送後の読み出し前にも制御を実施（図中の２ｎｄ制御）することで本来の信号だけを読み出すことができる。

[0096] ＜２．８ 下位ビットラッチ部５２０および上位ビットリップルカウンタ５３０の構成例＞

下位ビットラッチ部５２０は、同じＡＤＣブロック１５０－１～１５０－Ｐのグレイコードカウンタ４００で生成されたグレイコードＧＣ［０］～ＧＣ［４］を、同じカラムの比較器５１０の出力がローレベルに反転したことをトリガとしてラッチする機能を有する。

[0097] 図２６は、本実施形態に係るグレイコードカウンタの出力、下位ビットラッチ部および上位ビットリップルカウンタの基本的な配置関係を示す図である。

図２８は、本実施形態に係る下位ビットラッチ部にラッチされるグレイコードおよび上位ビットリップルカウンタの各カウンタ出力の一例を示す図である。

[0098] ［下位ビットラッチ部の構成例］

各カラムに配置される下位ビットラッチ部５２０は、各グレイコードＧＣ［０］～ＧＣ［４］をラッチする下位ビットラッチ回路（ＬＴＣ）５２１～５２５（５２Ｎ）、および比較器５１０の出力を入力する比較器出力入力部（ＶＣＯ入力部）５２６を有する。

[0099] 下位ビットラッチ回路５２１は、グレイコードカウンタ４００によるグレイコードＧＣ［０］を取り込んでラッチする。

下位ビットラッチ回路５２２は、グレイコードカウンタ４００によるグレイコードＧＣ［１］を取り込んでラッチする。

下位ビットラッチ回路５２３は、グレイコードカウンタ４００によるグレイコードＧＣ［２］を取り込んでラッチする。

下位ビットラッチ回路５２４は、グレイコードカウンタ４００によるグレイコードＧＣ［３］を取り込んでラッチする。

下位ビットラッチ回路５２５は、グレイコードカウンタ４００によるグレイコードＧＣ［４］を取り込んでラッチする。

[0100] そして、最上位側下位ビットラッチ回路５２５の出力がビット非整合性防止回路５４０を介して上位Ｍビット用の上位ビットカウンタ部５３０の最下位側リップルカウンタＣＴ３３１に供給される。

[0101] また、各下位ビットラッチ回路５２１～５２５は、ＣＤＳのためにＰ相時のラッチデータをデータ転送線ＬＴＲＦに転送出力する機能を有する。

この場合、後段の信号処理回路３８０において、Ｐ相のデータ処理が行われる。

[0102] ［遅延ＶＣＯによる駆動］

図２８の（Ａ）～（Ｃ）は、本実施形態に係る下位ビットラッチ部におけるラッチ処理に好適な駆動方法である遅延ＶＣＯ駆動について説明するための図である。

図２８の（Ａ）は、一つのＡＤＣブロックにおける下位ビットラッチ部を模式的に示している。

図２８の（Ｂ）は、比較器５１０の出力信号ＶＣＯを遅延させない通常ＶＣＯ駆動のためのタイミングを示している。

図２８の（Ｃ）は、比較器５１０の出力信号ＶＣＯを遅延させる遅延ＶＣＯ駆動のためのタイミングを示している。

[0103] 比較器５１０の出力信号ＶＣＯを遅延させない通常ＶＣＯ駆動の場合、図２８の（Ｂ）に示すように、信号ＶＣＯの立ち下がりのタイミングでラッチすることから、データが確定するまではラッチノードＮＤ５２２がトグルしているため、消費電力が大きい。

比較器５１０の出力信号ＶＣＯを遅延させる遅延ＶＣＯ駆動の場合、図２８の（Ｃ）に示すように、信号ＶＣＯの立ち下がりのタイミングから数ｎ秒後にラッチする。その結果、信号ＶＣＯのエッジタイミングまでは、ラッチノードＮＤ５２２のトグルが生じないことから消費電力を抑えることが可能となる。

この遅延ＶＣＯ駆動の場合、たとえばＶＣＯ入力部５２６において遅延素子を配置し手調整するように構成することが可能である。

[0104] ［上位ビットカウンタ部の構成例］

このような構成を有する下位ビットラッチ部５２０の出力側にビット非整合性を防止するビット非整合性防止回路５４０を介して上位ビットカウンタ部５３０が配置されている。

[0105] 上位ビットカウンタ部５３０は、Ｍビット（本例ではＭ＝１０）のリップルカウンタ（バイナリカウンタ）ＣＴ５３１～ＣＴ５４０が縦続接続されて構成されている。

リップルカウンタＣＴ５３１～ＣＴ５４０は、アップダウン（Ｕ／Ｄ）カウンタとして形成される。

上位ビットカウンタ部５３０は、図９に示すように、下位ビットラッチ部５２０の最上位側の下位ビットラッチ回路５２５にラッチされたグレイコードＧＣ［Ｎ（＝４）］の立ち下りのタイミングで最下位側のリップルカウンタＣＴ５３１でカウントされる。

次に、次段のリップルカウンタＣＴ５３２は、前段のリップルカウンタＣＴ５３１の出力信号の立ち下りのタイミングでカウントされる。

以下同様に、前段のリップルカウンタの出力信号の立ち下がりのタイミングでカウント動作が行われる。

[0106] ［リップルカウンタの具体的な構成例］

図２９は、本実施形態に係る上位側リップルカウンタの具体的な構成例を示す回路図である。

[0107] 図２９の上位側リップルカウンタは、リップルカウンタＣＴ５３１～ＣＴ５４０の共通回路構成を示している。

ここでは、リップルカウンタＣＴ５３１を例に説明する。

[0108] リップルカウンタＣＴ５３１は、フリップフロップＦＦ５３１、およびフリップフロップＦＦ５３１のクロック入力段に配置されたＯＲＮＡＮＤゲートＯＲＮＡ５３１により構成されている。

[0109] ＯＲＮＡＮＤゲートＯＲＮＡ５３１のＯＲゲートＯＲ５３１の第１入力端子に前段のキャリーアウトＣＯＵＴがキャリーインＣＩＮ（クロック入力）として入力され、第２入力端子に第１外部制御信号ＨＬＤＣＫが供給される。

ＮＡＮＤゲートＮＡ５３１の第１入力端子がＯＲゲートＯＲ５３１の出力が供給され、第２入力端子に第２外部制御信号ｘＲＶＤＣＫが供給される。

ＮＡＮＤゲートＮＡ５３１の出力がフリップフロップＦＦ５３１のクロックノードＮＤ５３１に接続されている。

[0110] フリップフロップＦＦ５３１は、ＯＲＮＡＮＤゲートＯＲＮＡ５３１の出

力ノードＮＤ５３１がローレベルの場合には、出力ノードＮＤ５３２のラッチデータがＱ入力側に供給される。

フリップフロップＦＦ５３１は、ノードＮＤ５３１がハイレベルの場合には、出力ノードＮＤ５３２のラッチデータがＱ入力側レベルの反転レベルとなる。

[0111] このような構成を有するリップルカウンタＣＴ５３１では、Ｐ相およびＤ相切り替え時のデータ反転機能を有する。

図３０は、図２９のリップルカウンタＣＴ５３１におけるＰ相およびＤ相切り替え時のデータ反転機能を説明するための図である。

Ｐ相時のデータが第１データに相当し、Ｄ相時のデータが第２データに相当する。

図２９のリップルカウンタＣＴ５３１は、各ビットのクロックラインを外部から直接制御し、カウント動作（データ反転）に必要な立ち上がり（Rise）/立ち下り（Fall）エッジを唯一一回強制付加することで、全ビットのデータ反転を実現可能である。

本例の場合、第１外部制御信号ＨＬＤＣＫをハイレベルに保持した状態で、第２外部制御信号ｘＲＶＤＣＫをハイレベルからローレベルに切り替えることにより、ノードＮＤ５３１のレベルをローレベルからハイレベルに切り替えることができる。

これにより、データを反転させることができる。

[0112] 図３１は、４つのリップルカウンタが縦続接続されている場合の出力データの状態遷移を含むタイミングチャートを一例として示す図である。

この例では、カウントアップ動作を行い、カウント値が「６」になった後に、第１外部制御信号ＨＬＤＣＫをハイレベルに保持した状態で、第２外部制御信号ｘＲＶＤＣＫをハイレベルからローレベルに切り替えて、データ反転を行っている。

これにより、「－７」からのダウンカウントに切り替えられている。

[0113] このように、上位ビットカウンタ５３０は、各カラムにおいて上記ビット

のＣＤＳ処理を行う機能を有する。

したがって、各カラム処理部５００において、下位の５（Ｎ）ビットのグレイコードＧＣ［０］～ＧＣ［４］はラッチされたデータが、上位の１０（Ｍ）ビットは各カラムのリップルカウンタによりＣＤＳされたデータがデータ転送線ＬＴＲＦに出力される。

これらのデータは、データ転送線ＬＴＲを介して信号処理回路１８０に供給されて、全体的なＣＤＳが行われる。

[0114] 図３２は、本実施形態における後段の信号処理回路におけるＣＳＤ演算処理を模式的に示す図である。

図３３は、本実施形態におけるバイナリデータとグレイコードのＣＤＳ演算処理の具体例を示す図である。

以下のＣＤＳ演算処理の説明では、簡単化のため、カウント開始コードの意図的なずらし制御については、図２５に関連付けて説明したことから省略してある、

[0115] 信号処理回路３８０は、基本的に図３２に示すように、あらかじめＣＤＳされたバイナリデータである上位ビットＢＩＮ［１４：５］、Ｐ相のグレイコードＧＣ_Ｐ［４：０］、およびＤ相のグレイコードＧＣ_Ｄ［４：０］が入力される。

信号処理回路３８０は、グレイコードからバイナリコードへの変換回路１８１を有している。

変換回路３８１は、Ｐ相のグレイコードＧＣ_Ｐ［４：０］をバイナリコードＢＣ_Ｐ［４：０］に変換する。

変換回路３８１は、Ｄ相のグレイコードＧＣ_Ｄ［４：０］をバイナリコードＢＣ_Ｄ［４：０］に変換する。

信号処理回路３８０は、加算部３８２において上位ビットＢＩＮ［１４：５］とＤ相のバイナリコードＢＣ_Ｄ［４：０］とを加算する。

そして、信号処理回路３８０は、減算部３８３において、加算部３８２の加算結果Ｓ１８２からＰ相のバイナリコードＢＣ_Ｐ［４：０］を減算する。

さらに、信号処理回路３８０は、加算部３８４において、減算器の減算結果に初期値ＦＶ（本実施形態では３２）を加算することにより、全体的にＣＤＳ演算されたデータＣＤＳ_ＤＡＴＡ［１４：０］を得る。

[0116] 図３３の例においては、リセット初期値-32からＰ相およびＤ相カウントを行い、最終的に信号処理回路（ＤＰＵ）３８０にて下位グレイコードの上記ＣＤＳ演算を行う。

その演算式は、次のように表すことができる。

ＣＤＳデータ＝バイナリデータ+Ｄ相グレイデータ-Ｐ相グレイデータ+３２digit

すなわち、

ＣＤＳ_ＤＡＴＡ［１４：０］

＝ＢＩＮ［１４：５］＋ＢＣ_Ｄ［４：０］－ＢＣ_Ｐ［４：０］＋３２

[0117] なお、下位ビットラッチ回路５２１～５２５のラッチデータをカラム内で加算処理してＣＤＳ処理を行うように構成することも可能である。

[0118] 図３４は、下位ビットラッチ回路のラッチデータをカラム内で加算処理してＣＤＳ処理を行うＣＤＳ処理部の構成例を示す回路図である。

[0119] ＣＤＳ処理部５２７は、コードラッチ部ＣＬＴ５２１～ＬＴ５２Ｎ（ここではＣＬＴ５２３まで示している）に加えて、アップダウンカウンタとしてのフリップフロップＦＦ５２１，ＦＦ５２２，ＦＦ５２３（，ＦＦ５２４、ＦＦ５２５）を有する。

ＣＤＳ処理部５２７は、２入力ＮＡＮＤゲートＮＡ５２１，ＮＡ５２２，ＮＡ５２３（，ＮＡ５２４，ＮＡ５２５）、およびコード変換回路としてのＥＸＯＲゲートＥＸ５２１，ＥＸ５２２（，ＥＸ５２３，ＥＸ５２４）を有する。

[0120] この処理部は、最下位の下位ビットラッチ回路５２１のコードラッチ部ＣＬＴ５２１にラッチされたグレイコードＧＣ「０」は、そのままバイナリコードＢＤ［０］として扱われる。

最下位のバイナリコードＢＤ［０］はＮＡＮＤゲートＮＡ５２１の第１入力端子に供給される。ＮＡＮＤゲートＮＡ５２１の第２入力端子には、パルス信号ＣＮＴＰＬＳ［０］が供給される。

ＮＡＮＤゲートＮＡ５２１の出力端子はフリップフロップＦＦ５２１の端子ＲＣＫに接続されている。

そして、フリップフロップＦＦ５２１の反転出力端ＸＱが自身のデータ入力端Ｄおよび次段のフリップフロップＦＦ５２２のクロック端に接続されている。

フリップフロップＦＦ５２１は、ラッチデータが「０」から「１」になるとキャリーを出力する。

［0121］ 最下位ビットを除く、下位ビットは自段でラッチされたグレイコードＧＣと前段のバイナリコードＢＤとの排他的論理和（ＥＸＯＲ）をとることによりバイナリコードＢＤ［１］～ＢＤ［５］に変換される。

すなわち、下位ビットラッチ回路５２２のコードラッチ部ＣＬＴ５２２にラッチされたグレイコードＧＣ「１」はＥＸＯＲゲートＥＸ５２１で前段のバイナリコードＢＤ［０］とＥＸＯＲがとられてバイナリコードＢＤ［１］に変換される。

最下位のバイナリコードＢＤ［１］はＮＡＮＤゲートＮＡ５２２の第１入力端子に供給される。ＮＡＮＤゲートＮＡ５２２の第２入力端子には、パルス信号ＣＮＴＰＬＳ［１］が供給される。

ＮＡＮＤゲートＮＡ５２２の出力端子はフリップフロップＦＦ５２２の端子ＲＣＫに接続されている。

そして、フリップフロップＦＦ５２２の反転出力端ＸＱが自身のデータ入力端Ｄおよび次段のフリップフロップＦＦ５２３のクロック端に接続されている。

フリップフロップＦＦ５２２は、ラッチデータが「０」から「１」になるとキャリーを出力する。

下位ビットラッチ回路５２３のコードラッチ部ＣＬＴ５２３にラッチされ

たグレイコードＧＣ「２」はＥＸＯＲゲートＥＸ５２２で前段のバイナリコードＢＤ［１］とＥＸＯＲがとられてバイナリコードＢＤ［２］に変換される。

最下位のバイナリコードＢＤ［２］はＮＡＮＤゲートＮＡ５２３の第１入力端子に供給される。ＮＡＮＤゲートＮＡ５２３の第２入力端子には、パルス信号ＣＮＴＰＬＳ［２］が供給される。

ＮＡＮＤゲートＮＡ５２３の出力端子はフリップフロップＦＦ５２３の端子ＲＣＫに接続されている。

そして、フリップフロップＦＦ５２２の反転出力端ＸＱが自身のデータ入力端Ｄおよび次段のフリップフロップＦＦ５２３のクロック端に接続されている。

フリップフロップＦＦ５２３は、ラッチデータが「０」から「１」になるとキャリーを出力する。

以下に、下位ビットラッチ回路５２４，５２５の段においても同様の処理が行われる。

[0122] なお、パルス信号ＣＮＴＰＬＳ［０］，［１］，「２」，［３］，［４］は順番に１パルスずつ入力される。

[0123] 以上説明したように、本実施形態に係る第１のカラムＡＤＣは、カウント開始コードを意図的にずらす制御を採用することにより、以下に示す効果を得ることができる。

すなわち、本実施形態においては、カウンタ動作によるＩＲドロップ量を軽減し、電源電圧変動量の低減、および低電源電圧動作を容易に実現する。

たとえば、アレイ状に配列された複数のカウンタのクロック供給経路とコードずらし経路で論理和（ＯＲ）をとり、カウンタクロック供給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらすように構成される。

これにより、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、画質向上に寄与する。

カウント開始コードを意図的にずらすことでＩＲドロップを低減でき、電源電圧変動量の低減、および低電源電圧動作の実力改善に効果がある。

カウント開始コードを意図的にずらすことで瞬時電流ΔＩのピークを分散でき、パッド追加によるチップサイズ増大を回避できる効果がある。

カウント開始コードの意図的なずらし制御は単純で、カウント動作外の期間に処理するため、カウンタの特性に影響を及ぼすことはなく、ケアが容易である。

また、アレイごとに回路を必要としないため、サイズインパクトも小さい。

[0124] また、本実施形態に係る第１のカラムＡＤＣ３５０は、通常のカラムＡＤＣにおいて消費電力の大半を占めるのが各カラム内リップルカウンタの下位側ビットであることから、次のように構成される。

カラムＡＤＣ３５０は、各カラムにおける下位側ビットのカウント動作は行わず、複数カラムにひとつ配置した、基準クロックＰＬＬＣＫに同期してカウントを行うＮビットグレイコードカウンタ４００の出力コードを各カラムでラッチする構成を採用する。これにより、ＡＤ変換値を確定する。

本実施形態に係るカラムＡＤＣ３５０においては、タイミング制御回路３４０のＰＬＬ回路で生成される基準クロックＰＬＬＣＫは数ユニットのグレイコードカウンタのみに入力される。

このため、配線負荷が軽く、動作周波数を大きくすることができる。

また、本実施形態のカラムＡＤＣ３５０においては、カラム毎に下位ビットのカウント動作を行わないことから消費電力を小さく抑えることができる。

カラムＡＤＣ３５０においては、カウンタ上位側ビットに関しては、カウンタ出力Ｎビット目のコード（クロック）を用いて、リップルカウント動作を行うことができる。

これにより、カラム内デジタルＣＤＳを行うことができ、水平転送配線面積を抑えることも可能としている。

また、カラムＡＤＣ３５０は、カラム内に加算器等を配置することにより、ラッチした下位ビットに関してもカラム内でいわゆる垂直（Ｖ）方向加算を行う構成をとることも可能である。

本実施形態のカラムＡＤＣ３５０は、同時間分解能をもつ場合のフルビットリップルカウンタ方式と比較して、消費電力を１／８程度まで抑えることが可能となっている。

[0125] また、本実施形態によれば、グレイコードおよびバイナリコード複合カウンタ方式において固有である、グレイおよびバイナリビット非整合によるカウンタ誤カウントを防ぐことができる。

[0126] ＜２．８　第２のカラムＡＤＣの基本構成例＞

次に、全ビットバイナリコードのカウンタを含んで構成される第２のカラムＡＤＣ（カラムＡ／Ｄ変換器）について説明する。

図３５は、図１３の列並列ＡＤＣ搭載固体撮像装置（ＣＭＯＳイメージセンサ）における要部の他の構成例を示す図であって、本実施形態に係る第２のカラムＡＤＣ（カラムＡ／Ｄ変換器）の基本的な構成例を示す図ある。

図３５においては、第２のカラムＡＤＣ３５０Ｂの構成を、符号６５０を付して説明する。

[0127] 第２のカラムＡＤＣ６５０（３５０Ｂ）は、比較器６５１、カウンタ６５２、およびラッチ６５３を有するシングルスロープ型ＡＤＣが複数列配列されている。

比較器６５１は、ＤＡＣ３６１により生成される参照電圧を階段状に変化させたランプ波形（ＲＡＭＰ）である参照電圧Ｖｓｌｏｐと、行線毎に画素から垂直信号線ＬＳＧＮを経由し得られるアナログ信号とを比較する。

カウンタ６５２は、比較器６５１の比較時間をカウントする。

第２のカラムＡＤＣ６５０は、ｎビットデジタル信号変換機能を有し、垂直信号線（列線）毎に配置され、列並列ＡＤＣブロックが構成される。

各ラッチ６５３の出力は、たとえば２ｎビット幅の水平転送線ＬＴＲＦに接続されている。

そして、水平転送線ＬＴＲＦに対応した２ｎ個のアンプ回路３７０、および信号処理回路３８０が配置される。

[0128] 第２のカラムＡＤＣ６５０においては、信号線ＬＳＧＮに読み出されたアナログ信号（電位ＶＳＬ）は列毎に配置された比較器６５１で参照電圧Ｖｓｌｏｐ（ある傾きを持った線形に変化するスロープ波形）と比較される。

このとき、比較器６５１と同ように列毎に配置されたカウンタ６５２が動作しており、ランプ波形ＲＡＭＰのある電位Ｖｓｌｏｐとカウンタ値が一対一対応を取りながら変化することで信号線ＬＳＧＮの電位（アナログ信号）ＶＳＬをデジタル信号に変換する。

参照電圧Ｖｓｌｏｐの変化は電圧の変化を時間の変化に変換するものであり、その時間をある周期(クロック)で数えることでデジタル値に変換するものである。

そしてアナログ電気信号ＶＳＬと参照電圧Ｖｓｌｏｐが交わったとき、比較器６５１の出力が反転し、カウンタ６５２の入力クロックを停止し、ＡＤ変換が完了する。

以上のＡＤ変換期間終了後、水平転送走査回路３３０により、ラッチ３５３に保持されたデータが、水平転送線ＬＴＲＦ、アンプ回路３７０を経て信号処理回路３８０に入力され、２次元画像が生成される。

このようにして、列並列出力処理が行われる。

[0129] この第２のカラムＡＤＣ６５０においても、第１のカラムＡＤＣ３５０Ａと同様に、カウント開始コードを意図的にずらす制御が適用される。

図３６は、第２のカラムＡＤＣに適用されるカウント開始コードを意図的にずらす制御の具体的なタイミングチャートを示す図である。

[0130] カウント開始コードを意図的にずらす制御は、基本的に、図１７等に関連付けて説明した第１のカラムＡＤＣの場合と同様である。

すなわち、カウント開始コードを意図的にずらす制御においても、カウンタ回路のリセットタイミング後に、複数カラムを１グループとしてグループ毎に異なるパルス数を事前入力し、カウント開始時のコードをずらしておく

だけの簡単なものである。

この場合も、たとえばタイミング制御回路３４０の制御の下に生成される開始コードずらしパルスＳＰＰが各カウント開始ずらし部４１０Ｃに異なるパルス数をもって供給される。

この制御により、全ビットバイナリコードのカウンタ回路においては、図１８および図１９に示すように、複数カラムに対応するカウンタ回路の上位ビットバイナリコードへのクロック反映タイミングが分散される。このため、カウント時の電源変動を抑制できる。

また、もっとも電源変動が大きくなる状態である複数カラム対応のカウンタ回路（本例ではグレイコードカウンタ）のオール“０”からオール“１”への一斉動作タイミングも同様に分散できる。

この点に関しては、下位ビットグレイコードおよび上位ビットバイナリコードの複合カウンタ、後述する全ビットバイナリコードのカウンタどちらにも効果がある。

[0131] ［カウント開始ずらし部４１０Ｃの第１の構成例］

図３７は、本実施形態に係る第２のカラムＡＤＣに適用可能なカウント開始ずらし部の第１の構成例を示す図である。

[0132] 第１の構成例は、図２１の構成と同様である。

すなわち、図２１の構成も、カウンタ回路のクロック供給経路ＬＣＫ１とコードずらし経路ＬＳＰＰ１を設け、カウント開始ずらし回路４１０Ｃ－１，４１０Ｃ－２に両経路の論理和をとる論理和（ＯＲ）回路４１１－１，４１１－２を配置している。

ここでは、その詳細な説明は省略する。

[0133] ［カウント開始ずらし部４１０Ｃの第２の構成例＞

図３８は、本実施形態に係る第２のカラムＡＤＣに適用可能なカウント開始ずらし部の第２の構成例を示す図である。

[0134] 第２の構成例は、図２３の構成と同様である。

この第２の構成例では、１本の主コードずらし経路ＭＬＳＰＰ１に複数の

パルスを含むコードずらしパルスＳＰＰ１０を伝搬させている。

主コードずらし経路ＭＬＳＰＰ１を各グループのＯＲ回路４１１－１，－２の入力段で副コードずらし経路ＳＬＳＳＰ１－１，－２に分岐されている。

そして、図２３の構成では、主コードずらし経路ＭＬＳＰＰ１の分岐領域の前のパルス数を調整（削除）するパルス数調整部４１２－１，４１２－２・・・が配置されている。

ここでは、その詳細な説明は省略する。

[0135] ［カウント開始コードを意図的にずらす制御を採用した場合のＣＤＳ読み出し方式］

図３９の（Ａ）および（Ｂ）は、第２のカラムＡＤＣにカウント開始コードを意図的にずらす制御を採用しない場合と採用した場合のＣＤＳ読み出し方式を模式的に示す図である。

図３９の（Ａ）がカウント開始コードを意図的にずらす制御を採用しない場合を、図３９の（Ｂ）がカウント開始コードを意図的にずらす制御を採用した場合を、それぞれ示している。

[0136] カウント開始コードを意図的にずらす制御は、リセットが基準読み出し前に実施し（図中の１ｓｔ制御）、また、信号転送後の読み出しし、Ｄ相においてずらし制御を実施（図中の２ｎｄ制御）することで本来の信号だけを読み出すことができる。

これは、第２のカラムＡＤＣ６５０では、Ｄ相処理に前にずらし制御を入れると、元にもどってしまうためである。

[0137] この本実施形態に係る第２のカラムＡＤＣは、カウント開始コードを意図的にずらす制御を採用することにより、上述した第１のカラムＡＤＣの効果と同様の効果を得ることができる。

すなわち、本第２のカラムＡＤＣによれば、カウンタ動作によるＩＲドロップ量を軽減し、電源電圧変動量の低減、および低電源電圧動作を容易に実現する。

たとえば、アレイ状に配列された複数のカウンタのクロック供給経路とコードずらし経路で論理和（ＯＲ）をとり、カウンタクロック供給前に疑似的なカウント動作を行わせて、カウント開始コードを意図的にずらすように構成される。

これにより、カウント動作時の消費電流を分散させることでＩＲドロップ量を低減でき、カウンタの特性劣化を改善でき、画質向上に寄与する。

カウント開始コードを意図的にずらすことでＩＲドロップを低減でき、電源電圧変動量の低減、および低電源電圧動作の実力改善に効果がある。

カウント開始コードを意図的にずらすことで瞬時電流ΔＩのピークを分散でき、パッド追加によるチップサイズ増大を回避できる効果がある。

カウント開始コードの意図的なずらし制御は単純で、カウント動作外の期間に処理するため、カウンタの特性に影響を及ぼすことはなく、ケアが容易である。

また、アレイごとに回路を必要としないため、サイズインパクトも小さい。

[0138] 以上説明した半導体装置としての固体撮像装置（ＣＭＯＳイメージセンサ）３００，３００Ａにおいも、図５の積層構造が採用される。

本実施形態において、この積層構造においては、基本的に、第１チップ１１０には画素部３１０が配置される。

第２チップ１２０に、行選択回路３２０、水平転送走査回路３３０、タイミング制御回路３４０、カラムＡＤＣ６５０（３５０）、ＤＡＣ（ランプ信号発生器）３６１、アンプ回路（Ｓ／Ａ）３７０、信号処理回路３８０、および水平転送線ＬＴＲＦが配置される。

そして、画素の駆動信号や画素（センサ）のアナログ読み出し信号、電源電圧等は第１チップ１１０の形成されるＴＣＶを通して、第１チップ１１０と第２チップ１２０間で送受される。

[0139] ＜３．１　固体撮像装置における第１の配置構成例＞

ここで、図３５の列並列ＡＤＣ搭載ＣＭＯＳイメージセンサの各構成要素

を積層構造の第１チップおよび第２チップに配置した構成例について説明する。

図４０は、本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第１の配置構成例を示す図である。

図４０においても、積層構造を有する第１チップ１１０Ｄと第２チップ１２０Ｄの回路等の配置が容易に理解できるように、第１チップ１１０Ｄと第２チップ１２０Ｄが２次元的に展開されて示されている。

また、図４０においては、タイミング制御回路３４０やアンプ回路３７０、信号処理回路３８０は省略されている。これらの回路も第２チップ１２０Ｄに配置される。

[0140] 前述したように、この積層構造においては、基本的に、第１チップ１１０Ｄには画素部３１０が配置される。

第２チップ１２０Ｄに、行選択回路３２０、水平転送走査回路３３０、タイミング制御回路３４０、カラムＡＤＣ６５０の比較器６５１、カウンタ６５２、ラッチ６５３、並びにＤＡＣ（ランプ信号発生器）３６１が配置される。

そして、画素の駆動信号や画素（センサ）のアナログ読み出し信号、電源電圧等は第１チップ１１０Ｄの形成されるＴＣＶを通して、第１チップ１１０Ｄと第２チップ１２０Ｄ間で送受される。

なお、本実施形態においては、第１チップ１１０Ｄに配置される画素の増幅トランジスタ等とソースフォロワを形成する電流源ＩＳは、第２チップ１２０Ｄに配置される。

[0141] この図４０の配置構成例は図９の配置構成例と同様に行われている。

図４０の固体撮像装置（ＣＭＯＳイメージセンサ）３００Ｂにおいては、行選択回路３２０から出力される転送トランジスタ（転送スイッチ）をオンオフ制御する転送制御信号ＴＲＧが図５における第１クロックＣＬＫ１１と同等の機能となる。

これに対してランプ波の生成タイミングをＶＳＬ[m]が十分に静定する時間

を持たせるように制御することで、図６に示したように隣接ＴＣＶからの干渉による誤差を抑えて信号を伝送することが可能となる。

[0142] 図４１は、離散時間アナログ信号を伝送するＴＣＶを集中して配置し、デジタル信号を伝送するＴＣＶと分離して配置する例を示す図である。

[0143] 以上のような構成をとることで、隣接ＴＣＶからの干渉が抑えられる。

しかしながら、たとえば図４０のシステムにおいて、行選択回路３２０の出力は、スイッチをオン、オフさせるための通常のデジタル信号であり、これらの信号から信号線ＬＳＧＮ[n]への干渉を低減することは容易ではない。

したがって、本技術においては、図４１に示すように、離散時間アナログ信号を伝送するＴＣＶを集中して配置し、これをデジタル信号を伝送するＴＣＶと分離して配置することが有効となる。

図４１の例では、第１チップ１１０Ｅにおいて、画素部３１０の図４１中においての左右両側部にデジタル信号用ＴＣＶの配置領域７１０，７２０が形成されている。

そして、画素部３１０の図４１中の下側の側部にアナログ信号用ＴＣＶの配置領域７３０が形成されている。

[0144] ＜３．２　固体撮像装置における第２の配置構成例＞

図４２は、本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第２の配置構成例を示す図である。

[0145] 図４２のＣＭＯＳイメージセンサ３００Ｃは、画素部３１０Ｃが一つのフローティングディフュージョンＦＤを複数の画素で共有している場合の例である。

図４２の例では、２つの画素で、フローティングディフュージョンＦＤ、リセットトランジスタ２１３、増幅トランジスタ２１４、選択トランジスタ２１５が共有されている。

各画素は、光電変換素子（フォトダイオード）２１１および転送トランジスタ２１２を含んで構成されている。

この場合も、基本的に、第１チップ１１０Ｆには画素部３１０Ｂが配置さ

れ、その他の構成は、図４０と同様である。

[0146] ＜３．３　固体撮像装置における第３の配置構成例＞

図４３は、本実施形態に係る列並列ＡＤＣ搭載ＣＭＯＳイメージセンサにおける回路等の第３の配置構成例を示す図である。

[0147] 図４３のＣＭＯＳイメージセンサ３００Ｄは、図４２と同様に、画素部３１０Ｄが一つのフローティングディフュージョンＦＤを複数の画素で共有している場合の例である。

この場合も、基本的に、第１チップ１１０Ｇには画素部３１０Ｄが配置されている。

この例では、共有領域の近傍にＴＣＶ１１４Ｇが形成されている。

ＴＣＶ１１４Ｇは第１チップ１１０Ｇと第２チップ１２０Ｇに形成された金属（たとえばＣｕ）の接続電極同士を金属で接続して形成されて、信号線ＬＳＧＮに出力される画素信号を、ＴＣＶ１１４Ｇを通して第２チップ１２０Ｇ側の比較器６５１に供給する。

[0148] 以上のような構成および効果を有する固体撮像装置は、デジタルカメラやビデオカメラの撮像デバイスとして適用することができる。

[0149] ＜４．カメラシステムの構成例＞

図４４は、本発明の実施形態に係る固体撮像装置が適用されるカメラシステムの構成の一例を示す図である。

[0150] 本カメラシステム８００は、図４４に示すように、本実施形態に係る固体撮像装置３００が適用可能な撮像デバイス８１０を有する。

カメラシステム８００は、撮像デバイス８１０の画素領域に入射光を導く（被写体像を結像する）光学系として、たとえば入射光（像光）を撮像面上に結像させるレンズ８２０を有する。

さらに、カメラシステム８００は、撮像デバイス８１０を駆動する駆動回路(ＤＲＶ)８３０と、撮像デバイス８１０の出力信号を処理する信号処理回路(ＰＲＣ)８４０と、を有する。

[0151] 駆動回路８３０は、撮像デバイス８１０内の回路を駆動するスタートパル

スやクロックパルスを含む各種のタイミング信号を生成するタイミングジェネレータ(図示せず)を有し、所定のタイミング信号で撮像デバイス８１０を駆動する。

[0152] また、信号処理回路８４０は、撮像デバイス８１０の出力信号に対して所定の信号処理を施す。

信号処理回路８４０で処理された画像信号は、たとえばメモリなどの記録媒体に記録される。記録媒体に記録された画像情報は、プリンタなどによってハードコピーされる。また、信号処理回路８４０で処理された画像信号を液晶ディスプレイ等からなるモニターに動画として映し出される。

[0153] 上述したように、デジタルスチルカメラ等の撮像装置において、撮像デバイス８１０として、先述した固体撮像装置３００を搭載することで、高精度なカメラが実現できる。

[0154] なお、本技術は以下のような構成をとることができる。

（１）アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む

カラムＡ／Ｄ変換器。

（２）上記カウント開始ずらし部は、

上記カウンタに上記基準クロックが供給される前に、パルス数が異なるコードずらしパルスを各カウンタに入力させる

上記（１）記載のカラムＡ／Ｄ変換器。

（３）上記カウント開始ずらし部は、

上記基準クロックと上記コードずらしパルスを選択して上記カウンタに

入力する論理回路を含む

上記（１）または（２）記載のカラムＡ／Ｄ変換器。

（４）パルス数が異なる上記コードずらしパルスが、それぞれ異なるコードずらし経路を介して対応する上記論理回路に供給される

上記（３）記載のカラムＡ／Ｄ変換器。

（５）上記カウント開始ずらし部は、

コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記論理回路に供給するパルス数調整部を含む

上記（３）記載のカラムＡ／Ｄ変換器。

（６）上記コードカウンタは、

基準クロックに基づくカウント処理により上記デジタルコードを生成し、

上記複数のカラム処理部の各々は、

時間とともに電圧値が変化するランプ波形の参照電圧と入力電圧とを比較する複数の比較器と、

上記比較器の出力信号が反転したことをトリガとして、当該反転した比較器の出力信号に応答して上記コードカウンタで生成されたデジタルコードをラッチするラッチカウンタ部と、を含む

上記（１）から（５）のいずれか一に記載のカラムＡ／Ｄ変換器。

（７）カウンタを含み、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部においてＡＤ変換を行うに際し、

上記カウンタに基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、複数の上記カウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらしておき、

上記カウンタにおいて、上記基準クロックに応答してデジタルコードを生成し、当該デジタルコードを用いてＡＤ変換を行う

カラムＡ／Ｄ変換方法。

（８）パルス数が異なるコードずらしパルスを対応するカウンタに供給する

上記（７）記載のカラムＡ／Ｄ変換方法。

（９）パルス数が異なるコードずらしパルスを、それぞれ異なるコードずらし経路を介して対応するカウンタに供給する

上記（８）記載のカラムＡ／Ｄ変換方法。

（１０）コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記カウンタに供給する

上記（８）記載のカラムＡ／Ｄ変換方法。

（１１）光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む

固体撮像装置。

（１２）光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、

第１チップと、

第２チップと、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、

上記第１チップと上記第２チップは貼り合わされた積層構造を有し、

上記第１チップは、

上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、

上記第２チップは、

上記画素信号読み出し部が配置され、

上記第１チップと上記第２チップ間の配線は、

上記ビアを通して接続されている

固体撮像装置。

（１３）上記カウント開始ずらし部は、

上記カウンタに上記基準クロックが供給される前に、パルス数が異なるコードずらしパルスを各カウンタに入力させる

上記（１１）または（１２）記載の固体撮像装置。

（１４）上記カウント開始ずらし部は、

上記基準クロックと上記コードずらしパルスを選択して上記カウンタに

入力する論理回路を含む

上記（１１）から（１３）のいずれか一に記載の固体撮像装置。

（１５）パルス数が異なる上記コードずらしパルスが、それぞれ異なるコードずらし経路を介して対応する上記論理回路に供給される

上記（１４）記載の固体撮像装置。

（１６）上記カウント開始ずらし部は、

コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記論理回路に供給するパルス数調整部を含む

上記（１４）記載の固体撮像装置。

（１７）上記コードカウンタは、

基準クロックに基づくカウント処理により上記デジタルコードを生成し、

上記複数のカラム処理部の各々は、

時間とともに電圧値が変化するランプ波形の参照電圧と入力電圧とを比較する複数の比較器と、

上記比較器の出力信号が反転したことをトリガとして、当該反転した比較器の出力信号に応答して上記コードカウンタで生成されたデジタルコードをラッチするラッチカウンタ部と、を含む

上記（１１）から（１６）のいずれか一に記載の固体撮像装置。

（１８）固体撮像装置と、

上記固体撮像装置に被写体像を結像する光学系と、を有し、

上記固体撮像装置は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む

カメラシステム。

（１９）固体撮像装置と、

上記固体撮像装置に被写体像を結像する光学系と、を有し、

上記固体撮像装置は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、

第１チップと、

第２チップと、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも

２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、

上記第１チップと上記第２チップは貼り合わされた積層構造を有し、

上記第１チップは、

上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、

上記第２チップは、

上記画素信号読み出し部が配置され、

上記第１チップと上記第２チップ間の配線は、

上記ビアを通して接続されている

カメラシステム。

符号の説明

[0155] １００，１００Ａ～１００Ｇ・・・半導体装置、１１０，１１０Ａ～１１０Ｇ・・・第１チップ（アナログチップ）、１１１（－０，－１、・・・）・・・センサ、１１２（－０，－１、・・・）・・・サンプルホールド（ＳＨ）回路、１１３（－０，－１、・・・）・・・アンプ、１１４（－０，－１、・・・）・・・ＴＣＶ（ビア）、１１５（－０，－１、・・・）・・・サンプリングスイッチ、１２０，１２０Ａ～１２０Ｇ・・・第２チップ（ロジックチップ、デジタルチップ）、１２１（－０，－１、・・・）・・・サンプリングスイッチ、１２２（－０，－１、・・・）・・・量子化器、１２３・・・信号処理回路、１２４（－０，－１、・・・）・・・比較器、１２５（－０，－１、・・・）・・・カウンタ、２００・・・固体撮像装置、２１０・・・画素部、２２０・・・行選択回路、２３０・・・カラム読み出し回路、３００，３００Ａ～３００Ｃ・・・固体撮像装置、３１０・・・画素部、３２０・・・行選択回路、３３０・・・水平転送走査回路、３４０・・・タイミング制御回路、３５０・・・カラムＡＤＣ（３５０－１～３５０－Ｐ：ＡＤＣブロック）、３６０・・・ＤＡＣ（ランプ信号発生器）、３７０・・・アンプ回路（Ｓ／Ａ）、３８０・・・信号処理回路、ＬＴＲＦ・・・

水平転送線、４００（４００－１～４００－Ｐ）・・・グレイコードカウンタ、５００・・・カラム処理部、５１０・・・比較器、５２０・・・下位ビットラッチ部、５３０・・・上位ビットラッチ部（上位ビットカウンタ部）、８００・・・カメラシステム、６５０・・・カラムＡＤＣ、６５１・・・比較器、６５２・・・カウンタ、６５３・・・ラッチ、７１０，７２０・・・デジタル信号ＴＣＶ配置領域、７３０・・・アナログ信号ＴＣＶ配置領域、８１０・・・撮像デバイス、８２０・・・レンズ、８３０・・・駆動回路、８４０・・・信号処理回路

請求の範囲

[請求項1] アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を有する

カラムＡ／Ｄ変換器。

[請求項2] 上記カウント開始ずらし部は、

上記カウンタに上記基準クロックが供給される前に、パルス数が異なるコードずらしパルスを各カウンタに入力させる

請求項１記載のカラムＡ／Ｄ変換器。

[請求項3] 上記カウント開始ずらし部は、

上記基準クロックと上記コードずらしパルスを選択して上記カウンタに入力する論理回路を含む

請求項１記載のカラムＡ／Ｄ変換器。

[請求項4] パルス数が異なる上記コードずらしパルスが、それぞれ異なるコードずらし経路を介して対応する上記論理回路に供給される

請求項３記載のカラムＡ／Ｄ変換器。

[請求項5] 上記カウント開始ずらし部は、

コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記論理回路に供給するパルス数調整部を含む

請求項３記載のカラムＡ／Ｄ変換器。

[請求項6] 上記コードカウンタは、

基準クロックに基づくカウント処理により上記デジタルコードを生成し、

上記複数のカラム処理部の各々は、

時間とともに電圧値が変化するランプ波形の参照電圧と入力電圧とを比較する複数の比較器と、

上記比較器の出力信号が反転したことをトリガとして、当該反転した比較器の出力信号に応答して上記コードカウンタで生成されたデジタルコードをラッチするラッチカウンタ部と、を含む

請求項１記載のカラムＡ／Ｄ変換器。

[請求項7] カウンタを含み、アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部においてＡＤ変換を行うに際し、

上記カウンタに基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、複数の上記カウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらしておき、

上記カウンタにおいて、上記基準クロックに応答してデジタルコードを生成し、当該デジタルコードを用いてＡＤ変換を行う

カラムＡ／Ｄ変換方法。

[請求項8] パルス数が異なるコードずらしパルスを対応するカウンタに供給する

請求項７記載のカラムＡ／Ｄ変換方法。

[請求項9] パルス数が異なるコードずらしパルスを、それぞれ異なるコードずらし経路を介して対応するカウンタに供給する

請求項８記載のカラムＡ／Ｄ変換方法。

[請求項10] コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記カウンタに供給する

請求項８記載のカラムＡ／Ｄ変換方法。

[請求項11] 光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む

固体撮像装置。

［請求項12］ 光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、

第１チップと、

第２チップと、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、

少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、

上記第１チップと上記第２チップは貼り合わされた積層構造を有し、

上記第１チップは、

上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、

上記第２チップは、

上記画素信号読み出し部が配置され、

上記第１チップと上記第２チップ間の配線は、

上記ビアを通して接続されている

固体撮像装置。

[請求項13] 上記カウント開始ずらし部は、

上記カウンタに上記基準クロックが供給される前に、パルス数が異なるコードずらしパルスを各カウンタに入力させる

請求項１１記載の固体撮像装置。

[請求項14] 上記カウント開始ずらし部は、

上記基準クロックと上記コードずらしパルスを選択して上記カウンタに入力する論理回路を含む

請求項１１記載の固体撮像装置。

[請求項15] パルス数が異なる上記コードずらしパルスが、それぞれ異なるコードずらし経路を介して対応する上記論理回路に供給される

請求項１４記載の固体撮像装置。

[請求項16] 上記カウント開始ずらし部は、

コードずらし経路を伝搬される上記コードずらしパルスのパルス数を調整して対応する上記論理回路に供給するパルス数調整部を含む

請求項１４記載の固体撮像装置。

[請求項17] 上記コードカウンタは、

基準クロックに基づくカウント処理により上記デジタルコードを生成し、

上記複数のカラム処理部の各々は、

時間とともに電圧値が変化するランプ波形の参照電圧と入力電圧とを比較する複数の比較器と、

上記比較器の出力信号が反転したことをトリガとして、当該反転した比較器の出力信号に応答して上記コードカウンタで生成されたデジタルコードをラッチするラッチカウンタ部と、を含む

請求項１１記載の固体撮像装置。

［請求項18］ 固体撮像装置と、

上記固体撮像装置に被写体像を結像する光学系と、を有し、

上記固体撮像装置は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含む

カメラシステム。

［請求項19］ 固体撮像装置と、

上記固体撮像装置に被写体像を結像する光学系と、を有し、

上記固体撮像装置は、

光電変換を行う複数の画素が行列状に配列された画素部と、

上記画素部から複数の画素単位で画素信号の読み出しを行う画素信号読み出し部と、

第１チップと、

第２チップと、を有し、

上記画素信号読み出し部は、

読み出したアナログ信号をデジタル信号に変換するカラムＡ／Ｄ変換器を含み、

上記カラムＡ／Ｄ変換器は、

アナログ信号をデジタル信号に変換するアナログデジタル（Ａ／Ｄ）変換機能を含む複数のカラム処理部と、

１または複数のカラムごとに対応して配置され、基準クロックに応答してデジタルコードを生成する複数のカウンタと、

上記カウンタに上記基準クロックが供給される前に、当該カウンタに疑似的なカウント動作を行わせて、上記複数のカウンタのうち、少なくとも２以上のカウンタのカウント開始コードをずらすカウント開始ずらし部と、を含み、

上記第１チップと上記第２チップは貼り合わされた積層構造を有し、

上記第１チップは、

上記画素アレイ部および時間離散化したアナログ画素信号を伝送する信号線が配置され、

上記第２チップは、

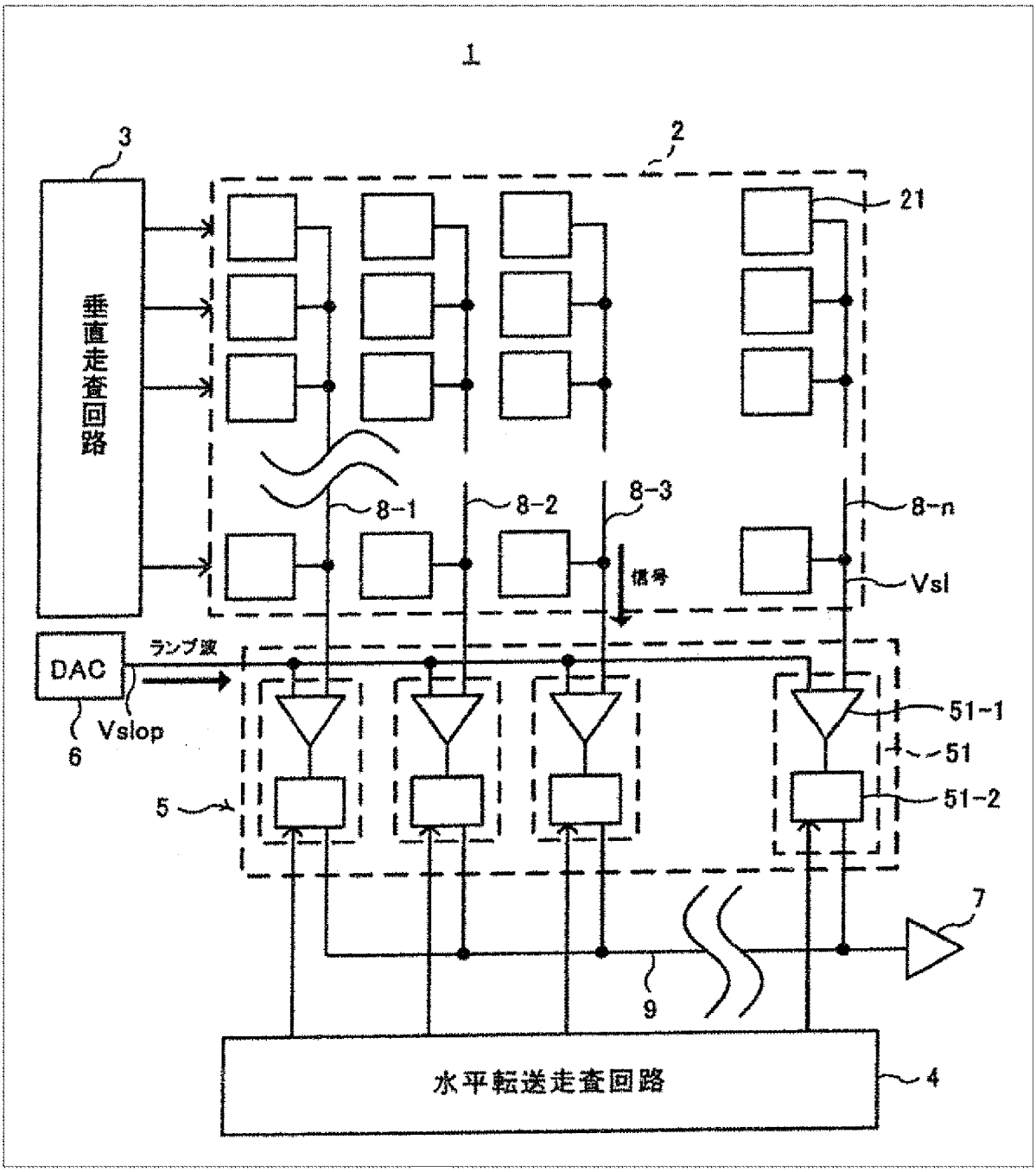
上記画素信号読み出し部が配置され、

上記第１チップと上記第２チップ間の配線は、

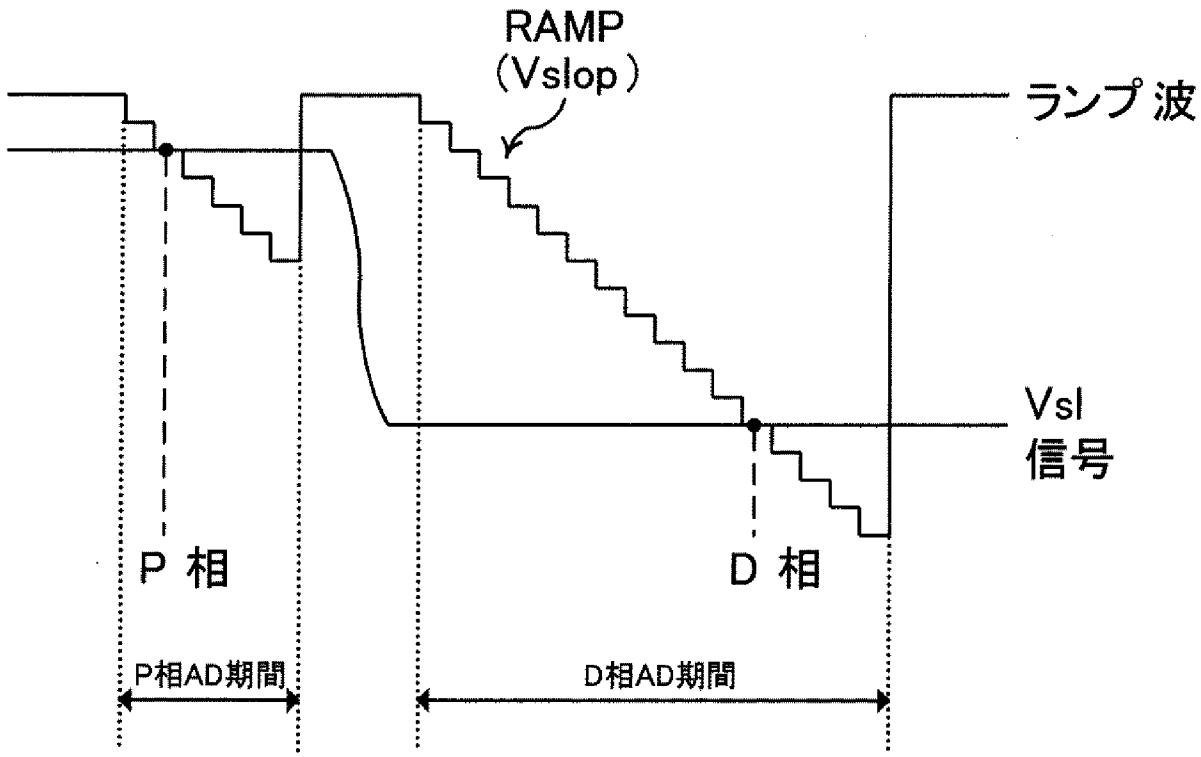
上記ビアを通して接続されている

カメラシステム。

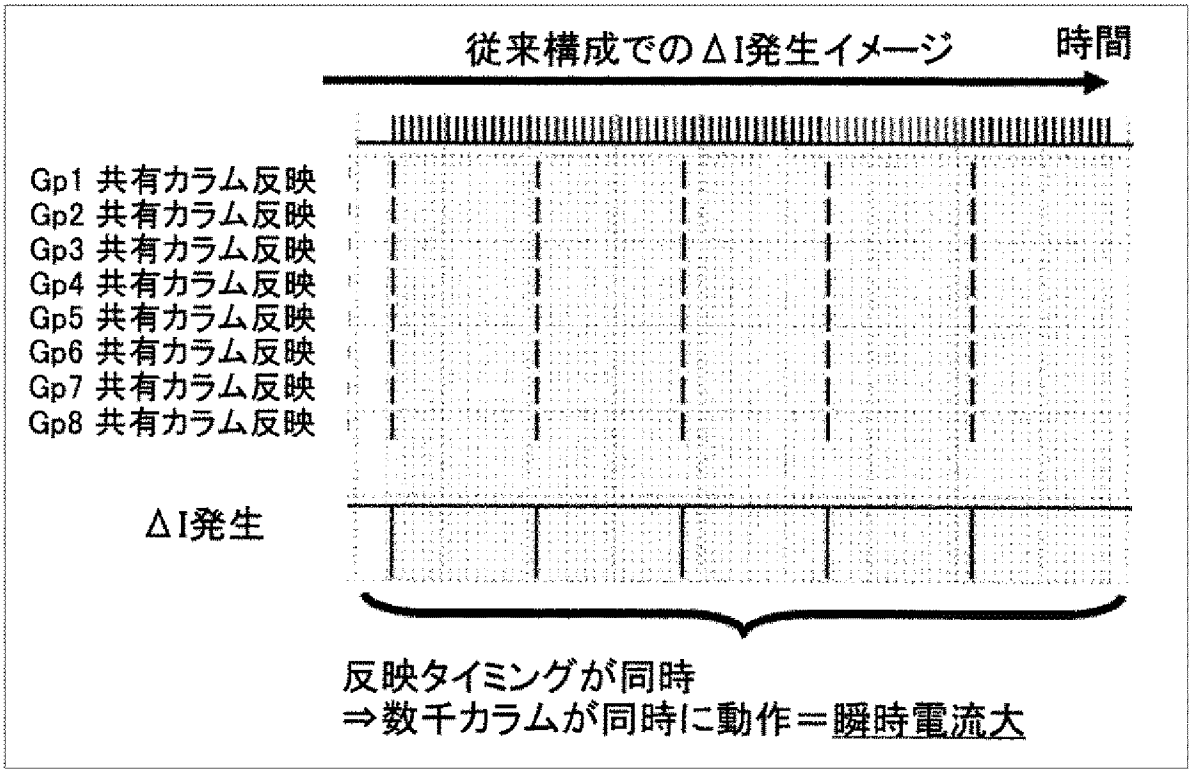
[図1]


1
2
3
垂直走査回路
21
8-1
8-2
8-3
8-n
信号
Vsl
DAC
ランプ波
Vslop
6
5
51-1
51
51-2
7
9
水平転送走査回路
4

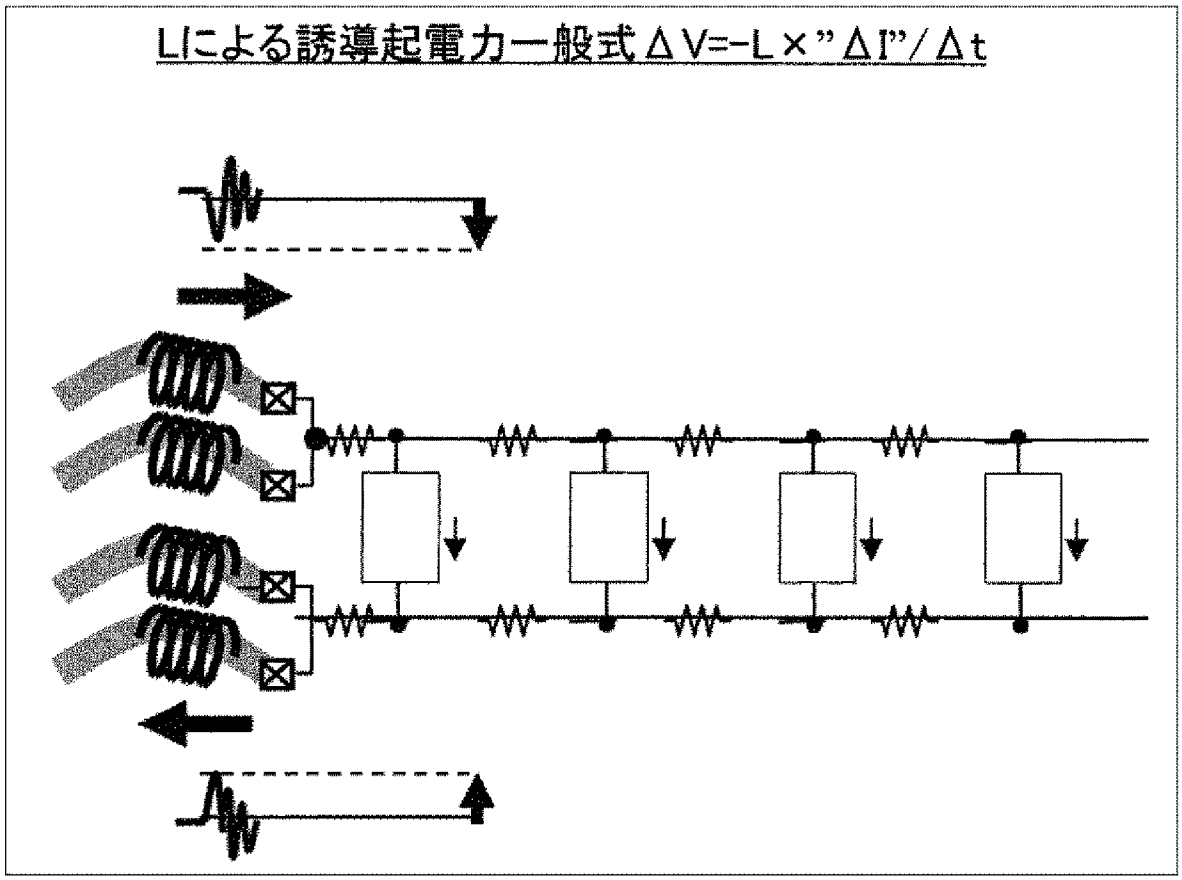
[図2]



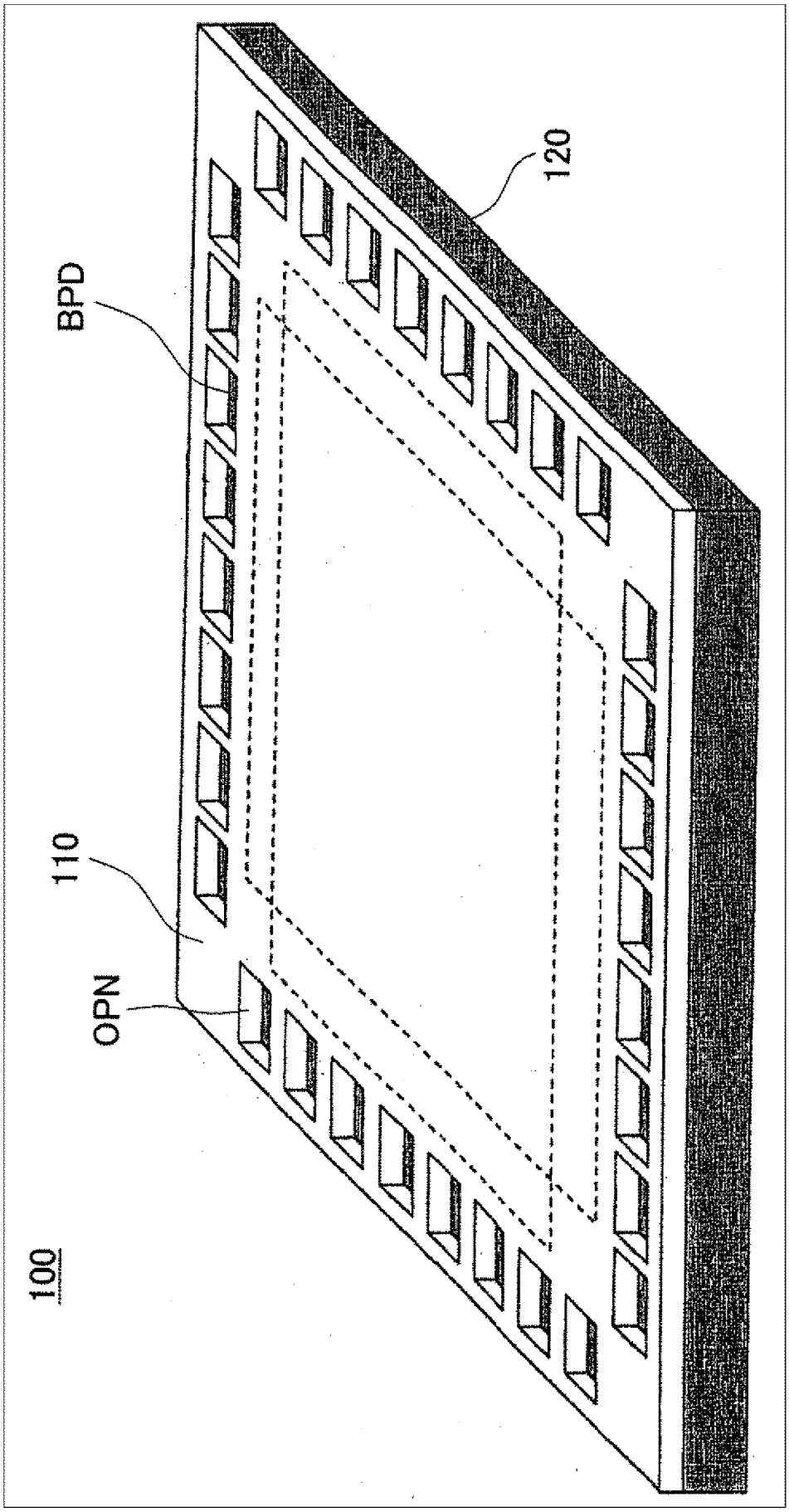
[図3]


従来構成でのΔI発生イメージ
時間
Gp1 共有カラム反映
Gp2 共有カラム反映
Gp3 共有カラム反映
Gp4 共有カラム反映
Gp5 共有カラム反映
Gp6 共有カラム反映
Gp7 共有カラム反映
Gp8 共有カラム反映
ΔI発生
反映タイミングが同時
⇒数千カラムが同時に動作＝瞬時電流大

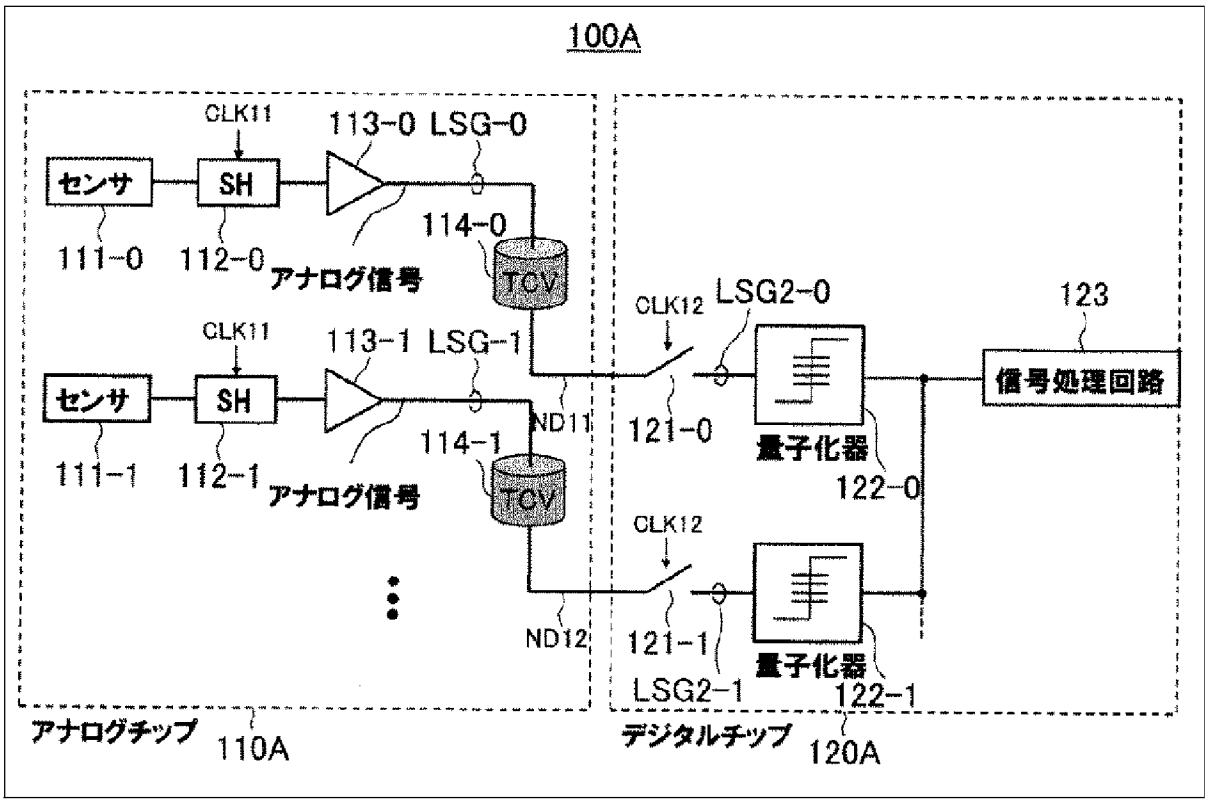
[図4]


Lによる誘導起電力一般式ΔV=-L×”ΔI”/Δt

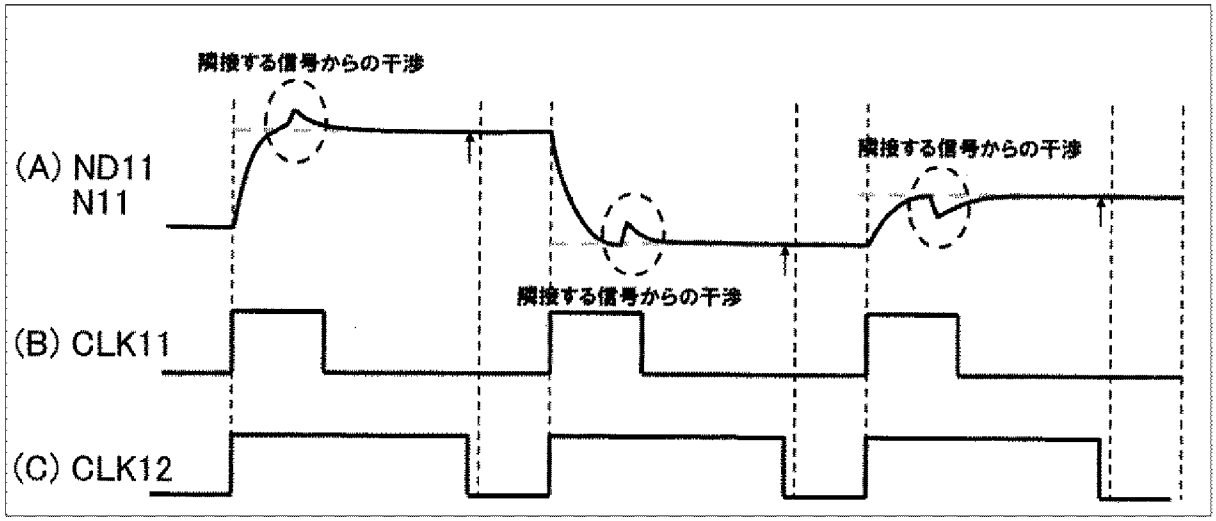
[図5]



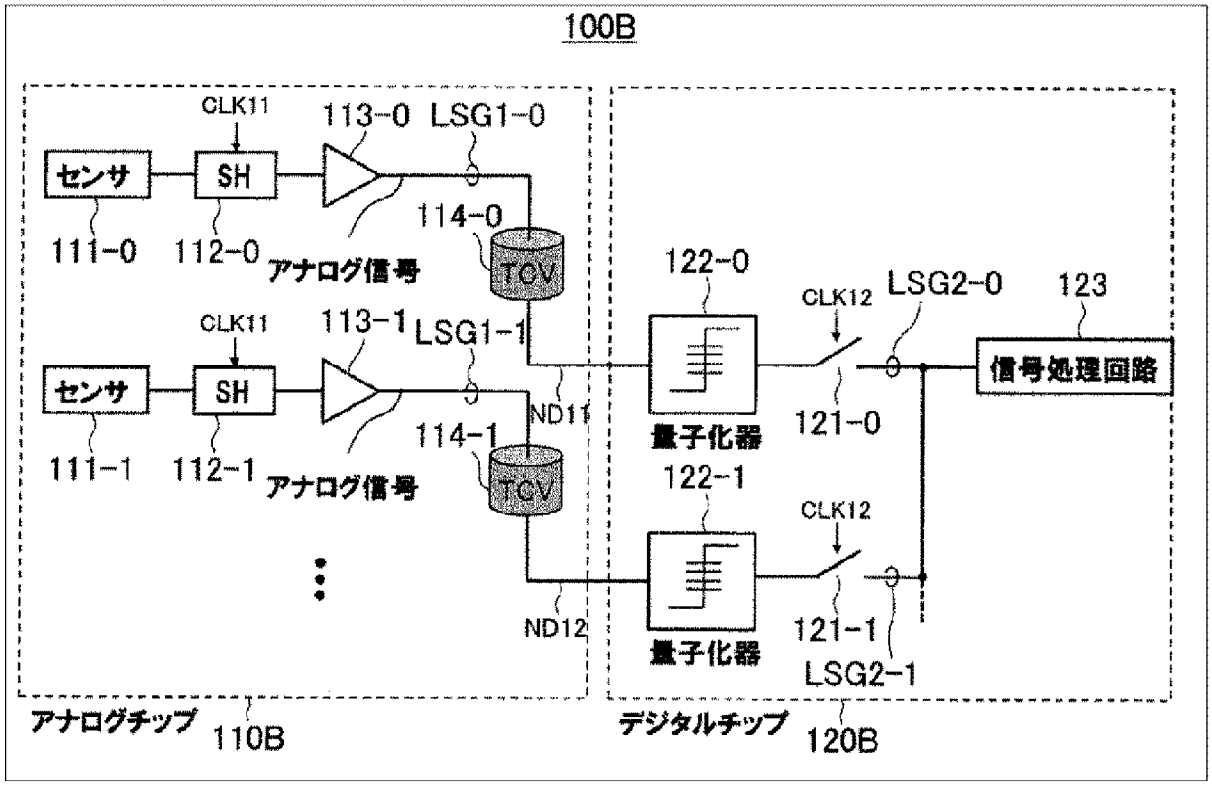
[図6]


100A
CLK11
113-0
LSG-0
センサ
SH
111-0
112-0
アナログ信号
114-0
TCV
CLK12
LSG2-0
123
CLK11
113-1
LSG-1
センサ
SH
111-1
112-1
アナログ信号
ND11
114-1
TCV
121-0
量子化器
122-0
信号処理回路
CLK12
ND12
121-1
量子化器
LSG2-1
122-1
アナログチップ
110A
デジタルチップ
120A

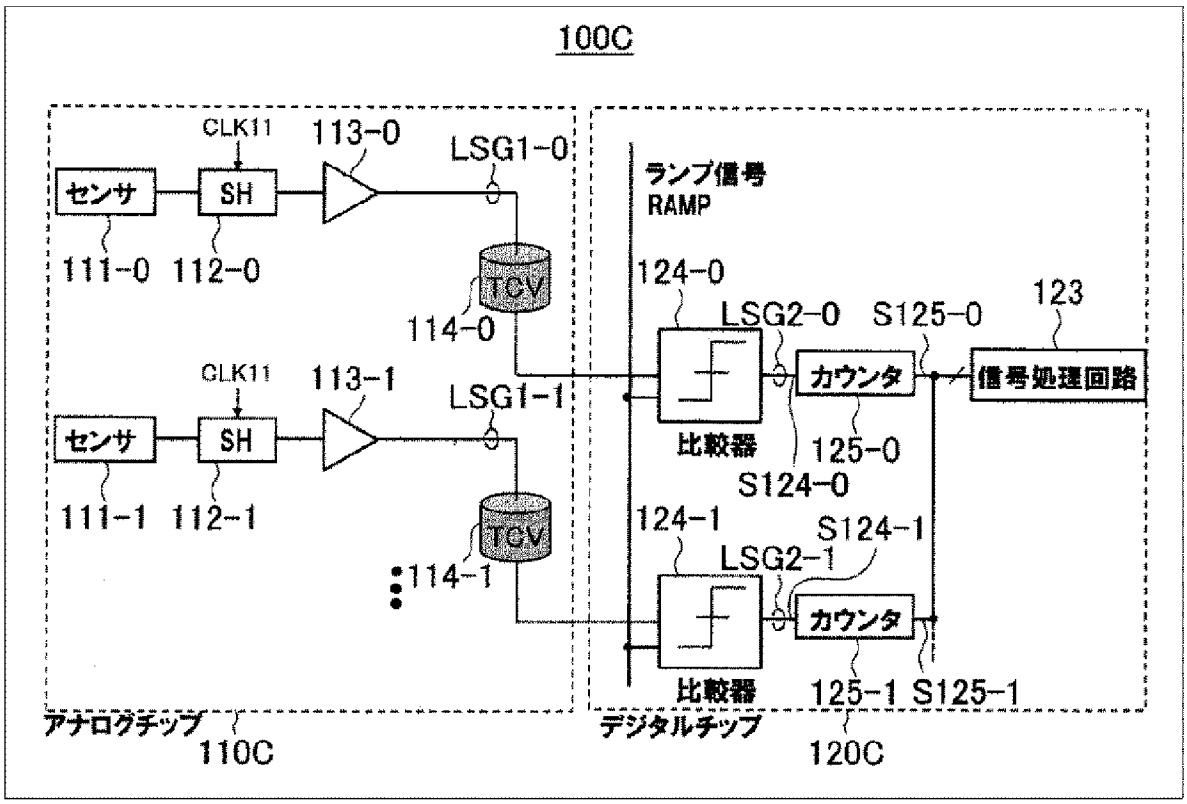
[図7]


隣接する信号からの干渉
(A) ND11
N11
隣接する信号からの干渉
隣接する信号からの干渉
(B) CLK11
(C) CLK12

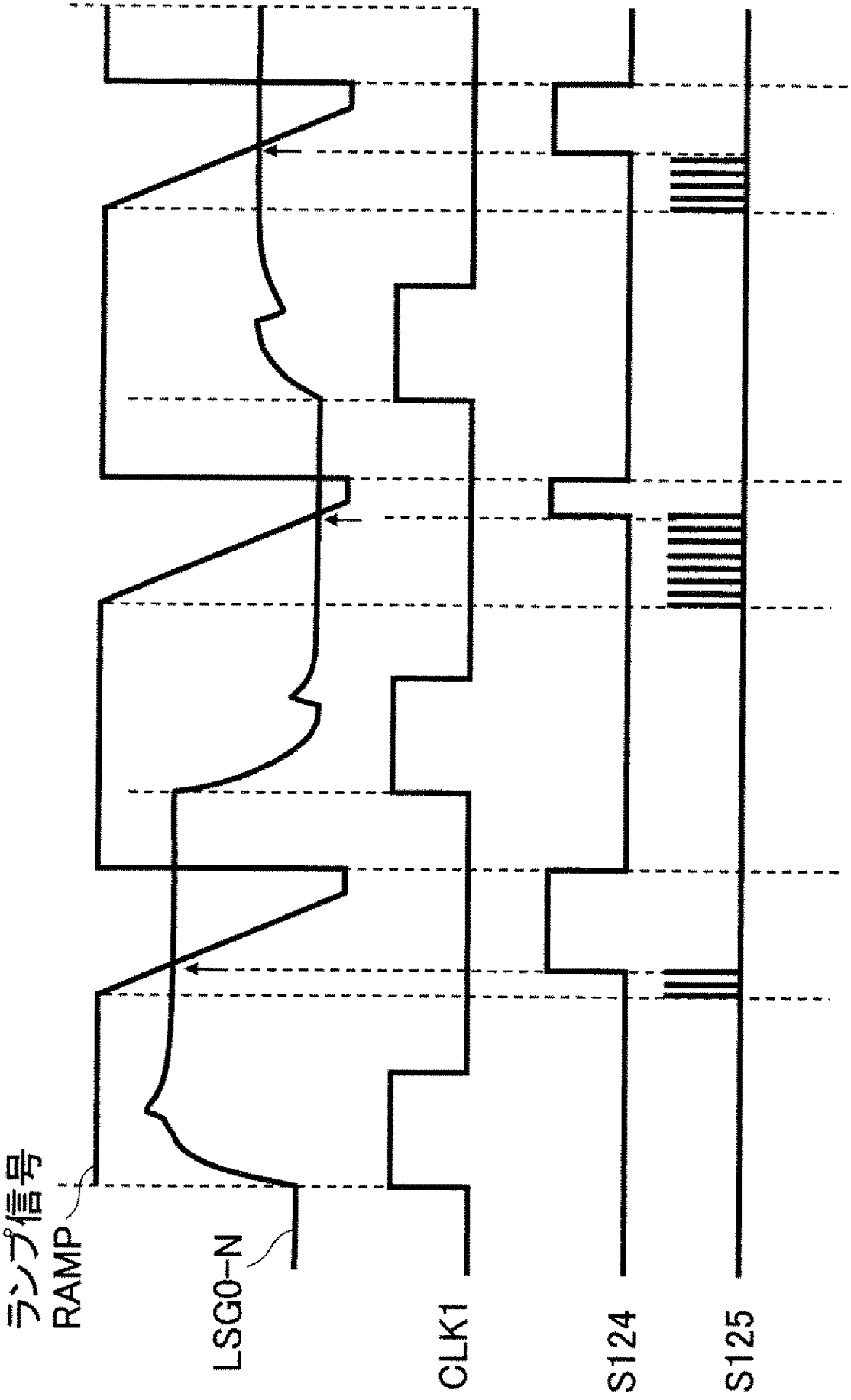
[図8]


100B
CLK11
113-0
LSG1-0
センサ
SH
111-0
112-0
アナログ信号
114-0
TCV
122-0
CLK12
LSG2-0
123
信号処理回路
CLK11
113-1
LSG1-1
センサ
SH
111-1
112-1
アナログ信号
ND11
114-1
TCV
量子化器
121-0
122-1
CLK12
ND12
量子化器
121-1
LSG2-1
アナログチップ
110B
デジタルチップ
120B

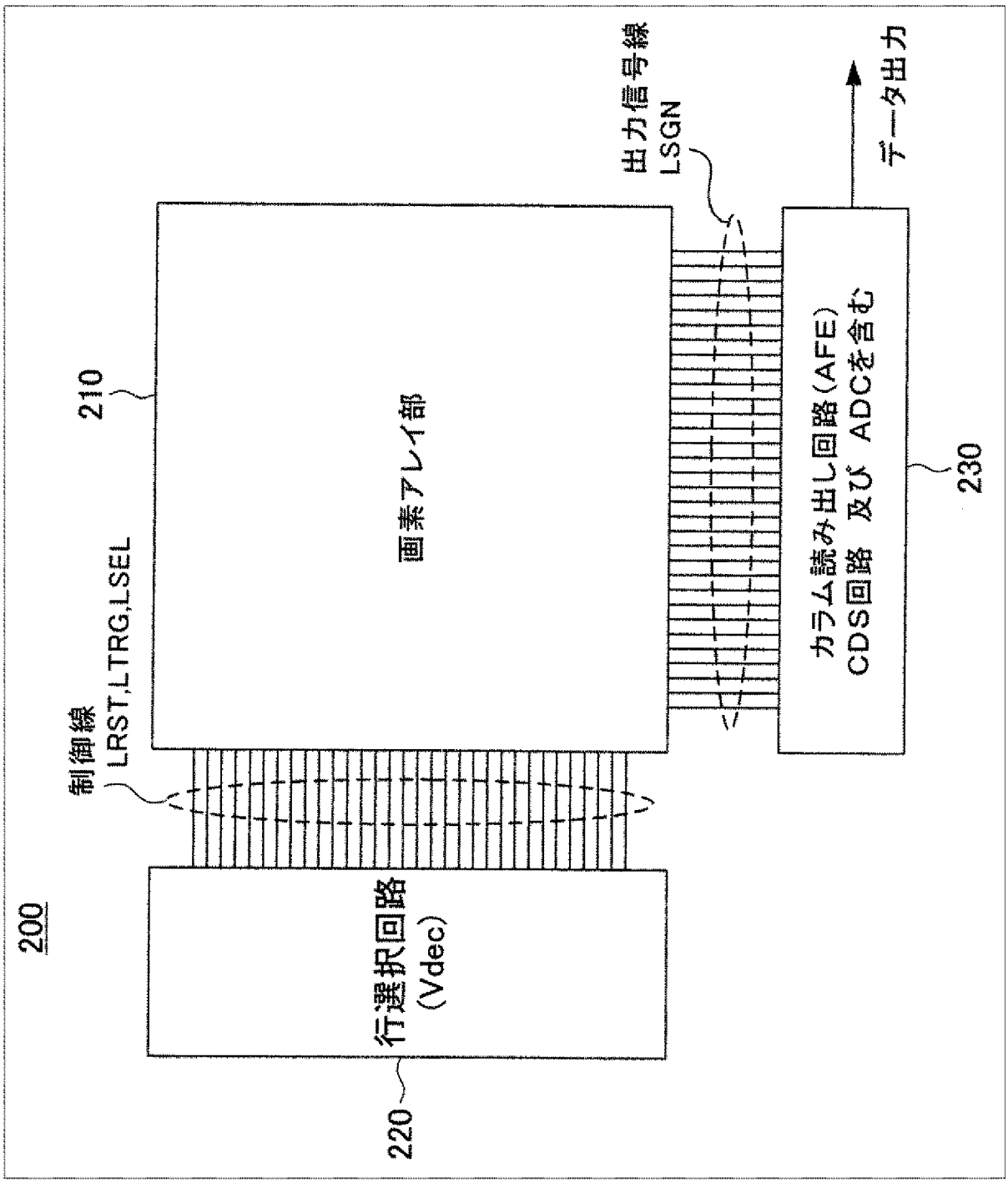
[図9]


100C
CLK11
113-0
LSG1-0
センサ
SH
111-0
112-0
TCV
114-0
ランプ信号
RAMP
124-0
LSG2-0
S125-0
123
カウンタ
信号処理回路
CLK11
113-1
LSG1-1
センサ
SH
111-1
112-1
比較器
125-0
S124-0
TCV
114-1
124-1
S124-1
LSG2-1
カウンタ
比較器
125-1
S125-1
アナログチップ
110C
デジタルチップ
120C

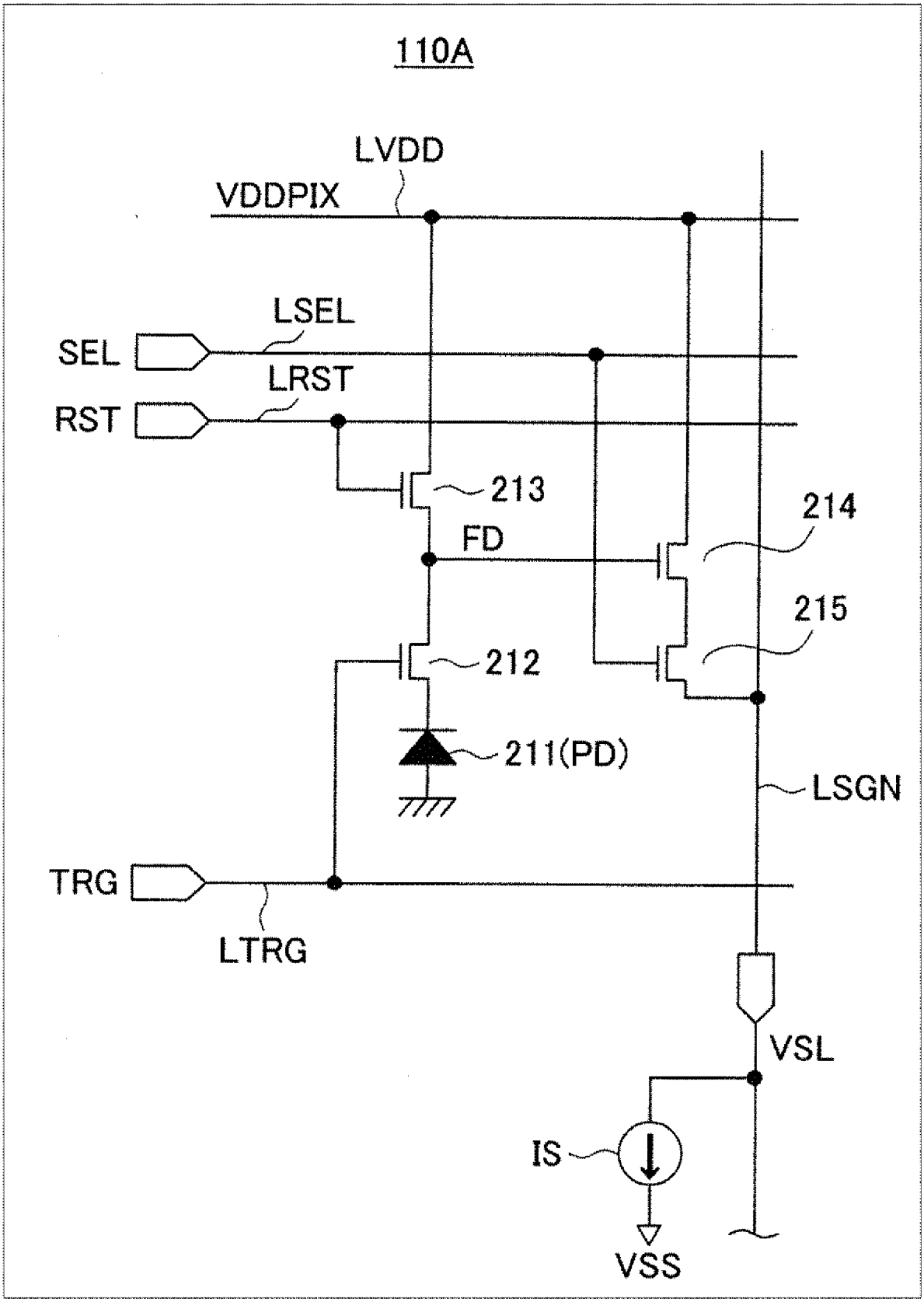
[図10]



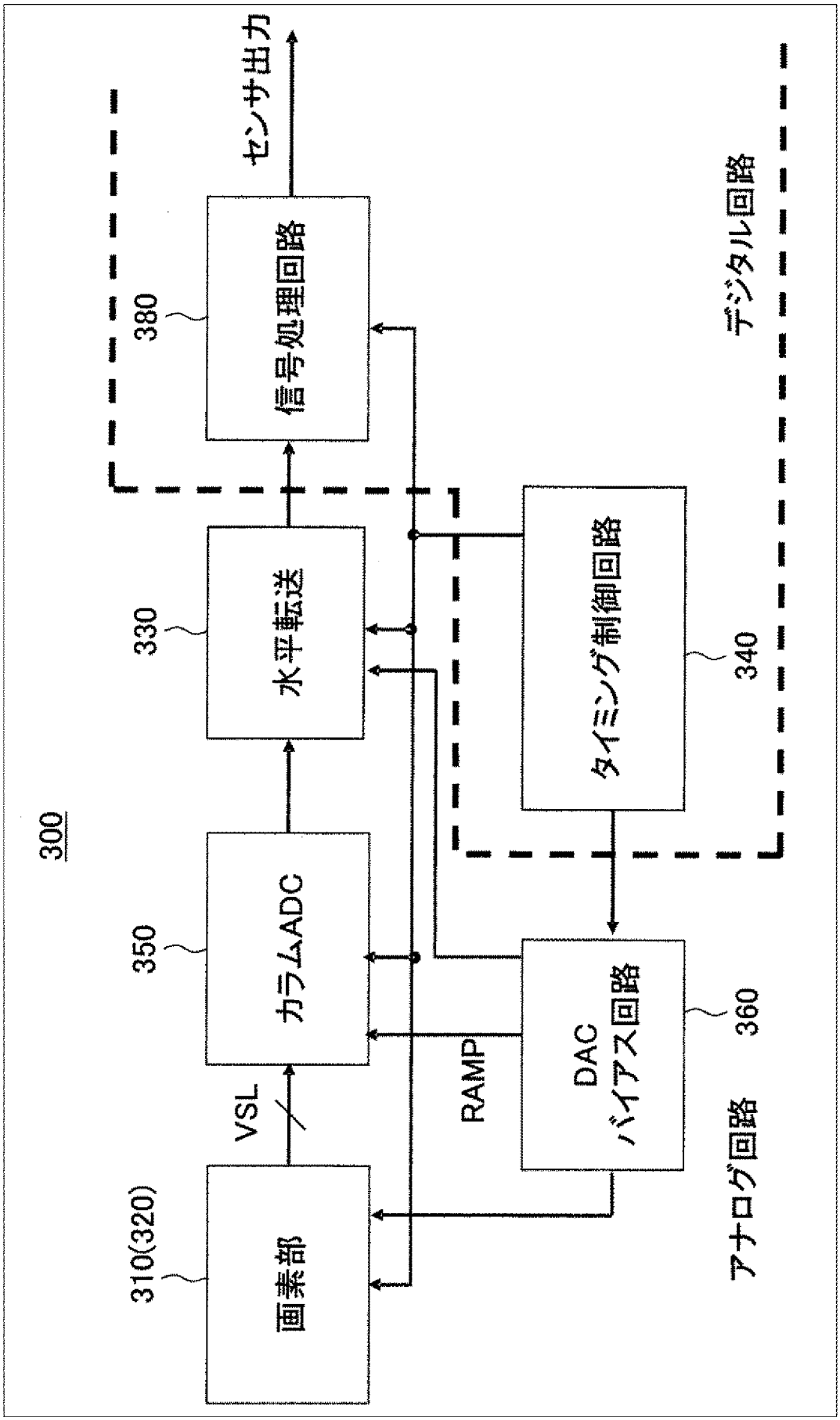
[図11]


200
210
画素アレイ部
制御線
LRST,LTRG,LSEL
出力信号線
LSGN
データ出力
カラム読み出し回路(AFE)
CDS回路 及び ADCを含む
230
行選択回路
(Vdec)
220

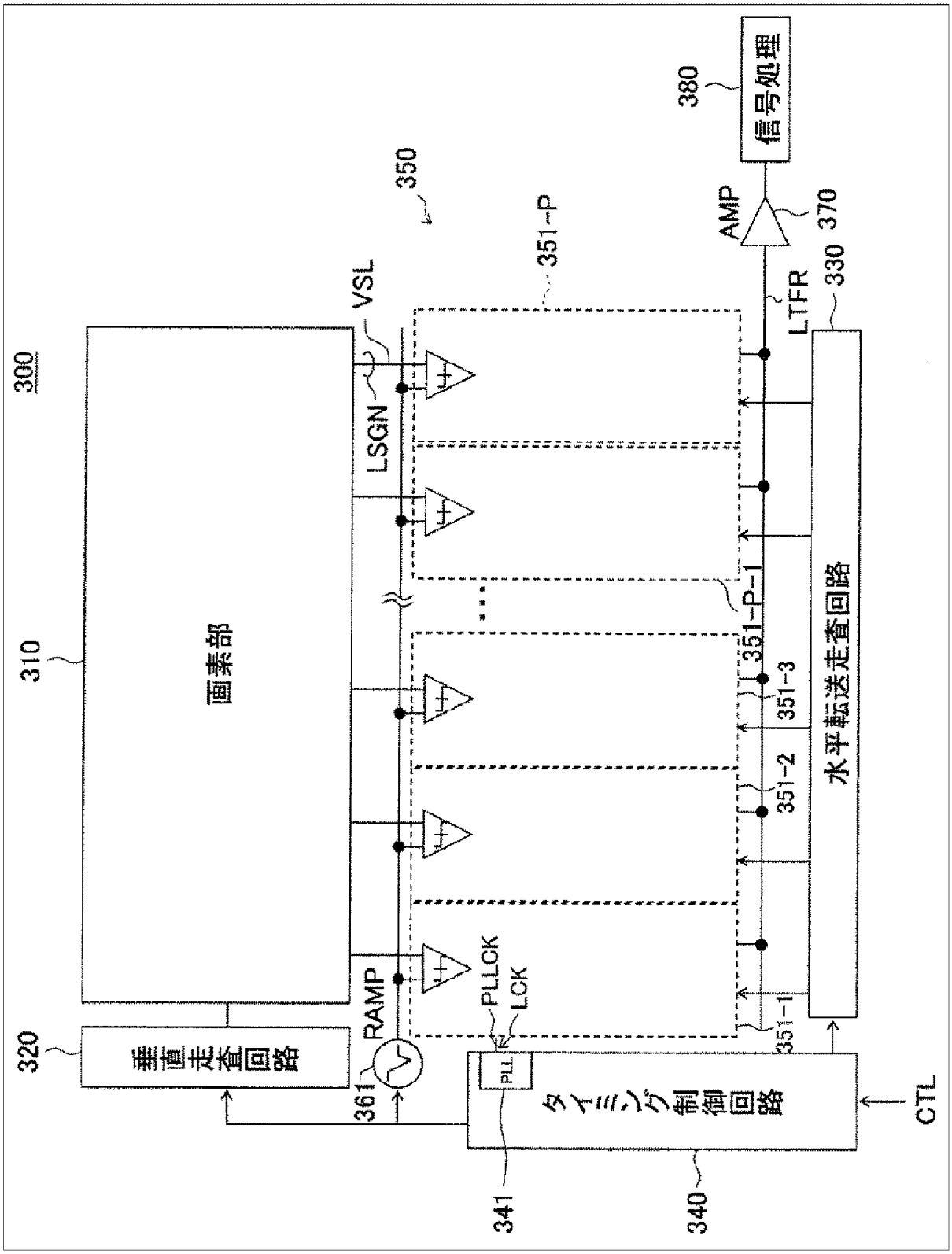
[図12]


110A
LVDD
VDDPIX
LSEL
SEL
LRST
RST
213
214
FD
215
212
211(PD)
LSGN
TRG
LTRG
VSL
IS
VSS

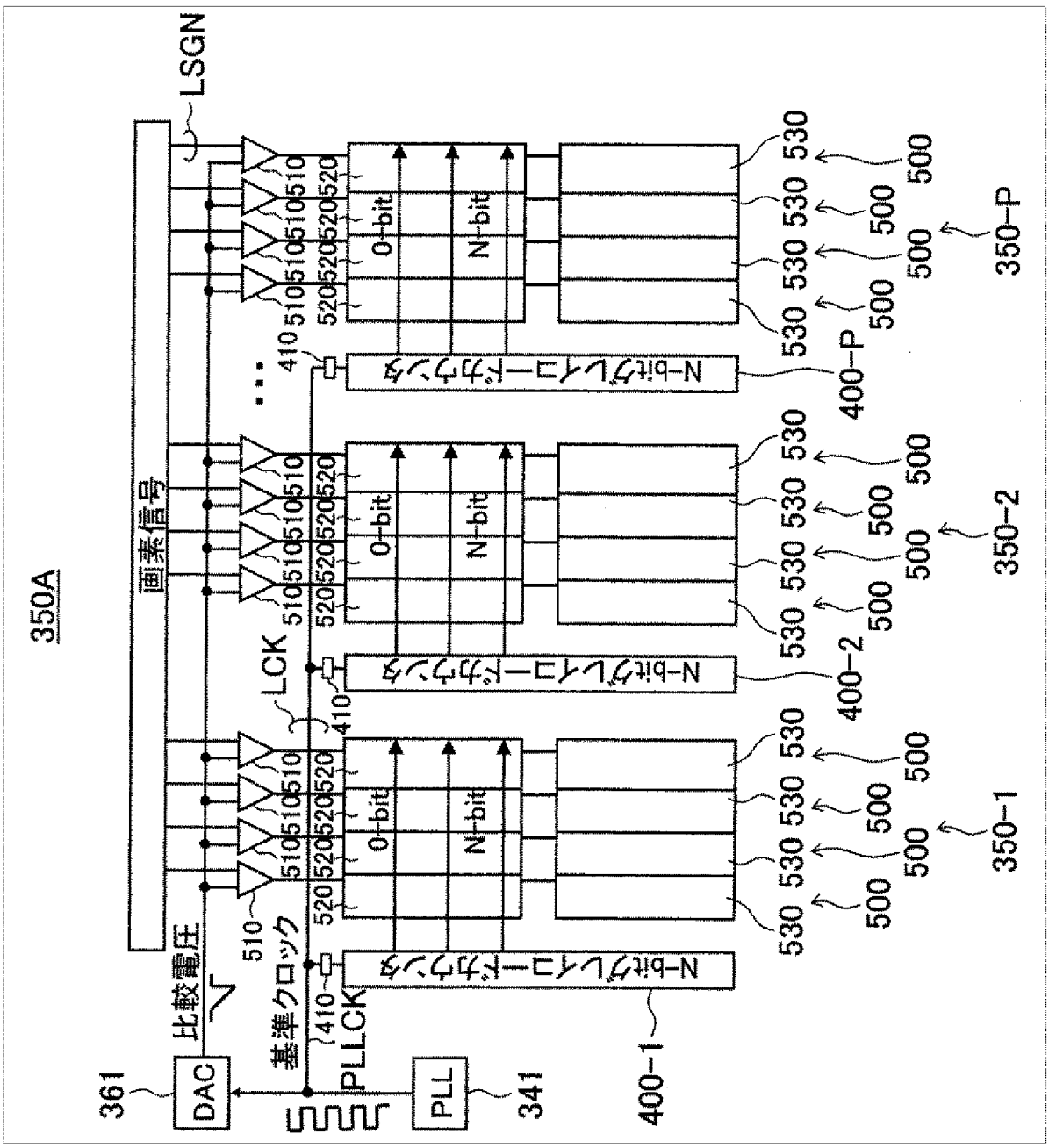
[図13]


300
センサ出力
380
信号処理回路
330
水平転送
350
カラムADC
310(320)
画素部
VSL
RAMP
タイミング制御回路
340
DAC
バイアス回路
360
デジタル回路
アナログ回路

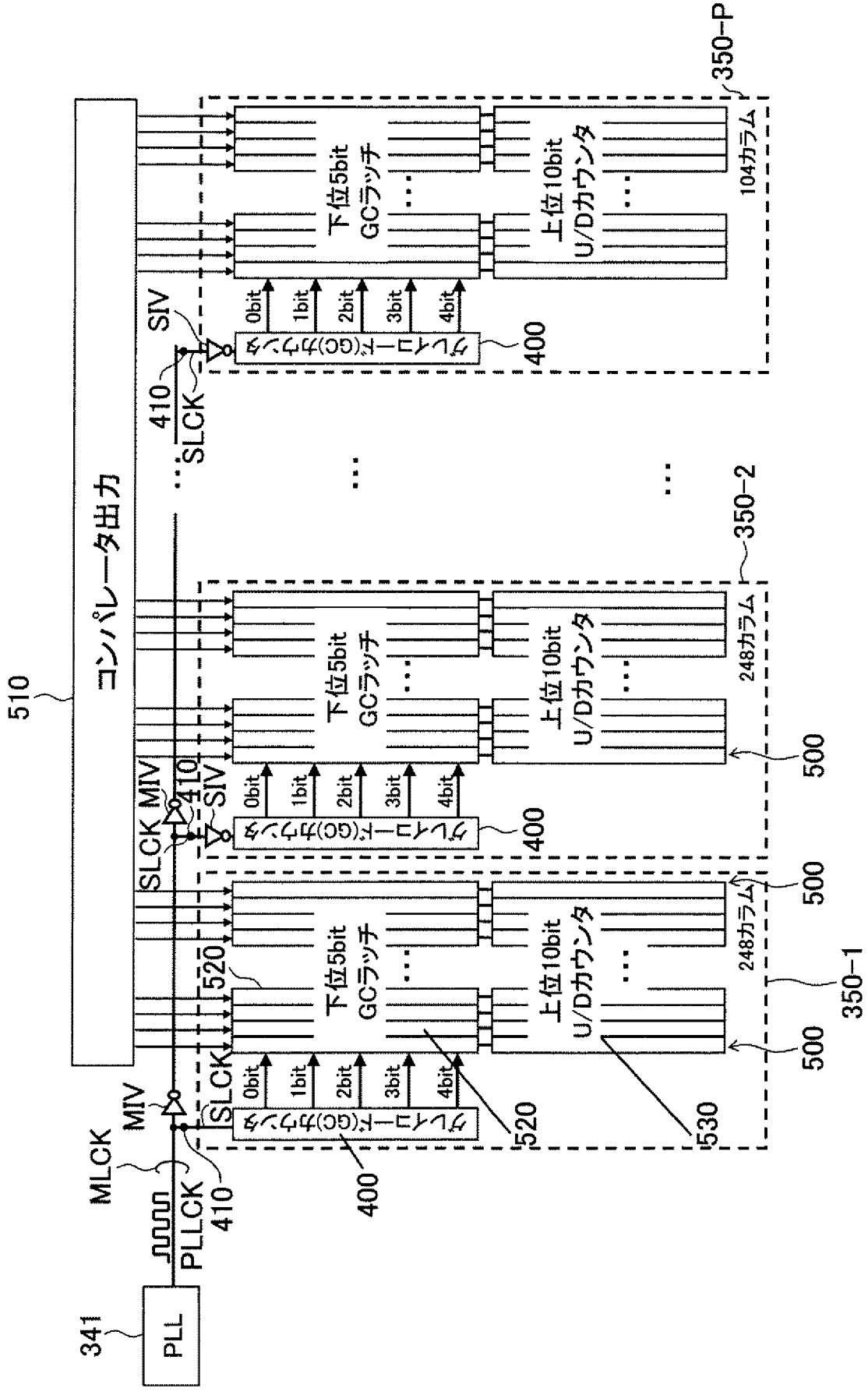
[図14]


300
310
画素部
320
垂直走査回路
VSL
LSGN
RAMP
361
350
351-P
351-P-1
351-3
351-2
351-1
PLLCK
LCK
PLL
タイミング制御回路
341
340
CTL
380
信号処理
AMP
370
LTFR
330
水平転送走査回路

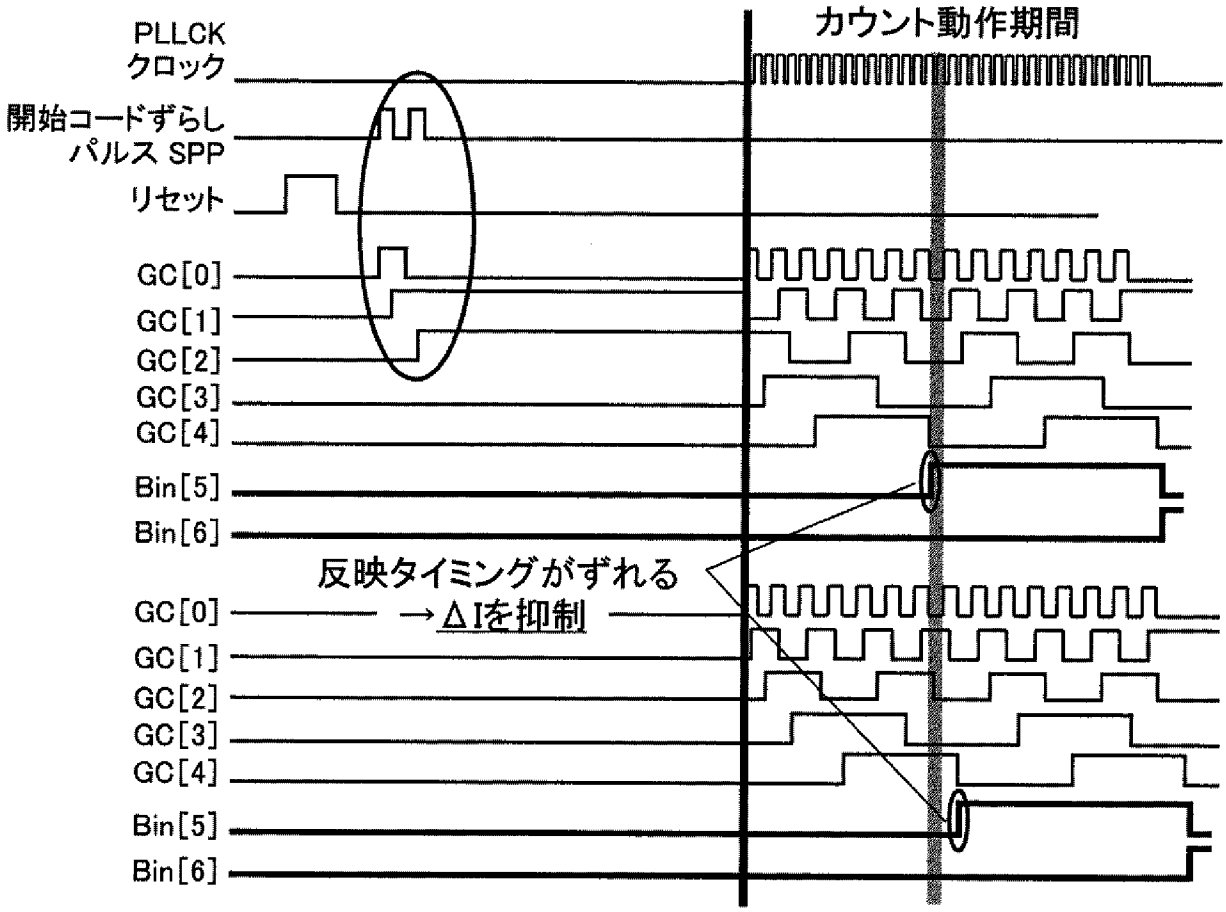
[図15]


350A
画素信号
LSGN
LCK
PLLCK
基準クロック
比較電圧
361
DAC
PLL
341
400-1
400-2
400-P
350-1
350-2
350-P
N-bitラッチ回路
0-bit
N-bit
410
500
510
520
530

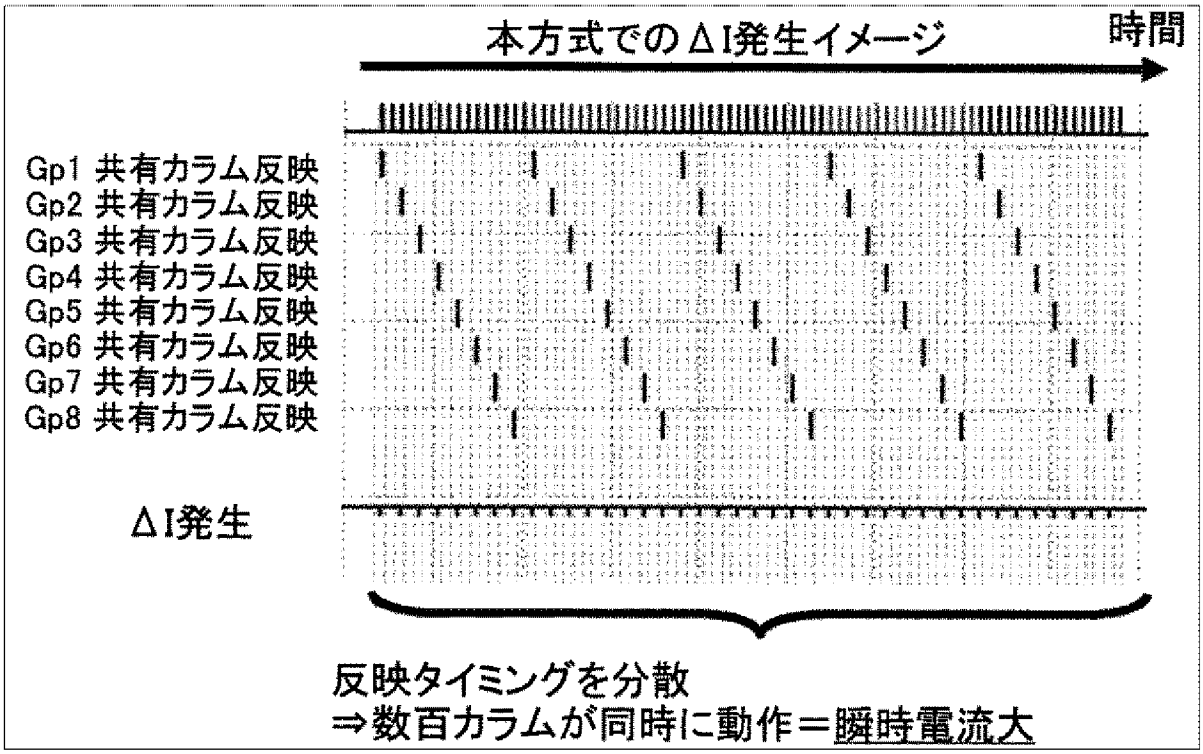
[図16]


510
コンパレータ出力
350-P
350-2
350-1
104カラム
248カラム
248カラム
下位5bit GCラッチ
上位10bit U/Dカウンタ
0bit
1bit
2bit
3bit
4bit
カレントコード(GC)カウンタ
400
SIV
410
SLCK
MIV
520
530
500
MLCK
PLLCK
341
PLL

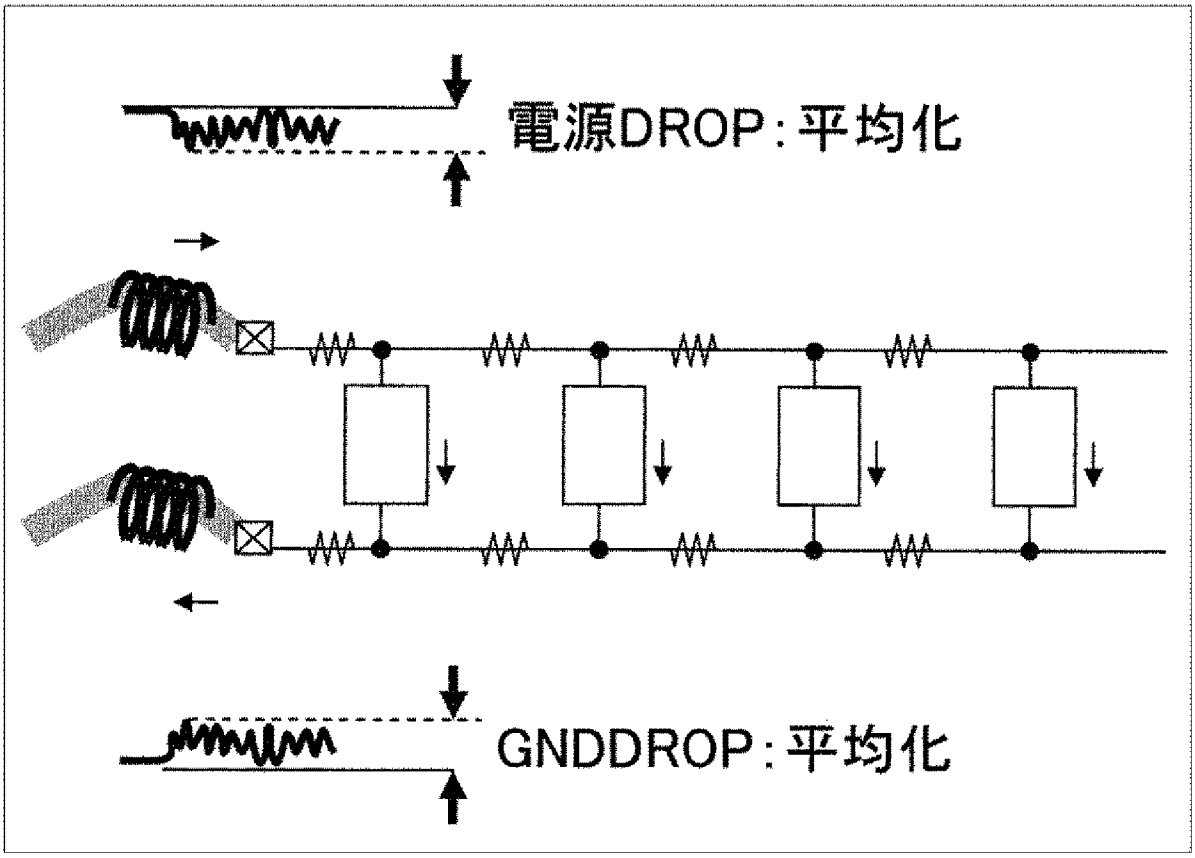
[図17]


PLLCK
クロック
開始コードずらし
パルス SPP
リセット
GC[0]
GC[1]
GC[2]
GC[3]
GC[4]
Bin[5]
Bin[6]
カウント動作期間
反映タイミングがずれる
→ΔIを抑制
GC[0]
GC[1]
GC[2]
GC[3]
GC[4]
Bin[5]
Bin[6]

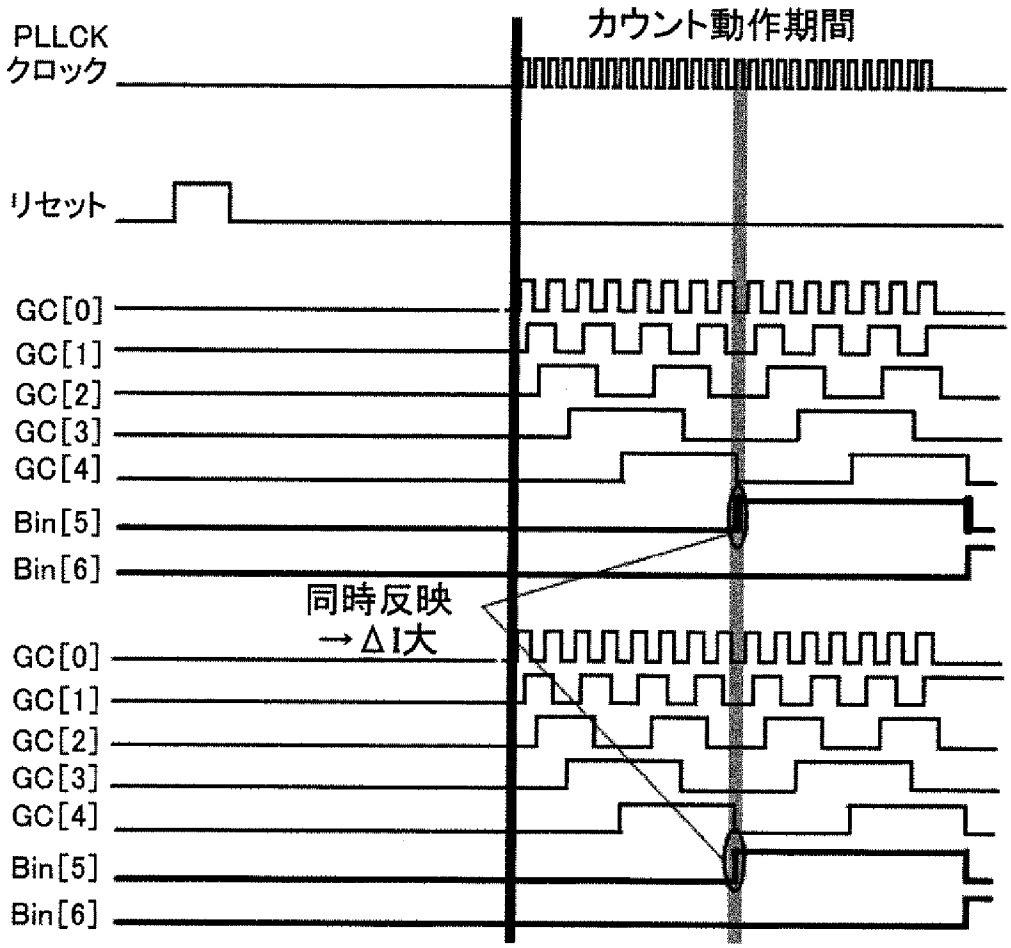
[図18]


本方式でのΔI発生イメージ
時間
Gp1 共有カラム反映
Gp2 共有カラム反映
Gp3 共有カラム反映
Gp4 共有カラム反映
Gp5 共有カラム反映
Gp6 共有カラム反映
Gp7 共有カラム反映
Gp8 共有カラム反映
ΔI発生
反映タイミングを分散
⇒数百カラムが同時に動作＝瞬時電流大

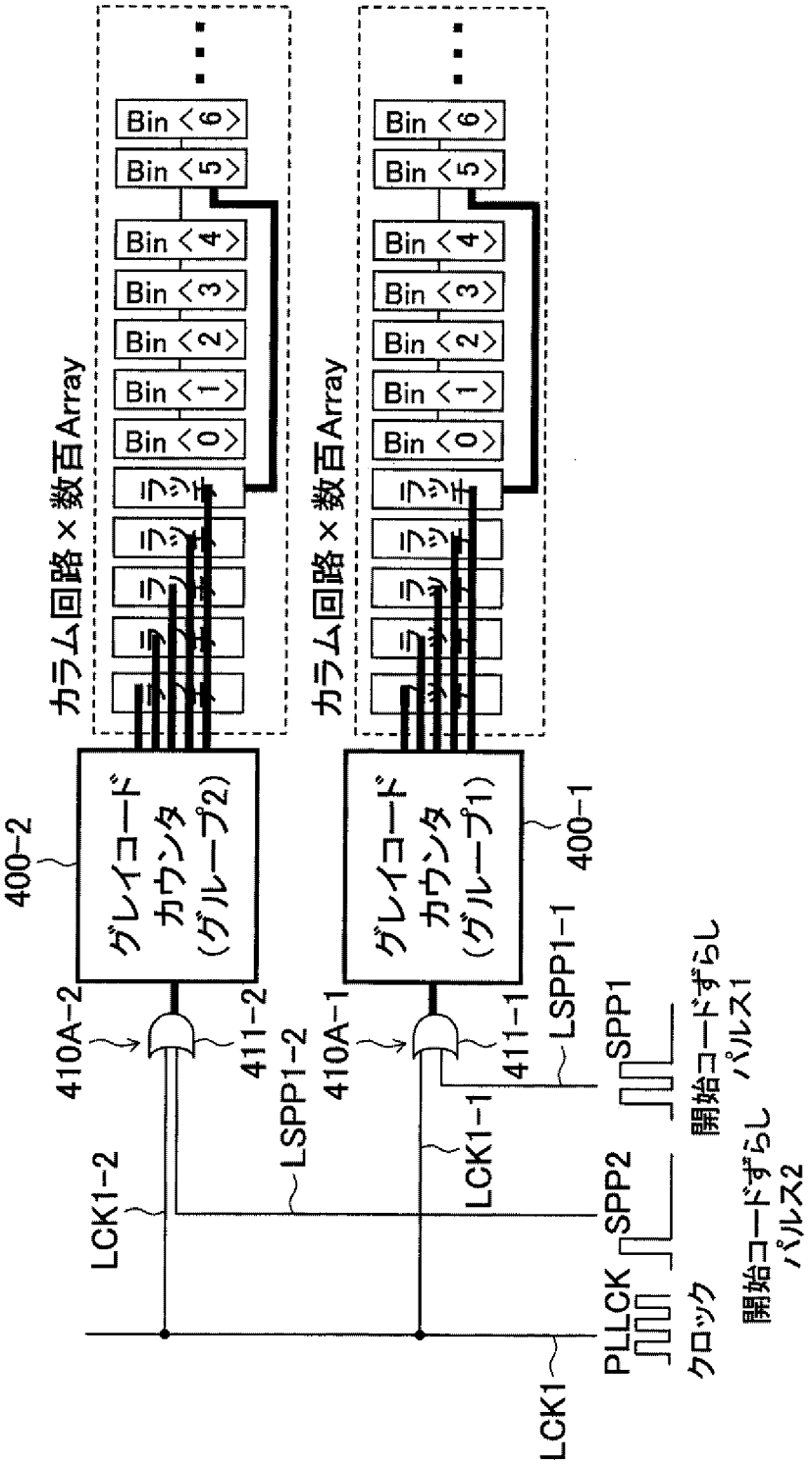
[図19]



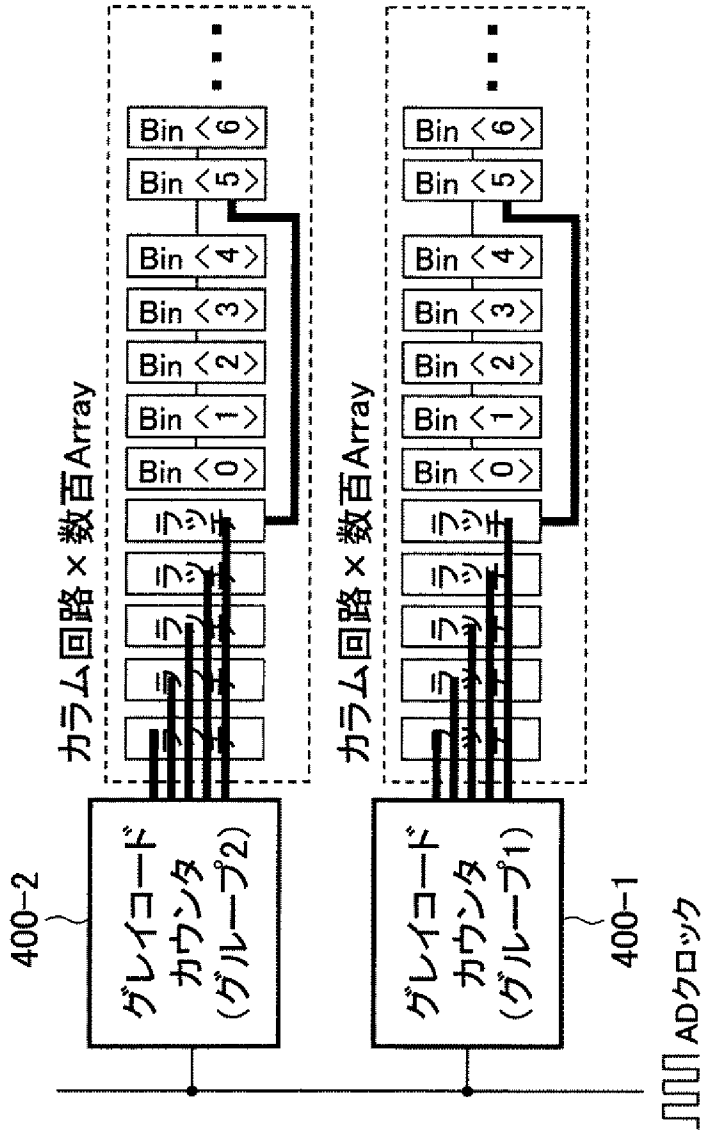
[図20]


PLLCK
クロック
カウント動作期間
リセット
GC[0]
GC[1]
GC[2]
GC[3]
GC[4]
Bin[5]
Bin[6]
同時反映
→Δ1大
GC[0]
GC[1]
GC[2]
GC[3]
GC[4]
Bin[5]
Bin[6]

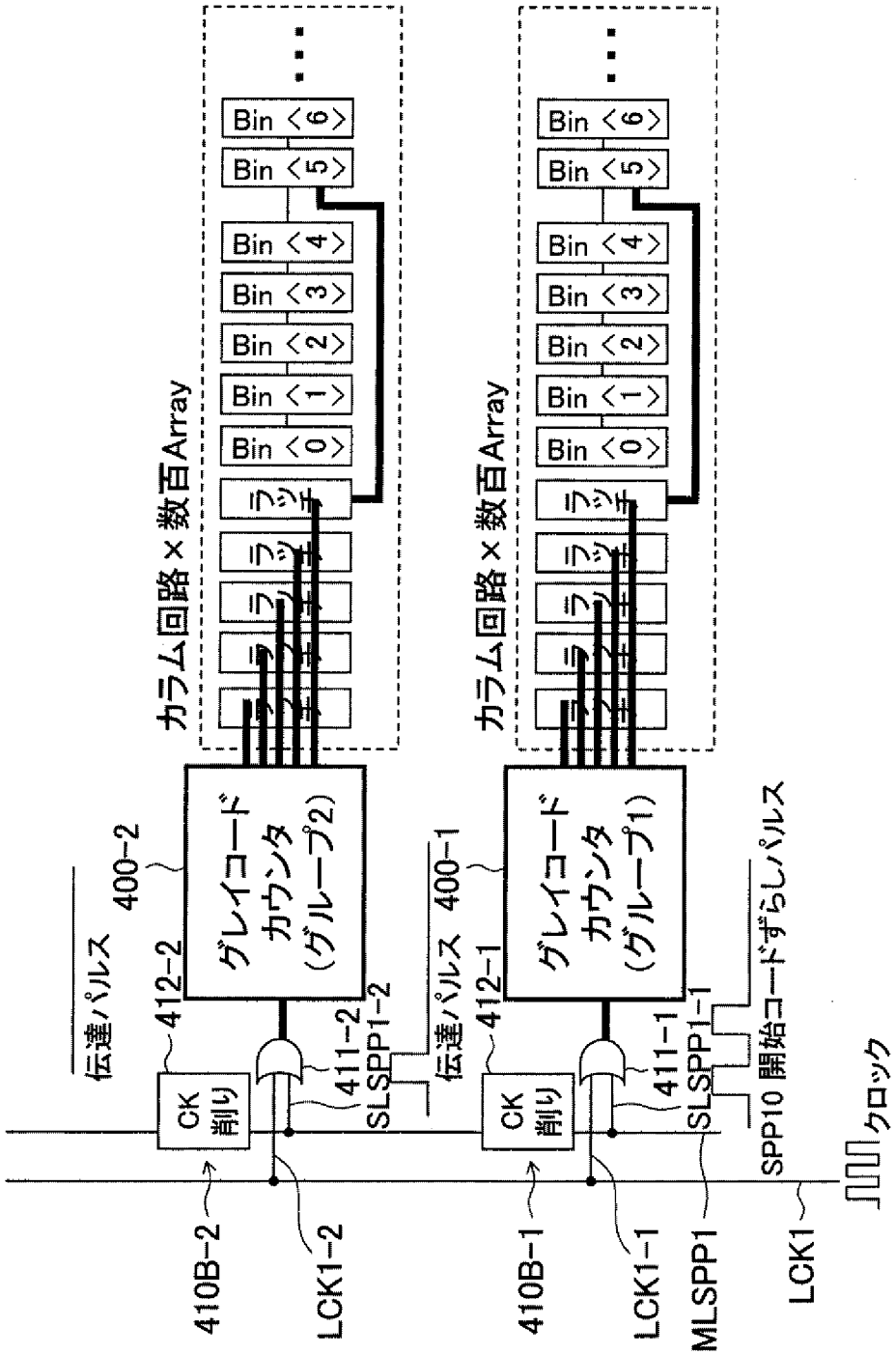
[図21]


カラム回路×数百Array
Bin<6>
Bin<5>
Bin<4>
Bin<3>
Bin<2>
Bin<1>
Bin<0>
ラッチ
グレイコード
カウンタ
(グループ2)
400-2
410A-2
411-2
LSPP1-2
LCK1-2
カラム回路×数百Array
グレイコード
カウンタ
(グループ1)
400-1
410A-1
411-1
LSPP1-1
LCK1-1
SPP1
SPP2
PLLCK
クロック
LCK1
開始コードずらし
パルス1
開始コードずらし
パルス2

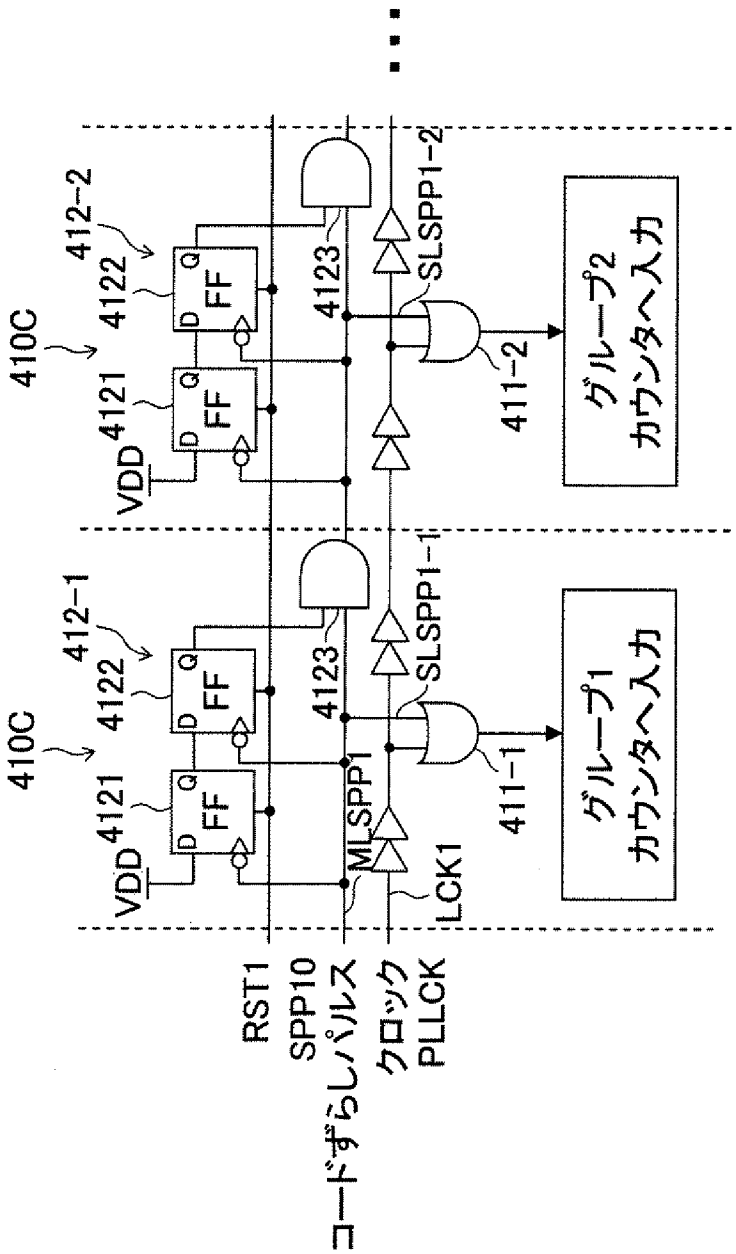
[図22]


カラム回路×数百Array
Bin<6>
Bin<5>
Bin<4>
Bin<3>
Bin<2>
Bin<1>
Bin<0>
ラッチ
グレイコード
カウンタ
(グループ2)
400-2
カラム回路×数百Array
グレイコード
カウンタ
(グループ1)
400-1
ADクロック

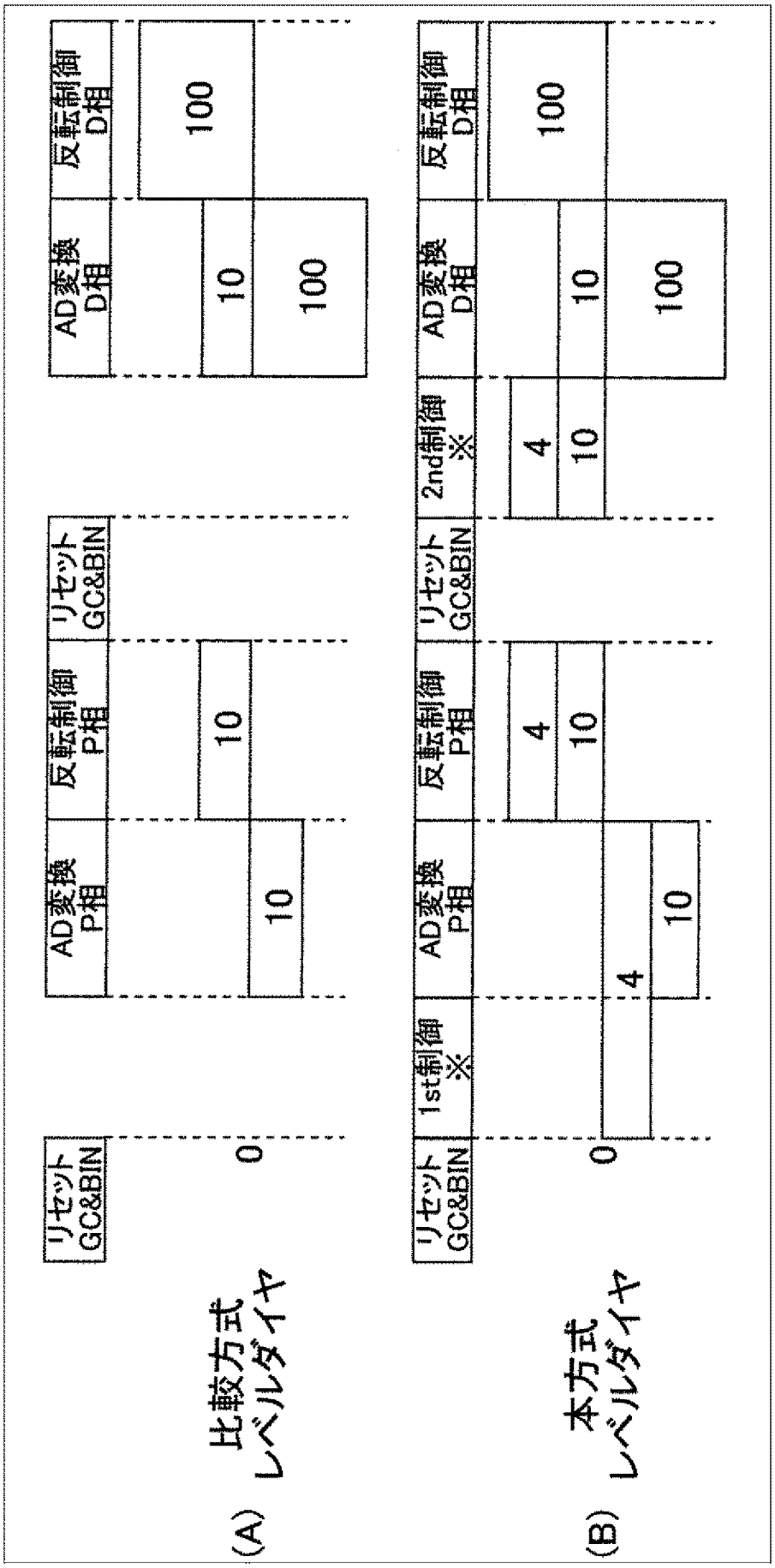
[図23]


カラム回路×数百Array
Bin<6>
Bin<5>
Bin<4>
Bin<3>
Bin<2>
Bin<1>
Bin<0>
ラッチ
グレイコード
カウンタ
(グループ2)
400-2
412-2
411-2
SLSPP1-2
伝達パルス
CK
削り
410B-2
LCK1-2
グレイコード
カウンタ
(グループ1)
400-1
412-1
411-1
SLSPP1-1
MLSPP1
SPP10 開始コードずらしパルス
LCK1
クロック

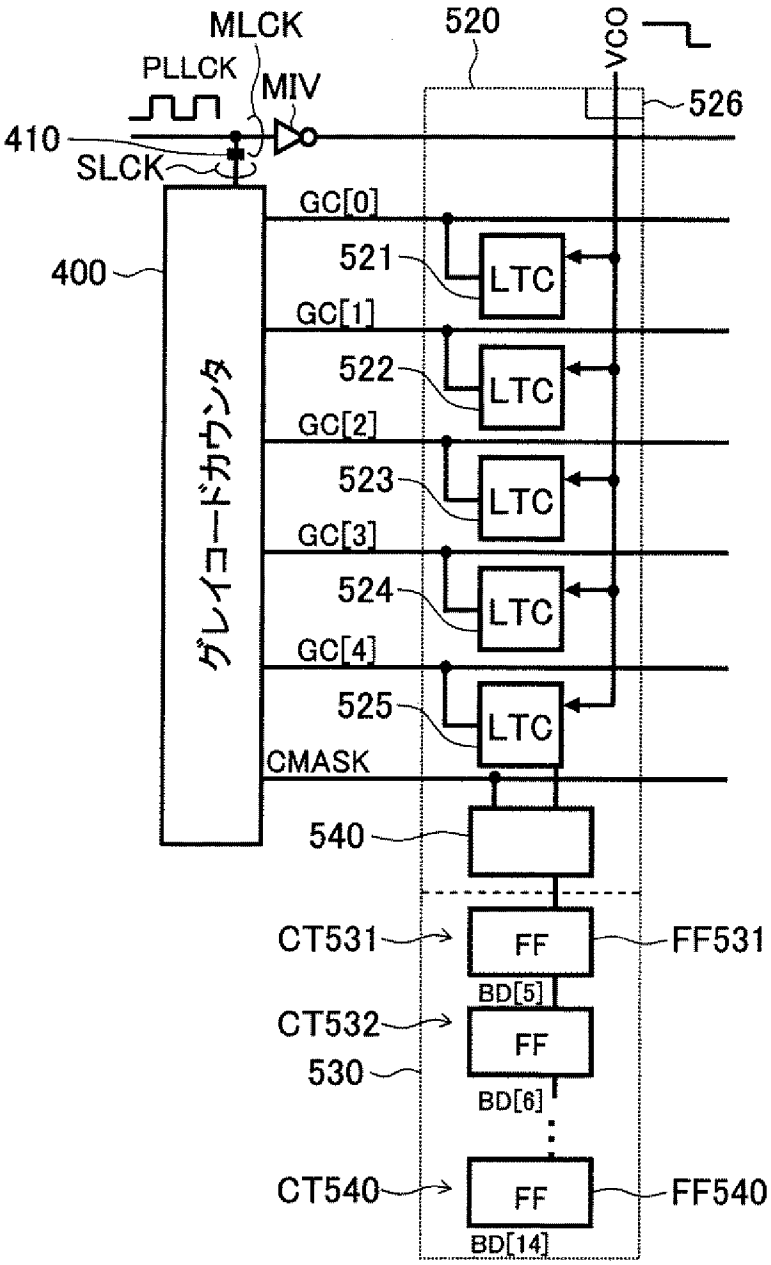
[図24]


RST1
SPP10
ヨードずらしパルス
クロック
PLLCK
LCK1
MLSPP1
SLSPP1-1
SLSPP1-2
410C
412-1
412-2
4121
4122
4123
FF
VDD
411-1
411-2
グループ1
カウンタへ入力
グループ2
カウンタへ入力

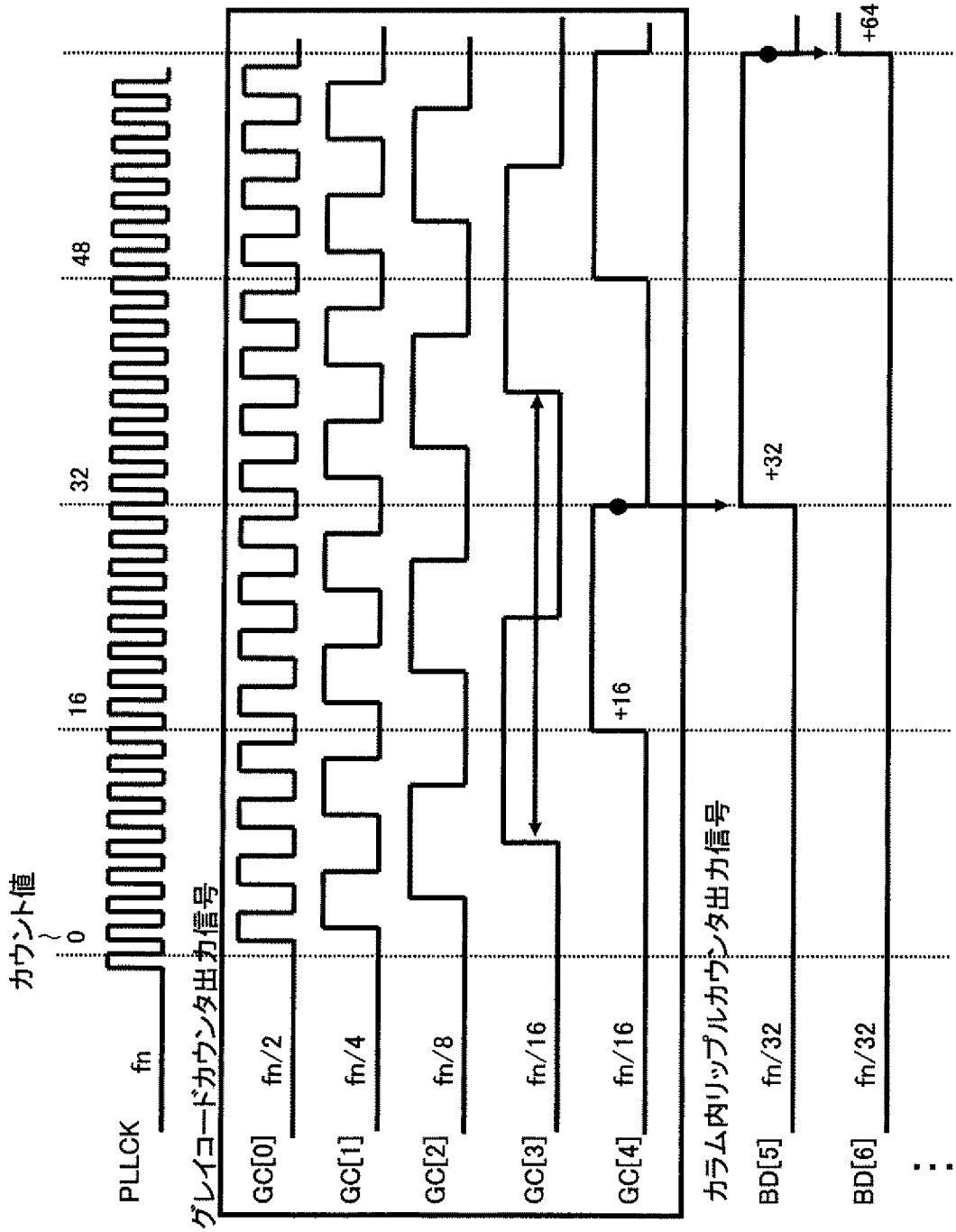
[図25]


(A) 比較方式 レベルダイヤ
リセット GC&BIN
0
AD変換 P相
10
反転制御 P相
10
リセット GC&BIN
AD変換 D相
10
100
反転制御 D相
100
(B) 本方式 レベルダイヤ
リセット GC&BIN
0
1st制御 ※
4
AD変換 P相
10
反転制御 P相
4
10
リセット GC&BIN
2nd制御 ※
4
10
AD変換 D相
10
100
反転制御 D相
100

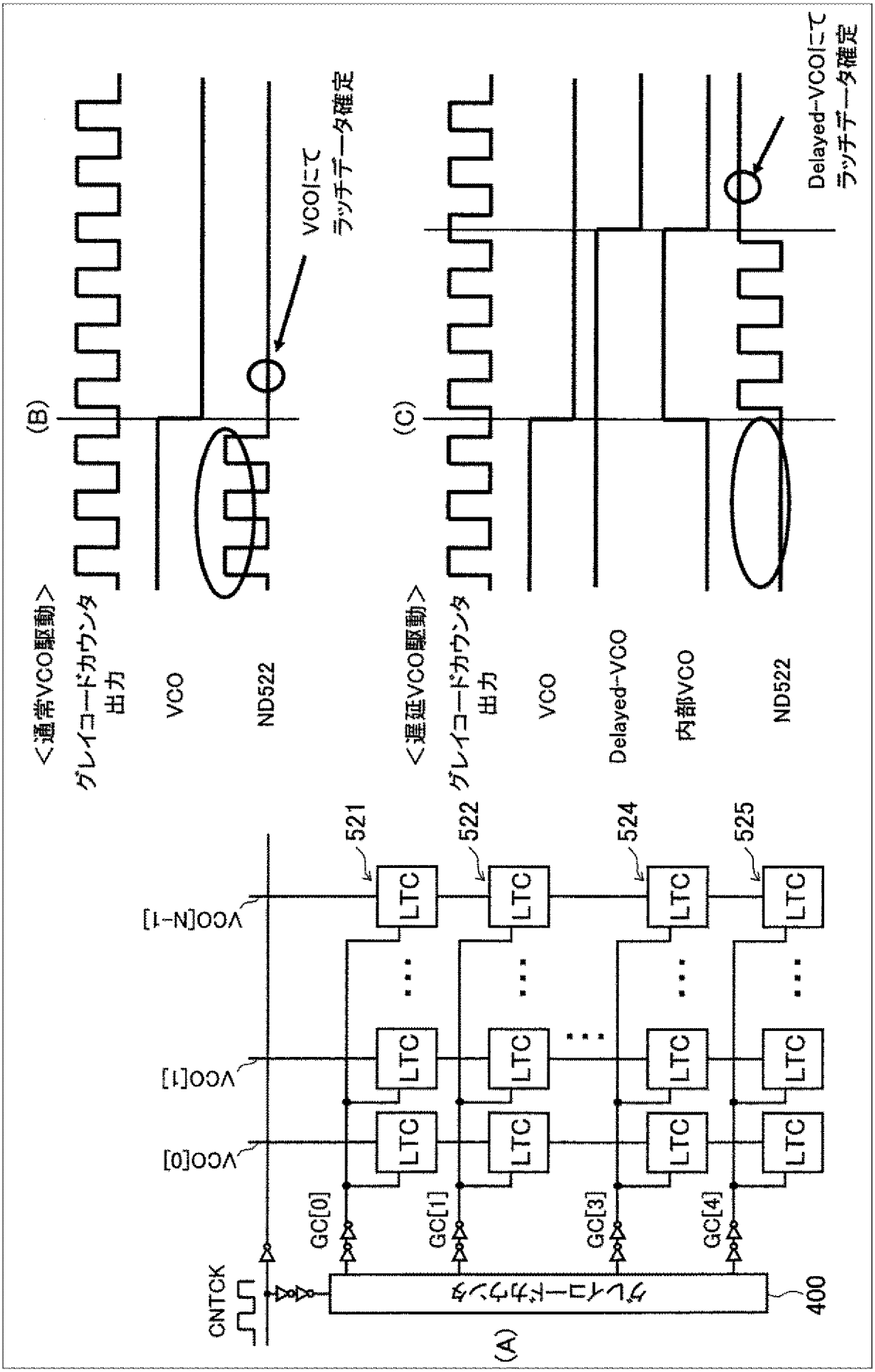
[図26]


MLCK
PLLCK
MIV
410
SLCK
520
VCO
526
400
グレイコードカウンタ
GC[0]
521
LTC
GC[1]
522
LTC
GC[2]
523
LTC
GC[3]
524
LTC
GC[4]
525
LTC
CMASK
540
CT531
FF
FF531
BD[5]
CT532
FF
530
BD[6]
CT540
FF
FF540
BD[14]

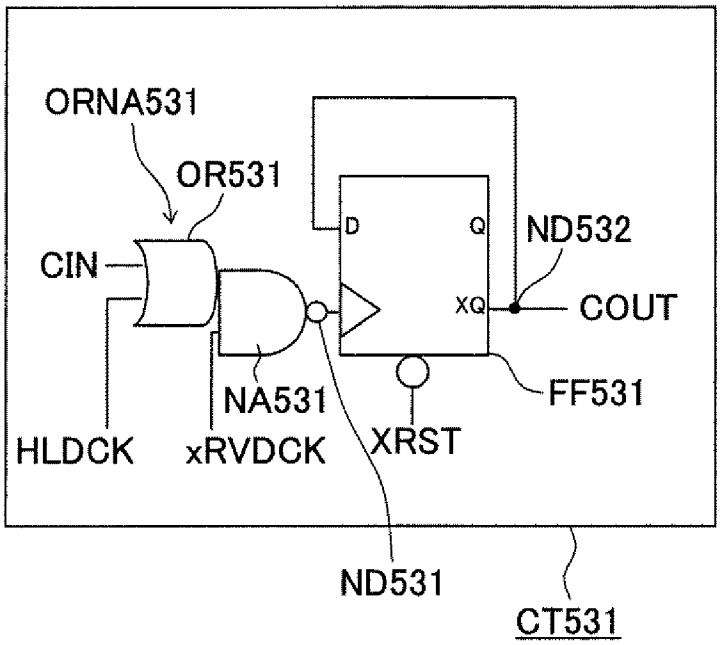
[図27]


カウント値
0
16
32
48
PLLCK
fn
グレイコードカウンタ出力信号
GC[0]
fn/2
GC[1]
fn/4
GC[2]
fn/8
GC[3]
fn/16
GC[4]
fn/16
+16
カラム内リップルカウンタ出力信号
BD[5]
fn/32
+32
BD[6]
fn/32
+64

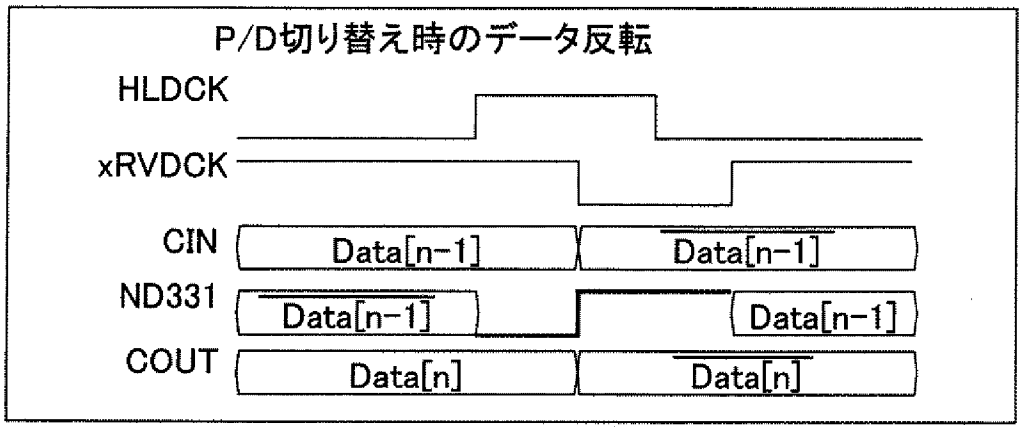
[図28]


(A)
(B)
(C)
CNTCK
GC[0]
GC[1]
GC[3]
GC[4]
VCO[0]
VCO[1]
VCO[N-1]
LTC
521
522
524
525
400
<通常VCO駆動>
グレイコードカウンタ出力
VCO
ND522
VCOにて
ラッチデータ確定
<遅延VCO駆動>
グレイコードカウンタ出力
VCO
Delayed-VCO
内部VCO
ND522
Delayed-VCOにて
ラッチデータ確定

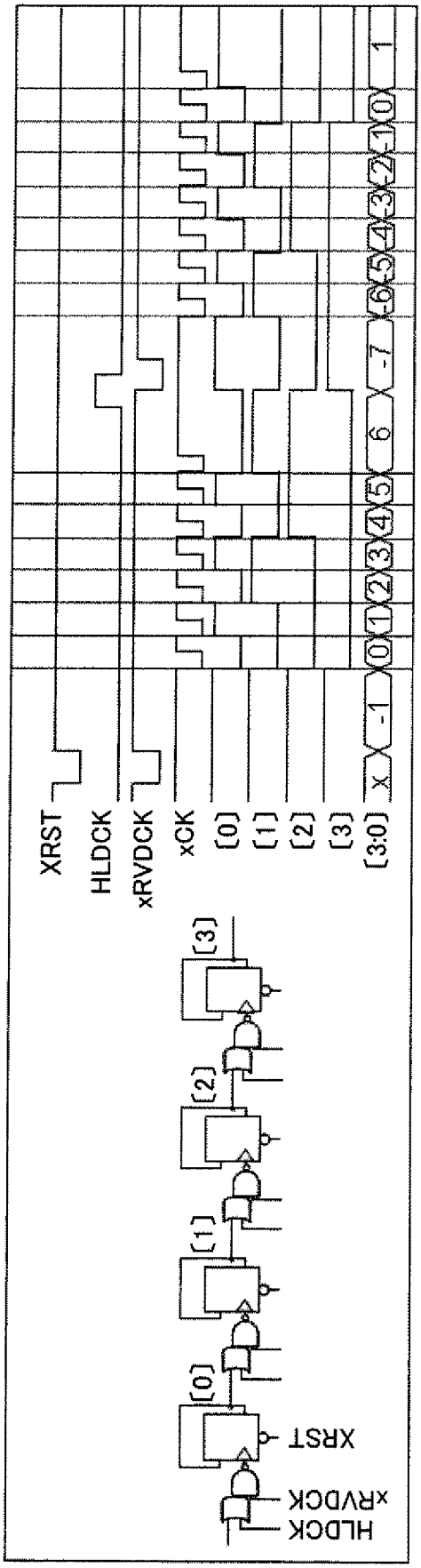
[図29]


ORNA531
OR531
CIN
D
Q
ND532
XQ
COUT
NA531
FF531
HLDCK
xRVDCK
XRST
ND531
CT531

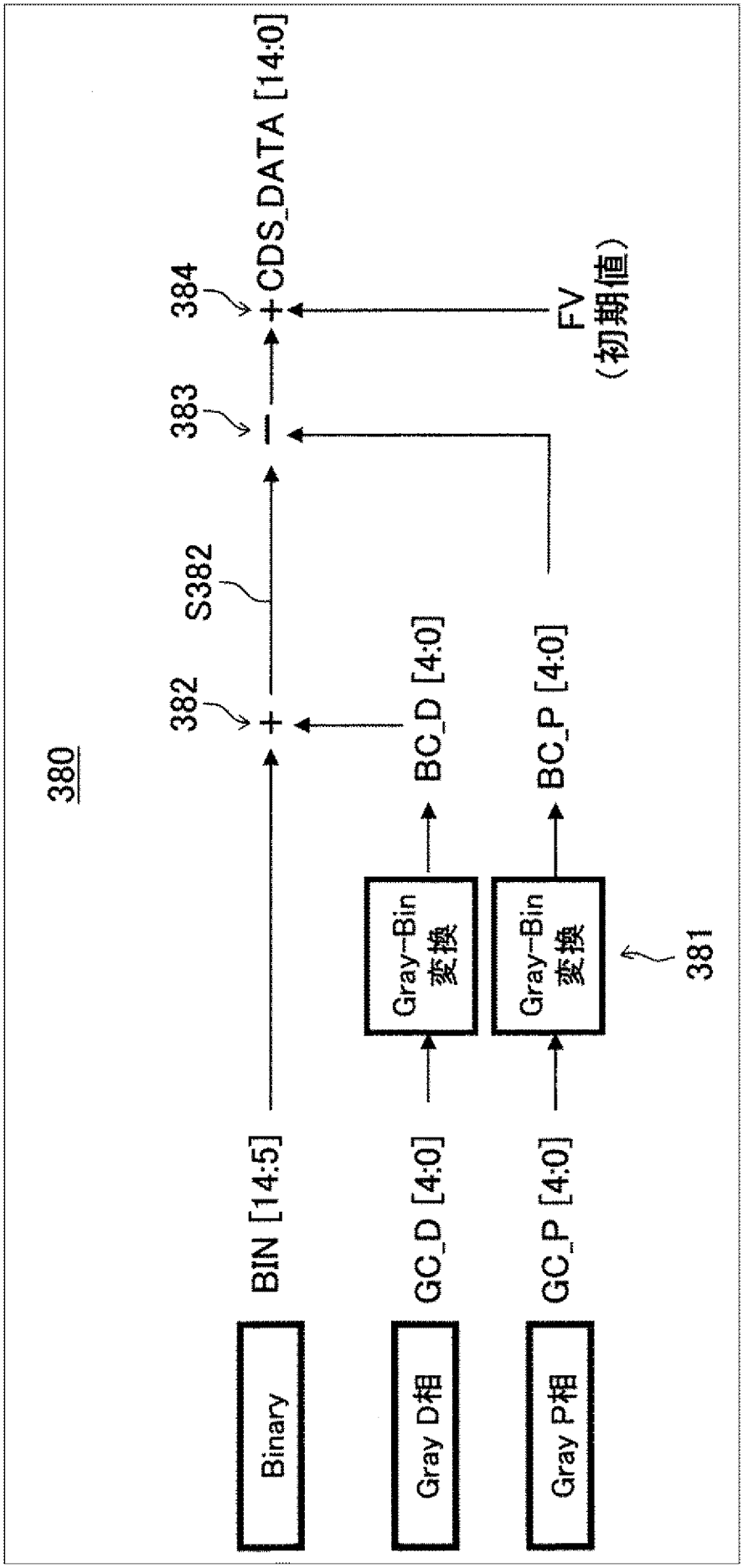
[図30]


P/D切り替え時のデータ反転
HLDCK
xRVDCK
CIN
Data[n-1]
Data[n-1]
ND331
Data[n-1]
Data[n-1]
COUT
Data[n]
Data[n]

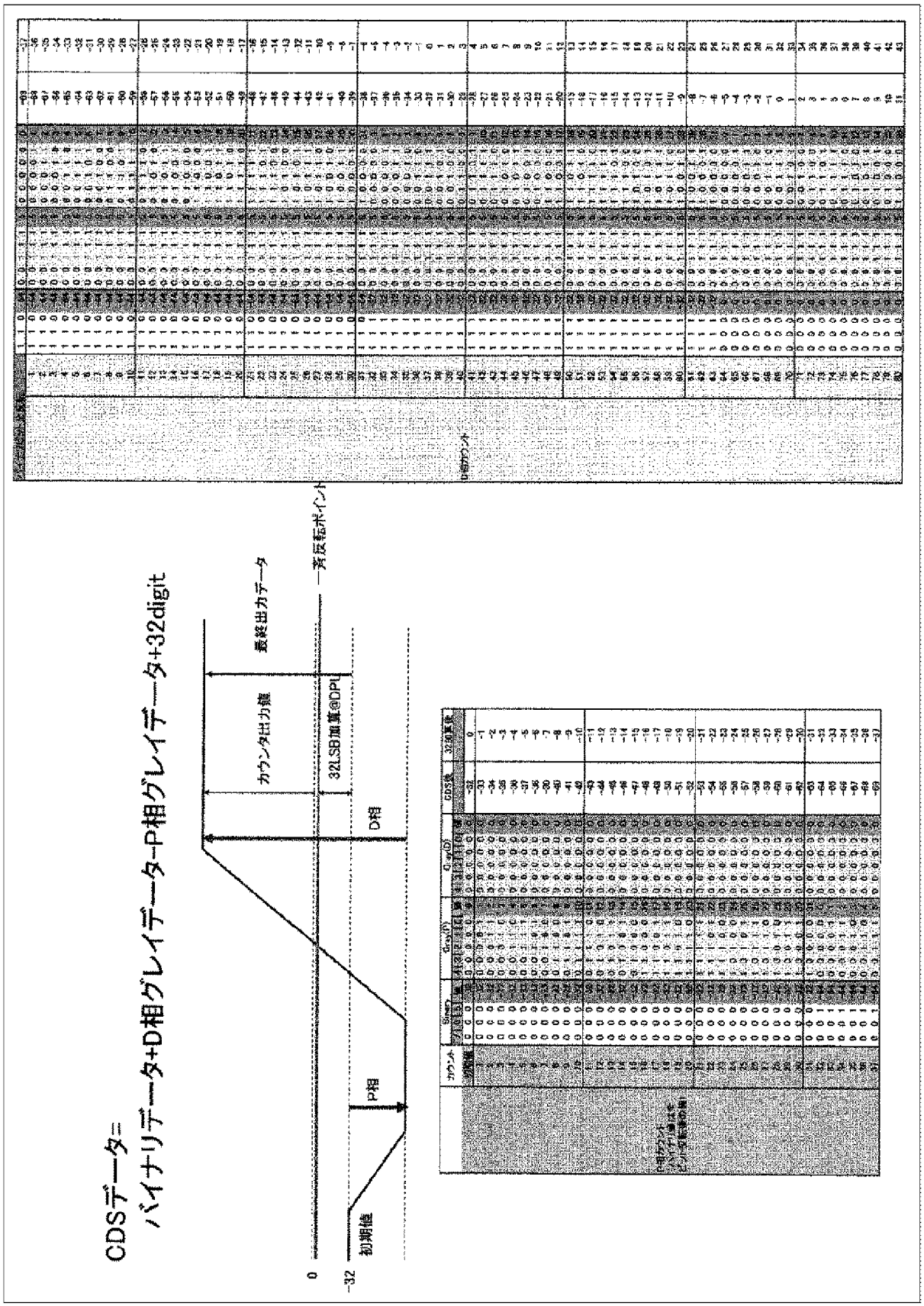
[図31]


XRST
HLDCK
xRVDCK
xCK
[0]
[1]
[2]
[3]
[3:0]
x
-1
0
1
2
3
4
5
6
-7
-6
-5
-4
-3
-2
-1
0
1
[3]
[2]
[1]
[0]
XRST
xRVDCK
HLDCK

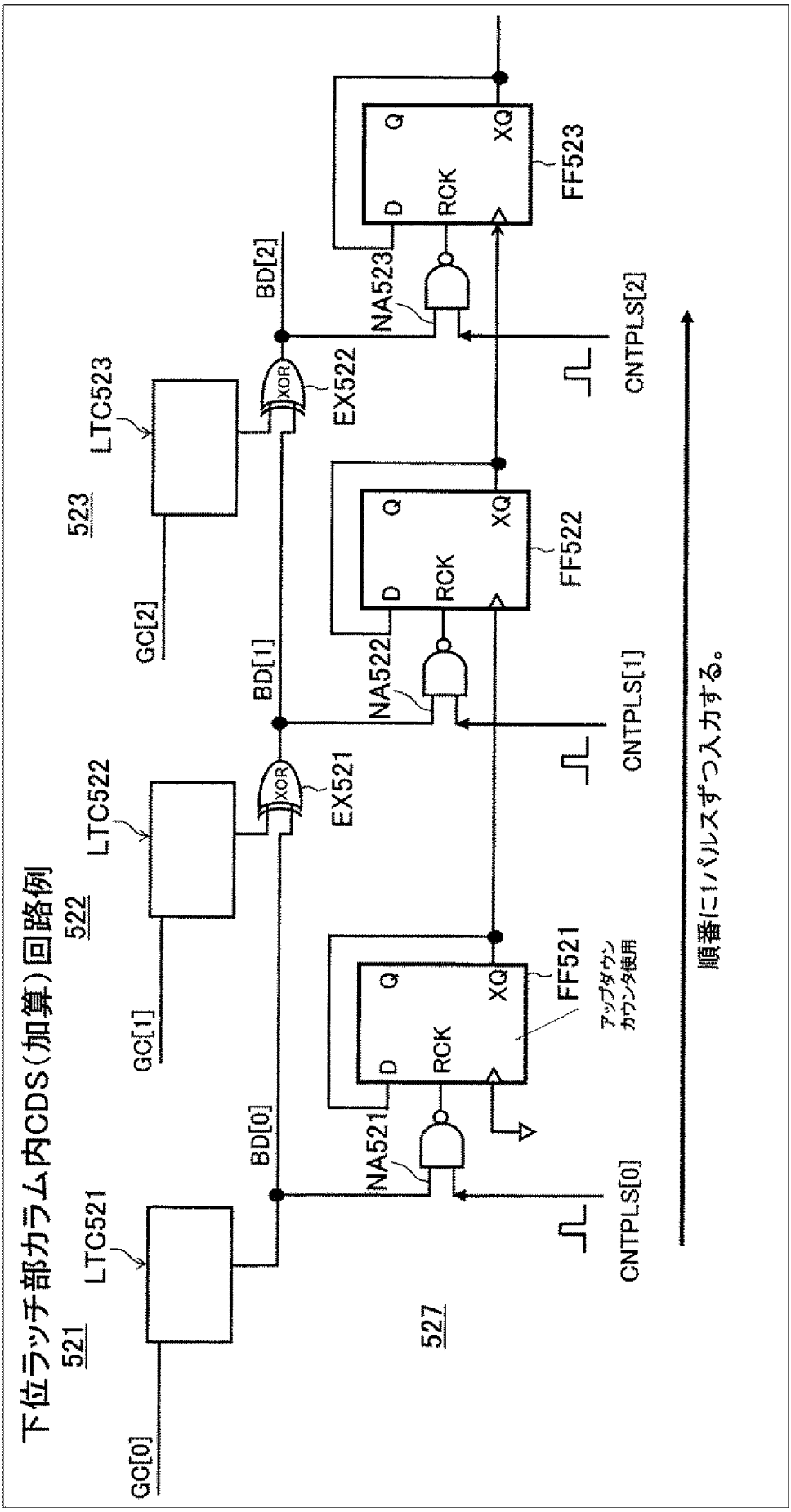
[図32]


380
382
S382
383
384
CDS_DATA [14:0]
FV
（初期値）
BC_D [4:0]
BC_P [4:0]
Gray–Bin
変換
Gray–Bin
変換
381
BIN [14:5]
GC_D [4:0]
GC_P [4:0]
Binary
Gray D相
Gray P相

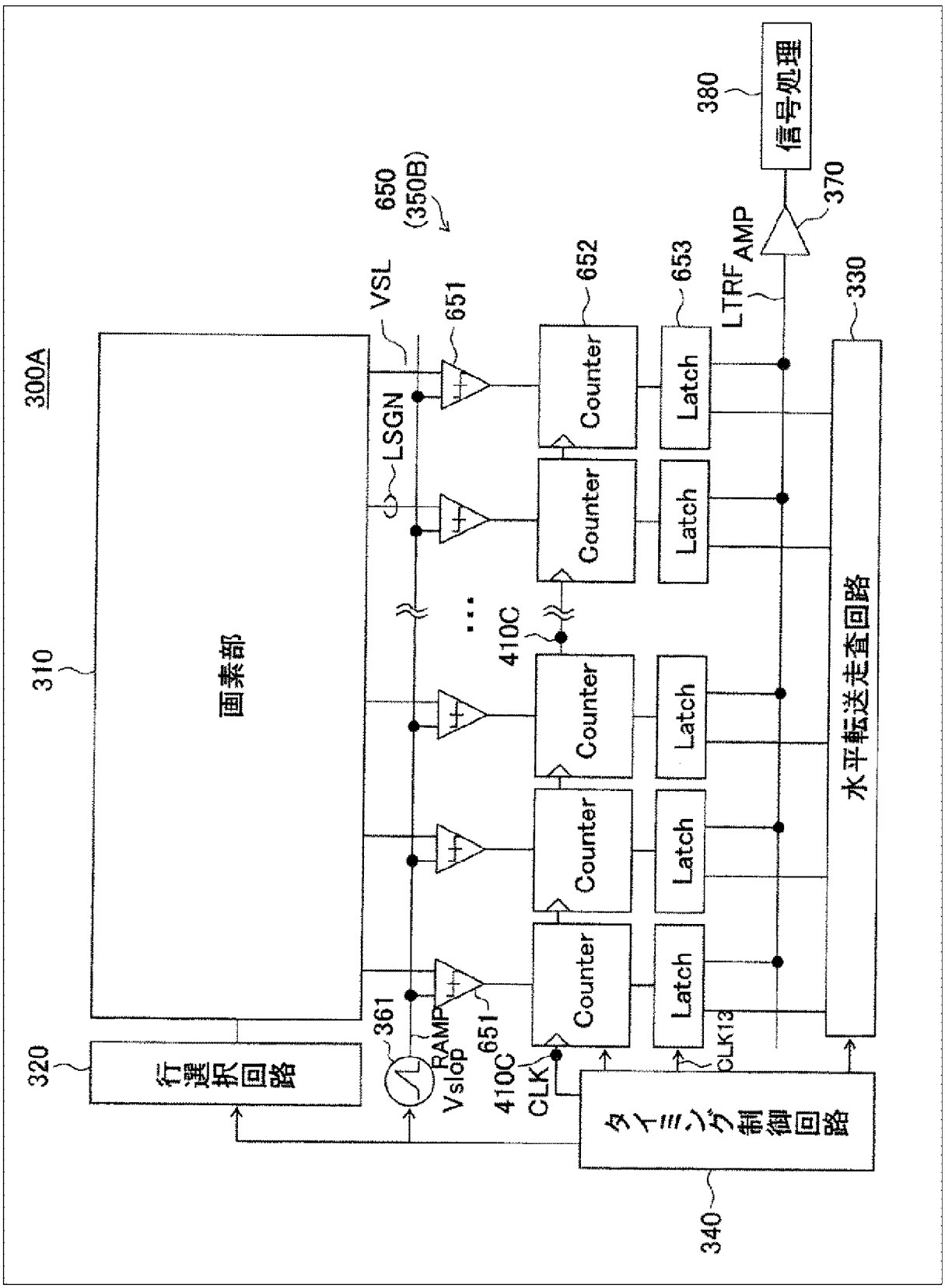
[図33]


CDSデータ=
バイナリデータ+D相グレイデータ-P相グレイデータ+32digit
カウンタ出力値
最終出力データ
32LSB加算@DPI
D相
P相
初期値
0
-32
一斉転送ポイント

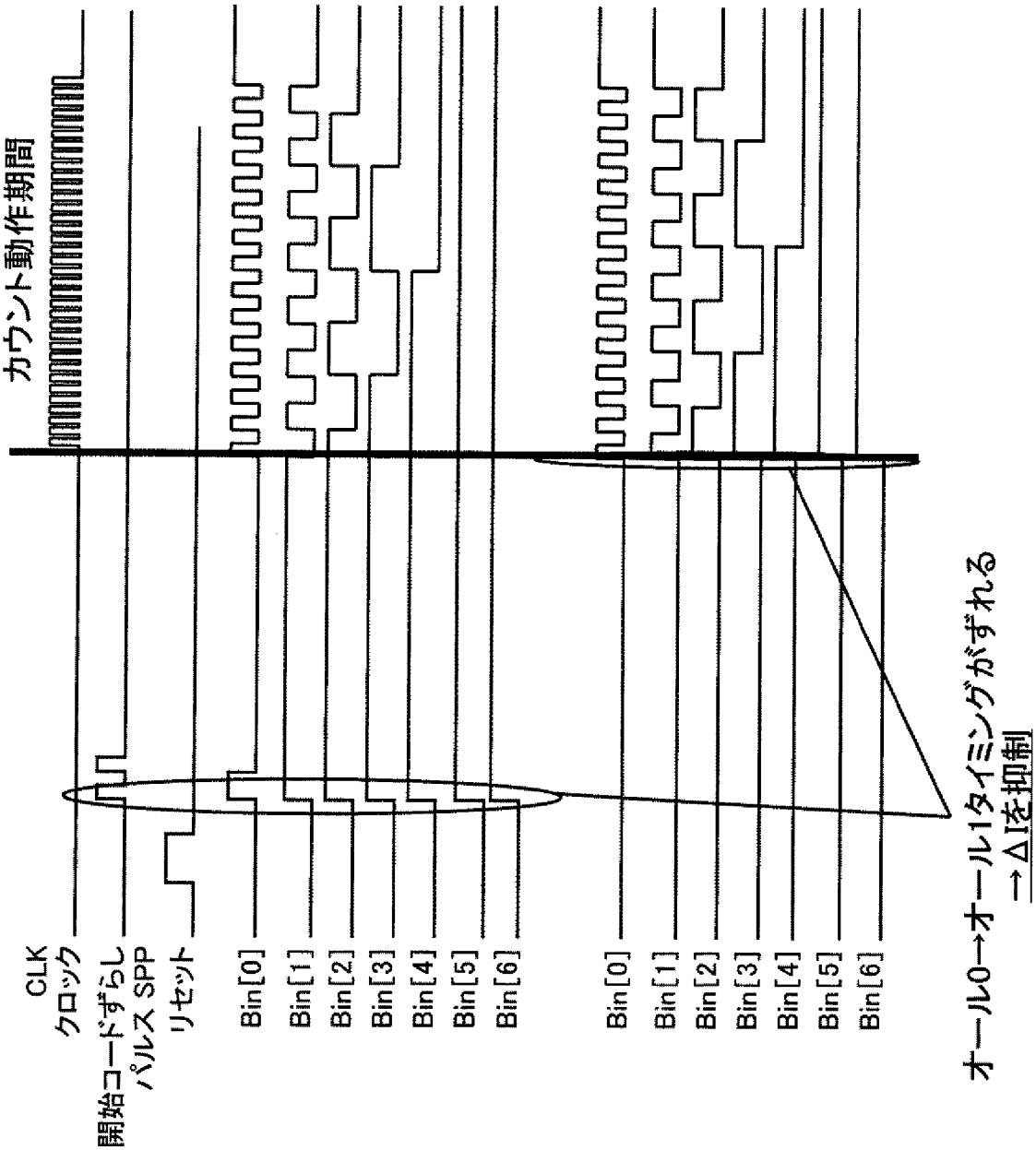
[図34]


下位ラッチ部カラム内CDS(加算)回路例
521
LTC521
GC[0]
522
LTC522
GC[1]
523
LTC523
GC[2]
527
BD[0]
BD[1]
BD[2]
EX521
EX522
XOR
NA521
NA522
NA523
FF521
FF522
FF523
D
Q
RCK
XQ
アップダウン
カウンタ使用
CNTPLS[0]
CNTPLS[1]
CNTPLS[2]
順番に1パルスずつ入力する。

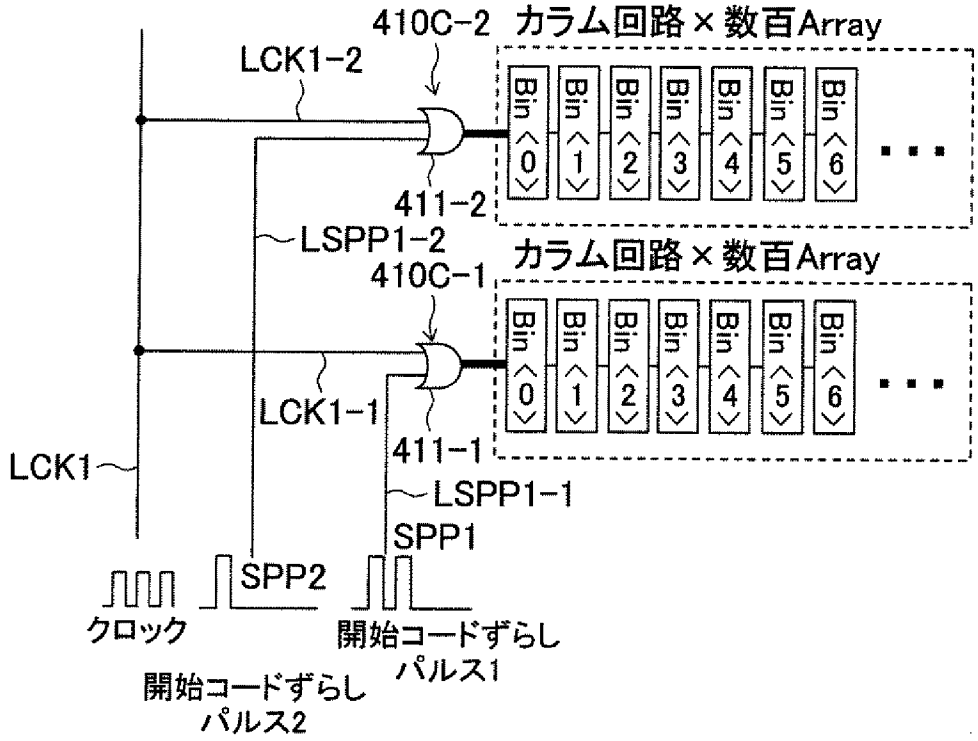
[図35]


300A
310
画素部
320
行選択回路
340
タイミング制御回路
330
水平転送走査回路
380
信号処理
370
AMP
LTRF
650
(350B)
651
652
653
VSL
LSGN
361
RAMP
Vslop
410C
CLK
CLK13
Counter
Latch

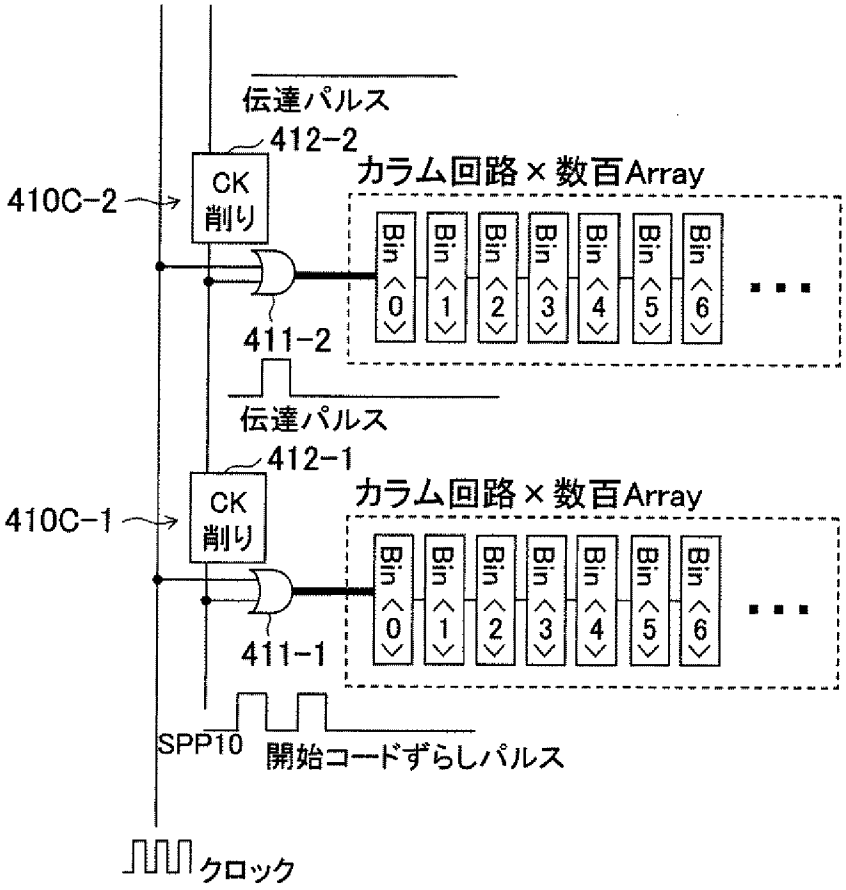
[図36]


カウント動作期間
CLK
クロック
開始コードずらし
パルス SPP
リセット
Bin[0]
Bin[1]
Bin[2]
Bin[3]
Bin[4]
Bin[5]
Bin[6]
Bin[0]
Bin[1]
Bin[2]
Bin[3]
Bin[4]
Bin[5]
Bin[6]
オール0→オール1タイミングがずれる
→ΔIを抑制

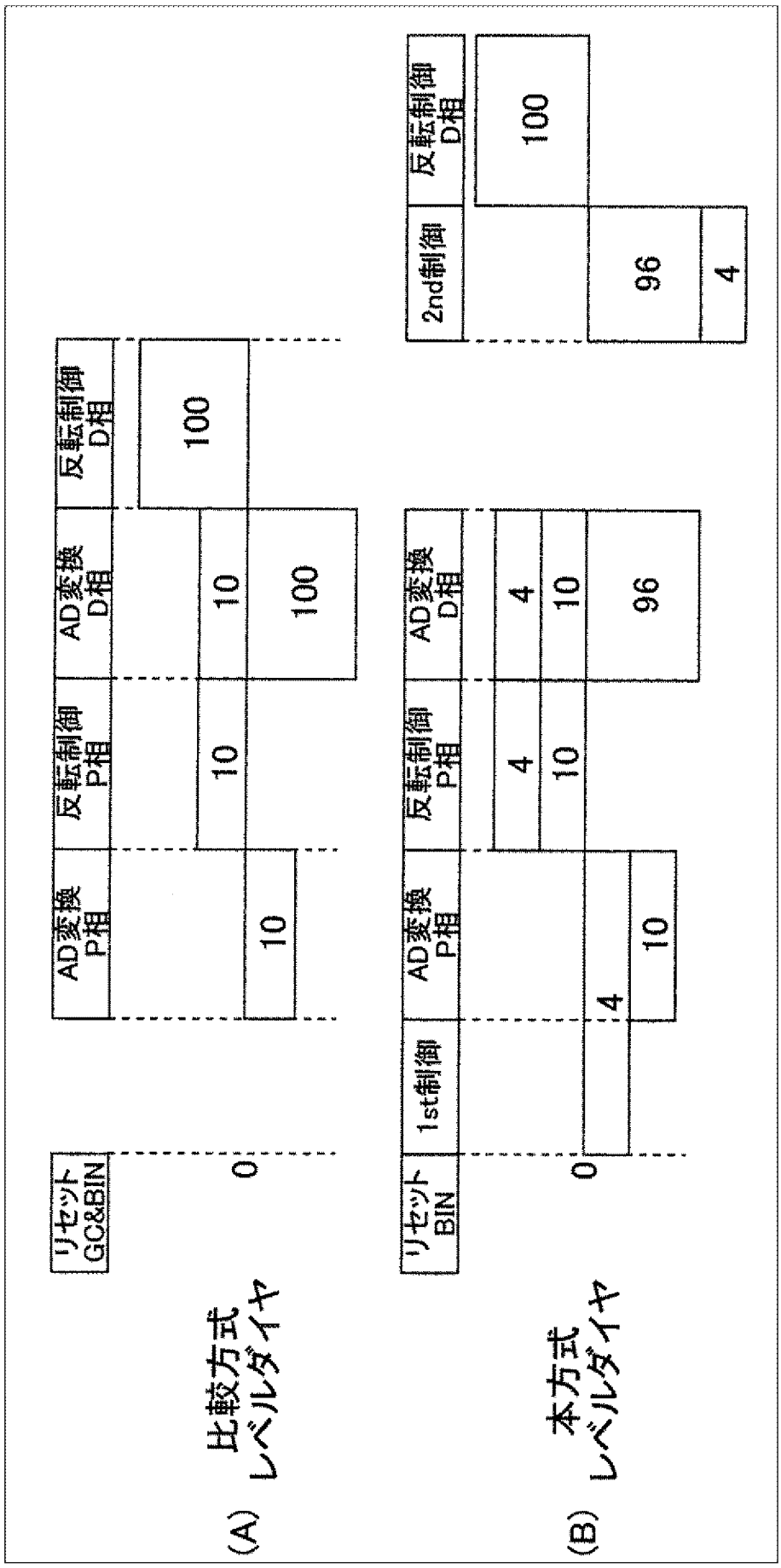
[図37]


410C-2
カラム回路×数百Array
LCK1-2
Bin<0>
Bin<1>
Bin<2>
Bin<3>
Bin<4>
Bin<5>
Bin<6>
411-2
LSPP1-2
410C-1
カラム回路×数百Array
LCK1-1
411-1
LCK1
LSPP1-1
SPP1
SPP2
クロック
開始コードずらし
パルス1
開始コードずらし
パルス2

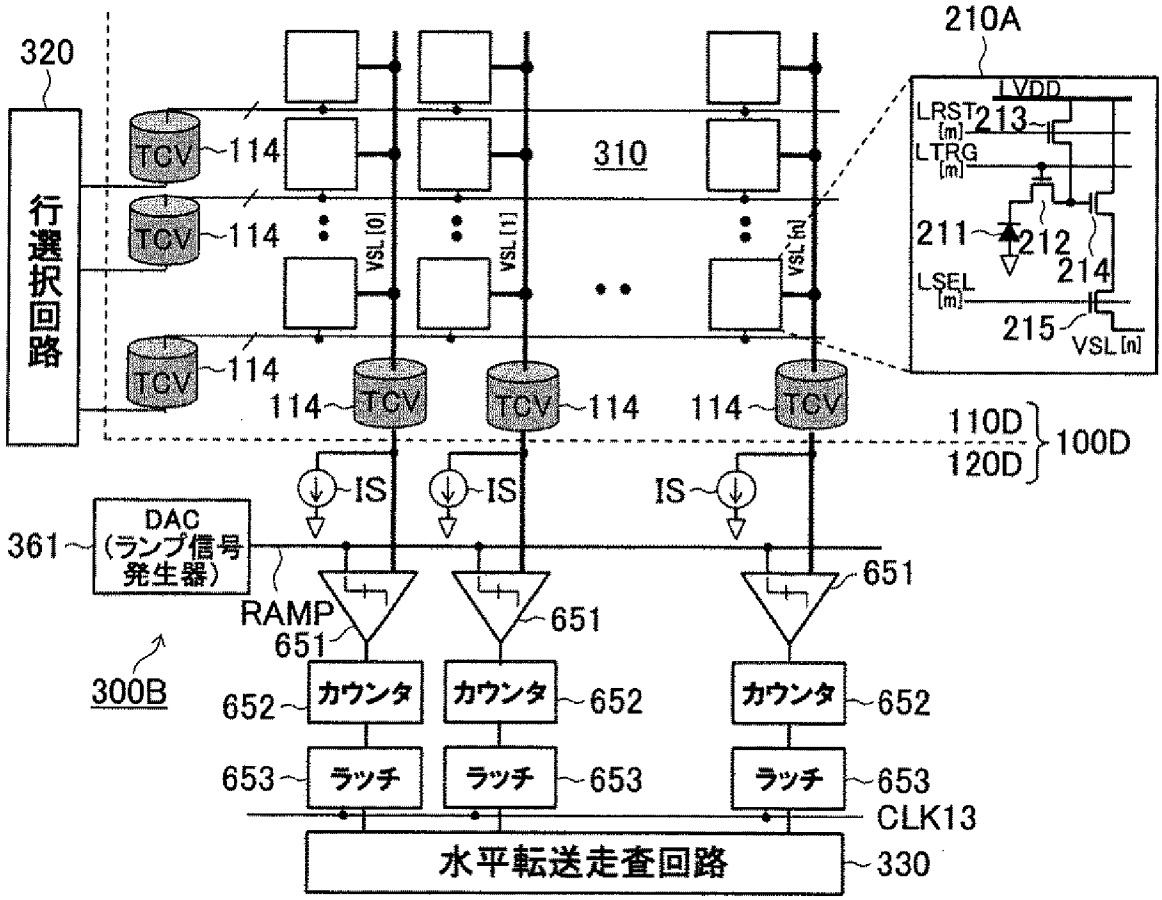
[図38]


伝達パルス
412-2
CK
削り
410C-2
カラム回路×数百Array
Bin<0>
Bin<1>
Bin<2>
Bin<3>
Bin<4>
Bin<5>
Bin<6>
411-2
伝達パルス
412-1
CK
削り
410C-1
カラム回路×数百Array
411-1
SPP10
開始コードずらしパルス
クロック

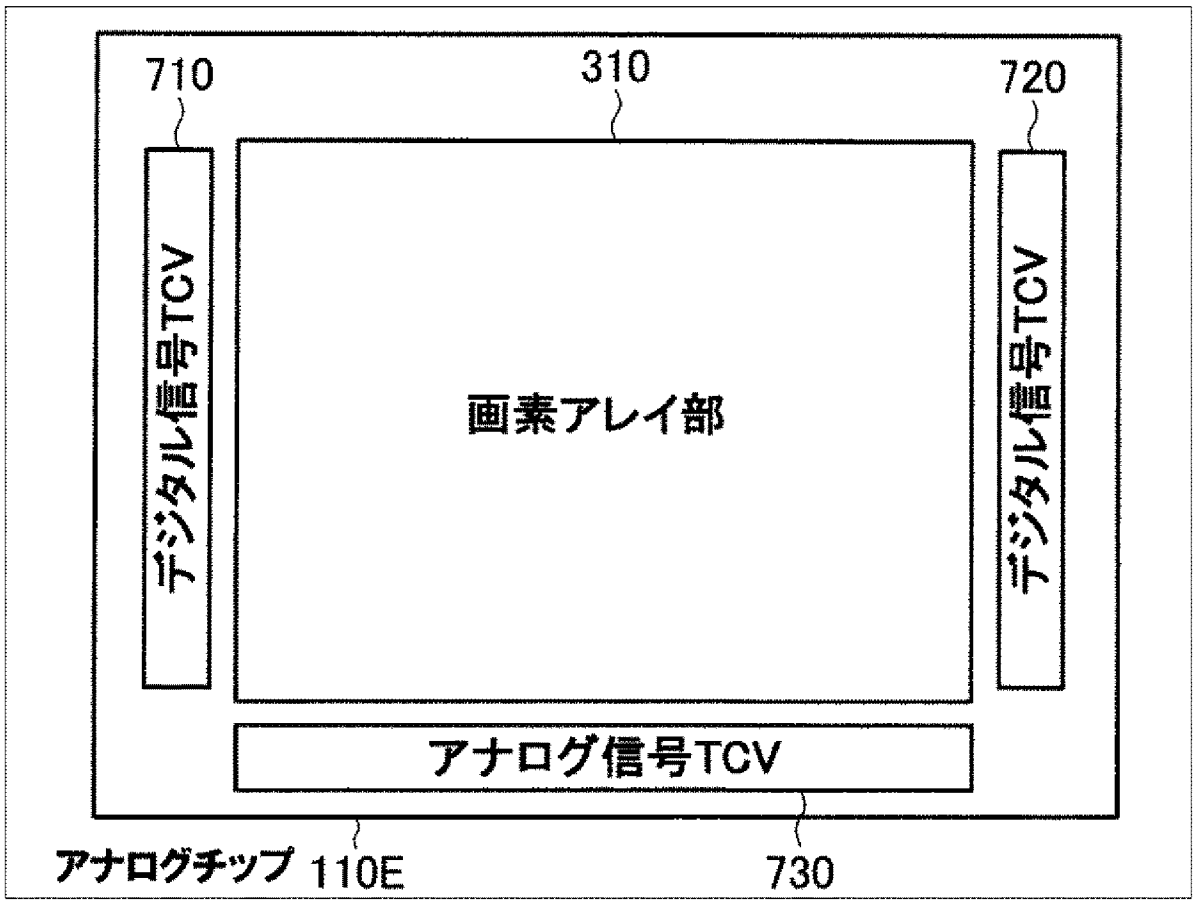
[図39]


(A) 比較方式 レベルダイヤ
リセット GC&BIN
AD変換 P相
反転制御 P相
AD変換 D相
反転制御 D相
0
10
10
10
100
100
(B) 本方式 レベルダイヤ
リセット BIN
1st制御
AD変換 P相
反転制御 P相
AD変換 D相
2nd制御
反転制御 D相
0
4
10
4
10
96
96
4
100

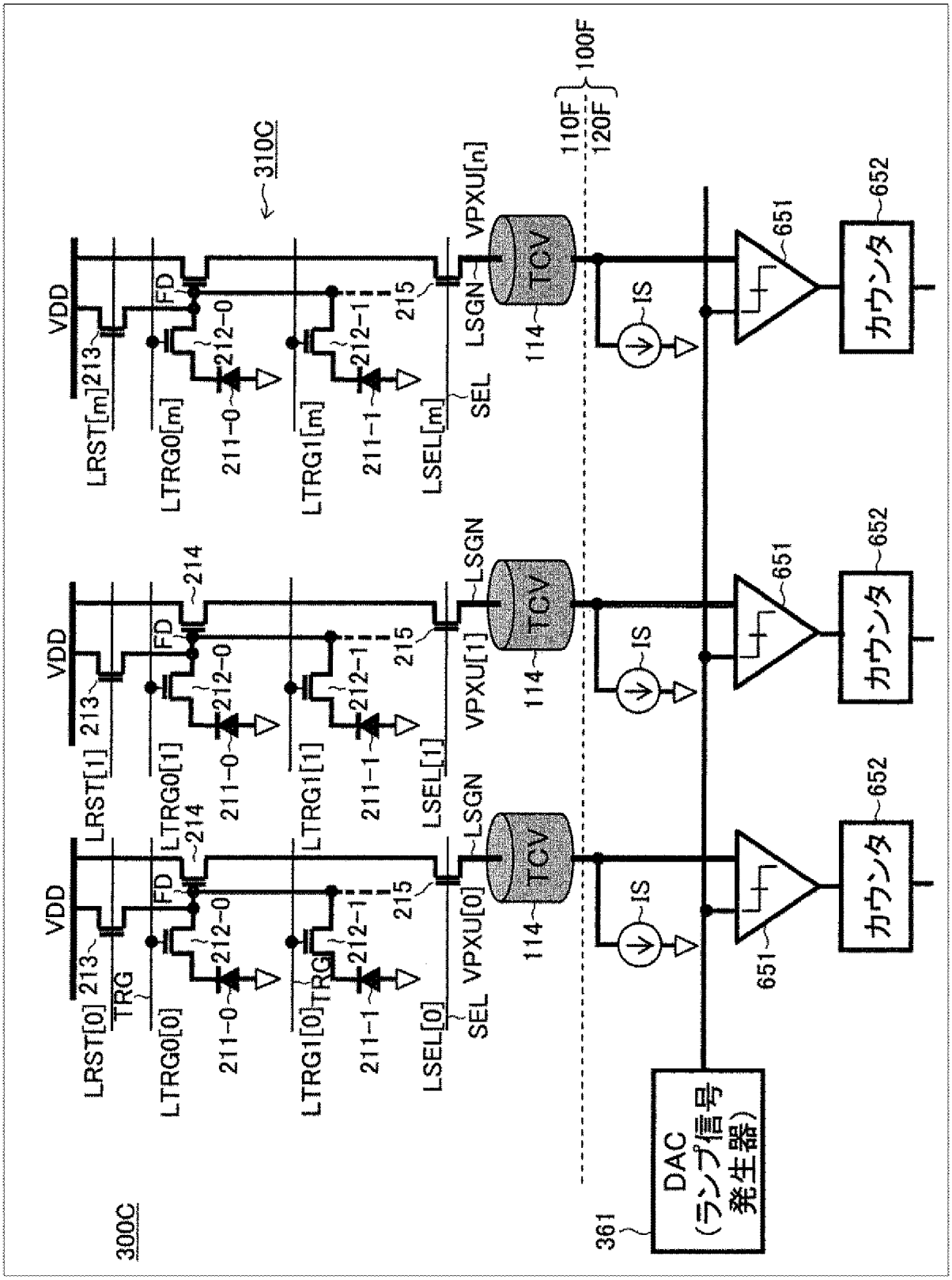
[図40]


320
行選択回路
TCV
114
310
VSL[0]
VSL[1]
VSL[n]
210A
LVDD
LRST[m]
213
LTRG[m]
211
212
214
LSEL[m]
215
VSL[n]
110D
120D
100D
IS
361
DAC
(ランプ信号発生器)
RAMP
651
300B
652
カウンタ
653
ラッチ
CLK13
水平転送走査回路
330

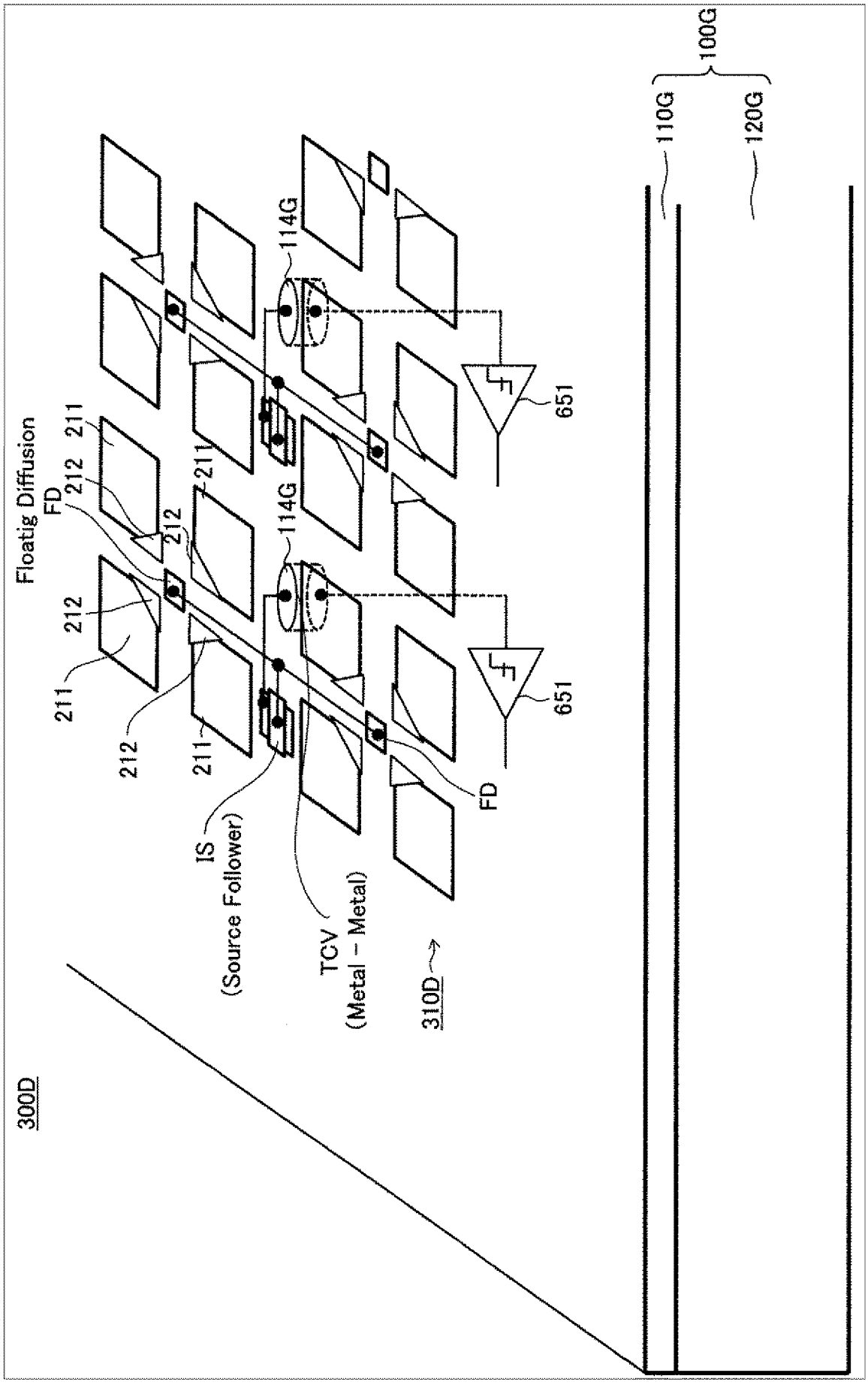
[図41]


710
310
720
デジタル信号TCV
画素アレイ部
デジタル信号TCV
アナログ信号TCV
アナログチップ
110E
730

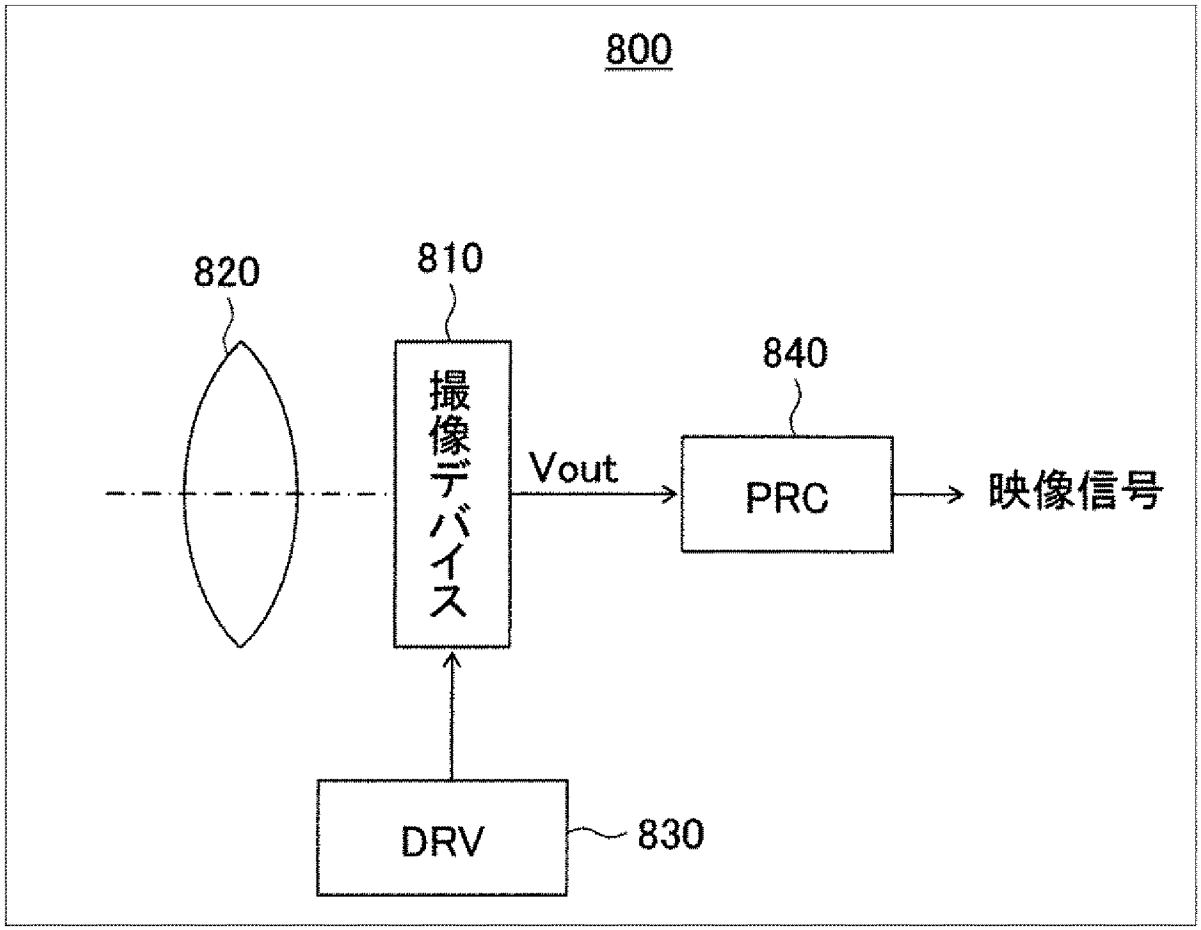
[図42]


300C
310C
100F
110F
120F
VDD
LRST[0]
LRST[1]
LRST[m]
TRG
LTRG0[0]
LTRG0[1]
LTRG0[m]
LTRG1[0]
LTRG1[1]
LTRG1[m]
LSEL[0]
LSEL[1]
LSEL[m]
SEL
VPXU[0]
VPXU[1]
VPXU[n]
LSGN
FD
TCV
IS
DAC
(ランプ信号発生器)
カウンタ
211-0
211-1
212-0
212-1
213
214
215
114
361
651
652

[図43]


300D
310D
Floatig Diffusion
FD
211
212
IS
(Source Follower)
TCV
(Metal – Metal)
114G
651
100G
110G
120G

[図44]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/054125

A. CLASSIFICATION OF SUBJECT MATTER
H04N5/378(2011.01)i, *H03M1/56*(2006.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H04N5/378, H03M1/56, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-250395 A (Sony Corp.), 08 December 2011 (08.12.2011), paragraphs [0022] to [0025]; fig. 1 to 10 & WO 2011/135815 A1 & TW 201206189 A	1-19
A	JP 2009-49459 A (Sony Corp.), 05 March 2009 (05.03.2009), paragraphs [0026] to [0029], [0043] & US 2009/0046190 A1 & CN 101370073 A & KR 10-2009-0017444 A & TW 200926790 A	1-19
A	JP 2009-124269 A (Canon Inc.), 04 June 2009 (04.06.2009), paragraphs [0005] to [0008], [0019] to [0025]; fig. 1 to 2, 7 (Family: none)	1-19

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 March, 2013 (15.03.13)	26 March, 2013 (26.03.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/054125

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-311933 A (Sony Corp.), 04 November 2005 (04.11.2005), paragraph [0114]; fig. 1, 11 & US 2005/0242849 A1 & US 2008/0019472 A1 & US 2009/0084941 A1 & EP 2091154 A1 & EP 2290822 A1 & EP 1592134 A2 & KR 10-2006-0045836 A & CN 1697323 A & CN 101826867 A & TW 200943716 A & KR 10-2011-0135903 A & CN 102594335 A	1-19
A	JP 2009-118035 A (Seiko Epson Corp.), 28 May 2009 (28.05.2009), paragraphs [0003], [0021], [0029] to [0030]; fig. 1 to 3 (Family: none)	1-19

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０５４１２５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378(2011.01)i, H03M1/56(2006.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H04N5/378, H03M1/56, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2011-250395 A (ソニー株式会社) 2011.12.08, 段落【0022】-【0025】,図 1-10 & WO 2011/135815 A1 & TW 201206189 A	1-19
A	JP 2009-49459 A (ソニー株式会社) 2009.03.05, 段落【0026】-【0029】,【0043】 & US 2009/0046190 A1 & CN 101370073 A & KR 10-2009-0017444 A & TW 200926790 A	1-19
A	JP 2009-124269 A (キヤノン株式会社) 2009.06.04, 段落【0005】-【0008】,【0019】-【0025】,図 1-2,7 (ファミリーなし)	1-19

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１５．０３．２０１３	２６．０３．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｐ　９８４７
鈴木　肇
電話番号　０３－３５８１－１１０１　内線　３５８１

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2005-311933 A（ソニー株式会社）2005.11.04, 段落【0114】,図1,11 & US 2005/0242849 A1 & US 2008/0019472 A1 & US 2009/0084941 A1 & EP 2091154 A1 & EP 2290822 A1 & EP 1592134 A2 & KR 10-2006-0045836 A & CN 1697323 A & CN 101826867 A & TW 200943716 A & KR 10-2011-0135903 A & CN 102594335 A	1-19
A	JP 2009-118035 A（セイコーエプソン株式会社）2009.05.28, 段落【0003】,【0021】,【0029】-【0030】,図1-3（ファミリーなし）	1-19