

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 26 年 9 月 11 日 (2014.9.11)

【公表番号】特表 2013-536572 (P2013-536572A)

【公表日】平成 25 年 9 月 19 日 (2013.9.19)

【年通号数】公開・登録公報 2013-051

【出願番号】特願 2013-520812 (P2013-520812)

【国際特許分類】

H 0 1 L 27/102 (2006.01)

H 0 1 L 21/8229 (2006.01)

H 0 1 L 29/74 (2006.01)

【F I】

H 0 1 L 27/10 3 9 1

H 0 1 L 29/74 J

H 0 1 L 29/74 F

【手続補正書】

【提出日】平成 26 年 7 月 18 日 (2014.7.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

2 つの上向き端及びその間の折畳み伝導路を有する第 1 の種類のドーブ半導体ベースと

、

前記伝導路に沿って第 1 の及び第 2 の p-n 接合を形成するために前記第 1 の種類のドーブ半導体ベースに垂直に連結される 1 対の第 2 の種類のドーブ半導体構造と、

前記伝導路に沿って第 3 の p-n 接合を形成するための第 1 の種類のドーブ半導体頂上構造と、

前記第 1 の及び第 2 の p-n 接合の間のみに位置し、前記第 1 の種類のドーブ半導体ベースの少なくとも 1 つの側に隣接するゲートと、
を含むメモリセル。

【請求項 2】

前記第 1 の種類のドーブ半導体ベースは下の方の半導体領域から絶縁されている、請求項 1 のメモリセル。

【請求項 3】

前記第 1 の種類のドーブ半導体が p 型で、前記第 2 の種類のドーブ半導体が n 型である、請求項 1 のメモリセル。

【請求項 4】

前記メモリセルが約 4 F^2 の量の基板面積を使用する、請求項 1 のメモリセル。

【請求項 5】

前記ゲートが金属ゲートを包含する、請求項 1 のメモリセル。

【請求項 6】

ゲートは、前記第 1 の及び第 2 の p-n 接合の間の前記第 1 の種類のドーブ半導体ベースをほぼ囲む、請求項 1 のメモリセル。

【請求項 7】

前記第 1 の種類のドーブ半導体ベースが「U」型内に形成される、請求項 1 のメモリセル。

ル。

【請求項 8】

プロセッサと、

メモリセルのアレイを含む半導体メモリであって、

2つの上向き端及びその間の折畳み伝導路を有する第1の種類のドーブ半導体ベースと、

前記伝導路に沿って第1の及び第2のp-n接合を形成するために前記第1の種類のドーブ半導体ベースに垂直に連結される1対の第2の種類のドーブ半導体構造と、

前記伝導路に沿って第3のp-n接合を形成するための第1の種類のドーブ半導体頂上構造と、

前記第1の及び第2のp-n接合の間のみに位置し、前記第1の種類のドーブ半導体ベースの少なくとも1つの側に隣接するゲートと、を含む半導体メモリと、

前記プロセッサと前記半導体メモリの間を接続する入力/出力接続と、を含む、電子機器システム。

【請求項 9】

前記第1の種類のドーブ半導体ベースは下の方の半導体領域から絶縁されている、請求項8の電子機器システム。

【請求項 10】

前記第1の種類のドーブ半導体ベースはシリコン・オン・インシュレータの半導体領域から形成される、請求項8の電子機器システム。

【請求項 11】

前記第1の種類のドーブ半導体がp型で、前記第2の種類のドーブ半導体がn型である、請求項8の電子機器システム。

【請求項 12】

ゲートは、前記第1の及び第2のp-n接合の間の前記第1の種類のドーブ半導体ベースをほぼ囲む、請求項8の電子機器システム。