

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成26年9月11日(2014.9.11)

【公表番号】特表2013-536572(P2013-536572A)

【公表日】平成25年9月19日(2013.9.19)

【年通号数】公開・登録公報2013-051

【出願番号】特願2013-520812(P2013-520812)

【国際特許分類】

H 01 L 27/102 (2006.01)

H 01 L 21/8229 (2006.01)

H 01 L 29/74 (2006.01)

【F I】

H 01 L 27/10 3 9 1

H 01 L 29/74 J

H 01 L 29/74 F

【手続補正書】

【提出日】平成26年7月18日(2014.7.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

2つの上向き端及びその間の折畳み伝導路を有する第1の種類のドープ半導体ベースと、

前記伝導路に沿って第1の及び第2のp-n接合を形成するために前記第1の種類のドープ半導体ベースに垂直に連結される1対の第2の種類のドープ半導体構造と、

前記伝導路に沿って第3のp-n接合を形成するための第1の種類のドープ半導体頂上構造と、

前記第1の及び第2のp-n接合の間に位置し、前記第1の種類のドープ半導体ベースの少なくとも1つの側に隣接するゲートと、

を含むメモリセル。

【請求項2】

前記第1の種類のドープ半導体ベースは下の方の半導体領域から絶縁されている、請求項1のメモリセル。

【請求項3】

前記第1の種類のドープ半導体がp型で、前記第2の種類のドープ半導体がn型である、請求項1のメモリセル。

【請求項4】

前記メモリセルが約4F<sup>2</sup>の量の基板面積を使用する、請求項1のメモリセル。

【請求項5】

前記ゲートが金属ゲートを包含する、請求項1のメモリセル。

【請求項6】

ゲートは、前記第1の及び第2のp-n接合の間の前記第1の種類のドープ半導体ベースをほぼ囲む、請求項1のメモリセル。

【請求項7】

前記第1の種類のドープ半導体ベースが「U」型内に形成される、請求項1のメモリセ

ル。

【請求項 8】

プロセッサと、

メモリセルのアレイを含む半導体メモリであって、

2つの上向き端及びその間の折畳み伝導路を有する第1の種類のドープ半導体ベースと、

前記伝導路に沿って第1の及び第2のp-n接合を形成するために前記第1の種類のドープ半導体ベースに垂直に連結される1対の第2の種類のドープ半導体構造と、

前記伝導路に沿って第3のp-n接合を形成するための第1の種類のドープ半導体頂上構造と、

前記第1の及び第2のp-n接合の間に位置し、前記第1の種類のドープ半導体ベースの少なくとも1つの側に隣接するゲートと、を含む半導体メモリと、

前記プロセッサと前記半導体メモリの間を接続する入力／出力接続と、

を含む、電子機器システム。

【請求項 9】

前記第1の種類のドープ半導体ベースは下の方の半導体領域から絶縁されている、請求項8の電子機器システム。

【請求項 10】

前記第1の種類のドープ半導体ベースはシリコン・オン・インシュレータの半導体領域から形成される、請求項8の電子機器システム。

【請求項 11】

前記第1の種類のドープ半導体がp型で、前記第2の種類のドープ半導体がn型である、請求項8の電子機器システム。

【請求項 12】

ゲートは、前記第1の及び第2のp-n接合の間の前記第1の種類のドープ半導体ベースをほぼ囲む、請求項8の電子機器システム。