



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년10월06일

(11) 등록번호 10-1447048

(24) 등록일자 2014년09월26일

(51) 국제특허분류(Int. Cl.)

H01L 21/20 (2006.01) H01L 21/02 (2006.01)

H01L 21/336 (2006.01)

(21) 출원번호 10-2009-7022636

(22) 출원일자(국제) 2008년03월14일

심사청구일자 2013년02월19일

(85) 번역문제출일자 2009년10월29일

(65) 공개번호 10-2009-0130091

(43) 공개일자 2009년12월17일

(86) 국제출원번호 PCT/JP2008/055174

(87) 국제공개번호 WO 2008/132895

국제공개일자 2008년11월06일

(30) 우선권주장

JP-P-2007-112239 2007년04월20일 일본(JP)

(56) 선행기술조사문현

EP00628339 A1

JP2004179649 A

KR100448423 B1

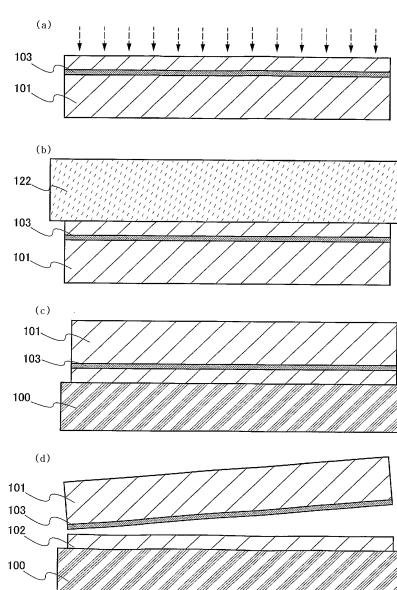
전체 청구항 수 : 총 22 항

심사관 : 김상택

(54) 발명의 명칭 S O I 기판 및 반도체장치의 제조방법

**(57) 요 약**

본 발명의 한가지 목적은, 유리 기판이나 플라스틱 등 가요성을 갖는 기판을 사용한 경우에도, 실용적인 응용분야에서 사용될 수 있는 SOI층을 갖는 SOI 기판을 수율이 높게 제조하는 방법을 제공함에 있다. 또한, 본 발명의 또 다른 목적은, 그와 같은 SOI 기판을 사용한 초박형의 반도체장치를 수율이 높게 제조함에 있다. 절연 표면을 갖는 가요성 기판에 단결정 반도체 기판을 접합하고, 단결정 반도체 기판을 박리하여 SOI 기판을 제조할 때, 접합면의 한쪽 또는 양쪽을 활성화한 후, 절연 표면을 갖는 가요성 기판과, 단결정 반도체 기판을 접합한다.

**대 표 도 - 도5**

(72) 발명자

**오누마 히데토**

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이사 한도오파이 에네루기 켄큐쇼 나이

**야마자키 순페이**

일본국 가나가와켄 아쓰기시 하세 398 가부시키가  
이사 한도오파이 에네루기 켄큐쇼 나이

## 특허청구의 범위

### 청구항 1

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,

열처리를 행하여 상기 취약 영역을 더 취약하게 하는 단계와,

상기 열처리를 행한 후, 상기 단결정 반도체 기판의 표면과 절연 표면을 갖는 가요성 기판의 표면 중 적어도 하나를 활성화하는 단계와,

상기 단결정 반도체 기판과, 상기 절연 표면을 갖는 상기 가요성 기판을 서로 접합하는 단계와,

상기 접합 후에, 상기 가요성 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계를 포함하는 SOI 기판의 제조방법.

### 청구항 2

지지 기판 위에 박리층을 형성하는 단계와,

상기 박리층 위에 절연층을 형성하는 단계와,

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,

열처리를 행하여 상기 취약 영역을 더 취약하게 하는 단계와,

상기 단결정 반도체 기판과, 상기 지지 기판 위에 형성된 상기 절연층을 접합하는 단계와,

상기 지지 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

절연 표면을 갖는 가요성 기판을 상기 단결정 반도체층 위에 설치하는 단계와,

상기 지지 기판으로부터 상기 가요성 기판을 상기 박리층에서 박리하는 단계를 포함하는 SOI 기판의 제조방법.

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

제 1항 또는 제 2항에 있어서,

상기 열처리를 행하는 단계는, 상기 단결정 반도체 기판 위에 압착부재를 설치한 상태에서 행하는 SOI 기판의 제조방법.

### 청구항 9

제 1항 또는 제 2항에 있어서,

상기 열처리를 행하는 단계는, 상기 단결정 반도체 기판의 표면 위에 캡층을 형성한 상태에서 행하는 SOI 기판의 제조방법.

#### 청구항 10

제 1항 또는 제 2항에 있어서,

상기 단결정 반도체 기판은 유기 실란을 사용하여 화학기상성장법에 의해 형성된 산화 규소층으로 덮인 SOI 기판의 제조방법.

#### 청구항 11

제 1항 또는 제 2항에 있어서,

상기 열처리를 행하는 단계는, 상기 취약 영역이 분리하는 온도 미만이고, 상기 취약 영역이 더 취약하게 되는 온도에서 행하는 SOI 기판의 제조방법.

#### 청구항 12

제 1항 또는 제 2항에 있어서,

상기 열처리를 행하는 단계는, 250°C 이상 400°C 미만의 온도에서 행해지는 SOI 기판의 제조방법.

#### 청구항 13

복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판의 소정의 깊이에 취약 영역을 형성하는 단계와,

열처리를 행하여 상기 취약 영역을 더 취약하게 하는 단계와,

상기 열처리를 행한 후, 상기 단결정 반도체 기판의 표면과 절연 표면을 갖는 가요성 기판의 표면 중 적어도 하나를 활성화하는 단계와,

상기 단결정 반도체 기판과, 상기 절연 표면을 갖는 상기 가요성 기판을 서로 접합하는 단계와,

상기 가요성 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

상기 단결정 반도체층을 사용하여 반도체소자를 형성하는 단계를 포함하는 반도체장치의 제조방법.

#### 청구항 14

지지 기판 위에 박리층을 형성하는 단계와,

상기 박리층 위에 절연층을 형성하는 단계와,

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,

열처리를 행하여 상기 취약 영역을 더 취약하게 하는 단계와,

상기 단결정 반도체 기판과, 상기 지지 기판 위에 형성된 상기 절연층을 서로 접합하는 단계와,

상기 지지 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

상기 단결정 반도체층을 사용한 반도체소자를 갖는 소자층을 형성하는 단계와,

상기 소자층 위에, 절연 표면을 갖는 가요성 기판을 설치하는 단계와,

상기 소자층으로부터 상기 지지 기판을 상기 박리층에서 분리하는 단계를 포함하는 반도체장치의 제조방법.

#### 청구항 15

지지 기판 위에 박리층을 형성하는 단계와,

상기 박리층 위에, 절연 표면을 갖는 제1 가요성 기판을 설치하는 단계와,

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 소정의 깊이에 취약 영역을 형성하는 단계와,

열처리를 행하여 상기 취약 영역을 더 취약하게 하는 단계와,

상기 단결정 반도체 기판과 상기 제1 가요성 기판을 접합하는 단계와,

상기 지지 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

상기 단결정 반도체층을 사용한 반도체소자를 갖는 소자층을 형성하는 단계와,

상기 소자층 위에, 절연 표면을 갖는 제2 가요성 기판을 설치하는 단계와,

상기 제1 가요성 기판으로부터 상기 지지 기판을 상기 박리층에서 분리하는 단계를 포함하는 반도체장치의 제조 방법.

#### 청구항 16

삭제

#### 청구항 17

삭제

#### 청구항 18

삭제

#### 청구항 19

삭제

#### 청구항 20

삭제

#### 청구항 21

삭제

#### 청구항 22

삭제

#### 청구항 23

삭제

#### 청구항 24

삭제

#### 청구항 25

삭제

#### 청구항 26

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 열처리를 행하는 단계는, 상기 단결정 반도체 기판 위에 압착부재를 설치한 상태에서 행하는 반도체장치의

제조방법.

### 청구항 27

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 열처리를 행하는 단계는, 상기 단결정 반도체 기판의 표면 위에 캡층을 형성한 상태에서 행하는 반도체장치의 제조방법.

### 청구항 28

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 단결정 반도체 기판은 유기 실란을 사용하여 화학기상성장법에 의해 형성된 산화 규소층으로 덮인 반도체장치의 제조방법.

### 청구항 29

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 열처리를 행하는 단계는, 상기 취약 영역이 분리하는 온도 미만이고, 상기 취약 영역이 더 취약하게 되는 온도에서 행하는 반도체장치의 제조방법.

### 청구항 30

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 열처리를 행하는 단계는, 250°C 이상 400°C 미만의 온도에서 행해지는 반도체장치의 제조방법.

### 청구항 31

실리콘 웨이퍼 위에 박리층을 형성하는 단계와,

상기 박리층 위에 절연층을 형성하는 단계와,

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,

상기 단결정 반도체 기판과, 상기 실리콘 웨이퍼 위에 형성된 상기 절연층을 서로 접합하는 단계와,

상기 실리콘 웨이퍼 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

상기 단결정 반도체층을 사용한 반도체소자를 갖는 소자층을 형성하는 단계와,

상기 소자층 위에, 절연 표면을 갖는 베이스 기판을 설치하는 단계와,

상기 소자층으로부터 상기 실리콘 웨이퍼를 상기 박리층에서 분리하는 단계를 포함하는 반도체장치의 제조방법.

### 청구항 32

유리 기판 위에 박리층을 형성하는 단계와,

상기 박리층 위에 절연층을 형성하는 단계와,

1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,

상기 단결정 반도체 기판과, 상기 유리 기판 위에 형성된 상기 절연층을 서로 접합하는 단계와,

상기 유리 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,

상기 단결정 반도체층을 사용한 반도체소자를 갖는 소자층을 형성하는 단계와,

상기 소자층 위에, 절연 표면을 갖는 베이스 기판을 설치하는 단계와,

상기 소자층으로부터 상기 유리 기판을 상기 박리층에서 분리하는 단계를 포함하는 반도체장치의 제조방법.

**청구항 33**

세라믹 기판 위에 박리층을 형성하는 단계와,  
 상기 박리층 위에 절연층을 형성하는 단계와,  
 1개의 원자로 이루어진 복수의 이온을 단결정 반도체 기판에 조사하여, 상기 단결정 반도체 기판에서 소정의 깊이에 취약 영역을 형성하는 단계와,  
 상기 단결정 반도체 기판과, 상기 세라믹 기판 위에 형성된 상기 절연층을 서로 접합하는 단계와,  
 상기 세라믹 기판 위에 단결정 반도체층이 잔존하도록 상기 단결정 반도체 기판을 박리하는 단계와,  
 상기 단결정 반도체층을 사용한 반도체소자를 갖는 소자층을 형성하는 단계와,  
 상기 소자층 위에, 절연 표면을 갖는 기판을 설치하는 단계와,  
 상기 소자층으로부터 상기 세라믹 기판을 상기 박리층에서 분리하는 단계를 포함하는 반도체장치의 제조방법.

**청구항 34**

제 1항 또는 제 2항에 있어서,

상기 가요성 기판은, 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에테르솔폰, 폴리프로필렌, 폴리프로필렌 셀파이드, 폴리카보네이트, 폴리에테르아미드, 폴리페닐렌 셀파이드, 폴리페닐렌 옥사이드, 폴리솔폰, 및 폴리프탈아미드로 이루어진 군으로부터 선택된 하나의 재료를 포함하는 SOI 기판의 제조방법.

**청구항 35**

제 13항 내지 제 15항 중 어느 한 항에 있어서,

상기 가요성 기판은, 폴리에틸렌 테레프탈레이트, 폴리에틸렌 나프탈레이트, 폴리에테르솔폰, 폴리프로필렌, 폴리프로필렌 셀파이드, 폴리카보네이트, 폴리에테르아미드, 폴리페닐렌 셀파이드, 폴리페닐렌 옥사이드, 폴리솔폰, 및 폴리프탈아미드로 이루어진 군으로부터 선택된 하나의 재료를 포함하는 반도체장치의 제조방법.

**청구항 36**

제 2항에 있어서,

상기 박리층은, 텅스텐, 몰리브덴, 티타늄, 탄탈, 니오브, 니켈, 코발트, 지르코늄, 아연, 루테늄, 로듐, 팔라듐, 오스뮴, 및 이리듐으로 이루어진 군으로부터 선택된 하나의 재료를 포함하는 SOI 기판의 제조방법.

**청구항 37**

제 14항, 제 15항, 제 31항, 제 32항 또는 제 33항 중 어느 한 항에 있어서,

상기 박리층은, 텅스텐, 몰리브덴, 티타늄, 탄탈, 니오브, 니켈, 코발트, 지르코늄, 아연, 루테늄, 로듐, 팔라듐, 오스뮴, 및 이리듐으로 이루어진 군으로부터 선택된 하나의 재료를 포함하는 반도체장치의 제조방법.

**명세서****기술분야**

[0001] 본 발명은, SOI(silicon-on-insulator) 기판 및 이 SOI 기판을 사용하여 제조되는 반도체장치, 및 그들의 제조방법에 관한 것이다. 특히, 본 발명은, 접합 SOI 기술에 관한 것으로서, 절연 표면을 갖는 가요성 기판에, 단결정 또는 다결정의 반도체층을 접합하여 얻어지는 SOI 기판, 이 SOI 기판을 사용하여 제조되는 반도체장치, 및 그들의 제조방법에 관한 것이다.

**배경기술**

[0002] 단결정 반도체의 잉곳을 얇게 슬라이스하여 제조되는 실리콘 웨이퍼 대신에, 절연 표면에 얇은 단결정 반도체층을 설치한 실리콘·온·인슐레이터(SOI)로 불리는 단결정 반도체 기판(SOI 기판)을 사용하는 집적회로가 개발되고 있다. SOI 기판을 사용하여 집적회로에 포함되는 트랜지스터를 형성하면, 트랜지스터의 드레인과 기판 사이의 기생 용량을 저감할 수 있으며, 반도체 집적회로의 성능을 향상시킬 수 있다. 따라서, SOI 기판은 주목을 받고 있다.

[0003] SOI 기판을 제조하는 방법으로서는, 수소 이온 주입 박리법이 알려져 있다(예를 들면, 참조문헌 1: 미국 특허 제6372609호 참조). 수소 이온 주입 박리법은, 실리콘 웨이퍼에 수소 이온을 주입하여 표면에서 소정의 깊이에 미소 기포층을 형성하고, 수소 이온 주입면을 다른 실리콘 웨이퍼와 중첩하고, 열처리를 행하여 이 미소 기포층을 벽개면으로 사용하여 반기기를 일으키고, 별도의 실리콘 웨이퍼에 얇은 실리콘층(SOI층)을 접합하는 방법이다. SOI층을 박리하기 위한 열처리에 덧붙여, 산화성 분위기 하에서의 열처리에 의해 SOI층에 산화물층을 형성하고, 그후에 이 산화물층을 제거하고, 1000°C 내지 1300°C에서 환원성 분위기 하에서 열처리를 행하여 접합 강도를 높이고, SOI층의 표면의 손상된 층을 개선하는 것이 필요하다.

[0004] SOI 기판을 사용한 반도체장치의 일례가 본 출원인에 의해 개시되어 있다(특허문헌 2: 일본국 특개 2000-12864호 공보 참조). 이 경우에도 SOI층에 있어서 응력에 기인하는 트랩 준위와 결함을 제거하기 위해 1050°C 내지 1150°C에서 열처리가 필요하다는 것이 개시되어 있다.

[0005] 종래의 SOI 기판의 제조방법에서는, SOI 기판과 SOI층의 접합 강도를 강화하고 SOI층의 표면의 손상된 층을 개선하기 위해 1000°C 이상의 고온에서 열처리가 필요하다. 그 때문에, 액정 패널의 제조에 사용되는 유리 기판, 내열온도가 700°C 정도인 기판이나, 내열온도가 더 낮은 플라스틱에 SOI층을 형성할 수 없었다. 가령 수소 이온 주입 박리법으로 SOI층을 유리 기판 위에 설치했다고 하더라도, 접합 강도를 높이기 위한 고온의 열처리를 적용할 수 없기 때문에, SOI층의 접합 강도가 약하다고 하는 문제가 있다.

[0006] 또한, 가요성 기판은 두께가 얇고 휘어지기 쉬어 고정되기 어렵고, 취급이 곤란하므로, 가요성을 갖는 기판을 사용한 반도체장치의 수율이 낮다고 하는 문제가 있다.

### 발명의 상세한 설명

[0007] 전술한 문제점을 감안하여, 본 발명의 한가지 목적은, 유리 기판이나 플라스틱 등의 가요성을 갖는 기판을 사용한 경우에도, 실용적인 응용분야에서 사용될 수 있는 SOI층을 구비한 SOI 기판을 수율이 높게 제조하는 방법을 제공함에 있다. 또한, 본 발명의 또 다른 목적은, 그와 같은 SOI 기판을 사용한 초박형의 반도체장치를 수율이 높게 제조하는 방법을 제공함에 있다.

[0008] 절연 표면을 갖는 가요성 기판에 단결정 반도체 기판을 접합하여 SOI 기판을 제조할 때, 접합면의 한쪽 또는 양쪽을 활성화한 후, 절연 표면을 갖는 가요성 기판과 단결정 반도체 기판을 부착한다. 예를 들면, 절연 표면을 갖는 가요성 기판과 단결정 반도체 기판의 적어도 한쪽의 접합면에, 원자빔 또는 이온빔을 조사한다. 또는, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 절연 표면을 갖는 가요성 기판과 단결정 반도체 기판의 적어도 한쪽의 접합면을 산소 플라즈마에 의해 처리하거나, 오존수로 세정하여 친수화하여도 된다. 이러한 표면 처리에 의해, 열처리 단계의 온도가 250°C 이상 400°C 미만이라도, 이종재료 사이의 접합을 행하는 것이 용이해진다.

[0009] 절연 표면을 갖는 가요성 기판에 단결정 반도체 기판을 접합함에 있어서, 접합을 행하는 면의 한쪽 또는 양쪽에, 유기 실란을 원재료로 사용하여 산화 규소층을 형성한다. 사용될 수 있는 유기 실란의 예로는, 테트라에톡시실란(TEOS), 테트라메틸실란(화학식: Si(CH<sub>3</sub>)<sub>4</sub>), 테트라메틸시클로테트라실록산(TMCTS), 옥타메틸시클로테트라실록산(OMCTS), 헥사메틸디실라잔(HMDS), 트리에톡시실란, 트리스디메틸아미노실란 등의 실리콘 함유 화합물을 들 수 있다. 즉, 절연 표면을 갖는 가요성 기판에 단결정 반도체층(SOI층)을 접합하는 구조를 갖는 SOI 기판에 있어서, 접합을 형성하는 면의 한쪽 또는 양쪽에, 평활면과 활성화된 표면을 형성하는 산화 규소층을 접합면으로서 설치한다.

[0010] 절연 표면을 갖는 가요성 기판에 접합되는 SOI층은, 단결정 반도체 기판에 형성된 취약 영역에서 박리하는 것에 의해 얻어진다. 취약 영역은, 소스 가스로서 수소, 헬륨 또는 불소로 대표되는 할로겐의 가스를 사용한 플라즈마 여기에 의해 생성되는 가속된 이온을 단결정 반도체 기판에 조사함으로써 형성된다. 이 경우, 한가지 원자로 이루어지는 복수의 질량이 다른 이온 또는 복수의 원자로 이루어지는 복수의 질량이 다른 이온을 사

용하여 조사를 행하는 것이 바람직하다. 수소 이온을 조사하는 경우에는, 수소 이온이  $H^+$ ,  $H_2^+$ ,  $H_3^+$  이온을 포함하는 동시에,  $H_3^+$  이온의 비율을 높여 놓는 것이 바람직하다. 헬륨을 이온화하여 조사하는 경우에는, 질량분리를 행하지 않는 이온 도핑이라도, 실질적으로  $He^+$  이온만으로 단결정 반도체 기판을 도핑할 수 있다. 이때, "실질적으로"라는 용어는, 단결정 반도체 기판에 대기성분의 원소도 이온화되어 약간 도핑되는 것을 의미하고 있다.

[0011]

절연 표면을 갖는 가요성 기판에 접합되는 SOI층에서는, 단결정 반도체 기판에 형성된 취약 영역에서 박리하기 위해서는, 절연 표면을 갖는 가요성 기판과 단결정 반도체 기판을 접합하기 전에, 단결정 반도체 기판을 가열처리하여 취약 영역을 더 취약하게 한다. 이 경우, 이온이 기체가 되어 취약 영역으로부터 탈리하는 것을 방지하기 위해, 단결정 반도체 기판의 표면에 압착부재를 사용하여 압력을 가하면서 가열처리한다. 또는, 단결정 반도체 기판에 절연층을 형성하고 가열처리를 행한다.

[0012]

단결정 반도체 기판으로부터 박리한 단결정 반도체층을 절연 표면을 갖는 가요성 기판에 접합하기 전에, 가속된 이온을 단결정 반도체 기판에 조사한 후 가열하여, 단결정 반도체 기판의 일부를 취약하게 한 영역인 취약 영역을 형성함으로써, 내열성이 낮은 가요성 기판과 단결정 반도체 기판을 접합하여, SOI 기판을 제조할 수 있다. 이와 같은 구성에 따르면, 플라스틱 기판 등의 내열온도가 낮은 기판이 사용되는 경우에도, 접합력이 강고한 접합부에 의해 기판과 접합되는 SOI층을 갖는 SOI 기판을 수율이 높게 얻을 수 있다. 또한, 이 SOI 기판을 사용한 반도체장치를 제조할 수 있다.

## 실시예

[0041]

(실시형태 1)

[0042]

도 1은 본 발명에 따른 SOI 기판의 구성을 나타낸 것이다. 도 1에 있어서, 베이스 기판(100)은, SOI 기판에 SOI층이 설치된 기판으로, 가요성을 갖고 절연 표면을 갖는 기판이다. 베이스 기판의 대표적인 예로는, 가요성을 갖는 절연 기판, 표면에 절연층이 형성된 가요성을 갖는 금속기판 등을 들 수 있다. 가요성을 갖는 절연 기판으로서는, PET(폴리에틸렌 테레프탈레이트), PEN(폴리에틸렌 나프탈레이트), PES(폴리에테르술폰), 폴리프로필렌, 폴리프로필렌 설파이드, 폴리카보네이트, 폴리에테르아미드, 폴리페닐렌 설파이드, 폴리페닐렌 옥사이드, 폴리술폰, 폴리프탈아미드 등으로 이루어진 플라스틱 기판, 또는 섬유질의 재료로 이루어진 종이를 들 수 있다.

[0043]

가요성을 갖는 절연 기판으로서 프리프레그(prepreg)를 사용함으로써, 나중에 제조되는 SOI 기판과 반도체장치에 대한 점 압력 또는 선 압력에 의한 손상을 방지하는 것이 가능하다. 프리프레그의 대표예는, 폴리비닐 알코올계 섬유, 폴리에스테르계 섬유, 폴리아미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리(p-페닐렌벤조비스옥사졸) 섬유, 유리 섬유, 또는 탄소 섬유 등의 섬유체에, 불소 수지를 유기용제로 희석하여 얹어진 조성물을 함침시킨 후, 건조에 의해 유기용제를 휘발시켜 에폭시 수지, 불포화 폴리에스테르 수지, 폴리아미드 수지, 불소 수지 등의 매트릭스 수지를 반경화시킨 것이다.

[0044]

또한, 가요성을 갖는 절연기판으로서는, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨 보로실리케이트 유리와 같은 전자공업용으로 사용되는 각종 유리 기판을 사용할 수 있다.

[0045]

표면에 절연층이 형성된 가요성을 갖는 금속 기판으로서는, 산화 규소층, 질화 규소층, 산화질화 규소층, 질화 알루미늄층, 산화 알루미늄층 등의 절연층이 형성된 금속 필름 또는 금속 시이트 등을 들 수 있다. 이 때, 절연층은 상기 나열한 절연층에 한정되지 않고, 다른 절연층이 적절히 적용될 수 있다.

[0046]

SOI층(102)은 단결정 반도체층으로, 대표적으로는 단결정 실리콘인 적용된다. 또한, 수소 이온 주입 박리법에 의해 다결정 반도체 기판으로부터 박리가능한 실리콘이나, 수소 이온 주입 박리법에 의해 단결정 반도체 기판 또는 다결정 반도체 기판으로부터 박리가능한 게르마늄도 적용 할 수 있다. 그 밖에도, 실리콘 게르마늄, 갈륨 비소, 인듐 인 등의 화합물 반도체의 결정성 반도체 기판을 적용할 수도 있다.

[0047]

이때, 본 실시형태 및 본 실시형태 이후에 설명하는 실시형태들에 있어서는, SOI층(102)으로서 대표예로서, 단결정 반도체층을 사용한다. 단결정 반도체 기판 대신에, 다결정 반도체 기판을 사용한 경우에는, SOI층(102)이 다결정 반도체층으로 대체된다. 단결정 반도체 기판 대신에 결정성 반도체 기판을 사용한 경우에는, SOI층(102)이 결정성 반도체층으로 대체된다.

[0048]

또한, 도 2에 도시된 것과 같이, 베이스 기판(100)과 SOI층(102) 사이에는, 평활하고 활성화된 표면을 갖는 접합층(접합 계면에 형성되는 층)(104)을 형성하여도 된다. 도 2에 도시된 SOI 기판은, SOI층(102)의 표면에 평활하고 활성화된 표면을 갖는 접합층(104)을 형성하고, 베이스 기판(100)에 평활하고 활성화된 표면을 갖는 접합층(104)을 접합하여 제조된다. 이때, 베이스 기판(100)의 표면에, 평활하고 활성화된 표면을 갖는 접합층(104)을 형성하고, 평활하고 활성화된 표면을 갖는 접합층(104)을 SOI층(102)에 접합하여 SOI 기판을 제조하여도 된다.

[0049]

접합층(104)으로서는 산화 규소층이 적합하다. 특히, 유기 실란 가스를 사용하여 화학기상성장법에 의해 제조되는 산화 규소층이 바람직하다. 유기 실란 가스로서는, 테트라에톡시실란, 테트라메틸시클로테트라실록산, 옥타메틸시클로테트라실록산, 헥사메틸디실라잔, 트리에톡시실란, 트리스디메틸아미노실란 등의 실리콘 함유 화합물을 사용할 수 있다. 또한, 접합층(104)으로서는, 단결정 반도체 기판을 고온에서 가열 처리하여 형성한 열산화층이나, 케미컬 옥사이드를 적용할 수도 있다. 예를 들어, 케미컬 옥사이드는, 오존 함유수로 SOI층이 되는 단결정 반도체 기판의 표면을 처리함으로써 형성할 수 있다. 케미컬 옥사이드는 단결정 반도체 기판의 표면의 평탄성을 반영하여 형성되므로 바람직하다.

[0050]

상기 평활하고 활성화된 표면을 갖는 접합층(104)은, 1nm 내지 600nm, 바람직하게는 5nm 내지 500nm, 더욱 바람직하게는 5nm 내지 200nm의 두께로 설치된다. 이 두께이면, 접합의 괴형성 표면(접합을 형성할 면)의 표면 거칠음을 평활화하는 동시에, 해당 층의 성장 표면의 평활성을 확보하는 것이 가능하다. 또한, 접합층(104)을 설치함으로써, 접합할 베이스 기판과 SOI층의 열 왜곡을 완화할 수 있다. 절연 표면을 갖는 가요성 기판인 베이스 기판(100)에 SOI층(102)을 접합할 때, 베이스 기판(100)의 접합면 또는 SOI층(102)의 접합면의 한쪽 또는 양쪽에, 산화 규소층, 바람직하게는 열산화층, 단결정 반도체 기판의 표면을 오존수로 처리하여 형성한 산화 규소층, 또는 유기 실란을 원재료로 하여 형성한 산화 규소층으로 이루어진 접합층(104)을 설치함으로써, 베이스 기판(100) 및 SOI층(102)을 견고하게 접합할 수 있다.

[0051]

도 3a 내지 도 4b는, 베이스 기판(100) 및 SOI층(102) 사이에 적어도 배리어층(105) 및 접합층(104)을 설치한 구성을 나타낸 것이다. SOI층(102)을 베이스 기판(100)에 접합한 경우에, 배리어층(105)을 설치함으로써, 베이스 기판(100)으로서 사용되는 가요성을 갖는 절연 기판, 가요성을 갖는 금속 기판 및 절연 표면을 갖고 가요성을 갖는 기판으로부터, 알칼리 금속 또는 알칼리 토류 금속과 같은 가동 이온 등의 불순물에 의해 SOI층(102)이 오염되는 것을 방지할 수 있다. 배리어층(105)으로서는, 질소 함유 절연층이 바람직하게 사용된다. 대표적으로는, 질화 규소층, 질화산화 규소층, 산화질화 규소층, 질화 알루미늄층, 질화산화 알루미늄층, 또는 산화질화 알루미늄층 중에서 1개의 층 또는 복수의 층을 적층하여 배리어층(105)이 형성된다. 예를 들면, SOI층(102)측으로부터 산화질화 규소층 및 질화산화 규소층을 적층하여 배리어층(105)을 형성할 수 있다. 또한, 배리어층(105)으로서는, 에칭 레이트가 느린 치밀한 층을 사용함으로써, 배리어층(105)의 배리어 기능을 향상시킬 수 있다. 에칭 레이트가 느린 치밀한 층으로서는, 상기 질소 함유 절연층, 산화 규소층, 산화질화 규소층, 질화산화 규소층, 질화 알루미늄층 등을 형성할 수 있다.

[0052]

이때, 산화질화 규소층이란, 질소보다도 산소의 함유량이 많은 층을 의미하며, 러더포드 후방 산란법(RBS) 및 수소 전방 산란법(HFS)을 사용하여 측정했을 경우에, 농도범위로서 산소 50원자%~70원자%, 질소 0.5 원자%~15원자%, Si 25원자%~35원자%, 수소 0.1원자%~10원자%의 범위에서 포함하는 층을 말한다. 또한, 질화산화 규소층이란, 산소보다도 질소의 함유량이 많은 층을 의미하며, RBS 및 HFS를 사용하여 측정했을 경우에, 농도범위로서 산소 5원자%~30원자%, 질소 20원자%~55원자%, Si 25원자%~35원자%, 수소 10원자%~30원자%의 범위에서 포함하는 층을 말한다. 단, 산화질화 실리콘 또는 질화산화 실리콘에 포함되는 원자의 합계를 100원자%로 규정했을 때, 질소, 산소, Si 및 수소의 백분율이 상기한 범위 내에 포함되는 것으로 한다.

[0053]

도3a는 본 발명에 따른 SOI 기판의 다른 구성을 나타낸 것이다. 도3a는, 접합층(104)과 베이스 기판(100) 사이에 배리어층(105)을 설치한 구성을 나타낸다. 여기에서는, 베이스 기판(100)에 배리어층(105)을 설치하고, SOI층(102) 표면에 접합층(104)을 설치하고, 배리어층(105) 및 접합층(104)을 접합한 구성을 나타낸다. 이와 달리, 베이스 기판(100)에 접합층(104)을 설치하고, SOI층(102) 표면에 배리어층(105)을 설치하고, 배리어층(105) 및 접합층(104)을 접합한 구성을 채용할 수 있다. 더구나, 베이스 기판(100) 또는 SOI층(102)의 한쪽의 표면에 배리어층(105) 및 접합층(104)을 순차적으로 적층하고, 베이스 기판(100) 및 SOI층(102)의 다른 쪽의 표면과 접합층(104)을 접합한 구성을 채용할 수도 있다.

[0054]

도 3b는, 베이스 기판(100)과 SOI층(102) 사이에, 접합층(104) 및 복수의 배리어층(105, 120)을 설치한 구성을 나타낸 것이다. 여기에서는, 베이스 기판(100)에 배리어층 105를 설치하고, SOI층(102) 표면에 배리어층 120를 설치한 구성을 나타낸 것이다. 여기에서는, 배리어층 105 및 배리어층 120를 각각 질화산화 실리콘으로 구성된다. 배리어층 105 및 배리어층 120는 질소 함유 절연층으로서, 질소 50원자%~70원자%, 질소 0.5 원자%~15원자%, Si 25원자%~35원자%, 수소 0.1원자%~10원자%의 범위에서 포함하는 층을 말한다. 배리어층 120는 질화산화 알루미늄층으로서, 질소 20원자%~55원자%, Si 25원자%~35원자%, 수소 10원자%~30원자%의 범위에서 포함하는 층을 말한다. 배리어층 105 및 배리어층 120는 질화산화 알루미늄층으로서, 질소 5원자%~30원자%, 질소 20원자%~55원자%, Si 25원자%~35원자%, 수소 10원자%~30원자%의 범위에서 포함하는 층을 말한다. 단, 배리어층 105 및 배리어층 120에 포함되는 원자의 합계를 100원자%로 규정했을 때, 질소, 산소, Si 및 수소의 백분율이 상기한 범위 내에 포함되는 것으로 한다.

어층 120 및 접합층(104)을 순차적으로 적층하고, 배리어층 105 및 접합층(104)을 접합한 구성을 나타낸다. 이와 달리, 베이스 기판(100)에 배리어층 105 및 접합층(104)을 순차적으로 적층하고, SOI층(102) 표면에 배리어층 120을 설치하고, 배리어층 120 및 접합층(104)을 접합한 구성을 채용할 수도 있다.

[0055] 도 4a 및 도 4b는, 적어도 베이스 기판(100) 및 SOI층(102) 사이에, 배리어층(105) 및 접합층(104)과 함께, 절연층(121)을 설치한 구성을 나타낸 것이다. 절연층(121)은, SOI층(102) 및 접합층(104) 사이, 접합층(104) 및 배리어층(105) 사이, 및 베이스 기판(100) 및 배리어층(105) 사이에 설치할 수 있다.

[0056] 도 4a는 베이스 기판(100) 및 SOI층(102) 사이에, 접합층(104), 배리어층(105) 및 절연층(121)을 설치한 구성을 나타낸 것이다. 여기에서는, 베이스 기판(100)에 배리어층(105)을 설치하고, SOI층(102) 표면에 절연층(121) 및 접합층(104)을 순차적으로 적층하고, 배리어층(105) 및 접합층(104)을 접합한 구성을 나타낸다. 이와 달리, 베이스 기판(100)에 배리어층(105) 및 접합층(104)을 순차적으로 적층하고, SOI층(102) 표면에 절연층(121)을 설치하고, 접합층(104) 및 절연층(121)을 접합한 구성을 채용할 수도 있다.

[0057] 도 4b는, 베이스 기판(100) 표면 위의 배리어층(105) 이외에, SOI층(102) 위에도 배리어층(120)을 설치한 구성을 나타낸 것이다. 여기에서는, 베이스 기판(100)에 배리어층 105를 형성하고, SOI층(102) 표면에 절연층(121), 배리어층 120, 및 접합층(104)을 순차적으로 적층하고, 배리어층 105 및 접합층(104)을 접합한 구성을 나타낸다. 이와 달리, 베이스 기판(100)에 배리어층 105 및 접합층(104)을 순차적으로 적층하고, SOI층(102) 표면에 절연층(121) 및 배리어층 120을 순차적으로 적층하고, 접합층(104) 및 배리어층 120을 접합한 구성을 채용할 수도 있다.

[0058] 절연층(121)은 단결정 반도체 기판을 고온에서 가열처리하여 형성한 열산화층이 바람직하다. 또한, 접합층(104)과 마찬가지로 유기 실란 가스를 사용하여 화학기상성장법에 의해 퇴적한 산화 규소층을 사용하여도 된다. 또한, 절연층(121)으로서 케미컬 옥사이드를 적용할 수도 있다. 케미컬 옥사이드는, 예를 들면, 오존 함유수로 SOI층이 될 단결정 반도체 기판의 표면을 처리함으로써 형성할 수 있다. 케미컬 옥사이드는 단결정 반도체 기판의 표면의 형상을 반영하여 형성되기 때문에, 단결정 반도체 기판이 평탄하면 케미컬 옥사이드도 평탄해지므로 바람직하다.

[0059] 본 실시형태에서 설명한 SOI 기판은 가요성을 갖는 기판에 SOI층을 접합하여 형성되므로, 본 실시형태에서 설명한 SOI 기판은 가요성을 갖고 초박형이다.

[0060] (실시형태 2)

[0061] 실시형태 1에서 설명한 SOI 기판의 제조방법에 대하여 도 5a 내지 도 8d를 참조하여 설명한다.

[0062] 도 5a에 나타낸 단결정 반도체 기판(101)을 청정화한다. 단결정 반도체 기판(101)을 그것의 표면으로부터 전계로 가속된 이온으로 조사하고, 단결정 반도체 기판의 소정의 깊이에 해당 이온의 원소를 포함시켜 이온 도핑층을 형성한다. 구체적으로는, 이온 도핑층은 가속된 이온의 원소를 포함하는 취약한 층으로, 예를 들면, 수소, 헬륨 또는 불소로 대표되는 할로겐을 포함하는 영역을 말한다. 이하, 이온 도핑층을 취약 영역(103)이라고 한다. 가속된 이온의 조사는 베이스 기판에 전치할(transferred) SOI층의 두께를 고려하여 행해진다. 해당 SOI층의 두께는, 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm, 더욱 바람직하게는 10nm 내지 100nm, 더욱 바람직하게는 10nm 내지 50nm의 두께로 설정한다. 단결정 반도체 기판(101)에 이온을 조사할 때의 가속 전압은 이러한 두께를 고려하여 설정한다. 이때, 박리후에 SOI층의 표면을 연마 또는 용융하여 평탄화하기 때문에, 박리 직후의 SOI층의 두께는 50nm 내지 500nm로 설정해 두는 것이 바람직하다.

[0063] 취약 영역(103)은, 소스 가스로서 수소, 헬륨 또는 불소로 대표되는 할로겐의 가스를 사용하여, 플라즈마 여기하여 생성되는 가속된 이온을 단결정 반도체 기판에 조사함으로써 형성된다. 이 경우, 1개의 원자로 이루어진 복수의 질량이 다른 이온 또는 복수의 원자로 이루어진 질량이 다른 복수의 이온을 조사하는 것이 바람직하다. 이러한 이온의 조사방법으로서는, 이온 도핑법, 이온 주입법 등을 들 수 있다. 가속된 수소 이온을 단결정 반도체 기판에 조사할 경우에는, 수소 이온이  $H^+$ ,  $H_2^+$ ,  $H_3^+$  이온을 포함하고,  $H_3^+$  이온의 비율을 높여 두는 것이 바람직하다.  $H_3^+$  이온의 비율을 높여 두면, 도입 효율을 높일 수 있어, 조사 시간을 단축할 수 있다. 이렇게  $H^+$  또는  $H_2^+$  이온보다도  $H_3^+$  이온의 비율을 높게 하여 이온을 조사하면,  $H_3^+$  이온의 비율을 높이지 않고 이온을 조사하는 경우와 비교하여 단결정 반도체 기판(101)이 보다 많은 수의 수소 이온을 포함하므로, 적은 이온의 조사

량으로, 나중에 행해지는 취약 영역(103)에서의 박리를 용이하게 할 수 있다.

[0064] 단결정 반도체 기판(101)에 가속된 이온을 조사하는 경우, 단결정 반도체 기판의 표면에 이온을 높은 농도로 조사할 필요가 있다. 이 때문에, 단결정 반도체 기판(101)의 표면이 거칠어져 벼릴 경우가 있다. 그 때문에, 가속된 이온이 조사되는 면에, 산화 규소층, 질화 규소층, 또는 질화산화 규소층 등에 의해 단결정 반도체 기판(101)에 대한 보호층을 50nm 내지 200nm의 두께를 갖도록 설치함으로써, 이온이 조사되는 면이 대미지를 받아 평탄성이 손상되는 것을 방지할 수 있으므로, 바람직하다.

[0065] 이때, 본 명세서에 있어서 이온 도핑법이란, 원료 가스로부터 생성되는 이온화한 가스를 질량분리하지 않고 그대로 전계로 가속하여 대상물에 조사하여, 이온화한 가스의 원소를 대상물에 포함시키는 방식을 가리킨다. 이온 도핑장치를 사용하면, 대면적 기판을 사용하더라도 고효율로 높은 도즈의 이온 도핑을 행할 수 있다.

[0066] 또한, 이온 도핑을 위한 가속 전압은, 20kV 이상 100kV 이하, 바람직하게는 20kV 이상 70kV 이하로 설정하고, 도즈는,  $1 \times 10^{16}$  ions/cm<sup>2</sup> 이상  $4 \times 10^{16}$  ions/cm<sup>2</sup> 이하, 바람직하게는  $1 \times 10^{16}$  ions/cm<sup>2</sup> 이상  $2.5 \times 10^{16}$  ions/cm<sup>2</sup> 이하가 되도록 설정하면 된다. 본 실시형태에서는, 가속 전압 80kV, 도즈  $2 \times 10^{16}$  ions/cm<sup>2</sup>에서 이온 도핑을 행한다.

[0067] 다음에, 도 5b에 도시된 것과 같이, 단결정 반도체 기판(101)의 표면에 압착부재(122)를 설치하고, 단결정 반도체 기판(101) 및 압착부재(122)를 밀착시켜 가열한다. 즉, 가열처리 및 가압처리를 행함으로써, 나중의 공정에서 취약 영역(103)을 벽개면으로 사용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 용이하게 박리할 수 있다. 이때, 벽개면이란, 단결정 반도체 기판이 분리하는 영역을 말하고, 이하, 벽개면을 분리 영역이라고 한다. 가열처리의 온도는, 취약 영역(103)이 분리하는 온도 미만이고, 취약 영역(103)이 취약하게 되는 온도인 것이 바람직하다. 예를 들면, 250°C 이상, 바람직하게는 300°C 이상 및 400°C 미만, 더욱 바람직하게는 350°C 미만의 온도에서 열처리를 행함으로써, 취약 영역(103)에 형성된 미소한 공동의 체적변화가 일어난다. 그러나, 단결정 반도체 기판 표면에는 압착부재(122)가 설치되어 있기 때문에, 단결정 반도체 기판의 표면은 평탄성을 유지할 수 있다. 이 결과, 취약 영역(103)에 형성된 미소한 공동의 체적변화로 인해 취약 영역(103)에 왜곡이 생겨, 취약 영역(103)을 취약 영역을 따라 더 취약하게 만들 수 있다. 가압처리는, 베이스 기판(100) 및 단결정 반도체 기판(101)의 내압성을 고려하여 접합면에 수직한 방향으로 압력이 가해지도록 행한다.

[0068] 도 5c는, 베이스 기판(100)과 단결정 반도체 기판(101)을 밀접하게 하여, 이 양자를 접합시키는 태양을 나타낸 것이다. 접합을 행할 면은 충분히 청정화해 둔다. 그리고, 베이스 기판(100) 및 단결정 반도체 기판(101)을 가압하면서 밀착시킴으로써, 베이스 기판(100) 및 단결정 반도체 기판(101)이 접합한다. 이 접합은 반·데르·발스력에 의해 형성된다. 베이스 기판(100)과 단결정 반도체 기판(101)을 가압하면서 밀착시킴으로써, 수소 결합에 의해 반·데르·발스력에 의한 접합보다도 강고한 접합이 형성될 수 있다.

[0069] 양호한 접합을 행하기 위해, 접합을 형성할 면을 활성화하는 것이 바람직하다. 예를 들면, 접합을 행하는 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 그 밖에, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 절연 표면을 갖는 가요성 기판과 단결정 반도체층의 적어도 한쪽의 접합면을, 산소 플라즈마에 의한 처리나, 오존수 세정에 의해 처리하여 친수화하여도 된다. 이러한 표면처리에 의해, 나중의 가열처리가 250°C 이상 400°C 미만의 온도에서 행해지더라도, 이종재료 사이의 접합 강도를 증가시키는 것이 용이하게 된다.

[0070] 이때, 베이스 기판(100) 및 단결정 반도체 기판(101)의 접합 이전에 행한 가열처리 대신에, 베이스 기판(100) 및 단결정 반도체 기판(101)을 접합한 후, 베이스 기판(100) 또는 단결정 반도체 기판(101)측으로부터 레이저빔을 단결정 반도체 기판에 조사하여, 취약 영역(103)을 가열하여도 된다. 이때, 단결정 반도체 기판(101)측으로부터 레이저빔을 조사하는 경우에는, 적외광의 레이저빔을 사용한다. 이 결과, 취약 영역이 형성되고, 해당 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 수 있다.

[0071] 도 5d에 도시된 것과 같이, 베이스 기판(100)과 단결정 반도체 기판(101)을 접합한 후, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리함으로써 SOI 기판을 얻을 수 있다. 단결정 반도체 기판(101)의 표면이 베이스 기판(100)과 접합하고 있으므로, 베이스 기판(100) 위에는 단결정 반도체 기판(101)과 같은 결정성을 갖는 SOI층(102)이 잔존하게 된다.

[0072] 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리

하기 전에, 박리를 용이하게 행하기 위해, 트리거(trigger)를 만드는 것이 바람직하다. 구체적으로는, 취약 영역(103) 및 SOI층(102)의 밀착성을 선택적(부분적)으로 저하시키는 사전처리를 행함으로써, 박리 불량이 줄어들어, 수율이 향상된다. 대표적으로는, 베이스 기판(100) 또는 단결정 반도체 기판(101)측으로부터 취약 영역(103)에 레이저빔 또는 다이서(dicer)에 의해 홈을 형성하는 예를 들 수 있다.

[0073] 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 때, 베이스 기판(100) 및 단결정 반도체 기판(101)의 적어도 한쪽의 표면에, 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 베이스 기판(100) 또는 단결정 반도체 기판(101)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 박리를 용이하게 행할 수 있다. 이 때, 고정되지 않은 베이스 기판(100) 또는 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써, 박리공정을 용이하게 행할 수 있다.

[0074] 이때, 박리에 의해 얻어지는 SOI층은, SOI층의 표면을 평탄화하기 위해, CMP(chemical mechanical polishing)을 행하는 것이 바람직하다. 또한, CMP 등의 물리적 연마법을 사용하지 않고, SOI층의 표면에 레이저빔을 조사하여 평탄화를 행하여도 된다. 이때, 레이저빔의 조사는 산소 농도가 10ppm 이하의 질소 분위기 하에서 행하는 것이 바람직하다. 이것은, 산소 분위기 하에서 레이저빔의 조사를 행하면 SOI층의 표면이 거칠어질 우려가 있기 때문이다. 또한, 얻어진 SOI층의 박층화를 목적으로 하여, CMP 등을 행하여도 된다.

[0075] 또한, 도 5b에 나타낸 단결정 반도체 기판(101)의 표면에 압착부재(122)를 설치하기 전에, 단결정 반도체 기판(101)의 표면에 접합층(104)을 형성하여도 된다. 이와 달리, 도 5b에 나타낸 단결정 반도체 기판(101)의 표면에 압착부재(122)를 설치하고, 단결정 반도체 기판(101) 및 압착부재(122)를 밀착시켜 가열한 후, 단결정 반도체 기판(101) 표면에 접합층(104)을 형성하여도 된다. 그후, 도 5c에 도시된 것과 같이, 접합층(104) 및 베이스 기판(100)을 밀착시킴으로써, 용이하게 이 양자를 접합시킬 수 있다.

[0076] 본 실시형태에 따르면, 내열성이 낮은 가요성 기판과 단결정 반도체 기판을 접합하여, SOI 기판을 제조할 수 있다. 본 구성에 따르면, 플라스틱 기판 등의 내열온도가 낮은 기판을 사용하더라도, 접합력이 강고한 접합부에 의해 기판과 접합된 SOI층을 갖는 SOI 기판을 수율이 높게 얻을 수 있다. 또한, 가요성을 갖고 초박형의 SOI 기판을 제조할 수 있다.

[0077] (실시형태 3)

[0078] 다음에, 상기 실시형태와는 다른 SOI 기판의 제조방법에 대하여, 도 6a 내지 도 6d를 참조하여 설명한다. 도 6a 내지 도 6d에서는, 접합층을 사용하여 베이스 기판(100) 및 단결정 반도체 기판(101)을 접합하는 형태를 나타낸다. 또한, 압착부재를 사용하지 않고, 베이스 기판(100) 및 단결정 반도체 기판(101)을 접합하는 형태를 나타낸다.

[0079] 도 5a와 마찬가지로, 도 6a에 도시된 것과 같이, 청정화된 단결정 반도체 기판(101)을 그것의 면으로부터 전계로 가속된 이온을 조사하여, 단결정 반도체 기판의 소정의 깊이에 해당 이온의 원소를 포함시켜, 취약 영역(103)을 형성한다.

[0080] 다음에, 도 6b에 도시된 것과 같이, 단결정 반도체 기판(101) 위에 적어도 캡층(123) 및 접합층(104)을 형성한다. 이때, 단결정 반도체 기판(101)의 표면에 캡층(123)을 형성하고, 캡층(123) 위에 접합층(104)을 형성한다.

[0081] 여기에서는, 접합층(104) 및 캡층(123)의 적어도 한쪽의 두께가 두꺼운 쪽이 바람직하다. 나중의 공정에서 가열처리를 행함으로써 취약 영역(103)에 형성된 미소한 공동의 체적변화가 일어나지만, 단결정 반도체 기판 표면에는 캡층(123)이 설치되어 있어, 단결정 반도체 기판의 표면은 평탄성을 유지할 수 있다. 이에 따라, 캡층(123) 위에 설치되는 접합층(104)의 평탄성도 유지할 수 있다. 이 결과, 취약 영역(103)에 형성된 미소한 공동의 체적변화에 의해 취약 영역(103)에 왜곡이 생겨, 취약 영역(103)을 따라 더 취약화하는 것이 가능해 진다. 특히, 캡층(123)의 두께를 두껍게 하는 경우, 열처리시에 단결정 반도체 기판(101)의 표면에 대하여 수직방향으로 압력이 가해지므로, 단결정 반도체 기판의 이온 조사면의 평탄성을 유지하면서, 취약 영역을 형성할 수 있다.

[0082] 캡층(123)은, 질소 함유 절연층 및/또는 산화 규소층의 단층이나 적층을 사용하여 형성할 수 있다. 이 때, 캡층(123)의 일부 또는 전부를 질소 함유 절연층을 사용하여 형성하면, 캡층(123)이 배리어층으로서도 기능하므로, 바람직하다.

- [0083] 다음에, 가열을 행하여, 취약 영역(103)에 형성된 미소한 공동의 체적을 변화시킨다. 이 결과, 나중의 공정에서 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 용이하게 박리할 수 있다. 가열처리의 온도는, 취약 영역(103)에서 박리가 일어날 때의 온도 미만이고, 또한, 취약 영역(103)이 형성되는 온도 이상인 것이 바람직하다. 예를 들면, 250°C 이상, 바람직하게는 300°C 이상, 400°C 미만, 바람직하게는 350°C 미만에서 열처리가 행해진다.
- [0084] 도 6c에서는, 단결정 반도체 기판(101)에 캡층(123) 및 접합층(104)이 형성된다. 도 6c는 접합층(104)과 베이스 기판(100)을 밀착시켜 접합하는 공정을 나타내고 있다. 단결정 반도체 기판(101) 상의 접합층(104)과 베이스 기판(100)을 밀착시킴으로써 접합한다.
- [0085] 양호한 접합을 행하기 위해, 접합층(104) 또는 베이스 기판(100)의 적어도 한쪽의 표면을 활성화하고 있어도 된다. 예를 들면, 접합을 행하는 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 이와 달리, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 베이스 기판(100) 및 접합층(104)의 적어도 한쪽의 접합면을, 산소 플라즈마로 처리하거나 오존수로 세정하여, 친수화하여도 된다. 이러한 표면처리에 의해, 400°C 미만의 온도에서 열처리가 행해지더라도 이종재료 사이의 접합을 행하는 것이 용이하게 된다.
- [0086] 그후, 도 6d에서 도시한 바와 같이 단결정 반도체 기판(101)을 박리함으로써 SOI 기판을 얻을 수 있다. 이때, 박리에 의해 얻어지는 SOI층은, 그 표면을 평탄화하는 것이 바람직하다. 또한, 얻어진 SOI층의 박증화를 목적으로 하여, CMP 등을 행하여도 된다. 또한, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리하기 전에, 박리를 용이하게 행하기 위해 트리거를 만들어도 된다. 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 때, 베이스 기판(100) 또는 단결정 반도체 기판(101)의 적어도 한쪽의 표면에 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 베이스 기판(100) 및 단결정 반도체 기판(101)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 베이스 기판(100) 및 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써, 박리 공정을 용이하게 행할 수 있다.
- [0087] 이때, 베이스 기판(100) 및 단결정 반도체 기판(101)의 접합 전에 행하는 가열처리 대신에, 베이스 기판(100) 및 단결정 반도체 기판(101)을 접합한 후, 베이스 기판(100)측 또는 단결정 반도체 기판(101)측으로부터 레이저빔을 단결정 반도체 기판에 조사하고, 취약 영역(103)을 가열하여도 된다. 이때, 단결정 반도체 기판(101)측으로부터 레이저빔을 조사하는 경우에는, 단결정 반도체 기판이 흡수하는 파장의 레이저빔, 대표적으로는 적외광의 레이저빔을 사용한다. 이 결과, 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 수 있다.
- [0088] 본 실시형태에 따르면, 내열성의 낮은 가요성 기판과 단결정 반도체 기판을 접합하여, SOI 기판을 제조할 수 있다. 본 구성에 따르면, 플라스틱 기판 등과 같이 내열온도가 낮은 기판이 사용되더라도, 접합력이 강고한 접합부에 의해 기판과 접합된 SOI층을 갖는 SOI 기판을 수율이 높게 얻을 수 있다. 또한, 가요성을 갖고 초박형의 SOI 기판을 제조할 수 있다.
- [0089] (실시형태 4)
- [0090] 다음에, 상기 실시형태와는 다른 SOI 기판의 제조방법에 대해 도 7a 내지 도 7d를 참조하여 설명한다. 여기에서는, 지지 기판 위에 박리층을 형성하고, 박리층 위에 SOI층을 형성한다. SOI층 위에 베이스 기판을 접합한 후, 지지 기판으로부터 베이스 기판을 박리한다. 이에 따라, SOI 기판이 제조된다.
- [0091] 도 7a에 도시된 것과 같이, 지지 기판(130) 위에 박리층(131)을 형성하고, 박리층(131) 위에 절연층(132)을 형성한다. 여기에서, 지지 기판(130)은 박리층을 형성하기 위한 기판이다. 지지 기판(130)으로서, 취약 영역에서 균열을 생기게 하는 가열처리 온도(대표적으로는, 400°C 내지 600°C)를 견딜 수 있는 내열성을 갖는 기판이 바람직하다. 대표적으로는, 유리 기판, 석영 기판, 세라믹 기판, 금속 기판, 실리콘 웨이퍼 등을 사용할 수 있다.
- [0092] 박리층(131)은, 스퍼터링법, 플라즈마 CVD법, 도포법, 인쇄법 등에 의해, 텅스텐, 몰리브덴, 티타늄, 탄탈, 니오브, 니켈, 코발트, 지르코늄, 아연, 루테늄, 로듐, 팔라듐, 오스뮴, 이리듐 또는 규소 중에서 선택된 원소, 또는 상기한 원소를 주성분으로 포함하는 합금 재료, 또는 상기한 원소를 주성분으로 포함하는 화합물 재

료로 이루어진 단층 또는 복수의 층을 사용하여 형성한다. 박리층(131)으로서 규소를 포함하는 층을 형성하는 경우, 규소를 포함하는 층의 결정 구조는, 비정질 수조, 미결정 구조 및 다결정 구조 중 어느쪽의 경우라도 된다. 여기에서는, 도포법은, 용액을 피처리물 위에 토출시켜 박리층을 형성하는 방법으로, 예를 들면, 스피코팅 법이나 액적토출법을 포함한다. 액적토출법은, 미립자를 포함하는 조성물의 액적을 미세한 구멍으로부터 토출하여 소정의 형상을 갖는 패턴으로 형성하는 방법이다.

[0093] 박리층(131)이 단층 구조를 갖는 경우, 바람직하게는, 텅스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 이와 달리, 텉스텐 산화물, 텉스텐 산화질화물, 몰리브덴 산화물, 몰리브덴 산화질화물, 또는 텉스텐과 몰리브덴의 혼합물의 산화물 또는 텉스텐과 몰리브덴의 혼합물의 산화질화물을 포함하는 층을 형성한다. 이때, 텉스텐과 몰리브덴의 혼합물이란, 예를 들면, 텉스텐과 몰리브덴의 합금에 해당한다.

[0094] 박리층(131)이 적층 구조를 갖는 경우, 바람직하게는, 1층째로서 금속층을 형성하고, 2층째로서 금속 산화물층을 형성한다. 대표적으로는, 1층째로서 텉스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 2층째로서, 텉스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물의 산화물, 텉스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물의 질화물, 텉스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물의 산화질화물, 또는 텉스텐, 몰리브덴, 또는 텉스텐과 몰리브덴의 혼합물의 질화산화물을 포함하는 층을 형성한다.

[0095] 박리층(131)이 1층째로서 금속층이 형성되고 2층째로서 금속 산화물층이 형성된 적층 층 구조를 갖는 경우, 다음을 이용하여 적층 층 구조를 형성하여도 된다. 예를 들어, 텉스텐을 포함하는 층을 금속층으로서 형성하고, 그것의 상층에 산화물로 형성되는 절연층(132)으로서 산화 규소층을 형성함으로써, 텉스텐을 포함하는 층과 절연층과의 계면에, 금속 산화물층으로서 텉스텐의 산화물을 포함하는 층을 형성한다. 더구나, 금속층의 표면을 열산화처리, 산소 플라즈마 처리, 오존수 등의 산화력이 강한 용액을 사용한 처리 등을 행하여 금속 산화물층을 형성하여도 된다.

[0096] 더구나, 박리층(131)으로서, 1층째로서 금속층을 형성하고, 2층째로서 금속 질화물 또는 금속 산화질화물층을 형성하여도 된다. 대표적으로는, 1층째로서 텉스텐을 포함하는 층을 형성한 후, 2층째로서 질화 텉스텐 층 또는 산화질화 텉스텐층을 형성하면 된다.

[0097] 절연층(132)은, 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의해, 무기화합물을 사용하여 단층 또는 다층을 이용하여 형성한다. 무기화합물의 대표예로서는, 산화 규소, 질화 규소, 산화질화 규소, 질화산화 규소 등을 들 수 있다. 또한, 하지층으로서 기능하는 절연층(132)에, 질화 규소, 질화산화 규소, 산화질화 규소 등을 사용함으로써, 외부에서 나중에 형성되는 소자층에 수분이나 산소 등의 기체가 침입하는 것을 방지할 수 있다.

[0098] 더구나, 절연층(132)을 적층구조를 가져도 된다. 예를 들면, 무기화합물의 층들을 적층하여 절연층(132)을 형성하여도 된다. 대표적으로는, 산화 규소, 질화산화 규소, 질화 규소 및 산화질화 규소의 2개 이상을 적층하여 절연층(132)을 형성하여도 된다.

[0099] 다음에, 실시형태 2 또는 3에서 설명한 공정에 의해 취약화된 취약 영역(103)을 갖는 단결정 반도체 기판(101)과, 절연층(132)을 밀착시킴으로써 접합한다.

[0100] 양호한 접합을 행하기 위해, 절연층(132)과 단결정 반도체 기판(101)의 적어도 한쪽의 표면을 활성화해도 된다. 예를 들면, 접합을 행할 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 이와 달리, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 절연층(132)과 단결정 반도체 기판의 적어도 한쪽의 접합면을 산소 플라즈마에 의한 처리나, 오존수 세정에 의한 처리를 하여, 친수화하여도 된다. 이러한 표면처리에 의해, 가열처리 단계의 온도가 250°C 이상 400°C 미만이라도, 이종재료 사이의 접합을 행하는 것이 용이해진다.

[0101] 도 7b에 도시된 것과 같이, 가열처리와 가압처리에 의해 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리한다. 가열처리는, 지지 기판(130)의 내열온도 이하의 온도에서 행하는 것이 바람직하다. 예를 들면, 400°C 내지 600°C에서 열처리를 행함으로써, 취약 영역(103)에 형성된 미소한 공동의 체적변화가 발생하여, 취약 영역(103)을 따라 지지 기판(130)으로부터 단결정 반도체 기판(10)을 박리하는 것이 가능해 진다.

[0102] 이때, 가열처리 대신에, 단결정 반도체 기판(101)을 레이저빔으로 조사하여, 취약 영역(103)에 형성된 미소한 공동의 체적변화를 행하여도 된다. 단결정 반도체 기판을 투과하고, 취약 영역(103)에 포함되는 원소에

의해 흡수되는 파장을 갖는 레이저 빔을 사용하는 것이 바람직하다. 대표적으로는, 적외광을 사용할 수 있다.

[0103] 단결정 반도체 기판을 박리한 후, SOI층의 표면을 평탄화하는 것이 바람직하다. 또한, 얻어진 SOI층의 박층화를 목적으로 하여, CMP 등을 행하여도 된다. 또한, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리하기 전에, 박리를 용이하게 행하기 위해 트리거를 만들어도 된다. 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리할 때, 지지 기판(130) 및 단결정 반도체 기판(101)의 적어도 한쪽의 표면에, 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 지지 기판(130)과 단결정 반도체 기판(101)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 지지 기판(130) 및 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써, 박리 공정을 용이하게 행할 수 있다.

[0104] 다음에, 도 7c에 도시된 것과 같이, SOI층(102)에 베이스 기판(100)을 열압착함으로써, SOI층(102)에 베이스 기판(100)을 고정시킬 수 있다. 이와 달리, SOI층(102)에 접착제(미도시)를 사용하여 베이스 기판(100)을 고정할 수 있다. 실시형태 2에 도시된 것과 같이, SOI층(102)과 베이스 기판(100)을 밀착시켜, 접합하여도 된다.

[0105] 다음에, 도 7d에 도시된 것과 같이, 지지 기판(130)으로부터 SOI층(102)이 고정된 베이스 기판(100)을 물리적 방법에 의해 박리한다. 물리적 방법이란, 어떠한 역학적 에너지 또는 기계적 에너지를 변화시키는 역학적 수단 또는 기계적 수단을 가리킨다. 대표적인 물리적 방법은, 기계적인 힘을 가하는 것, 예를 들면, 인간의 손이나 파지도구로 당기는 처리나, 롤러를 회전시키면서 분리하는 처리이다. 이때, 베이스 기판(100) 및 지지 기판(130)의 적어도 한쪽의 표면에, 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하면, 한층 더 박리가 용이해진다.

[0106] 박리층(131) 및 절연층(132)의 계면에 액체를 침투시켜, 지지 기판(130)으로부터 베이스 기판(100)을 박리하여도 된다.

[0107] 여기에서는, 박리층(131) 및 절연층(132)의 계면, 박리층(131), 및 지지 기판(130) 및 박리층(131)의 계면 중 어느 하나에서 박리가 생겨, 지지 기판(130)으로부터 소자층을 박리할 수 있다.

[0108] 이때, 상기 박리공정 전에, 박리를 용이하게 행하기 위해, 박리층(131)에 트리거를 만들어도 된다. 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리할 때, 지지 기판(130) 및 단결정 반도체 기판(101)의 적어도 한쪽의 표면에, 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 베이스 기판(100) 및 지지 기판(130)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 지지 기판(130) 및 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써, 박리 공정이 용이해진다.

[0109] 그후, SOI층(102) 표면에 접합되는 절연층(132)을 제거하여도 된다. 이상의 공정에 의해, SOI 기판을 제조할 수 있다. 본 실시형태에 따르면, 취약 영역이 형성된 단결정 반도체 기판을 가열하여, SOI층을 박리한 후, 이 SOI층에 베이스 기판을 고정한다. 쉽게 핸들링을 할 수 있는 지지 기판 위에 일단 SOI층을 유지한 후, 해당 SOI층에 베이스 기판을 고정하고, 지지 기판으로부터 SOI층을 박리한다. 이에 따라, 내열성이 낮은 베이스 기판 위에 SOI층이 설치된 SOI 기판을 수율이 높게 제조할 수 있다.

[0110] 본 실시형태에 따르면, 내열성이 낮은 가요성 기판과 단결정 반도체 기판을 접합하여, SOI 기판을 제조할 수 있다. 본 구성에 따르면, 플라스틱 기판 등의 내열온도가 낮은 기판이 사용되더라도, 접합력이 강고한 접합부에 의해 기판과 접합된 SOI층을 갖는 SOI 기판을 수율이 높게 얻을 수 있다. 또한, 지지 기판은 가요성을 갖는 기판과 비교하여 취급하기 쉽기 때문에, 지지 기판이 제조공정에 있어서 핸들링하기 쉬우므로, 수율을 높일 수 있다. 또한, 가요성을 갖고 초박형의 SOI 기판을 제조할 수 있다.

[0111] (실시형태 5)

[0112] 다음에, 상기 실시형태와는 다른 SOI 기판의 제조방법을 도 8a 내지 도 8d를 참조하여 설명한다. 여기에서는, 내열온도가 700°C 이하인 베이스 기판(100)을 사용하여 SOI 기판을 제조한다.

[0113] 도 5a와 마찬가지로, 도 8a에 도시된 것과 같이, 청정화된 단결정 반도체 기판(101)에 전계로 가속된 이온을 조사하여, 단결정 반도체 기판의 소정의 깊이에 포함시켜, 취약 영역(103)을 형성한다.

[0114] 다음에, 도 8b에 도시된 것과 같이, 단결정 반도체 기판(101) 위에 적어도 접합층(104)을 형성한다. 여

기에서는, 단결정 반도체 기판(101)의 표면에 배리어층(105)을 형성하고, 배리어층(105) 위에 접합층(104)을 형성한다.

[0115] 배리어층(105)은, 적어도 질소 함유 절연층을 포함하는 것이 바람직하다. 질소 함유 절연층은, 대표적으로는 질화 규소층, 질화산화 규소층, 산화질화 규소층, 질화 알루미늄층, 질화산화 알루미늄층, 또는 산화질화 알루미늄층에서 선택된 1개의 층 또는 복수의 층을 적층하여 형성한다. 예를 들면, 단결정 반도체 기판(101)측으로부터 산화질화 규소층 및 질화산화 규소층을 적층하여 배리어층(105)을 형성할 수 있다. 배리어층(105)은, 플라즈마 CVD법, 스퍼터링법 등을 사용하여 형성할 수 있다.

[0116] 도 8c는, 단결정 반도체 기판(101) 위의 접합층(104)과 베이스 기판(100)을 밀착시켜 접합을 행하는 공정을 나타내고 있다. 단결정 반도체 기판(101) 상의 접합층(104)과 베이스 기판(100)을 밀착시킴으로써 접합한다. 이때, 베이스 기판(100)의 내열온도가 700°C 이하인 것이 바람직하다. 대표적으로는, 가요성을 갖는 유리기판, 가요성을 갖고 또한 절연층을 갖는 금속 필름 등을 사용할 수 있다. 베이스 기판(100)이 이와 같은 내열성을 가질 때, 취약 영역(103)을 따라 박리하는 것을 가능하게 하는 가열처리를 행할 수 있다.

[0117] 양호한 접합을 행하기 위해, 베이스 기판(100) 및 접합층(104)의 적어도 한쪽의 표면을 활성화하고 있어도 된다. 예를 들면, 접합을 행하는 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 이와 달리, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 절연 표면을 갖는 가요성 기판 및 단결정 반도체 기판의 적어도 한쪽의 접합면을, 산소 플라즈마에 의한 처리나, 오존수 세정에 의한 처리를 하여, 친수화하여도 된다. 이러한 표면처리에 의해, 열처리 단계의 온도가 250°C 이상 400°C 미만이더라도 이종재료 사이의 접합을 행하는 것이 용이해진다.

[0118] 그후, 가열처리와 가압처리를 행함으로써, 도 8d에 도시된 것과 같이, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 수 있다. 가열처리는, 베이스 기판(100)의 내열온도 이하인 온도에서 행하는 것이 바람직하다. 예를 들면, 400°C 내지 600°C의 열처리를 행함으로써, 취약 영역(103)에 형성된 미소한 공동의 체적변화가 발생하여, 단결정 반도체 기판(101)을 취약 영역(103)을 따라 베이스 기판(100)으로부터 박리하는 것이 가능해진다. 가압처리는, 베이스 기판(100) 및 단결정 반도체 기판(101)의 내압성을 고려하여 접합면에 수직한 방향으로 압력이 가해지도록 행한다.

[0119] 이때, 가열처리 대신에, 단결정 반도체 기판(101)에 레이저빔을 조사하여, 취약 영역(103)에 형성된 미소한 공동의 체적변화를 행하여도 된다. 단결정 반도체 기판을 투과하여 취약 영역(103)에 포함되는 원소에 의해 흡수되는 광장을 갖는 레이저빔을 사용하는 것이 바람직하다. 대표적으로는, 적외광을 사용할 수 있다.

[0120] 가열처리 대신에, 베이스 기판(100) 및 단결정 반도체 기판(101)을 접합한 후, 베이스 기판(100)측으로부터 레이저빔을 단결정 반도체 기판에 조사하여, 취약 영역(103)을 가열하여도 된다. 이 결과, 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 수 있다.

[0121] 이때, 박리에 의해 얻어진 SOI층의 표면을 평탄화하는 것이 바람직하다. 또한, 얻어진 SOI층의 박층화를 목적으로 하여, CMP 등을 행하여도 된다. 또한, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리하기 전에, 박리를 용이하게 행하기 위해 트리거를 만들어도 된다. 단결정 반도체 기판(101)을 베이스 기판(100)으로부터 박리할 때, 베이스 기판(100) 및 단결정 반도체 기판(101)의 적어도 한쪽의 표면에 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 베이스 기판(100) 및 단결정 반도체 기판(101)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 베이스 기판(100) 및 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써, 박리 공정을 용이하게 행할 수 있다.

[0122] 이와 같이, 본 실시형태에 따르면, 내열온도가 700°C 이하인 유리 기판 등의 베이스 기판(100)이 사용되더라도, 베이스 기판과의 접합부의 접합력이 강고한 SOI층(102)을 얻을 수 있다. 베이스 기판(100)으로서, 알루미노실리케이트 유리, 알루미노보로실리케이트 유리, 바륨 보로실리케이트 유리와 같이 무알칼리 유리 기판으로 불리는 전자공업용으로 사용되는 각종 유리 기판을 적용하는 것이 가능해 진다. 즉, 한면이 1미터를 초과하는 기판 위에 단결정 반도체층을 형성할 수 있다. 이러한 대면적 기판을 사용하여, 액정 디스플레이와 같은 표시장치 뿐만 아니라, 반도체 접적회로를 제조할 수 있다.

[0123] 또한, 본 실시형태의 반도체장치는, 가요성을 갖고 절연 표면을 갖는 지지 기판에 접합된 단결정 반도체층에 의해 접적회로가 형성함으로써, 처리 속도의 고속화, 및 저소비 전력화를 도모한 반도체장치를 제조할

수 있다. 또한, 가요성을 갖고, 초박형인 반도체장치를 제조할 수 있다.

[0124] (실시형태 6)

[0125] 다음에, 상기 실시형태 1 내지 5에서 설명한 SOI 기판을 사용한 반도체장치를 도 9a 내지 도 9e와 도 10a 및 도 10을 참조하여 설명한다. 여기에서는, 도 6a 내지 도 6d와 도 8a 내지 도 8d에 도시된 것과 같이, 접합층(104)을 사용하여 단결정 반도체 기판과 베이스 기판을 접합한 SOI 기판을 사용하여 반도체장치를 제조하는 형태를 나타낸다. 도 5a 내지 도 5d와 7a 내지 도 7d에 도시된 것과 같이, 접합층을 사용하지 않고 단결정 반도체 기판 및 베이스 기판을 접합한 SOI 기판을 사용할 수도 있다. 또한, SOI 기판의 베이스 기판에 지지 기판을 첨합하여도 된다. 또한, SOI 기판을 유지하는 유지부재에 의해 SOI 기판을 유지함으로써, 휙기 쉬운 가요성 기판을 사용하더라도 수율이 높게 반도체장치를 제조할 수 있다. 유지부재의 일례로서, 롤러, 패지도구 등을 들 수 있다.

[0126] 도 9a에 있어서, 베이스 기판(100)에 접합층(104) 및 배리어층(105)을 개재하여 SOI층(102)이 설치된다. SOI층(102) 위에는, 소자 형성 영역에 대응하는 영역에 질화 규소층(124) 및 산화 규소층(125)을 형성한다. 산화 규소층(125)은, 소자 분리를 위해 SOI층(102)을 에칭할 때 하드 마스크로서 사용한다. 질화 규소층(124)은 에칭스톱퍼로서 사용한다.

[0127] SOI층(102)의 두께는 5nm 내지 500nm, 바람직하게는 10nm 내지 200nm로 한다. SOI층(102)의 두께는, 도 5a 내지 도 5d에서 설명한 취약 영역(103)의 깊이를 제어함으로써 적당하게 설정할 수 있다. SOI층(102)에는, 임계전압을 제어하기 위해, 붕소, 알루미늄, 갈륨 등의 p형 불순물을 첨가한다. 예를 들면, p형 불순물로서 붕소를  $5 \times 10^{16} \text{ cm}^{-3}$  이상  $1 \times 10^{18} \text{ cm}^{-3}$  이하의 농도로 첨가하면 된다.

[0128] 도 9b는, 산화 규소층(125)을 마스크로 사용하여 SOI층(102) 및 접합층(104)을 에칭하는 공정이다. 다음에, SOI층(102) 및 접합층(104)의 노출된 단부면에 대하여 플라즈마처리를 행함으로써 질화한다. 이 질화처리에 의해, 적어도 SOI층(102)의 주변 단부에는 질화 규소층(107)이 형성된다. 질화 규소층(107)은 절연성을 가진, SOI층(102)의 단부면을 따라 리크 전류가 흐르는 것을 방지하는 효과를 갖는다. 또한, 내산화 작용이 있으므로, 질화 규소층(107)은 SOI층(102)과 배리어층(105) 사이에서, 단부면으로부터 산화층이 성장하여 "버즈비크(bird's beak)"가 형성되는 것을 방지할 수 있다.

[0129] 도 9c는 소자분리 절연층(108)을 퇴적하는 공정을 나타낸 것이다. 소자분리 절연층(108)으로는, TEOS를 사용하여 화학기상성장법에서 퇴적한 산화 규소막을 사용한다. 소자분리 절연층(108)은 SOI층(102)이 매립되도록 두껍게 퇴적한다.

[0130] 도 9d는 소자분리 절연층(108)을 부분적으로 제거하여 질화 규소층(124)을 노출하는 공정을 나타내고 있다. 이 제거공정은, 드라이에칭 또는 화학적 기계연마 처리에 의해 행하여도 된다. 질화 규소층(124)은 에칭스톱퍼로서의 역할을 한다. 소자분리 절연층(108)은 SOI층(102) 사이의 캡을 매립하도록 잔존한다. 질화 규소층(124)은 그후 제거한다.

[0131] 도 9e에 있어서, SOI층(102)이 노출한 후, 게이트 절연층(109), 게이트 전극(110) 및 사이드월 절연층(111)을 형성하고, 제1불순물 영역(112), 제2불순물 영역(113)을 형성한다. 절연층(114)은 질화 규소층을 사용하여 형성하고, 게이트 전극(110)을 에칭할 때 하드 마스크로서 사용한다.

[0132] 도 10a에 있어서, 층간절연층(115)을 형성한다. 층간절연층(115)으로서, 보로포스포실리케이트 유리(borophosphosilicate glass: BPSG)층을 형성하고, 리플로우에 의해 평탄화시킨다. 이와 달리, TEOS를 사용하여 산화 규소층을 형성하고, 화학적 기계연마 처리에 의해 평탄화하여도 된다. 평탄화 처리에 있어서, 게이트 전극(110) 상의 절연층(114)은 에칭스톱퍼로서 기능한다. 층간절연층(115)에는 콘택홀(116)을 형성한다. 콘택홀(116)은 사이드월 절연층(111)을 이용하여 셀프얼라인 콘택으로 형성된다.

[0133] 그후, 도 10b에 도시된 것과 같이, 6불화 텅스텐을 사용하여 CVD법으로 콘택 플러그(117)를 형성한다. 더구나, 절연층(118)을 형성하고, 콘택 플러그(117)에 맞추어 개구를 형성하고, 그 안에 배선(119)을 설치한다. 배선(119)은 알루미늄 또는 알루미늄 합금으로 형성하고, 배리어메탈로서 몰리브덴, 크롬, 티타늄 등의 상부 및 하부 금속층을 형성한다.

[0134] 여기에서는, SOI층(102)으로부터 절연층(118) 및 배선(119)까지 포함하는 적층체를 소자층(135)으로 표

시한다.

[0135] 이후, 소자층(135)에 복수의 반도체장치가 포함되는 경우, 소자층(135) 및 베이스 기판(100)을 분리하고, 복수의 반도체장치를 잘라내어도 된다. 이러한 공정에 의해, 복수의 반도체장치를 제조할 수 있다.

[0136] 이와 같이, 베이스 기판(100)에 접합된 SOI층(102)을 사용하여 반도체 소자, 대표적으로는 전계효과 트랜지스터를 제조할 수 있다. 본 실시형태에 따른 SOI층(102)은 결정방위가 일정한 단결정 반도체이기 때문에, 균일하고 고성능의 전계효과 트랜지스터를 얻을 수 있다. 즉, 임계전압이나 이동도 등의 트랜지스터 특성으로서 중요한 특성값의 불균일성을 억제하여, 고이동도 등의 고성능화를 달성할 수 있다. 더구나, 베이스 기판(100) 및 SOI층(102) 사이에 배리어층(105)이 설치되어 있기 때문에, 베이스 기판으로부터의 불순물에 의해 SOI층에 오염되는 것을 방지할 수 있다. 따라서, 소자층에 형성되는 트랜지스터의 특성 격차를 억제할 수 있다. 또한, 가요성을 갖고 초박형의 반도체장치를 제조할 수 있다.

[0137] (실시형태 7)

[0138] 다음에, 상기 실시형태 1 내지 5에서 설명한 SOI 기판을 사용한 반도체장치의 제조방법에 대해 도 11a 내지 도 11d와 도 12a 및 도 12b를 참조하여 설명한다. 여기에서는, 도 6a 내지 도 6d와 도 8a 내지 도 8d에 도시된 것과 같이, 접합층(104)을 사용하여 단결정 반도체 기판과 베이스 기판을 접합한 SOI 기판을 사용하여 반도체장치를 제조한 형태를 나타낸다. 도 5a 내지 도 5d와 도 7a 내지 도 7d에 도시된 것과 같이, 접합층을 사용하지 않고 단결정 반도체 기판 및 베이스 기판을 접합한 SOI 기판을 사용할 수도 있다. SOI 기판의 베이스 기판에 지지 기판을 접합하여도 된다. 또한, SOI 기판을 유지하는 유지부재에 의해 SOI 기판을 유지함으로써, 휘기 쉬운 가요성 기판을 사용한 경우에도, 수율이 높게 반도체장치를 제조할 수 있다. 유지부재의 일례로서는, 롤러, 파지도구 등을 들 수 있다.

[0139] 도 6a와 마찬가지로, 도 11a에 도시된 것과 같이, 단결정 반도체 기판(101)의 표면을 전계로 가속된 이온을 조사하여, 단결정 반도체 기판의 소정의 깊이에 이온을 포함시켜, 취약 영역(103)을 형성한다. 다음에, 단결정 반도체 기판(101)의 표면 위에 캡층(123) 및 접합층(104)을 순차적으로 적층한다. 이후, 가열을 행하여 취약 영역(103)을 한층 더 취약화한다. 또한, 캡층(123) 대신에, 실시형태 2에서 설명한 것과 같이, 접합층(104)에 압착부재를 설치한 후, 가열하여, 취약 영역(103)을 한층 더 취약화하여도 된다.

[0140] 도 11b는, 지지 기판(130) 위에 형성된 절연층(132)과 단결정 반도체 기판(101)에 설치된 접합층(104)의 표면을 밀접하게 하여, 이 양자를 접합시키는 태양을 나타낸 것이다.

[0141] 지지 기판(130) 위에 박리층(131)을 형성하고, 박리층(131) 위에 절연층(132)을 형성한다. 다음에, 지지 기판(130) 위에 형성되는 절연층(132)과 단결정 반도체 기판(101) 표면에 형성되는 접합층(104)을 밀착시켜, 절연층(132) 및 접합층(104)을 접합한다. 이 접합은 반·데르·발스력에 의해 형성된다. 지지 기판(130)과 단결정 반도체 기판(101)을 가압접합함으로써, 수소결합에 의해 더 강고한 접합을 행하는 것이 가능하다.

[0142] 더구나, 양호한 접합을 행하기 위해, 절연층(132)과 접합층(104)의 표면의 적어도 한쪽을 활성화하여도 된다. 예를 들면, 접합을 행하는 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 이와 달리, 플라즈마 조사 또는 라디칼 처리를 행한다. 이러한 표면처리에 의해, 가열처리 단계의 온도가 250°C 이상 400°C 미만의 온도라도, 이종재료 사이의 접합을 행하는 것이 용이해진다.

[0143] 도 11c에 있어서, 지지 기판(130)과 단결정 반도체 기판(101)을 서로 접합한 후, 단결정 반도체 기판(101)을 400°C 내지 600°C에서 가열처리한다. 취약 영역(103)에 균열을 생기게 하여, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리한다. 접합층(104)은 지지 기판(130)과 접합하고 있으므로, 지지 기판(130) 위에는 단결정 반도체 기판(101)과 같은 결정성을 갖는 SOI층(102)이 잔존하게 된다.

[0144] 이때, 상기 가열처리 대신에, 지지 기판(130) 및 단결정 반도체 기판(101)을 접합한 후, 지지 기판(130)측으로부터 레이저빔을 단결정 반도체 기판에 조사하여, 취약 영역(103)을 가열하여도 된다. 이 결과, 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리할 수 있다.

[0145] 이후, SOI층(102)의 표면을 평탄화하는 것이 바람직하다. 평탄화 방법으로서는, CMP를 사용할 수 있다.

이와 달리, SOI층(102)의 표면에 레이저빔을 조사하여, 표면을 용융하여 평탄화할 수 있다.

[0146] 다음에, 도 9a 내지 도 9e와 도 10a 및 도 10b에 도시된 공정을 거쳐, SOI층(102)을 사용하여 트랜지스터를 포함하는 소자층(135)을 형성한다. 다음에, 소자층(135) 위에 베이스 기판(136)을 설치한다. 베이스 기판(136) 및 소자층(135)을 열압착함으로써, 소자층(135)에 베이스 기판(136)을 고정시킬 수 있다. 이와 달리, 소자층(135)에 미도시된 접착재를 사용하여 베이스 기판(136)을 고정할 수 있다(도 11d 참조). 베이스 기판(136)으로서는, 실시형태 1에서 설명한 것과 같은 상기 베이스 기판(100)의 대표예에 열거한 것을 적절히 사용할 수 있다.

[0147] 이후, 나중에 행해지는 박리공정을 용이하게 행하기 위해, 베이스 기판(136)측으로부터, 소자층(135) 및 박리층(131)에 레이저빔을 조사하여, 홈을 형성하여도 된다. 홈을 형성하기 위해 사용된 레이저빔으로서는, 박리층(131)과 소자층(135)에 포함되는 층 중에서 어느 한 개가 흡수하는 파장을 갖는 레이저빔을 사용하는 것이 바람직하다. 대표적으로는, 자외 영역, 가시 영역, 또는 적외 영역의 레이저빔을 적당하게 선택하여 조사한다.

[0148] 다음에, 도 12a에 도시된 것과 같이, 지지 기판(130)으로부터 소자층(135)을 물리적 방법에 의해 박리한다. 이와 달리, 박리층(131) 및 절연층(132)의 계면에 액체를 침투시킨 후, 지지 기판(130)으로부터 소자층(135)을 박리한다.

[0149] 여기에서는, 박리층(131) 및 절연층(132)의 계면, 박리층(131)과, 지지 기판(130) 및 박리층(131)의 계면 중 어느 하나에서 박리가 생겨, 지지 기판(130)으로부터 소자층(135)을 박리할 수 있다.

[0150] 또한, 소자층(135) 및 베이스 기판(136)을 지지 기판(130)으로부터 박리할 때, 지지 기판(130) 및 베이스 기판(136)의 적어도 한쪽의 표면에 빛 또는 열에 의해 박리가능한 점착 시이트를 설치하여, 지지 기판(130) 및 베이스 기판(136)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 지지 기판(130) 및 베이스 기판(136)의 다른 쪽에 지지부재를 설치함으로써, 박리 공정을 용이하게 행할 수 있다.

[0151] 다음에, 도 12b에 도시된 것과 같이, 절연층(132)에 가요성 기판(137)을 고정시킨다. 가요성 기판(137)의 재료 및 고정방법으로서, 베이스 기판(136)의 재료 및 고정방법을 적용할 수 있다.

[0152] 이후, 소자층(135)에 복수의 반도체장치가 포함되는 경우, 소자층(135), 베이스 기판(136) 및 가요성 기판(137)을 분리하고, 복수의 반도체장치를 잘라내어도 된다. 이러한 공정에 의해, 복수의 반도체장치를 제조할 수 있다.

[0153] 이렇게, 지지 기판(130)에 접합된 SOI층(102)을 사용한 전계효과 트랜지스터를 포함하는 소자층을 제조한 후, 이 소자층을 사용하여, 가요성을 갖고 초박형의 반도체장치를 제조할 수 있다. 본 실시형태에 따른 SOI층(102)은 결정방위가 일정한 단결정 반도체이기 때문에, 균일하고 고성능의 전계효과 트랜지스터를 얻을 수 있다. 즉, 임계전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성값의 불균일성을 억제하여, 고이동도 등의 고성능화를 달성할 수 있다. 더구나, 베이스 기판(136) 및 SOI층(102) 사이에 배리어층(105)이 설치되기 때문에, 베이스 기판으로부터의 불순물에 의해 SOI층이 오염되는 것을 방지할 수 있다. 따라서, 소자층에 형성되는 트랜지스터의 특성 격차를 억제할 수 있다.

[0154] 또한, 지지 기판 위에 접합한 SOI층을 사용하여 전계효과 트랜지스터를 형성한 후, 지지 기판으로부터 전계효과 트랜지스터를 갖는 소자층을 박리하여, 가요성을 갖고 초박형의 반도체장치를 제조한다. 따라서, 제조 공정에 있어서의 지지 기판의 축급이 더 용이해져, 수율을 높일 수 있다.

[0155] (실시형태 8)

[0156] 상기 실시형태 1 내지 5에서 설명한 SOI 기판을 사용한 반도체장치를 도 13a 내지 도 13d와 도 14a 및 도 14b를 참조하여 설명한다. 여기에서는, 도 6a 내지 도 6d와 도 8a 내지 도 8d에 도시된 것과 같이, 접합층(104)을 사용하여 단결정 반도체 기판과 베이스 기판을 접합한 SOI 기판을 사용하여 반도체장치를 제조한 형태를 설명한다. 도 5a 내지 도 5d와 도 7a 내지 도 7d에 도시된 것과 같이, 접합층을 사용하지 않고 단결정 반도체 기판 및 베이스 기판을 접합한 SOI 기판을 사용할 수도 있다. 또한, SOI 기판의 베이스 기판측에 지지 기판을 접합하여도 된다. SOI 기판을 유지하는 유지부재에 의해 SOI 기판을 유지함으로써, 휘기 쉬운 가요성 기판이 사용되더라도, 수율이 높게 반도체장치를 제조할 수 있다. 유지부재의 일례로는, 를러, 파지도구 등을 들 수 있

다.

[0157] 도 6a와 마찬가지로, 도 13a에 도시된 것과 같이, 단결정 반도체 기판(101)에 그 표면으로부터 전계로 가속된 이온을 조사하여, 단결정 반도체 기판의 소정의 깊이에 이온을 포함시켜, 취약 영역(103)을 형성한다. 다음에, 단결정 반도체 기판(101)의 표면 위에 캡층(123) 및 접합층(104)을 순차적으로 적층한다. 다음에, 단결정 반도체 기판(101)을 250°C 이상, 바람직하게는 300°C 이상, 400°C 미만, 바람직하게는 350°C 미만에서 가열 처리하여, 취약 영역(103)을 한층 더 취약하게 한다. 여기에서는, 단결정 반도체 기판(101) 표면에 캡층(123)이 형성되기 때문에, 단결정 반도체 기판(101)의 표면 및 접합층(104)의 표면의 평탄을 유지하면서, 취약 영역(103)을 한층 더 취약하게 할 수 있다.

[0158] 도 13b에 도시된 것과 같이, 지지 기판(130) 위에 박리층(131)을 형성하고, 박리층(131) 위에 절연층(132)을 형성한다. 또한, 가요성 기판(141)에 접합층(140)을 형성한다. 다음에, 절연층(132)과 가요성 기판(141) 위에 설치된 접합층(140)을 밀착시켜 이 양자를 접합하고, 지지 기판(130)과 가요성 기판(141)을 접합시킨다.

[0159] 다음에, 도 13c에 도시된 것과 같이, 가요성 기판(141)과, 단결정 반도체 기판(101) 위에 형성된 접합층(104)을 밀착시켜 이 양자를 접합하여, 가요성 기판(141)과 단결정 반도체 기판(101)을 접합시킨다.

[0160] 양호한 접합을 행하기 위해, 가요성 기판(141)의 표면과 접합층(104)의 표면 중에서 적어도 한 개를 활성화하여도 된다. 예를 들면, 접합을 행할 면에 원자빔 또는 이온빔을 조사한다. 원자빔 또는 이온빔을 이용하는 경우에는, 아르곤 등의 불활성 가스 중성 원자빔 또는 불활성 가스 이온빔을 사용할 수 있다. 이와 달리, 플라즈마 조사 또는 라디칼 처리를 행한다. 또한, 절연 표면을 갖는 가요성 기판 및 단결정 반도체 기판의 적어도 한쪽의 접합면을, 산소 플라즈마에 의한 처리나, 오존수 세정에 의한 처리를 하여, 친수화하여도 된다. 이러한 표면처리에 의해, 가열처리 단계의 온도가 250°C 이상 400°C 미만이더라도, 이종재료 사이의 접합을 행하는 것이 용이해진다.

[0161] 도 13d에 있어서, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130) 및 가요성 기판(141)으로부터 박리한다. 접합층(104)이지지 기판(130)과 접합하고 있으므로, 지지 기판(130) 위에는 단결정 반도체 기판(101)과 동일한 결정성을 갖는 SOI층(102)이 잔존하게 된다.

[0162] 이때, 가요성 기판(141) 및 단결정 반도체 기판(101)의 접합 전에 행하는 가열처리 대신에, 가요성 기판(141) 및 단결정 반도체 기판(101)을 접합한 후, 단결정 반도체 기판(101)측으로부터 레이저빔을 단결정 반도체 기판에 조사하여, 취약 영역(103)을 가열하여도 된다. 이 결과, 취약 영역을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 가요성 기판(141)으로부터 박리할 수 있다.

[0163] 이후, SOI층(102)의 표면을 평탄화하는 것이 바람직하다. 평탄화 방법으로서는, CMP를 사용할 수 있다. 이와 달리, SOI층(102)의 표면에 레이저빔을 조사하여, 표면을 용융하여 평탄화할 수 있다.

[0164] 또한, 취약 영역(103)을 분리 영역으로 이용하여 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리하기 전에, 박리를 용이하게 행하기 위해 트리거를 만들어도 된다. 더구나, 단결정 반도체 기판(101)을 지지 기판(130)으로부터 박리할 때, 지지 기판(130) 또는 단결정 반도체 기판(101)의 적어도 한쪽의 표면에 빛 또는 열에 의해 박리가능한 접착 시이트를 설치하여, 지지 기판(130) 및 단결정 반도체 기판(101)의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 지지 기판(130) 및 단결정 반도체 기판(101)의 다른 쪽에 지지부재를 설치함으로써 박리 공정이 용이해진다.

[0165] 다음에, 도 9a 내지 도 9e와 도 10a 및 도 10b에서 설명한 공정을 거쳐, SOI층(102)을 사용하여 트랜지스터를 포함하는 소자층(135)을 형성한다. 다음에, 소자층(135) 위에 가요성 기판 142를 설치한다. 가요성 기판 142 및 소자층(135)을 열압착함으로써, 소자층(135)에 가요성 기판 142를 고정시킬 수 있다. 이와 달리, 소자층(135)에 미도시된 접착제를 사용하여 가요성 기판 142를 고정할 수 있다(도 14a 참조). 가요성 기판 142로서는, 실시형태 1에서 설명한 것과 같이 상기 베이스 기판(100)의 대표예에 열거한 것을 적당하게 사용할 수 있다.

[0166] 다음에, 도 14b에 도시된 것과 같이, 지지 기판(130)으로부터 가요성 기판 141, 소자층(135) 및 가요성 기판 142를 포함하는 적층체를 물리적 방법에 의해 박리한다. 이와 달리, 박리층(131) 및 절연층(132)의 계면에 액체를 침투시켜, 지지 기판(130)으로부터 가요성 기판 141, 소자층(135) 및 가요성 기판 142를 포함하는 적층체를 박리한다.

[0167] 여기에서는, 박리층(131) 및 절연층(132)의 계면, 박리층(131)과, 지지 기판(130) 및 박리층(131)의 계

면의 어느 하나에서 박리가 생겨, 지지 기판(130)으로부터 소자층(135)을 박리할 수 있다.

[0168] 박리층(131)에 있어서 지지 기판(130)으로부터 소자층(135) 및 가요성 기판 142를 박리하기 전에, 박리를 용이하게 행하기 위해 트리거를 만들어도 된다. 더구나, 소자층(135) 및 가요성 기판 142를 지지 기판(130)으로부터 박리할 때, 지지 기판(130) 및 가요성 기판 142의 적어도 한쪽의 표면에 빛 또는 열에 의해 박리가능한 점착 사이트를 설치하여, 지지 기판(130) 및 가요성 기판 142의 한쪽을 고정하고, 다른 쪽을 박리함으로써, 한층 더 박리가 용이해진다. 이때, 고정되지 않은 지지 기판(130) 및 가요성 기판 142의 다른 쪽에 지지부재를 설치함으로써, 박리 공정을 용이하게 행할 수 있다.

[0169] 이후, 소자층(135)에 복수의 반도체장치가 포함되는 경우, 소자층(135) 및 가요성 기판 141 및 142를 분리하고, 복수의 반도체장치를 잘라내어도 된다. 이러한 공정에 의해, 복수의 반도체장치를 제조할 수 있다.

[0170] 또한, 지지 기판 위에 접합된 SOI층을 사용하여 전계효과 트랜지스터를 형성한 후, 지지 기판으로부터 전계 효과를 갖는 소자층을 박리하여, 가요성을 갖는 초박형의 반도체장치를 제조한다. 따라서, 제조공정에 있어서의 지지 기판의 핸들링을 하기 쉬워, 수율을 높일 수 있다.

[0171] 이렇게, 가요성 기판(141)에 접합된 SOI층(102)을 사용하여 전계효과 트랜지스터를 제조할 수 있다. 본 실시형태에 따른 SOI층(102)은 결정방위가 일정한 단결정 반도체이기 때문에, 균일하고 고성능의 전계효과 트랜지스터를 얻을 수 있다. 즉, 임계전압이나 이동도 등 트랜지스터 특성으로서 중요한 특성값의 불균일성을 억제하여, 고이동도 등의 고성능화를 달성할 수 있다. 더구나, 베이스 기판(100) 및 SOI층(102) 사이에 배리어층(105)이 설치되기 때문에, 베이스 기판으로부터의 불순물에 의해 SOI층이 오염되는 것을 방지할 수 있다. 따라서, 소자층에 형성되는 트랜지스터의 특성 격차를 억제할 수 있다. 또한, 가요성을 갖고 초박형의 반도체장치를 제조할 수 있다.

[0172] (실시형태 9)

[0173] 도 15는, 실시형태 6 내지 8에 나타낸 반도체장치의 일례로서, 실시형태 1 내지 5에 나타낸 SOI 기판을 사용하여 제조된 마이크로프로세서의 구성을 나타낸 것이다. 이 마이크로프로세서(200)는, 연산논리회로(arithmetic logic unit: ALU)(201), ALU 제어부(202), 명령 해석부(203), 인터럽트 제어부(204), 타이밍 제어부(205), 레지스터(206), 레지스터 제어부(207), 버스 인터페이스(Bus I/F)(208), 판독전용 메모리(ROM)(209), 및 ROM 인터페이스(ROM I/F)(210)를 갖고 있다.

[0174] 버스 인터페이스(208)를 통해 마이크로프로세서(200)에 입력된 명령은 명령 해석부(203)에 입력되어, 디코드된 후, ALU 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207) 및 타이밍 제어부(205)에 입력된다. ALU 제어부(202), 인터럽트 제어부(204), 레지스터 제어부(207) 및 타이밍 제어부(205)는 디코드된 명령에 근거하여 각종 제어를 행한다. 구체적으로, ALU 제어부(202)는, ALU(201)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 제어부(204)는, 마이크로프로세서(200)의 프로그램 실행중에, 외부의 입출력장치나 주변 회로로부터의 인터럽트 요구를, 그것의 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 제어부(207)는, 레지스터(206)의 어드레스를 생성하고, 마이크로프로세서(200)의 상태에 따라 레지스터(206)에 대한 판독과 기록을 행한다. 타이밍 제어부(205)는, ALU(201), ALU 제어부(202), 명령 해석부(203), 인터럽트 제어부(204) 및 레지스터 제어부(207)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들면, 타이밍 제어부(205)는, 기준 클록 신호 CLK1을 기초로 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비하고 있고, 내부 클록 신호 CLK2를 상기 각종 회로에 공급한다. 명백하게, 도 15에 나타낸 마이크로프로세서(200)는 그 구성을 간략화하여 나타낸 일례에 지나지 않고, 실제의 마이크로프로세서는 그 용도에 따라 다종다양한 구성을 구비할 수 있다.

[0175] 전술한 마이크로프로세서(200)는, 절연 표면을 갖는 가요성 기판에 접합된 결정방위가 일정한 단결정 반도체층(SOI층)을 사용하여 접적회로가 형성되어 있으므로, 처리 속도의 증가 뿐만 아니라 저소비 전력화를 도모할 수 있다.

[0176] (실시형태 10)

[0177] 다음에, 실시형태 6 내지 8에 나타낸, 비접촉으로 데이터의 송수신을 행하는 것이 가능한 연산기능을 구비한 반도체장치의 일례로서, 실시형태 1 내지 5에 나타낸 SOI 기판을 사용하여 얻어진 RFCPU의 구성에 대하여 도16을 참조하여 설명한다. 도 16은 무선통신에 의해 외부장치와 신호의 송수신을 행하도록 동작하는 컴퓨터

(이하, 이 컴퓨터를 RFCPU라고 한다)의 일례를 나타낸 것이다. RFCPU(211)은, 아날로그 회로부(212)와 디지털 회로부(213)를 갖고 있다. 아날로그 회로부(212)는, 공진 용량을 갖는 공진회로(214), 정류회로(215), 정전압회로(216), 리셋 회로(217), 발진회로(218), 복조회로(219), 변조회로(220) 및 전원관리회로(230)를 갖고 있다. 디지털 회로부(213)는, RF 인터페이스(221), 제어 레지스터(222), 클록 콘트롤러(223), 인터페이스(CPU 인터페이스)(224), 중앙처리 유닛(225)(CPU), 랜덤 액세스 메모리(RAM)(226) 및 판독전용 메모리(ROM)(227)를 갖고 있다.

[0178] 이러한 구성을 갖는 RFCPU(211)의 동작은 개략 아래와 같다. 안테나(228)가 수신한 신호를 기초로 공진 회로(214)가 유도기전력을 발생한다. 유도기전력은 정류회로(215)를 거쳐 용량부(229)에 충전된다. 이 용량부(229)는 세라믹 커패시터나 전기이중층 커패시터 등의 커패시터로 형성되어 있는 것이 바람직하다. 용량부(229)는 RFCPU(211)와 일체 형성되어 있을 필요는 없고, 용량부(229)가 별개의 부품으로서 RFCPU(211)에 포함된 절연 표면을 갖는 기판에 부착되어 있는 한 허용 가능하다.

[0179] 리셋 회로(217)는, 디지털 회로부(213)를 리셋하여 초기화하는 신호를 생성한다. 예를 들면, 리셋트 회로(21)는 전원전압의 상승후에 지연되어 상승하는 신호를 리셋 신호로서 생성한다. 발진회로(218)는, 정전압회로(216)에 의해 생성되는 제어신호에 따라, 클록 신호의 주파수와 듀티비를 변경한다. 로우패스 필터를 사용하여 형성되는 복조회로(219)는, 예를 들면, 수신된 진폭변조(ASK) 신호의 진폭을 이치화한다. 변조회로(220)는, 진폭변조(ASK) 송신 신호의 진폭을 변동시켜 그 신호를 송신한다. 변조회로(220)는, 공진회로(214)의 공진점을 변화시킴으로써 통신신호의 진폭을 변화시키고 있다. 클록 콘트롤러(223)는, 전원전압 또는 중앙처리 유닛(225)의 소비 전류에 따라 클록 신호의 주파수와 듀티비를 변경하기 위한 제어신호를 생성하고 있다. 전원전압의 감시는 전원관리회로(230)에 의해 행해진다.

[0180] 안테나(228)로부터 RFCPU(211)에 입력된 신호는 복조회로(219)에서 복조된 후, RF 인터페이스(221)에 의해 제어 코マン드, 데이터 등으로 분해된다. 제어 코マン드는 제어 레지스터(222)에 격납된다. 제어 코맨드는, 판독전용 메모리(227)에 기억되어 있는 데이터의 판독, 랜덤 액세스 메모리(226)에의 데이터의 기록, 중앙처리 유닛(225)에의 연산명령 등을 포함하고 있다. 중앙처리 유닛(225)은, 인터페이스(224)를 통해 판독전용 메모리(227), 랜덤 액세스 메모리(226) 및 제어 레지스터(222)에 액세스한다. 인터페이스(224)는, 중앙처리 유닛(225)이 요구하는 어드레스에 근거하여, 판독전용 메모리(227), 랜덤 액세스 메모리(226) 및 제어 레지스터(222)의 어느 한 개에 대한 액세스 신호를 생성하는 기능을 갖고 있다.

[0181] 중앙처리 유닛(225)의 연산방식으로서는, 판독전용 메모리(227)에 오퍼레이팅 시스템(OS)을 기억시켜 두고, 기동시에 프로그램을 판독하여 실행하는 방식을 채용할 수 있다. 이와 달리, 전용의 연산회로를 설치하고 연산 처리를 하드웨어적으로 처리하는 방식을 채용할 수도 있다. 하드웨어와 소프트웨어를 병용하는 방식에서는, 전용의 ALU에서 일부의 처리를 행하고, 나머지의 연산을 프로그램을 사용하여 중앙처리 유닛(225)이 실행한다.

[0182] 전술한 RFCPU(211)는, 절연 표면을 갖는 가요성 기판에 접합된 결정방위가 일정한 단결정 반도체층(SOI층)을 사용하여 집적회로가 형성되어 있으므로, 처리 속도의 증가 뿐만 아니라 저소비 전력화를 도모할 수 있다. 그것에 의해, 전력을 공급하는 용량부(229)를 소형화하더라도 장시간의 동작을 보증할 수 있다.

[0183] (실시형태 11)

[0184] 다음에, 실시형태 6 내지 8에 나타낸 반도체장치의 일례로서, 실시형태 1 내지 5에서 설명한 SOI 기판을 사용하여 얻어진 표시 패널의 구성에 대하여 도 17을 참조하여 설명한다.

[0185] 실시형태 1 내지 5에서 예시하는 SOI층(102)은, 표시 패널을 제조할 때 사용되는 대형의 가요성 기판에 접합할 수도 있다. 도 17은 가요성을 갖고 절연 표면을 갖는 대면적 기판인 베이스 기판(100)에 SOI층(102)을 접합하는 경우를 나타낸 것이다. 가요성을 갖고 절연 표면을 갖는 대면적 기판으로부터 복수의 표시 패널을 잘라내기 때문에, SOI층(102)은 베이스 기판(100) 내부의 표시 패널(231)의 형성 영역에 접합하는 것이 바람직하다. 단결정 반도체 기판에 비해 가요성을 갖고 절연 표면을 갖는 대면적기판이 면적이 크므로, 복수의 SOI층(102)이 도 17과 같이 배치되는 것이 바람직하다. 표시 패널(231)은 주사선 구동회로 영역(232), 신호선 구동회로 영역(233) 및 화소 형성 영역(234)을 포함한다. 주사선 구동회로 영역(232), 신호선 구동회로 영역(233) 및 화소 형성 영역(234)을 포함하도록, SOI층(102)을 가요성을 갖고 절연 표면을 갖는 대면적기판인 베이스 기판(100)에 접합한다.

[0186] 도 18a 및 도 18b는, SOI층(102)을 사용하여 화소 트랜지스터가 형성되는 표시 패널의 화소의 일례를 나타낸 것이다. 도 18a는 화소의 평면도를 나타낸 것이다. SOI층 위에 형성된 화소에 있어서는, 서로 교차하는 게이트 배선(235) 및 소스 배선(236)이 형성된다. SOI층에는 소스 배선(236) 및 드레인 전극(242)이 접속되고, 드레인 전극(242)에 화소전극(237)이 접속된다. 도 18b는 도 18a에 나타낸 J-K 라인을 따라 취한 단면도를 나타낸 것이다.

[0187] 도 18b에 있어서, 베이스 기판(100) 위에는 배리어층(105)으로서 질화 규소층과 산화 규소층이 적층되어 있다. SOI층(102)은 접합층(104)에 의해 가요성을 갖고 절연 표면을 갖는 베이스 기판(100)과 접합하고 있다. 절연층(118) 위에 화소전극(237)이 설치되어 있다. SOI층(102)과 소스 배선(236)을 접속하는 콘택홀에는 있는 오목 단차부들을 매립하도록 기둥 형상 스페이서(240)가 설치되어 있다. 대향기판(238)에는 대향전극(239)이 형성되고, 기둥 형상 스페이서(240)에 의해 형성되는 공극에 액정층(241)이 형성되어 있다.

[0188] 이와 같이, 표시 패널을 제조할 때 사용되며 가요성을 갖고 절연 표면을 갖는 대면적기판 위에 SOI층을 형성하고, 해당 SOI층을 사용하는 트랜지스터를 형성하는 것이 가능하다. SOI층을 사용하여 형성되는 트랜지스터는, 아모페스 실리콘 트랜지스터보다도 전류구동 능력 등 모든 동작 특성이 우수하므로, 트랜지스터의 사이즈를 소형화할 수 있다. 이에 따라, 표시 패널에 있어서의 화소부의 개구율을 향상시킬 수 있다. 또한, 도 15에서 설명한 것과 같은 마이크로프로세서도 형성할 수 있으므로, 표시 패널이 컴퓨터의 기능을 가질 수 있다. 비접촉으로 데이터의 입출력을 가능하게 한 디스플레이를 제조할 수도 있다.

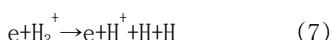
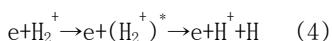
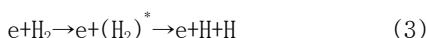
[0189] (실시형태 12)

[0190] 이하에서는, 본 발명의 특징의 한가지인 이온의 조사방법에 대하여 고찰한다.

[0191] 본 발명에서는, 수소(H)에서 유래하는 이온(이하 "수소 이온종"이라고 부른다)을 단결정 반도체 기판에 대해 조사하고 있다. 더욱 구체적으로는, 수소 가스 또는 수소를 조성에 포함하는 가스를 원재료로서 사용하고, 수소 플라즈마를 발생시켜, 상기 수소 플라즈마 중의 수소 이온종을 단결정 반도체 기판에 대하여 조사하고 있다.

[0192] (수소 플라즈마 중의 이온)

[0193] 전술한 것과 같은 수소 플라즈마 중에는,  $H^+$ ,  $H_2^+$  및  $H_3^+$  등의 수소 이온종이 존재한다. 여기에서, 각 수소 이온종의 반응과정(생성과정, 소멸과정)에 대한 반응식을 열거한다



[0203] 도 19에, 상기한 반응의 일부를 모식적으로 표시한 에너지 다이어그램을 나타낸다. 이때, 도 19에 나타

낸 에너지 다이어그램은 모식도에 지나지 않고, 반응에 관련되는 에너지의 관계를 염밀하게 나타낸 것은 아니라 는 점에 유의하기 바란다.

[0204] ( $H_3^+$ 의 생성 과정)

[0205] 상기한 것과 같이,  $H_3^+$ 은, 주로 반응식 (5)에 의해 표시되는 반응 과정에 의해 생성된다. 한편, 반응식 (5)과 경합하는 반응으로서, 반응식 (6)에 의해 표시되는 반응 과정이 존재한다.  $H_3^+$ 가 증가하기 위해서는, 적어도, 반응식 (5)의 반응이, 반응식 (6)의 반응보다 더 자주 일어날 필요가 있다(이때,  $H_3^+$ 가 감소하는 반응으로서는 다른 반응들 (7), (8) 및 (9)가 존재하기 때문에, 반응식 (5)의 반응이 반응식 (6)의 반응보다 자주 일어나더라도, 반드시  $H_3^+$ 가 증가한다고는 할 수 없다). 반대로, 반응식 (5)의 반응이, 반응식 (6)의 반응보다 적게 일어날 경우에는, 플라즈마 중에 있어서의  $H_3^+$ 의 비율은 감소한다.

[0206] 상기 각각의 반응식의 우변(최우변)의 생성물의 증가량은, 반응식의 좌변(최좌변)에 표시된 원료의 밀도와, 그 반응의 속도계수 등에 의존하고 있다. 여기에서,  $H_2^+$ 의 운동에너지가 약 11eV보다 작을 경우에는, 반응식 (5)의 반응이 주 반응이 되고(즉, 반응식 (5)의 속도계수가 반응식 (6)의 속도계수와 비교하여 충분히 커지고),  $H_2^+$ 의 운동에너지가 약 11eV보다 클 경우에는, 반응식 (6)의 반응이 주 반응이 된다는 것이 실험적으로 확인되어 있다.

[0207] 하전입자에 전기장에 의해 힘이 가해져 하전입자가 운동에너지를 얻는다. 이 운동에너지는, 전기장에 의한 포텐셜 에너지의 감소량에 대응하고 있다. 예를 들면, 어떤 하전입자가 다른 입자와 충돌하기 전에 얻는 운동에너지의 양은, 그 하전입자가 움직이기 전의 전위에서의 포텐셜 에너지와 충돌 후의 전위에서의 포텐셜 에너지의 차이와 같다. 즉, 전기장 중에서 하전입자가 다른 입자와 충돌하는 않고 긴 거리를 이동할 수 있는 상황에서는, 그렇지 않은 상황과 비교하여, 하전입자의 운동에너지(의 평균)가 커지는 경향이 있다. 이러한 하전입자의 운동에너지의 증대 경향은, 입자의 평균 자유 행정이 큰 상황, 즉 압력이 낮은 상황에서 생길 수 있다.

[0208] 또한, 평균 자유 행정이 작은 상황에서도, 그 행정을 통해 이동하는 동안 하전입자가 큰 운동에너지를 얻을 수 있으면, 하전입자의 운동에너지는 커진다. 즉, 평균 자유 행정이 작은 상황에서도, 전위차가 크면, 하전입자의 운동에너지는 커진다고 할 수 있다.

[0209] 이것을  $H_2^+$ 에 적용해 본다. 플라즈마 생성 챔버 내부와 같이 전기장의 존재를 전제로 하면, 상기 챔버 내의 압력이 낮은 상황에서는  $H_2^+$ 의 운동에너지는 커지고, 상기 챔버 내의 압력이 높은 상황에서는  $H_2^+$ 의 운동에너지는 작아진다. 즉, 챔버 내의 압력이 낮은 상황에서는 반응식 (6)의 반응이 주 반응이 되기 때문에,  $H_3^+$ 의 양은 감소하는 경향이 있고, 챔버 내의 압력이 높은 상황에서는 반응식 (5)의 반응이 주 반응이 되기 때문에,  $H_3^+$ 의 양이 증가하는 경향이 있다. 또한, 플라즈마 생성영역에 있어서의 전기장이 강한 상황, 즉, 어떤 2점 사이의 전위차가 큰 상황에서는,  $H_2^+$ 의 운동에너지는 커지고, 반대의 상황에서는,  $H_2^+$ 의 운동에너지는 작아진다. 즉, 전기장이 강한 상황에서는 반응식 (6)의 반응이 주 반응이 되기 때문에,  $H_3^+$ 의 양은 감소하는 경향이 있고, 전기장이 약한 상황에서는 반응식 (5)의 반응이 주 반응되기 때문에,  $H_3^+$ 의 양은 증가하는 경향이 있다.

[0210] (이온원에 따른 차이)

[0211] 여기에서, 이온종의 비율(특히  $H_3^+$ 의 비율)이 다른 예를 나타낸다. 도 20은, 100% 수소 가스(이온원의 압력:  $4.7 \times 10^{-2}$  Pa)로부터 생성되는 이온의 질량분석 결과를 나타낸 그래프이다. 이때, 상기 질량분석은, 이온원

으로부터 인출되는 이온을 측정하는 것에 의해 행하였다. 횡축은 이온의 질량을 표시한다. 스펙트럼 중에서, 질량 1의 피크, 질량 2의 피크 및 질량 3의 피크는 각각  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 에 대응한다. 종축은, 스펙트럼의 강도로서, 이온의 수에 대응한다. 도 20에서는, 질량이 다른 이온의 수량을, 질량 3의 이온의 수를 100으로 정의했을 경우의 상대비로 표현하고 있다. 도 20에서, 상기 이온원에 의해 생성되는 이온종의 비율, 즉  $H^+$ ,  $H_2^+$  및  $H_3^+$  사이의 비율이 1:1:8 정도가 되는 것을 알 수 있다. 이때, 이러한 비율의 이온은, 플라즈마를 생성하는 플라즈마 소스부(이온원)와, 해당 플라즈마로부터 이온빔을 인출하기 위한 인출전극 등을 갖는 이온 도핑장치에 의해서도 발생될 수 있다.

[0212] 도 21은, 도 20의 경우와는 다른 이온원을 사용하고 이온원의 압력이 대략  $3 \times 10^{-3}$  Pa일 때,  $PH_3$ 로부터 생성한 이온의 질량분석 결과를 나타낸 그래프이다. 이 질량분석 결과는 수소 이온종에 착안한 것이다. 또한, 질량분석은, 이온원으로부터 인출된 이온을 측정하는 것에 의해 행하였다. 도 20과 마찬가지로, 횡축은 이온의 질량을 나타내고, 질량 1의 피크, 질량 2의 피크 및 질량 3의 피크는 각각  $H^+$ ,  $H_2^+$ ,  $H_3^+$ 에 대응한다. 종축은 이온의 수량에 대응하는 스펙트럼의 강도이다. 도 21로부터, 플라즈마 중의 이온의 비율,  $H^+$ ,  $H_2^+$  및  $H_3^+$ 의 비율은 37:56:7 정도인 것을 알 수 있다. 이때, 도 21은 소스 가스가  $PH_3$ 의 경우에 얻어진 데이터를 나타내지만, 소스 가스로서 100% 수소 가스를 사용했을 때에도, 수소 이온종의 비율은 같은 정도로 된다.

[0213] 도 21의 데이터를 얻은 이온원의 경우에는,  $H^+$ ,  $H_2^+$  및  $H_3^+$  중의  $H_3^+$ 가 7% 정도밖에 생성되지 않고 있다. 한편, 도 20의 데이터를 얻은 이온원의 경우에는,  $H_3^+$ 의 비율을 50% 이상(상기의 조건에서는 80% 정도)으로 하는 것이 가능하다. 이것은, 상기 고찰에 있어서 밝혀진 챔버 내의 압력 및 전기장에 기인하는 것으로 생각된다.

[0214] ( $H_3^+$ 의 조사 메카니즘)

[0215] 도 20에 나타낸 것과 같은 복수의 이온종을 포함하는 플라즈마를 생성하고, 생성된 이온종을 질량분리를 수행하지 않고 단결정 반도체 기판에 조사할 경우, 단결정 반도체 기판의 표면에는,  $H^+$ ,  $H_2^+$  및  $H_3^+$ 의 각 이온이 조사된다. 이온의 조사로부터 이온 도입 영역의 형성에 걸친 메카니즘을 재현하기 위해, 이하의 5종류의 모델을 생각한다.

[0216] 모델 1. 조사를 위해 사용된 이온종이  $H^+$ 이고, 조사후에도 여전히  $H^+(H)$ 인 경우

[0217] 모델 2. 조사를 위해 사용된 이온종이  $H_2^+$ 이고, 조사후에도 여전히  $H_2^+(H_2)$ 인 경우

[0218] 모델 3. 조사를 위해 사용된 이온종이  $H_2^+$ 이고, 조사후에 2개의 H 원자( $H^+$  이온)로 분열되는 경우

[0219] 모델 4. 조사를 위해 사용된 이온종이  $H_3^+$ 이고, 조사후에도 여전히  $H_3^+(H_3)$ 인 경우

[0220] 모델 5. 조사를 위해 사용된 이온종이  $H_3^+$ 이고, 조사후에 3개의 H 원자( $H^+$  이온)로 분열되는 경우

[0221] (시뮬레이션 결과와 실측값의 비교)

[0222] 상기한 모델을 기초로 하여, 수소 이온종을 Si 기판에 조사하는 경우의 시뮬레이션을 행하였다. 시뮬레이션용의 소프트웨어로서는, SRIM, 즉 the Stopping and Range of Ions in Matter(몬테카를로법에 의한 이온 도입과정에 대한 시뮬레이션 소프트웨어인 TRIM, the Transport of Ions in Matter의 개량판)을 사용하였다. 이때, 계산 관계상, 모델 2를 기초로 한 계산은  $H_2^+$ 를 질량 2배의  $H^+$ 로 대체하여 계산했다. 또한, 모델 4를 기초로 한 계산은  $H_3^+$ 을 질량 3배의  $H^+$ 로 대체하여 계산했다. 더구나, 모델 3을 기초로 한 계산은  $H_2^+$ 를 절반의 운동

에너지를 갖는  $H^+$ 로 대체하고, 모델 5를 기초로 한 계산은  $H_3^+$ 를 1/3의 운동에너지를 갖는  $H^+$ 로 대체하여 행하였다.

[0223] 이때, SRIM은 비정질 구조를 대상으로 하는 소프트웨어이지만, 고에너지에서 고도즈의 조건에서 수소 이온종을 조사하는 경우에는, SRIM을 적용가능하다. 수소 이온종과 Si 원자의 충돌에 의해 Si 기판의 결정 구조가 비단결정 구조로 변화하기 때문이다.

[0224] 도 22는, 모델 1 내지 모델 5을 사용하여 수소 이온종을 조사한 경우(H 환산으로 10만개 조사시)의 계산결과를 나타낸다. 또한, 도 20의 수소 이온종을 조사한 Si 기판 중의 수소 농도(SIMS(secondary ion mass spectroscopy)의 데이터)를 함께 나타낸다. 모델 1 내지 모델 5를 사용하여 행한 계산의 결과에 대해서는, 종축(우측)을 수소 원자의 수로 표시하고 있고, SIMS 데이터에 대하여는, 종축(좌측)을 수소 원자의 농도로 표시하고 있다. 횡축은 Si 기판 표면에서의 깊이를 표시한다. 실측값인 SIMS 데이터와 계산결과를 비교했을 경우, 모델 2 및 모델 4는 명확하게 SIMS 데이터의 피크에서 벗어나 있고, SIMS 데이터 중에는 모델 3에 대응하는 피크도 보이지 않는다. 이것은, 모델 2 내지 모델 4 각각의 기여가 상대적으로 작은 것을 나타낸다. 이온의 운동에너지가 keV대의 크기를 갖는 것에 비해, H-H의 결합에너지는 단지 수 eV 정도인 것을 생각하면, Si 원소와의 충돌에 의해 대부분의  $H_2^2$  와  $H_3^+$ 가  $H^+$ 나 H로 분리되고 있기 때문에, 모델 2 및 모델 4 각각의 기여가 작은 것으로 생각된다.

[0225] 이에 따라, 모델 2 내지 모델 4에 대해서는 고려하지 않는다. 도 23 내지 도 25 각각은, 모델 1 및 모델 5를 사용하여 수소 이온종을 조사했을 경우(H 환산으로 10만개 조사시)의 계산결과를 나타낸 것이다. 또한, 도 23 내지 도 25 각각에는, 도 20의 수소 이온종을 조사한 Si 기판 중의 수소 농도(SIMS 데이터)와, 상기 시뮬레이션 결과를 SIMS 데이터에 피팅시킨 것(이하 피팅함수(fitting function)라고 부른다)을 함께 나타낸다. 여기에서, 도 23은 가속 전압을 80kV로 한 경우를 나타내고, 도 24는 가속 전압을 60kV로 한 경우를 나타내고, 도 25는 가속 전압을 40kV로 한 경우를 나타내고 있다. 이때, 모델 1 및 모델 5를 사용하여 행한 계산의 결과에 대하여는, 종축(우측)을 수소 원자의 수로 표시하고, SIMS 데이터 및 피팅 함수에 대하여는, 종축(좌측)을 수소 원자의 농도로 표시하고 있다. 횡축은 Si 기판 표면에서의 깊이를 표시한다.

[0226] 피팅 함수는 모델 1 및 모델 5를 고려하여 이하에서 주어진 계산식을 사용하여 구하였다. 이때, 계산식 중에서, X, Y는 피팅 파라미터이고, V는 체적을 표시한다.

$$[\text{피팅 함수}] = X/Vx[\text{모델 1의 데이터}] + Y/Vx[\text{모델 5의 데이터}]$$

[0228] 실제로 조사되는 이온종의 비율( $H^+ : H_2^+ : H_3^+$ 는 1:1:8 정도)을 생각하면,  $H_2^+$ 의 기여(즉, 모델 3)에 대해서도 고려해야 하지만, 이하에 나타낸 이유에 의해 여기에서는 모델 3을 제외하고 고려하였다.

[0229] · 모델 3으로 표시되는 조사 과정을 통해 도입되는 수소의 양은 모델 5의 조사 과정을 통해 도입된 수소의 양보다 작기 때문에, 모델 3을 제외하고 고려하여도 큰 영향은 없다(SIMS 데이터에서도 피크가 나타나지 않고 있다).

[0230] · 모델 5와 피크 위치가 가까운 모델 3은, 모델 5에서 생기는 채널링(결정의 격자 구조에 기인하는 원소의 이동)에 의해 가려져 베릴 가능성이 높다. 즉, 모델 3에 대한 피팅 파라미터를 추정하는 것은 곤란하다. 이것은, 본 시뮬레이션이 비정질 Si를 전제로 하고 있고, 결정성에 기인하는 영향을 고려하지 않고 있기 때문이다.

[0231] 도 26에, 상기한 피팅 파라미터를 정리한다. 어느쪽의 가속 전압에 있어서도, 모델 5에 따라 도입되는 H의 수에 대한 모델 1에 따라 도입되는 H의 수의 비는 1:42 내지 1:45 정도(모델 1에 있어서의 H의 수를 1로 정의했을 경우, 모델 5에 있어서의 H의 수는 42 이상 45 이하 정도)이며, 조사되는 이온종의 수의 비, 즉  $H_3^+$ (모델 5)에 대한  $H^+$ (모델 1)의 비율은 1:14 내지 1:15 정도(모델 1에 있어서의  $H^+$ 의 수를 1로 정의했을 경우, 모델 5에 있어서의  $H_3^+$ 의 수는 14 이상 15 이하 정도)이다. 모델 3을 고려하지 않고 있는 것과 비정질 Si으로 가정하여 계산하고 있는 것 등을 고려하면, 실제의 조사에 사용되는 이온종의 비( $H^+ : H_2^+ : H_3^+$ 는 1:1:8 정도)에 가까운 값이 얻어진다고 할 수 있다.

[0232] ( $H_3^+$ 를 사용한 효과)

[0233] 도 20에 도시된 것과 같은  $H_3^+$ 의 비율을 향상시킨 수소 이온종을 기판에 조사함으로써,  $H_3^+$ 에 기인하는 복수의 장점을 향유할 수 있다. 예를 들면,  $H_3^+$ 은  $H_+$ 와  $H$  등으로 분리하여 기판 내에 도입되기 때문에, 주로  $H^+$  또는  $H_2^+$ 를 조사하는 경우와 비교하여, 이온의 도입 효율을 향상시킬 수 있다. 이에 따라, SOI 기판의 생산성 향상을 도모할 수 있다. 또한, 마찬가지로,  $H_3^+$ 가 분리한 후의  $H^+$ 와  $H$ 의 운동에너지는 작아지는 경향이 있기 때문에, 얇은 반도체층의 제조에 적합하다.

[0234] 이때, 본 명세서에서는,  $H_3^+$ 를 효율적으로 조사하기 위해, 도 20에 도시된 것과 같은 수소 이온종을 조사 가능한 이온 도핑장치를 사용하는 방법을 설명하고 있다. 이온 도핑장치는 저가이며 대면적 처리에 우수하다. 따라서, 이러한 이온 도핑장치를 사용하여  $H_3^+$ 를 조사함으로써, 반도체 특성의 향상, 대면적화, 저비용화, 생산성 향상 등의 현저한 효과를 얻을 수 있다. 한편으로,  $H_3^+$ 의 조사를 우선적으로 고려하는 것이라면, 이온 도핑장치를 사용하는 것에 한정하여 본 발명을 해석할 필요는 없다.

[0235] 본 출원은 2007년 4월 20일자 일본특허청에 출원된 일본국 특허출원 2007-112239의 우선권을 주장하며, 이때 참조를 위해 이 출원의 전체 발명내용은 본 출원에 포함된다.

[0236] (참조번호)

[0237] 100: 베이스 기판, 101: 단결정 반도체 기판, 102: SOI층, 103: 취약 영역, 104: 접합층, 105: 배리어층, 107: 질화 규소층, 108: 소자분리 절연층, 109: 게이트 절연층, 110: 게이트 전극, 111: 사이드월 절연층, 112: 불순물 영역, 113: 불순물 영역, 114: 절연층, 115: 층간절연층, 116: 콘택홀, 117: 콘택 플러그, 118: 절연층, 119: 배선, 120: 배리어층, 121: 절연층, 122: 압착부재, 123: 캡층, 124: 질화 규소층, 125: 산화 규소층, 130: 지지 기판, 131: 박리층, 132: 절연층, 135: 소자층, 136: 베이스 기판, 137: 가요성 기판, 140: 접합층, 141: 가요성 기판, 142: 가요성 기판, 200: 마이크로프로세서, 201: 연산논리회로, 202: ALU 제어부, 203: 명령 해석부, 204: 인터럽트 제어부, 205: 타이밍 제어부, 206: 레지스터, 207: 레지스터 제어부, 208: 버스 인터페이스, 209: 판독전용 메모리, 210: ROM 인터페이스, 211: RFCPU, 212: 아날로그 회로부, 213: 디지털 회로부, 214: 공진회로, 215: 정류회로, 216: 정전압회로, 217: 리셋트 회로, 218: 발진회로, 219: 복조회로, 220: 변조회로, 221: RF 인터페이스, 222: 제어 레지스터, 223: 클록 콘트롤러, 224: 인터페이스, 225: 중앙처리 유닛, 226: 랜덤 액세스 메모리, 227: 판독전용 메모리, 228: 안테나, 229: 용량부, 230: 전원관리회로, 231: 표시 패널, 232: 주사선 구동회로 영역, 233: 신호선 구동회로 영역, 234: 화소 형성 영역, 235: 게이트 배선, 236: 소스 배선, 237: 화소전극, 238: 대향기판, 239: 대향전극, 240: 기둥 형상 스페이서, 241: 액정층, 242: 드레인 전극

## 도면의 간단한 설명

[0013] 첨부도면에서,

[0014] 도 1은 SOI 기판의 구성을 나타낸 단면도이고,

[0015] 도 2는 SOI 기판의 구성을 나타낸 단면도이며,

[0016] 도 3a 및 도 3b는 SOI 기판의 구성을 각각 나타낸 단면도이고,

[0017] 도 4a 및 도 4b는 SOI 기판의 구성을 각각 나타낸 단면도이며,

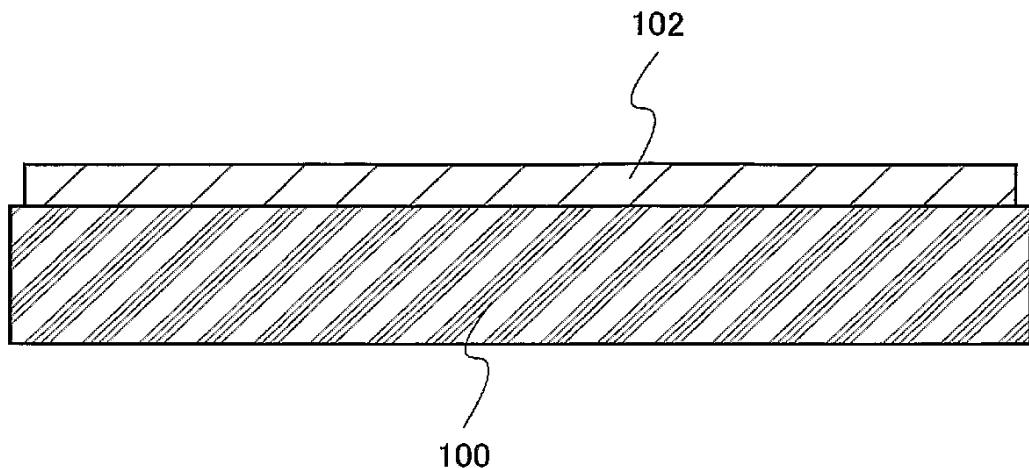
[0018] 도 5a 내지 도 5d는 SOI 기판의 제조방법을 설명하는 단면도이고,

[0019] 도 6a 내지 도 6d는 SOI 기판의 제조방법을 설명하는 단면도이며,

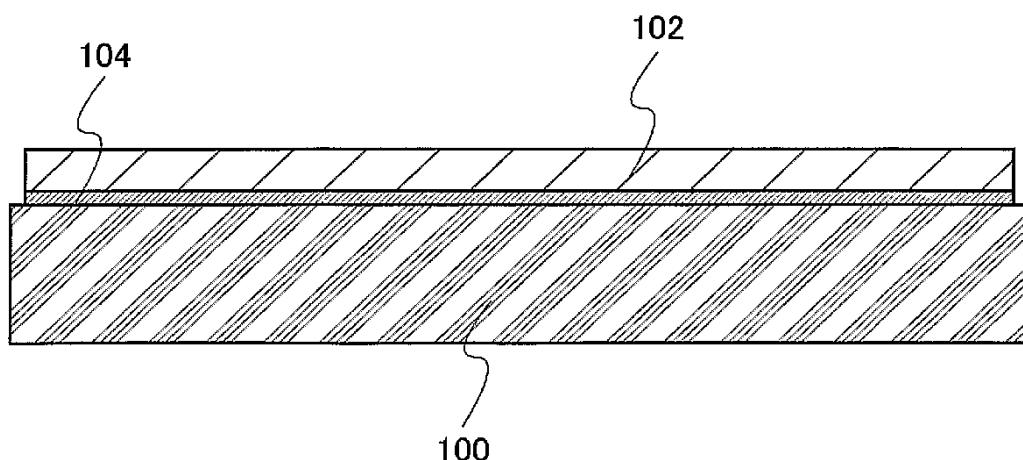
- [0020] 도 7a 내지 도 7d는 SOI 기판의 제조방법을 설명하는 단면도이고,
- [0021] 도 8a 내지 도 8d는 SOI 기판의 제조방법을 설명하는 단면도이며,
- [0022] 도 9a 내지 도 9e는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이고,
- [0023] 도 10a 및 도 10b는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이며,
- [0024] 도 11a 내지 도 11d는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이고,
- [0025] 도 12a 및 도 12b는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이며,
- [0026] 도 13a 내지 도 13d는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이고,
- [0027] 도 14a 및 도 14b는 SOI 기판을 사용한 반도체장치의 제조방법을 설명하는 단면도이며,
- [0028] 도 15는 SOI 기판을 사용하여 얻어진 마이크로프로세서의 구성을 나타낸 블록도이고,
- [0029] 도 16은 SOI 기판을 사용하여 얻어진 RFCPU의 구성을 나타낸 블록도이며,
- [0030] 도 17은 표시 패널 제조용으로 사용되는 마더 유리(mother glass)에 SOI층을 접합하는 경우를 예시하는 평면도이고,
- [0031] 도 18a 및 도 18b는 SOI층을 사용한 화소 트랜지스터를 포함하는 표시 패널의 일례를 도시한 도면이다.
- [0032] 도 19는 수소 이온종의 에너지 다이어그램이다.
- [0033] 도 20은 이온의 질량분석 결과를 도시한 도면이다.
- [0034] 도 21은 이온의 질량분석 결과를 도시한 도면이다.
- [0035] 도 22는 가속 전압을 80kV로 했을 경우의 수소의 깊이 방향의 프로파일(실측값 및 계산값)을 도시한 도면이다.
- [0036] 도 23은 가속 전압을 80kV로 했을 경우의 수소의 깊이 방향의 프로파일(실측값, 계산값 및 피팅 함수(fitting function))을 도시한 도면이다.
- [0037] 도 24는 가속 전압을 60kV로 했을 경우의 수소의 깊이 방향의 프로파일(실측값, 계산값 및 피팅 함수)을 도시한 도면이다.
- [0038] 도 25는 가속 전압을 40kV로 했을 경우의 수소의 깊이 방향의 프로파일(실측값, 계산값 및 피팅 함수)을 도시한 도면이다.
- [0039] 도 26은 피팅 파라미터의 비(수소 원소비 및 수소 이온종의 비)의 목록이다.
- [0040] 이하, 본 발명의 실시형태 및 실시예에 대해 도면을 참조하면서 설명한다. 단, 본 발명은 많은 다른 태양으로 실시하는 것이 가능하며, 본 발명의 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 실시형태 및 실시예의 기재 내용에 한정하여 해석되는 것은 아니다.

도면

도면1

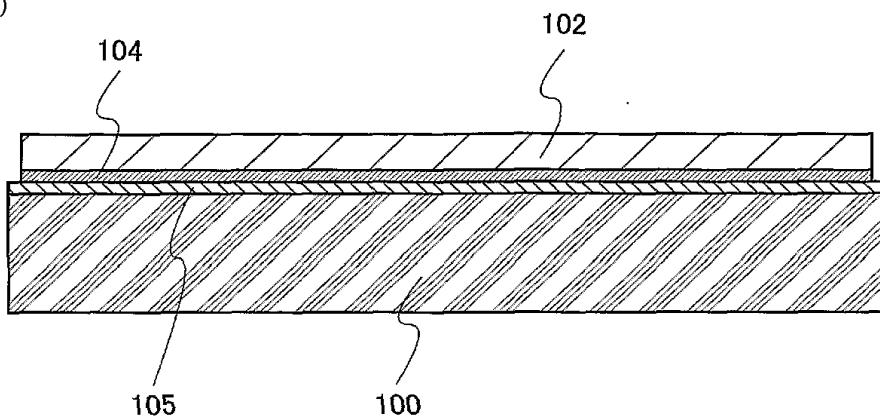


도면2

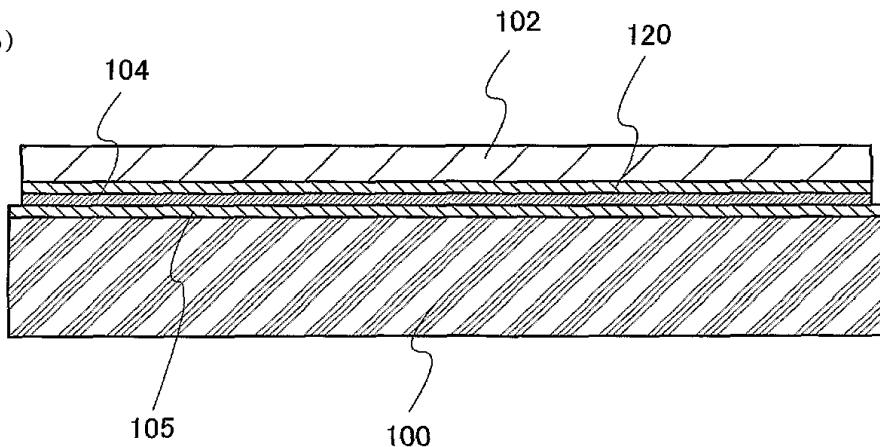


도면3

(a)

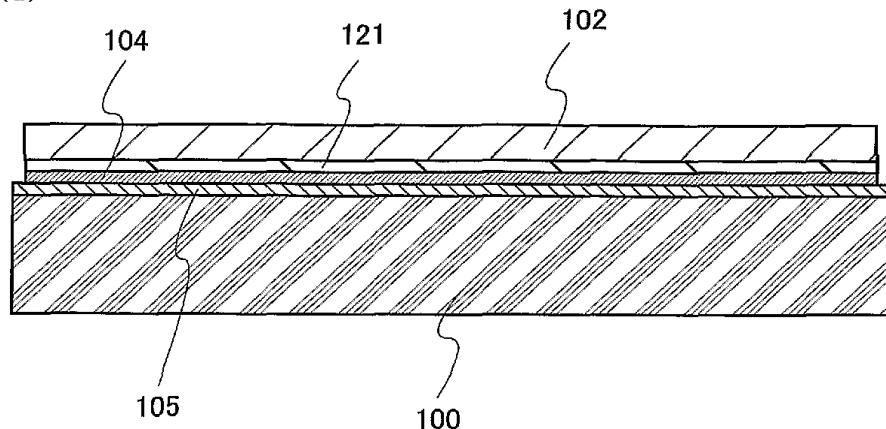


(b)

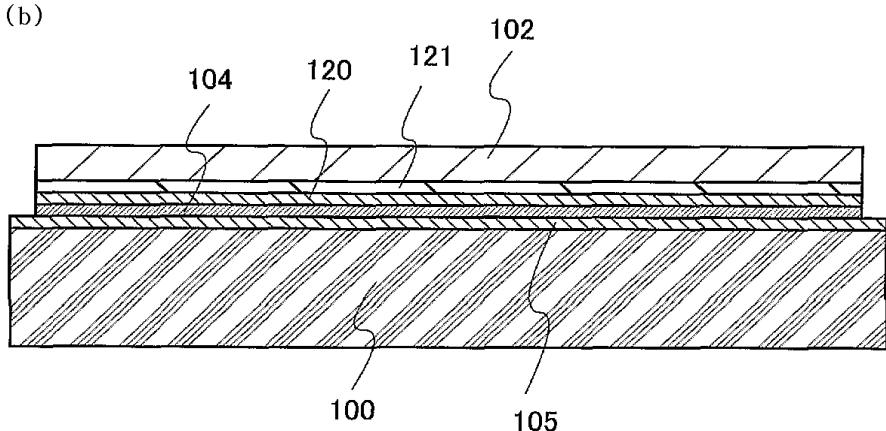


도면4

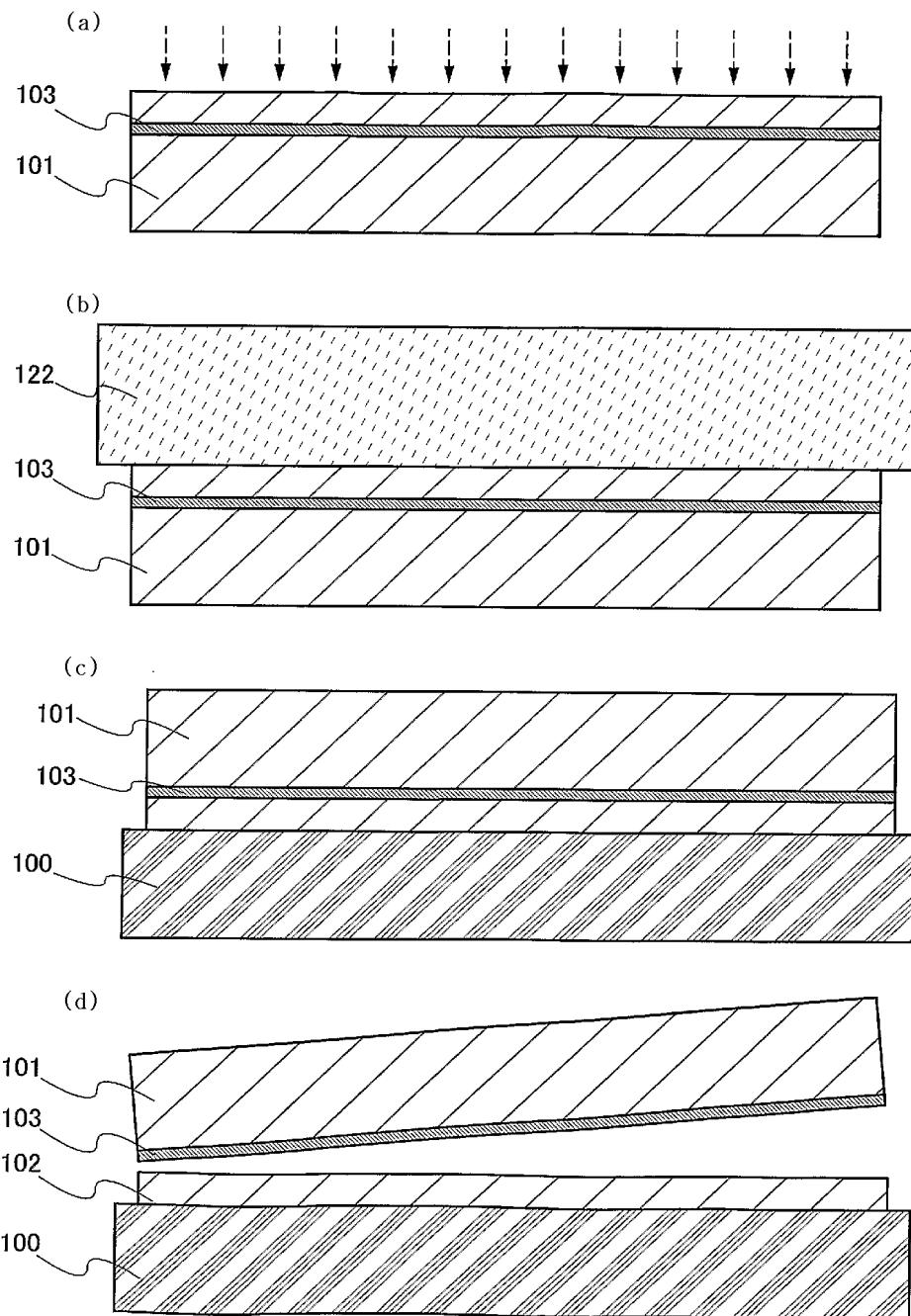
(a)



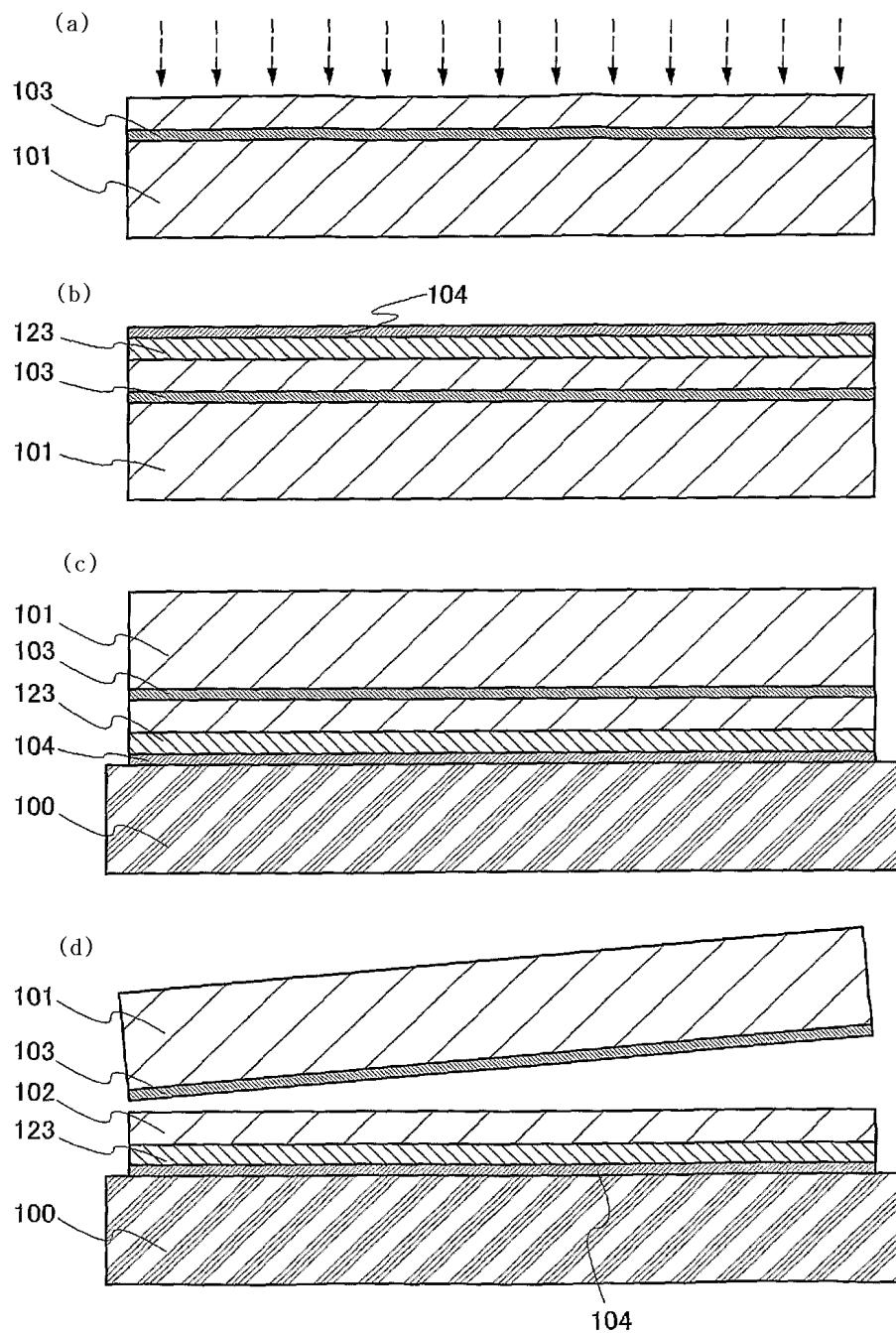
(b)



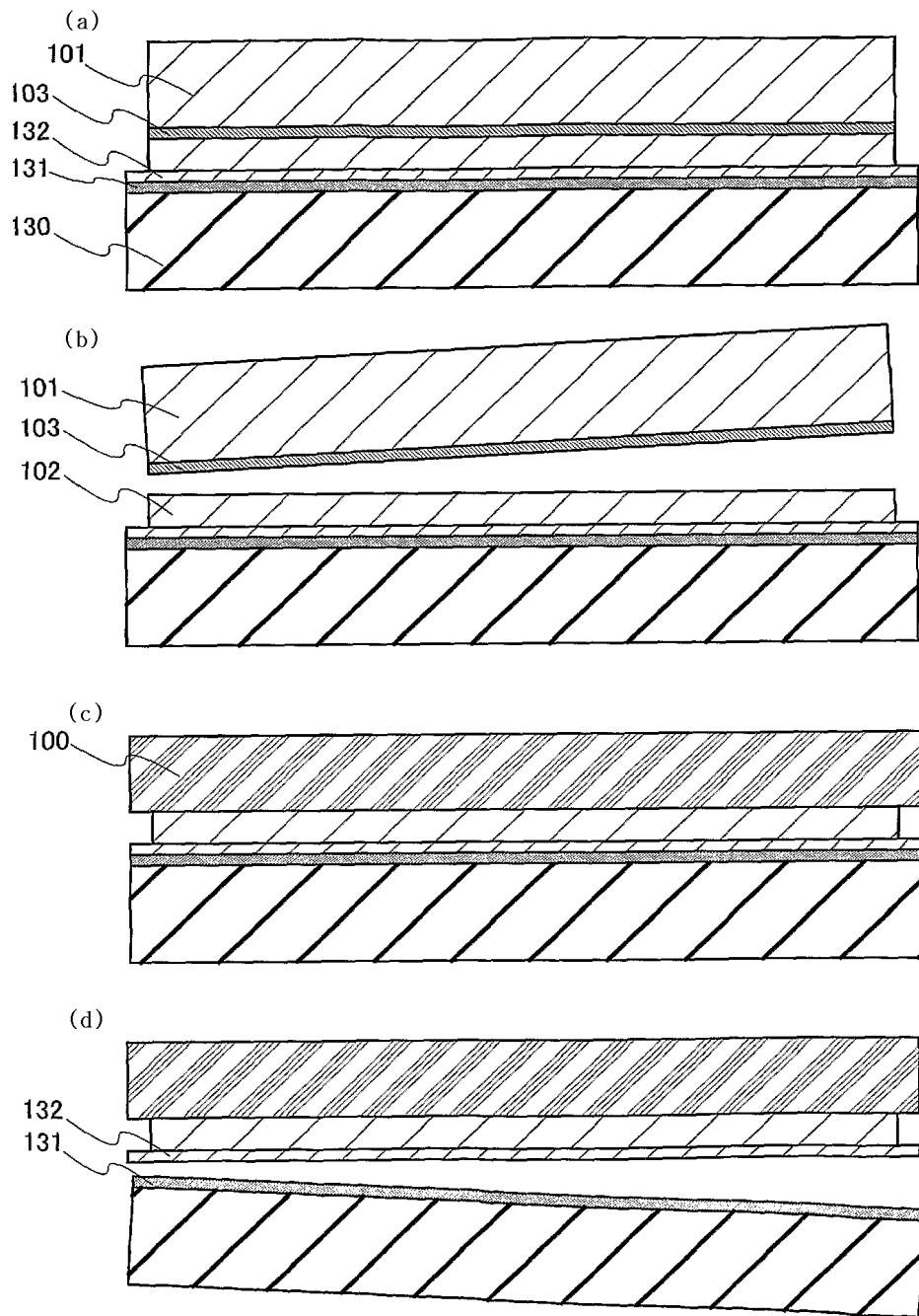
## 도면5



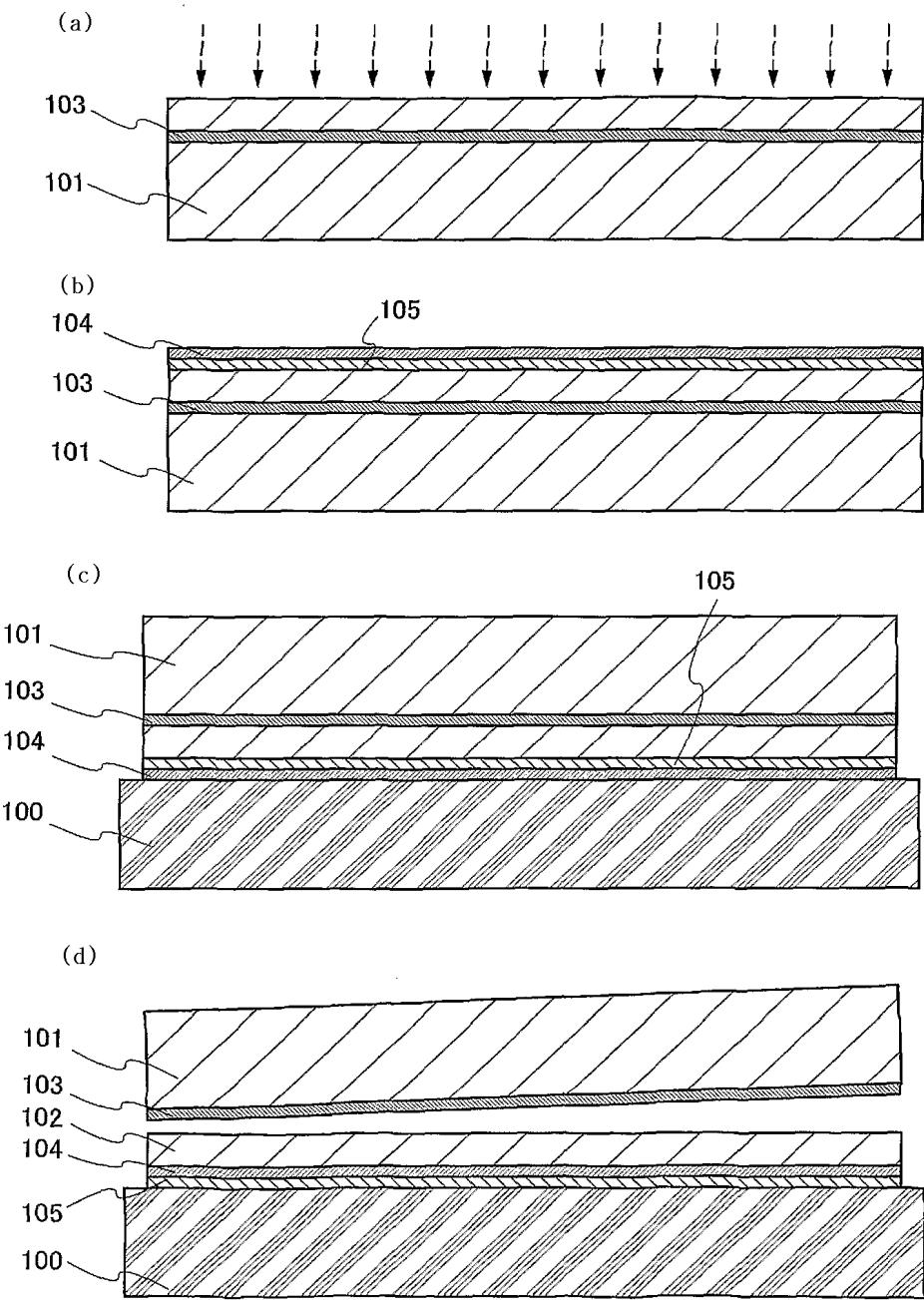
## 도면6



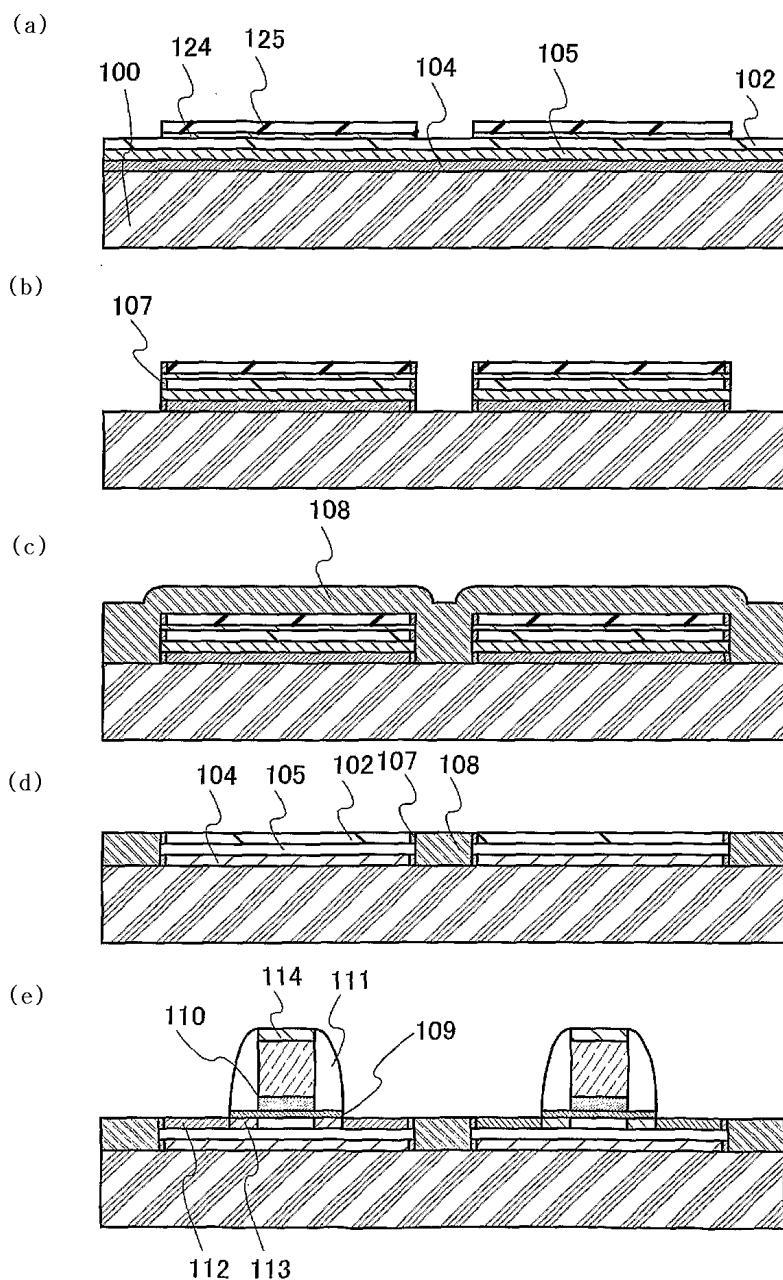
## 도면7



## 도면8

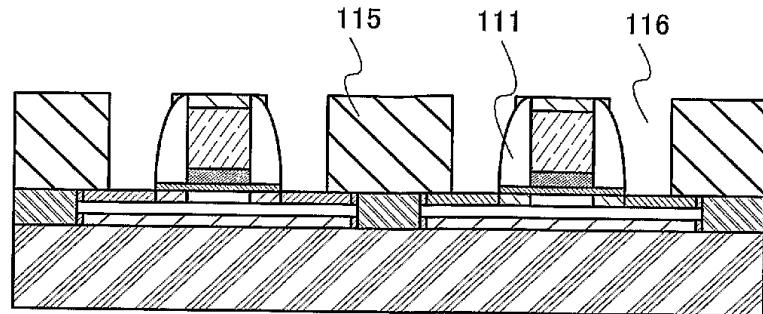


## 도면9

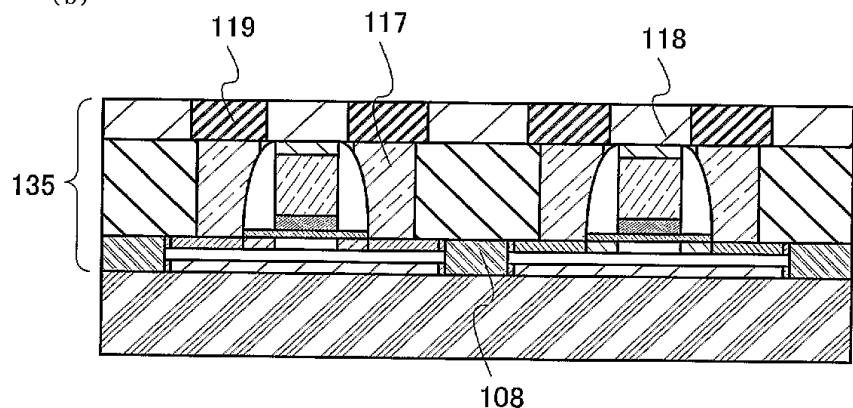


도면10

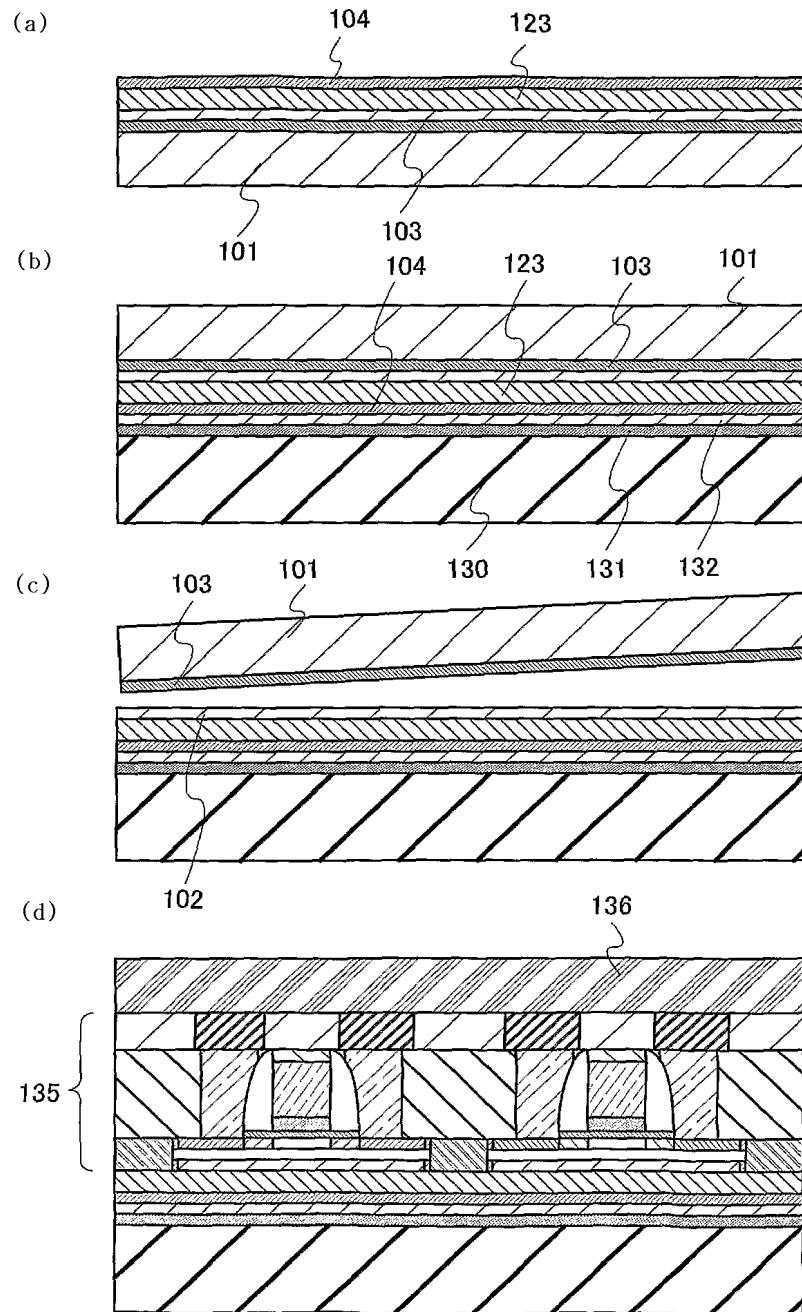
(a)



(b)

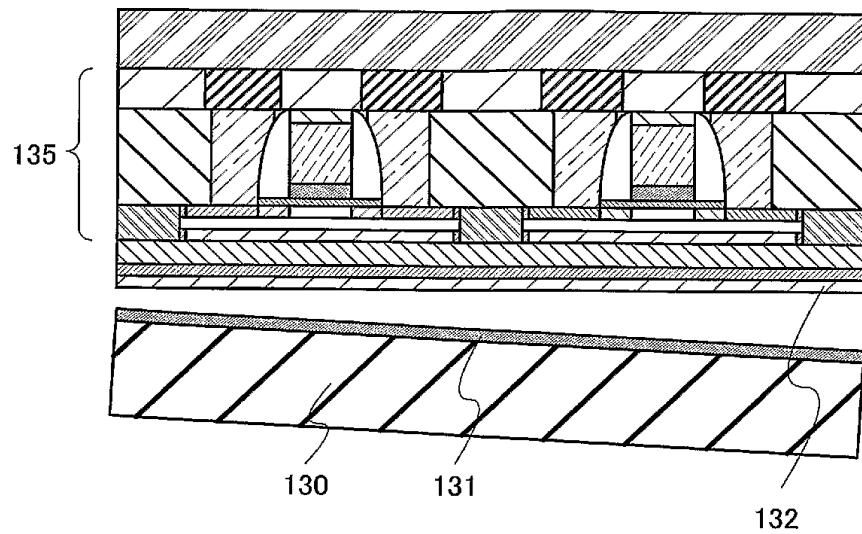


## 도면11

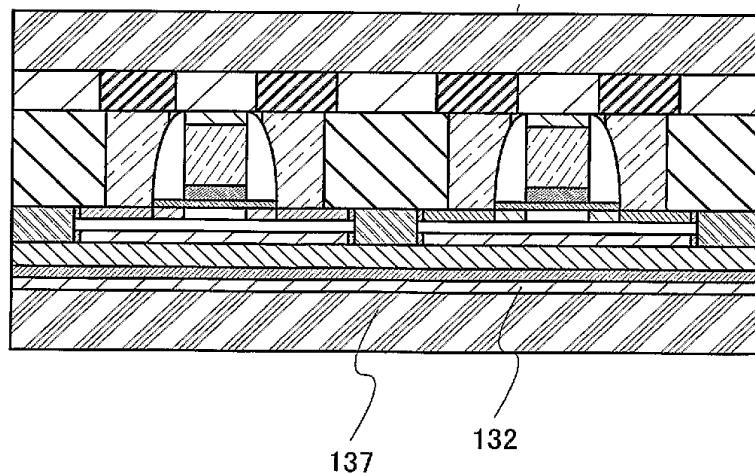


도면12

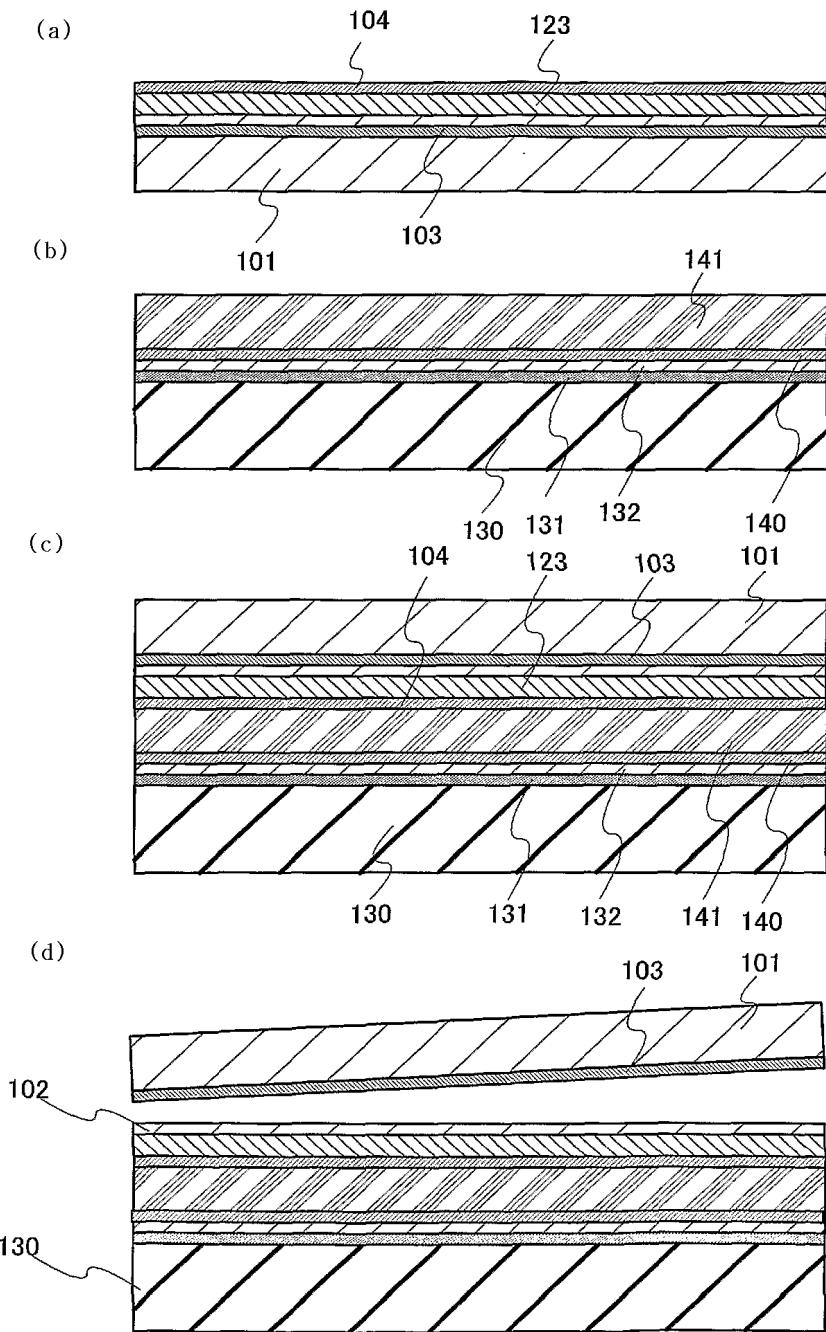
(a)



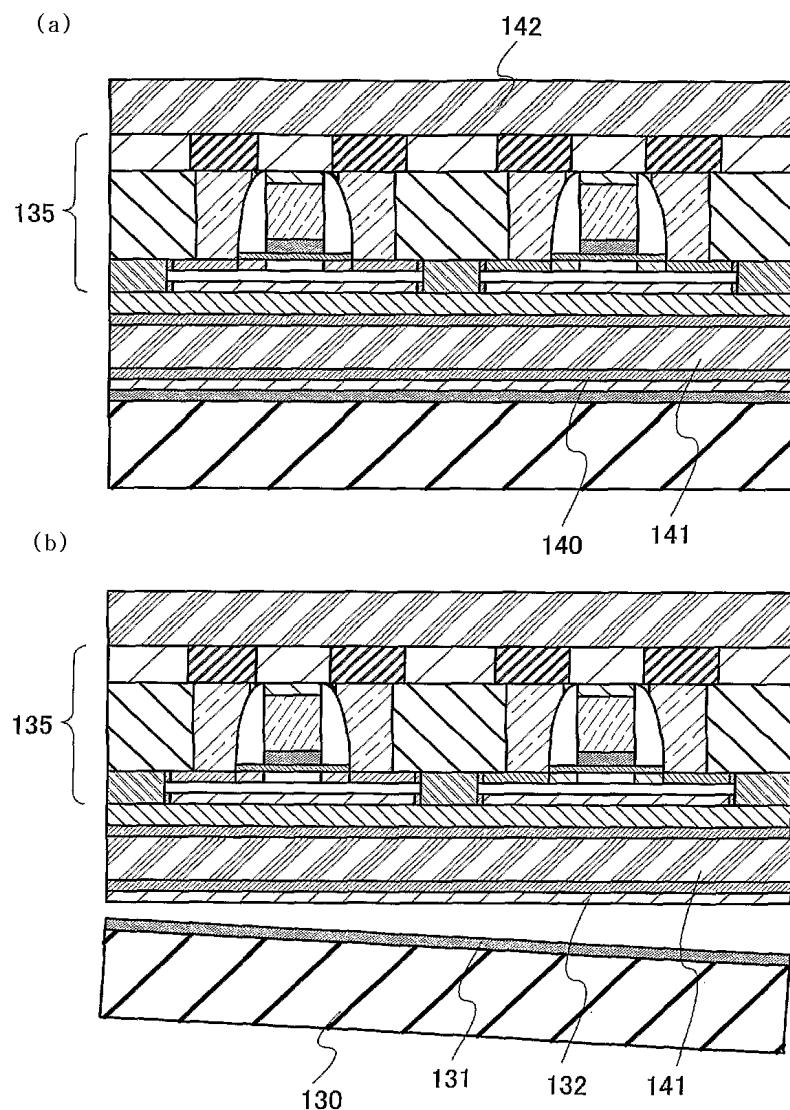
(b)



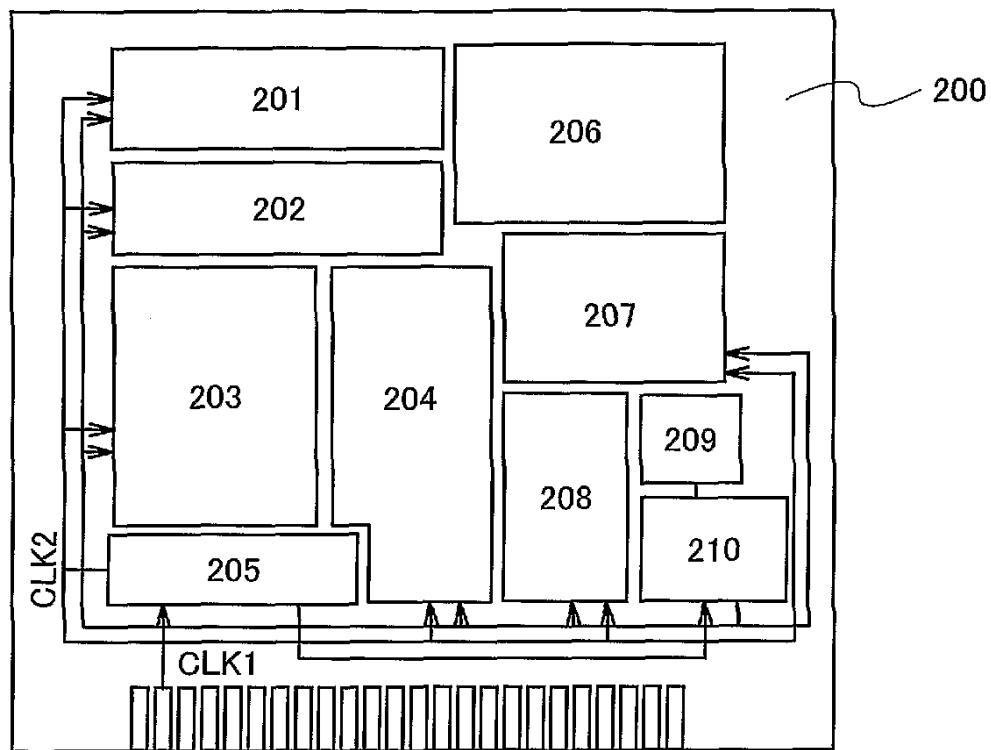
## 도면13



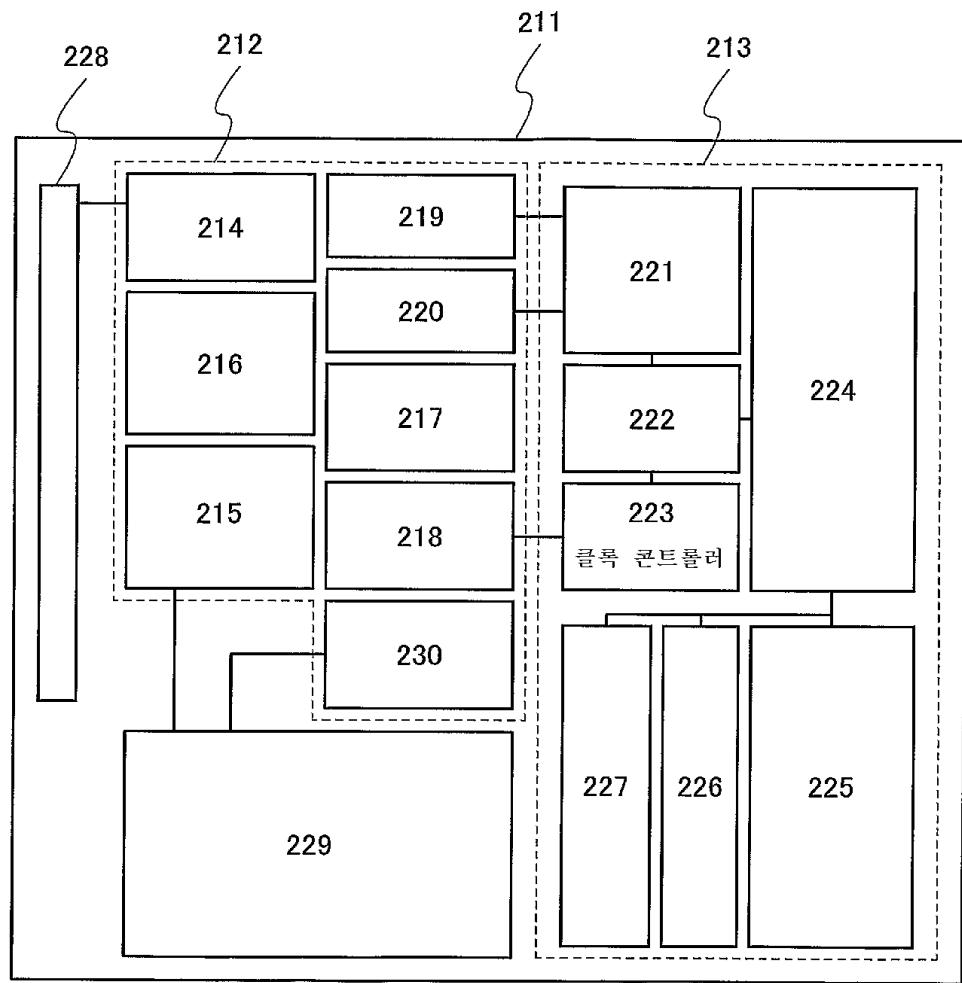
도면14



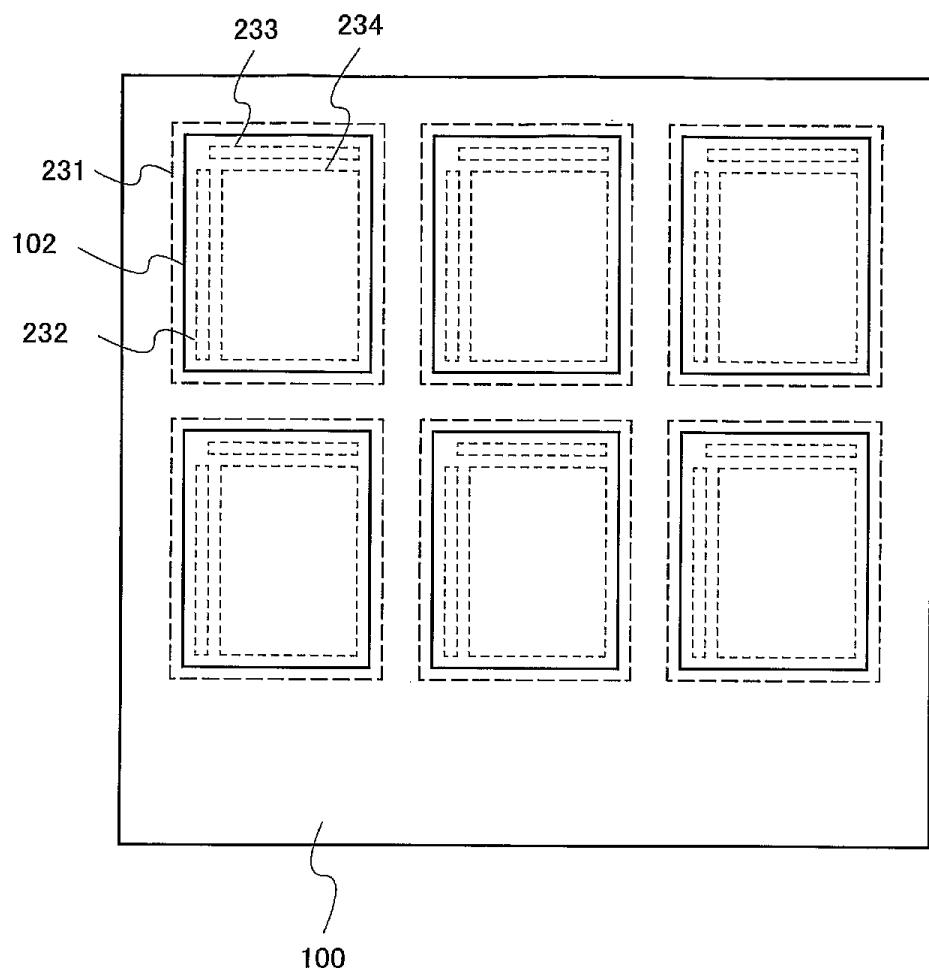
도면15



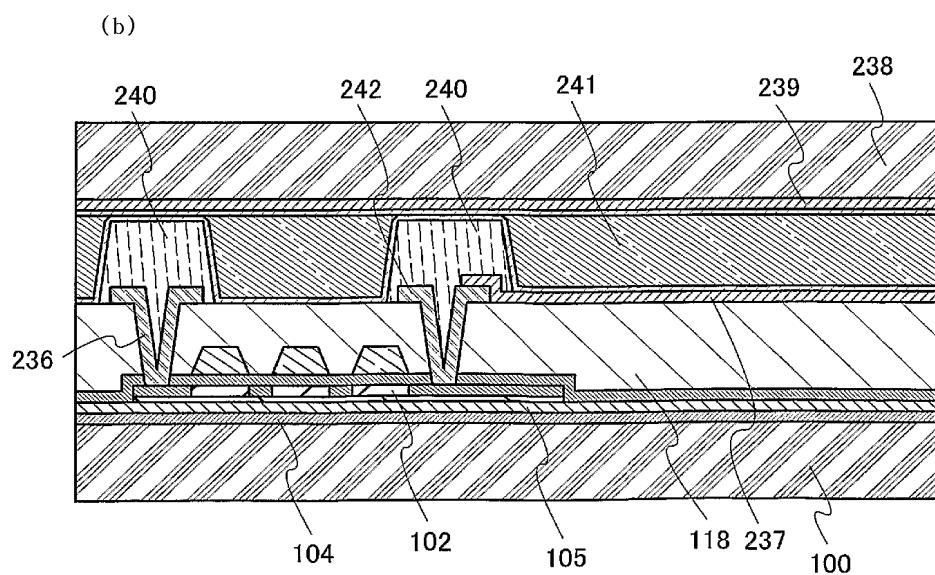
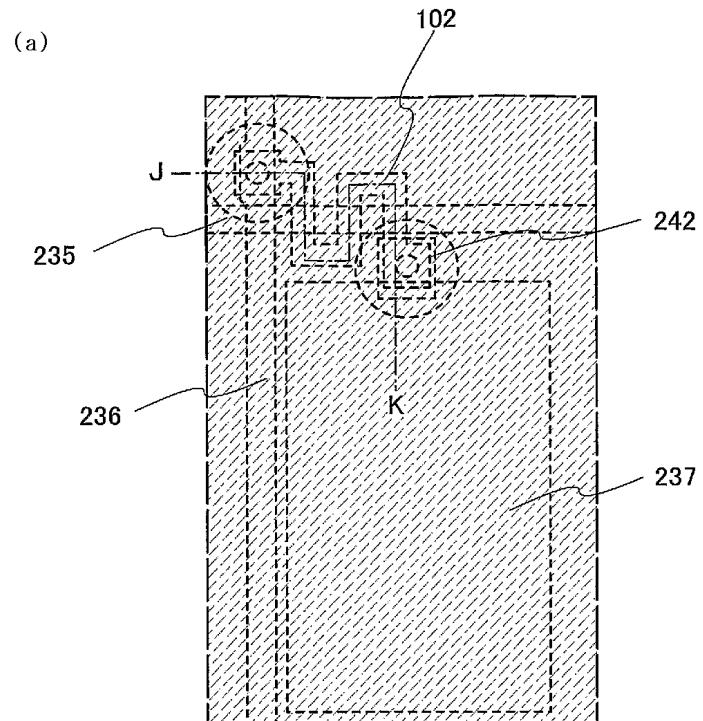
도면16



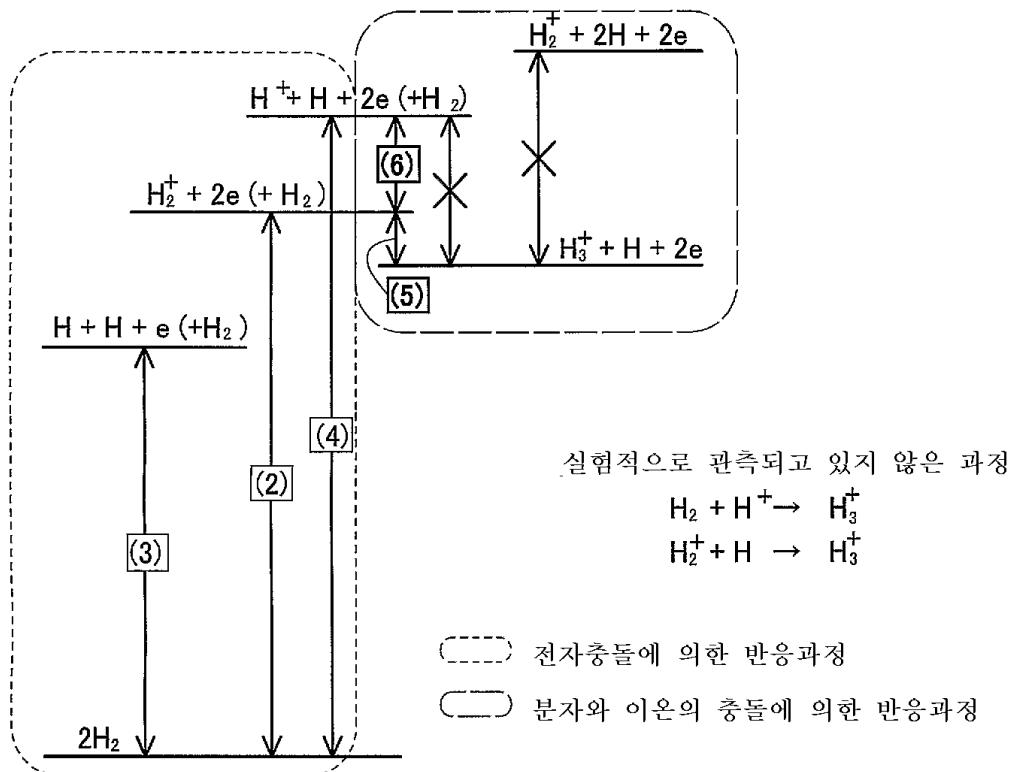
도면17



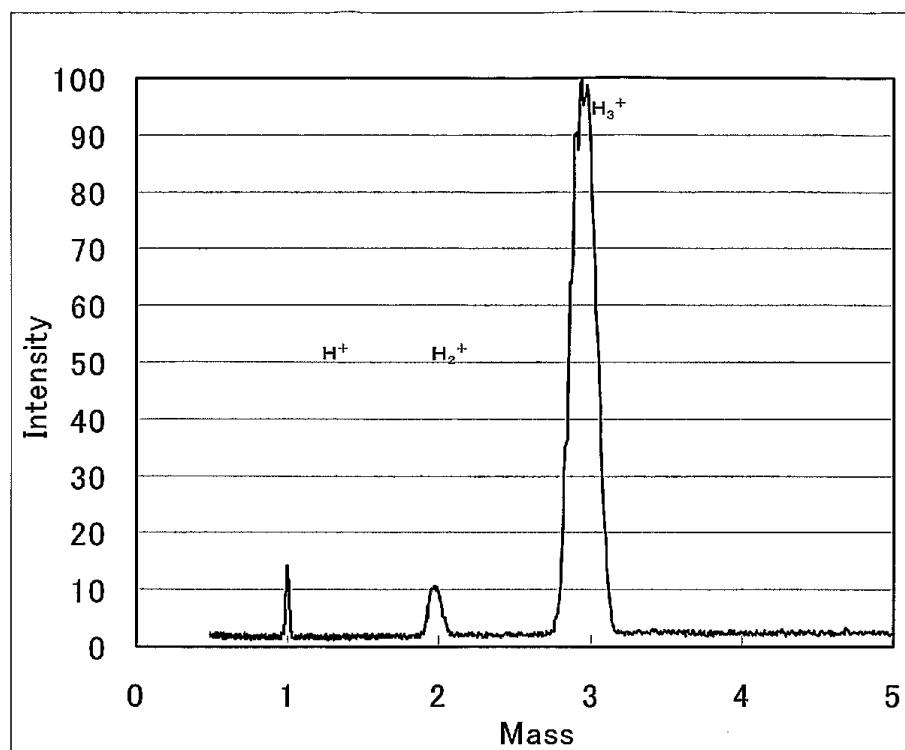
## 도면18



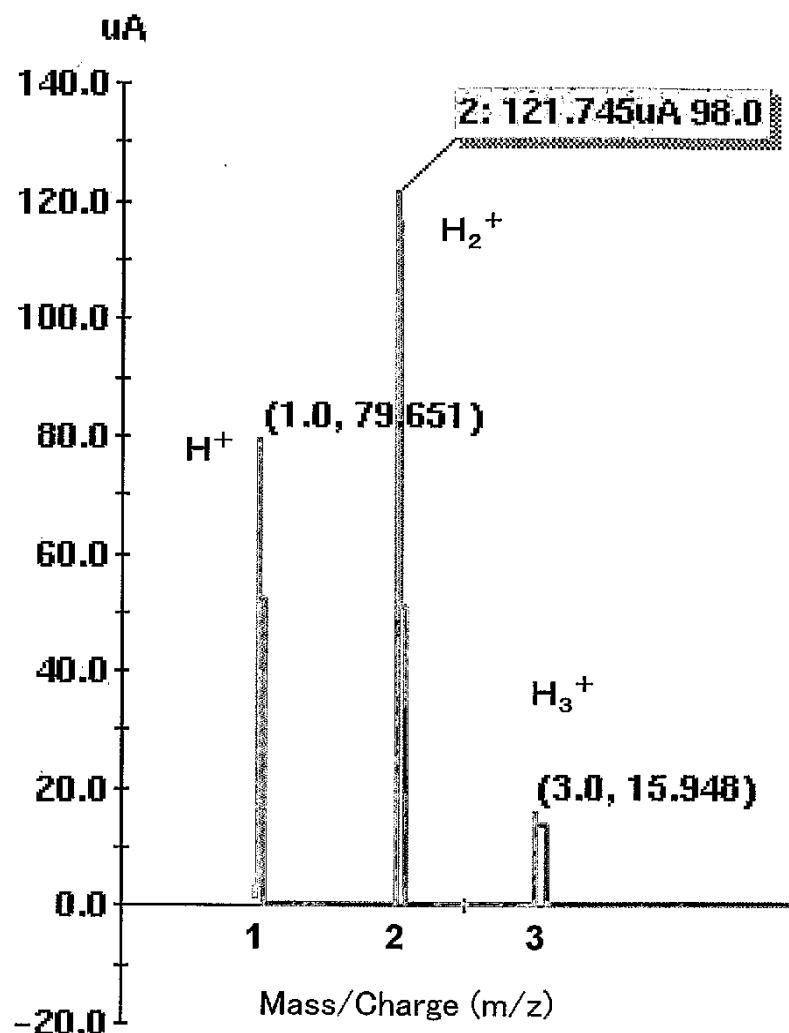
도면19



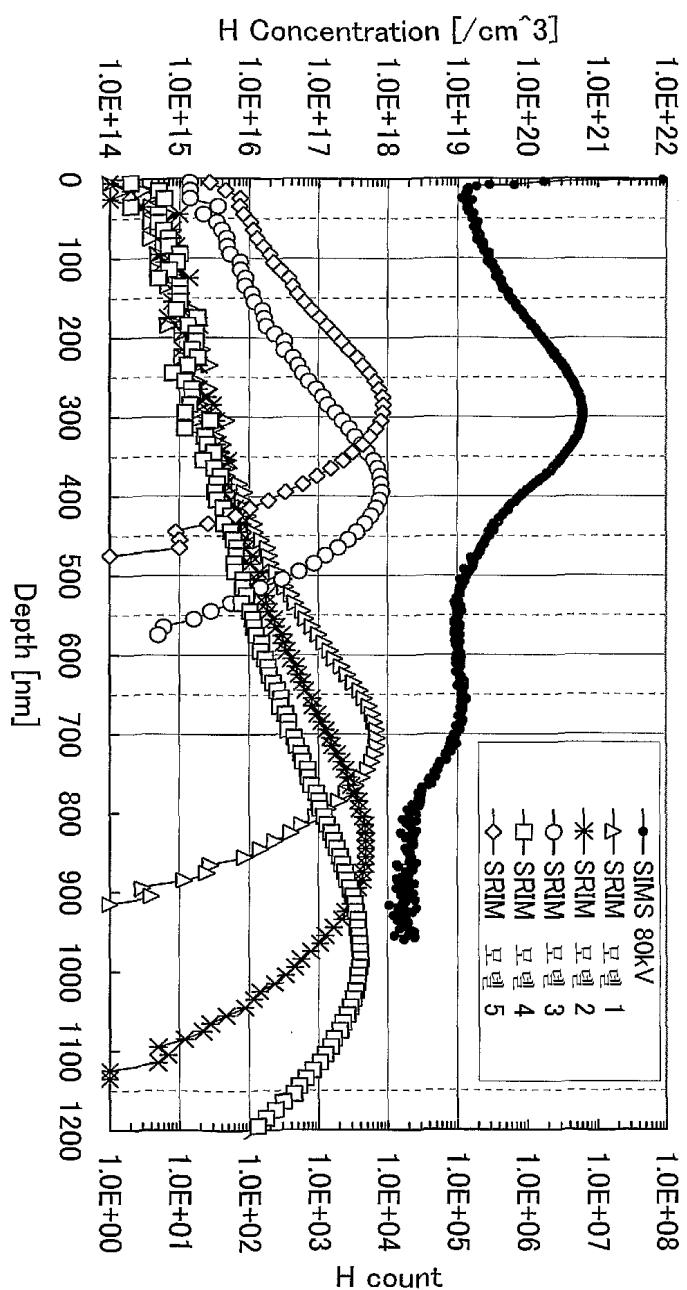
도면20



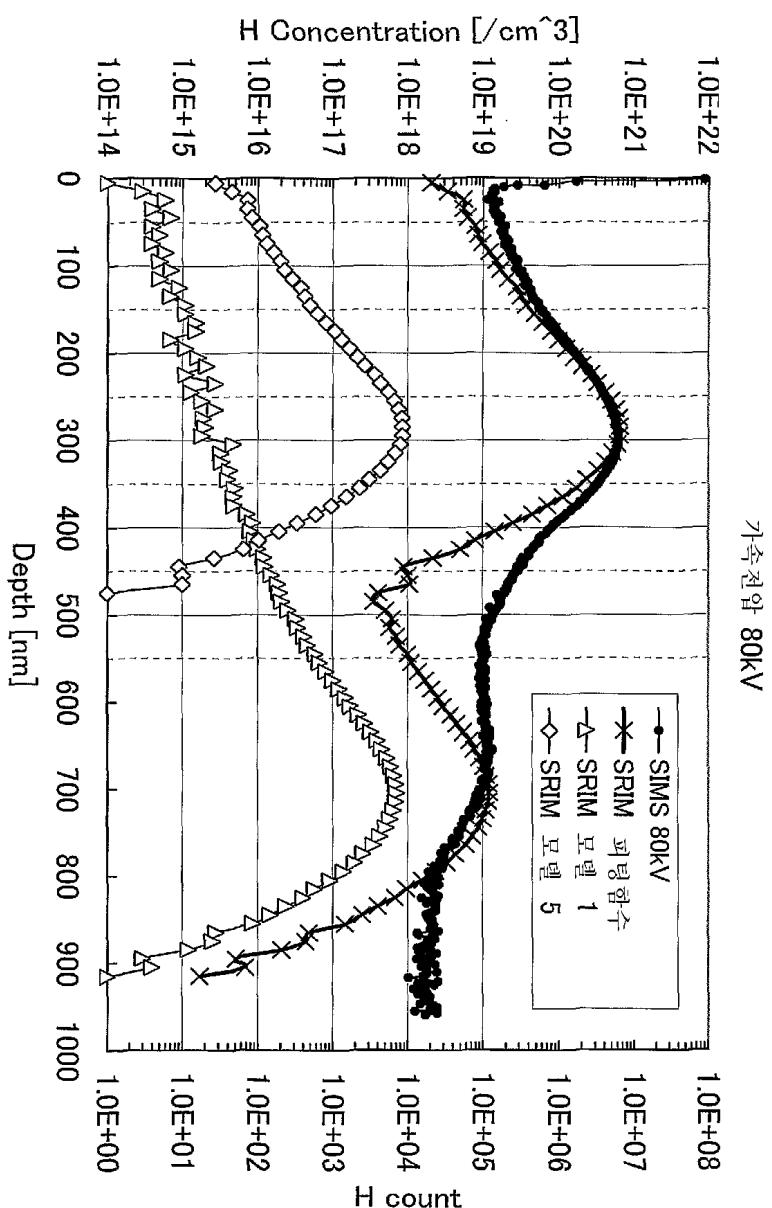
도면21



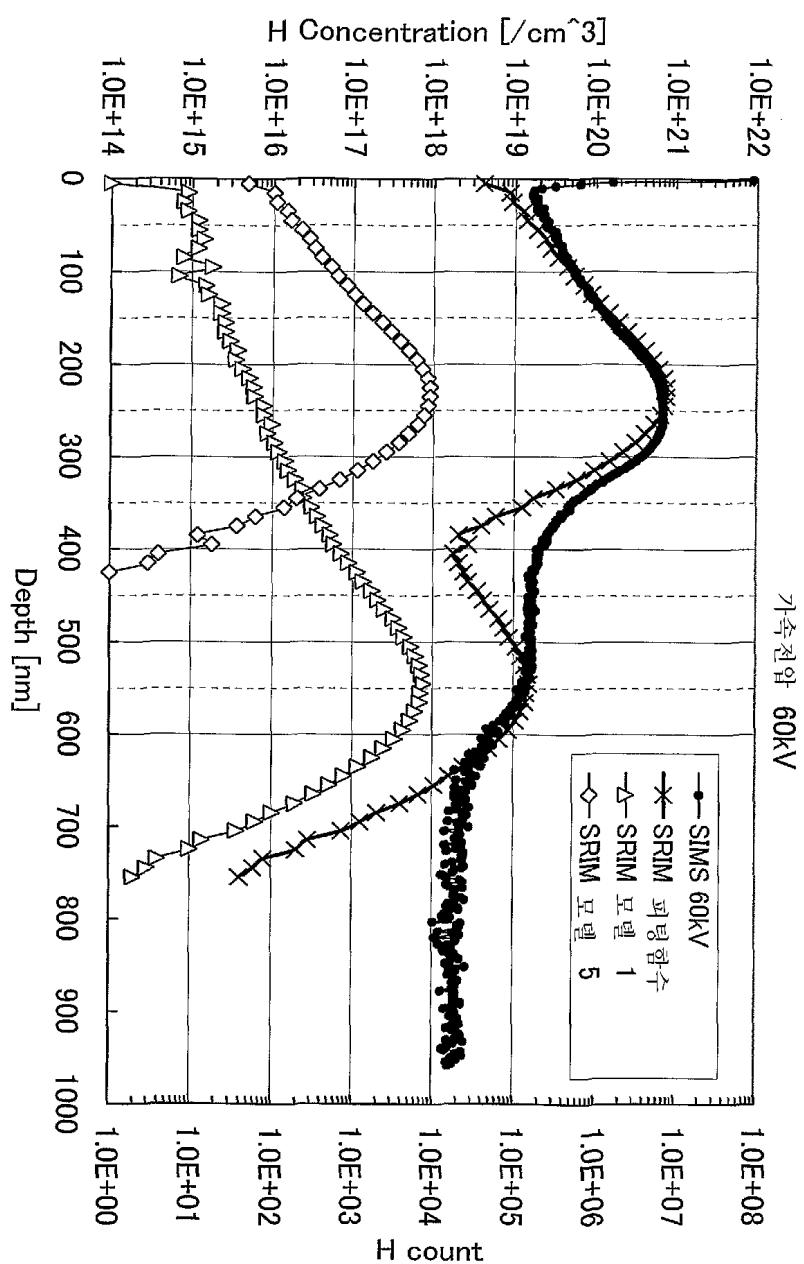
도면22



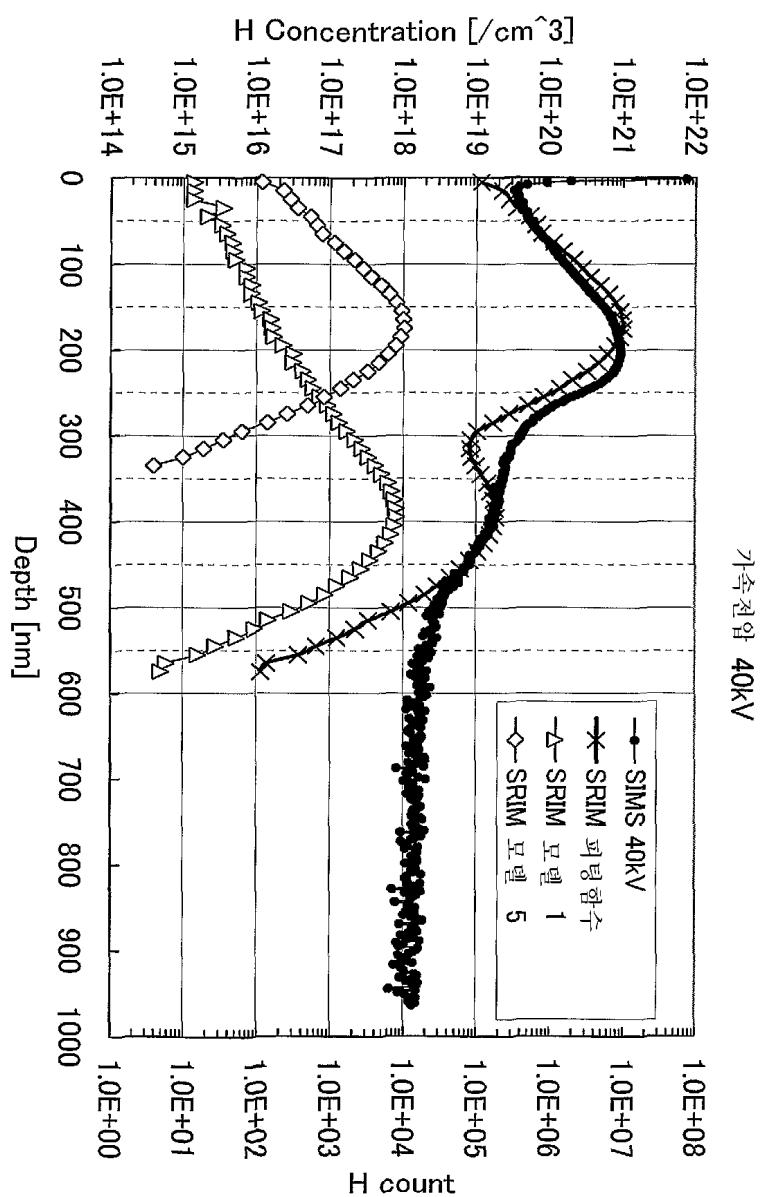
도면23



도면24



도면25



## 도면26

가속전압	수소 원소비(X:Y)	수소 이온종 비 (X:Y/3)
80keV	1:44.1	1:14.7
60keV	1:42.5	1:14.2
40keV	1:43.5	1:14.5