



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

226350

(11) (B1)

(51) Int. Cl.³
G 06 F 11/20

(22) Přihlášeno 31 12 82
(21) (PV 10145-82)

(40) Zveřejněno 29 07 83

(45) Vydáno 15 10 85

(75)

Autor vynálezu

STRONER PETR ing., BARTŮNEK IVAN ing., PRAHA

(54) Zapojení testovacího kanálu pro logické proměnné

1

Vynález se týká zapojení testovacího kanálu pro logické proměnné v testovacím zařízení, kde se rozlišuje směr, stav a úroveň každého jednotlivého zkoušeného bodu, tak zvané špičky, pro potřeby testování větších logických celků, například karet osazených logickými obvody.

Při testování karet osazených logickými obvody je nutné jednak zadávat údaje na vstupní špičky testované karty a jednak odebírat signály z výstupních špiček. S ohledem na sběrníkové struktury a s ohledem na využití třístavové logiky je nutné, aby měl testovací kanál vlastnosti třístavového obvodu s možností dynamicky měnit svůj stav podle okamžité potřeby testu.

Dosud známá zapojení testovacích kanálů neřešila problém třístavového ovládní testovacích špiček bezkontaktním způsobem buď vůbec, nebo využívala zapojení s diskrétními součástmi. Zapojení testovacího kanálu s využitím kontaktních spínacích prvků je nevhodné z hlediska rychlosti. Kromě toho je při větších počtech testovacích bodů velmi rozměrné a celkově neefektivní. Rovněž získání informace o aktuálním stavu jednotlivého testovacího kanálu či soustavy kanálů v průběhu testu je velmi obtížné, zvláště u systémů, které nejsou vybaveny centrální výpočetní jednotkou, v jejíž paměti jsou uloženy příslušné tabulky. V tom případě je nutné neustále si pamatovat aktuální stav testovacích špiček v průběhu tvorby testu.

Další potíže nastávají, když je třeba využít modulového rozšiřování počtu testovacích kanálů s ohledem na snadné ovládní. Zde musí být alespoň část adresního výběru jednotlivých testovacích kanálů vystavěna v centrální jednotce testovacího zařízení pro maximální možnou výstavbu. To je opět prostorově i ekonomicky nevýhodné.

Uvedené nedostatky odstraňuje zapojení testovacího kanálu pro logické proměnné podle vynálezu. Podstata vynálezu spočívá v tom, že druhá obousměrná vstupní svorka zapojení je spojena s prvním vstupem druhé vzorkovací paměti, se vstupem druhého přizpůsobovacího obvodu a s prvním výstupem ovládacího obvodu. Směrový vstup ovládacího obvodu je spojen se druhým výstupem mezipaměti směru, jejíž první vstup je spojen s výstupem paměti směru, jejíž datový vstup je spojen s datovým vstupem paměti stavu a s datovou skupinovou vstupní svorkou zapojení.

Adresní skupinová vstupní svorka zapojení je spojena s adresním vstupem paměti stavu a s adresním vstupem paměti směru, jejíž zápisový vstup je spojen se zápisovou vstupní svorkou zapojení a se zápisovým vstupem paměti stavu. Výstup paměti stavu je spojen s prvním vstupem mezipaměti stavu, jejíž přepisovací vstup je spojen s přepisovací vstupní svorkou zapojení a s přepisovacím vstupem mezipaměti směru, jejíž první výstup je spojen se druhým vstupem multiplexoru.

První vstup multiplexoru je spojen s výstupem druhé vzorkovací paměti, jejíž vzorkovací vstup je spojen se druhou vzorkovací svorkou zapojení. První obousměrná vstupní svorka zapojení je spojena s prvním vstupem komparátoru, se vstupem prvního přizpůsobovacího obvodu a se druhým vstupem ovládacího obvodu. Stavový vstup ovládacího obvodu je spojen s prvním výstupem mezipaměti stavu, jejíž druhý výstup je spojen se třetím vstupem multiplexoru.

Přepínací vstup multiplexoru je spojen s přepínací vstupní svorkou zapojení, jehož referenční vstupní svorka je spojena se druhým referenčním vstupem komparátoru. Výstup komparátoru je spojen s prvním vstupem první vzorkovací paměti, jejíž vzorkovací vstup je spojen s první vzorkovací vstupní svorkou zapojení. Výstup první vzorkovací paměti je spojen se čtvrtým vstupem multiplexoru. Výstup multiplexoru je spojen s prvním vstupem výstupního obvodu, jehož výstup je spojen s výstupní svorkou zapojení. Hradlovací vstupní svorka zapojení je spojena s vnějším vstupem výstupního obvodu.

Zapojení testovacího kanálu pro logické proměnné podle vynálezu řeší jednoduchými prostředky komplexně problém testovacího kanálu pro testování logických obvodů bez omezení pro třístavové obvody.

Řešení zahrnuje adresovací část, ovládací část a komparátory. Umožňuje paralelní obsluhu špiček zkoušeného a referenčního obvodu při použití metody komparace se vzorem tzv. "golden board". Koncepce testovacího kanálu zvyhodňuje modulovou výstavbu testovacího zařízení, umožňuje připojit ovládání testovacího kanálu na ovládací sběrnici. Zapojení testovacího kanálu zatěžuje testované špičky jedinou logickou zátěží a zaručuje definovanou úroveň signálu při uvedení špičky do třetího stavu. Je možno kdykoliv, a to bez ovlivnění stavu testovacího kanálu, zjišťovat současný stav všech veličin testovacího kanálu, tj. směru i stavu testované špičky i referenční špičky.

Příklad zapojení testovacího kanálu pro logické proměnné podle vynálezu je znázorněn v blokovém schématu na připojeném výkresu.

Jednotlivé bloky zapojení je možno charakterizovat takto. Paměť 1 směru a paměť 2 stavu jsou stejné paměti typu "Latch". Paměť 1 směru slouží k zachycení zadaného směru testované špičky. Paměť 2 stavu slouží k zachycení zadaného stavu testované špičky. Mezipaměť 3 směru a mezipaměť 4 stavu jsou stejné paměti a obě jsou vytvořeny z klopných obvodů. Mezipaměť 3 směru slouží k synchronnímu ovládní směru testované špičky. Mezipaměť 4 stavu slouží k synchronnímu ovládní stavu testované špičky. Ovládací obvod 2 je buď invertující, nebo neinvertující výkonový třístavový budič, který slouží k vlastnímu připojení logického testovacího kanálu k testované špičce.

První přírůbodobovací obvod 6 a druhý přírůbodobovací obvod 7 jsou stejné obvody, vytvořené z pasivních součástí. Upravují statické a dynamické vlastnosti testovacího kanálu. Komparátor 8 je monolitický komparační obvod, který porovnává signály na svých vstupech. První vzorkovací paměť 9 a druhá vzorkovací paměť 10 jsou stejné paměti, vytvořené z klopných obvodů. První vzorkovací paměť 9 slouží k zachycení stavu testované špičky. Druhá vzorkovací paměť 10 slouží k zachycení stavu referenční špičky. Multiplexor 100 je monolitický přepínací obvod, který umožňuje přepojení signálů charakterizujících stav kanálu na výstupní obvod 110. Výstupní obvod 110 je například budič sběrnice, umožňující čtení stavu testovacího kanálu. Jednotlivé bloky zapojení jsou vesměs známé obvody číslicové techniky a proto nejsou na výkresu podrobně rozkresleny. Vstupy a výstupy, které mají charakter skupinového signálu, jsou shrnuty v jeden spoj a jsou označeny jako skupinové. Podle funkce jsou pojmenovány bližším slovním popisem. Jednotlivé bloky zapojení jsou spojeny takto.

Druhá obousměrná vstupní svorka 011 zapojení je spojena s prvním vstupem 101 druhé vzorkovací paměti 10, se vstupem 71 druhého přírůbodobovacího obvodu 7 a s prvním výstupem 53 ovládacího obvodu 5. Směrový vstup 51 ovládacího obvodu 5 je spojen se druhým výstupem 34 mezipaměti 3 směru, jejíž první vstup 31 je spojen s výstupem 14 paměti 1 směru.

Datový vstup 11 paměti 1 směru je spojen s datovým vstupem 21 paměti 2 stavu a s datovou skupinovou vstupní svorkou 010 zapojení. Adresní skupinová vstupní svorka 09 zapojení je spojena s adresním vstupem 22 paměti 2 stavu a s adresním vstupem 12 paměti 1 směru, jejíž zápisový vstup 13 je spojen se zápisovou vstupní svorkou 08 zapojení a se zápisovým vstupem 23 paměti 2 stavu.

Výstup 24 paměti 2 stavu je spojen s prvním vstupem 41 mezipaměti 4 stavu, jejíž přepisovací vstup 42 je spojen s přepisovací vstupní svorkou 07 zapojení a s přepisovacím vstupem 32 mezipaměti 3 směru. První výstup 33 mezipaměti 3 směru je spojen se druhým vstupem 1002 multiplexoru 100. První vstup 1001 multiplexoru 100 je spojen s výstupem 103 druhé vzorkovací paměti 10, jejíž vzorkovací vstup 102 je spojen se druhou vzorkovací vstupní svorkou 012 zapojení.

První obousměrná vstupní svorka 06 zapojení je spojena s prvním vstupem 81 komparátoru 8, se vstupem 61 prvního přírůbodobovacího obvodu 6 a se druhým vstupem 54 ovládacího obvodu 5. Stavový vstup 52 ovládacího obvodu 5 je spojen s prvním výstupem 43 mezipaměti 4 stavu, jejíž druhý výstup 44 je spojen se třetím vstupem 1003 multiplexoru 100.

Přepínací vstup 1005 multiplexoru 100 je spojen s přepínací vstupní svorkou 03 zapojení. Referenční vstupní svorka 05 zapojení je spojena se druhým referenčním vstupem 82 komparátoru 8. Výstup 83 komparátoru 8 je spojen s prvním vstupem 91 první vzorkovací paměti 9, jejíž vzorkovací vstup 92 je spojen s první vzorkovací vstupní svorkou 04 zapojení. Výstup 93 první vzorkovací paměti 9 je spojen se čtvrtým vstupem 1004 multiplexoru 100.

Výstup 1006 multiplexoru 100 je spojen s prvním vstupem 111 výstupního obvodu 110, jehož výstup 113 je spojen s výstupní svorkou 01 zapojení. Hradlovací vstupní svorka 02 zapojení je spojena s vnějším vstupem 112 výstupního obvodu 110. Zapojení testovacího kanálu pro logické proměnné pracuje takto.

Paměť 1 směru určuje svým stavem, zda testovací kanál pracuje jako vstupní. Paměť 2 stavu určuje svým stavem hodnotu logické proměnné pro výstup testovacího kanálu. Stav paměti 1 směru se mění aktivním signálem, který přichází na její zápisový vstup 13 ze zápisové vstupní svorky 08 zapojení. Stav paměti 2 stavu se mění stejným zápisovým signálem, který přichází ze zápisové vstupní svorky 08 zapojení na zápisový vstup 23 paměti 2 stavu.

Tento aktivní signál na zápisové vstupní svorce 08 zapojení dává povel k přepisu údajů z datové vstupní svorky 010 zapojení přes datový vstup 11 do paměti 1 směru a přes datový vstup 21 do paměti 2 stavu.

Adresní výběr testovacího kanálu, pro který jsou právě zapisovaná data platná, zajišťuje signál, který přichází z adresní skupinové vstupní svorky 02 zapojení na adresní vstup 12 paměti 1 směru a na adresní vstup 22 paměti 2 stavu. Při plnění paměti 1 směru a paměti 2 stavu se tedy postupuje sekvenčně, a to tak, jak příslušné údaje dodává řídicí jednotka.

Z paměti 1 směru se údaje přepisují z jejího výstupu 14 přes první vstup 31 do mezipaměti 3 směru. Podobně se přepisují údaje z paměti 2 stavu přes její výstup 24 a přes první vstup 41 do mezipaměti 4 stavu. Povel k přepisu přichází z přepisovací vstupní svorky 07 zapojení na přepisovací vstup 32 mezipaměti 3 směru a současně na přepisovací vstup 42 mezipaměti 4 stavu. Přepis směrů nebo stavů se provádí synchronně a současně pro všechny testovací kanály.

Stav mezipaměti 3 směru je možno kdykoliv číst přes její první výstup 33 a dále přes multiplexor 100 a přes výstup 113 výstupního obvodu 110 na výstupní svorce 01 zapojení. Podobně je možno číst obsah mezipaměti 4 stavu přes její druhý výstup 44, přes multiplexor 100 a přes výstup 113 výstupního obvodu 110 na výstupní svorce 01 zapojení.

Ovládací obvod 2, který je vytvořen jako dvojnásobný výkonový budič s třístavovým výstupem, je buď otevřen, nebo je ve třetím stavu. Zda je ovládací obvod 2 otevřen nebo zda je ve třetím stavu, se řídí signálem na jeho směrovém vstupu 21.

Ovládací obvod 2 je otevřen v případě, že je příslušný testovací kanál použit jako výstupní. Jestliže je testovací kanál definován jako vstupní, je ovládací obvod 2 ve třetím stavu. V případě, že je testovací kanál definován jako výstupní, potom stavový vstup 22 ovládacího obvodu 2 určuje stav prvního výstupu 23 ovládacího obvodu 2 a i stav druhého výstupu 24 ovládacího obvodu 2.

Signálem z prvního výstupu 23 ovládacího obvodu 2, který přichází na druhou obousměrnou vstupní svorku 011 zapojení, se ovládá testovací bod pro vzorovou desku. Signál se urovňovně a dynamicky přizpůsobí druhým přizpůsobovacím obvodem 7. První výstup 23 ovládacího obvodu 2 může být uveden též do třetího stavu, a tím se prakticky stává vstupní špičkou testovacího zařízení. Z prvního výstupu 23 ovládacího obvodu 2 je možno odebrat časově definovaný vzorek logické proměnné a přepsat ho přes první vstup 101 do druhé vzorkovací paměti 10.

Přepis se provádí časově definovaným signálem, který přichází ze druhé vzorkovací vstupní svorky 012 zapojení na vzorkovací vstup 102 druhé vzorkovací paměti 10. Obsah druhé vzorkovací paměti 10 je možno číst přes její výstup 103 a dále přes multiplexor 100 a přes vstupní obvod 110 na výstupní svorce 01 zapojení. Druhý výstup 24 ovládacího obvodu 2 pracuje obdobně pro testovací špičku zkoušené desky.

Vzorek logické proměnné je možno odebrat ze druhého výstupu 24 logického obvodu 2 časově definovaným signálem, který přichází na první vzorkovací svorku 04 zapojení. Úroveň a dynamika vzorku se upravuje přizpůsobovacím obvodem 6 a přichází na první vstup 81 komparátoru 8. Na druhý vstup 82 komparačního obvodu 8 se přivádí proměnná referenční úroveň komparace. Z výstupu 83 komparátoru 8 se vzorek přepisuje do první vzorkovací paměti 9. Přepis se provádí signálem, který přichází z první vzorkovací svorky 04 zapojení na vzorkovací vstup 92 druhé vzorkovací paměti 9. Obsah druhé vzorkovací paměti 9 je možno číst přes její výstup 93 a dále přes čtvrtý vstup 1004 multiplexoru 100 a dále přes výstupní obvod 110 na výstupní svorce 01 zapojení. Činnost výstupního obvodu 110 se řídí signálem, který přichází z hradlovací vstupní svorky 02 zapojení na vnější vstup 112 výstupního obvodu 110.

Signál na přepínací vstupní svorce 03 zapojení, který přechází na vnější přepínací vstup 1005 multiplexoru 100, určuje, který ze vstupů 1001 až 1004 multiplexoru 100 se přepne na jeho výstup 1006. Vynálezu se využije v testovacích zařízeních pro testování logických obvodů.

PŘEDMĚT VYNÁLEZU

Zapojení testovacího kanálu pro logické proměnné, vyznačující se tím, že druhé obousměrná vstupní svorka (011) zapojení je spojena s prvním vstupem (101) druhé vzorkovací paměti (10), se vstupem (71) druhého přizpůsobovacího obvodu (7) a s prvním výstupem (53) ovládacího obvodu (5), jehož směrový vstup (51) je spojen se druhým výstupem (34) mezipaměti (3) směru, jejíž první vstup (31) je spojen s výstupem (14) paměti (1) směru, jejíž datový vstup (11) je spojen s datovým vstupem (21) paměti (2) stavu a s datovou skupinovou vstupní svorkou (010) zapojení, jehož adresní skupinová vstupní svorka (09) je spojena s adresním vstupem (22) paměti (2) stavu a s adresním vstupem (12) paměti (1) směru, jejíž zápisový vstup (13) je spojen se zápisovou vstupní svorkou (08) zapojení a se zápisovým vstupem (23) paměti (2) stavu, jejíž výstup (24) je spojen s prvním vstupem (41) mezipaměti (4) stavu, jejíž přepisovací vstup (42) je spojen s přepisovací vstupní svorkou (07) zapojení a s přepisovacím vstupem (32) mezipaměti (3) směru, jejíž první výstup (33) je spojen se druhým vstupem (1002) multiplexoru (100), jehož první vstup (1001) je spojen s výstupem (103) druhé vzorkovací paměti (10), jejíž vzorkovací vstup (102) je spojen se druhou vzorkovací svorkou (012) zapojení, jehož první obousměrná vstupní svorka (06) je spojena s prvním vstupem (81) komparátoru (8), se vstupem (61) prvního přizpůsobovacího obvodu (6) a se druhým vstupem (54) ovládacího obvodu (5), jehož stavový vstup (52) je spojen s prvním výstupem (43) mezipaměti (4) stavu, jejíž druhý výstup (44) je spojen se třetím vstupem (1003) multiplexoru (100), jehož přepínací vstup (1005) je spojen s přepínací vstupní svorkou (03) zapojení, jehož referenční vstupní svorka (05) je spojena s referenčním vstupem (82) komparátoru (8), jehož výstup (83) je spojen s prvním vstupem (91) první vzorkovací paměti (9), jejíž vzorkovací vstup (92) je spojen s první vzorkovací vstupní svorkou (04) zapojení a výstup (93) první vzorkovací paměti (9) je spojen se čtvrtým vstupem (1004) multiplexoru (100), jehož výstup (1006) je spojen s prvním vstupem (111) výstupního obvodu (110), jehož výstup (113) je spojen s výstupní svorkou (01) zapojení, jehož hradlovací vstupní svorka (02) je spojena s vnějším vstupem (112) výstupního obvodu (110).

1 výkres

226350

