

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4635555号
(P4635555)

(45) 発行日 平成23年2月23日 (2011.2.23)

(24) 登録日 平成22年12月3日 (2010.12.3)

(51) Int. Cl.

F I

H02M 3/28 (2006.01)

H02M 3/28

B

H02M 3/28

S

請求項の数 15 (全 23 頁)

(21) 出願番号 特願2004-305356 (P2004-305356)
 (22) 出願日 平成16年10月20日 (2004.10.20)
 (65) 公開番号 特開2005-185087 (P2005-185087A)
 (43) 公開日 平成17年7月7日 (2005.7.7)
 審査請求日 平成19年9月14日 (2007.9.14)
 (31) 優先権主張番号 特願2003-397629 (P2003-397629)
 (32) 優先日 平成15年11月27日 (2003.11.27)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 591083244
 富士電機システムズ株式会社
 東京都品川区大崎一丁目11番2号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 本井 康朗
 東京都品川区大崎一丁目11番2号 富士
 電機デバイステクノロジー株式会社内

審査官 安池 一貴

(56) 参考文献 特開2003-079146 (JP, A)
)
 特開平07-327369 (JP, A)

最終頁に続く

(54) 【発明の名称】 スイッチング電源制御回路

(57) 【特許請求の範囲】

【請求項1】

交流電源と接続されたコンバータトランスの一次回路側コイルに対して整流平滑出力を供給し、二次回路側コイルから出力される直流電圧を所望する一定値に制御するようにしたスイッチング電源装置のスイッチング電源制御回路において、

前記一次回路側の補助コイルによって充電可能なコンデンサに接続された補助電源端子と、

前記交流電源の投入後の起動期間に前記補助電源端子を介して前記コンデンサに充電電流を供給する電流源と、

前記補助電源端子の電圧信号を検知して、前記電流源から前記コンデンサに供給される充電電流の大きさを制御する電流制御回路と、

を備え、

前記電流源は、前記交流電源の投入時に前記補助電源端子を介して独立にそれぞれ前記コンデンサに充電電流を供給する第1、第2の電流源によって構成され、

前記電流制御回路は、前記補助電源端子の電圧信号が所定の閾値電圧を超えたとき、前記第2の電流源から前記コンデンサへの充電電流を停止制御し、

前記電流制御回路では、前記起動期間に前記電流源から前記コンデンサに供給される充電電流を、前記スイッチング電源装置が間欠動作するときの充電電流より大きな電流値となるように制御したことを特徴とするスイッチング電源制御回路。

【請求項2】

10

20

前記第 2 の電流源は、1 対のトランジスタからなる第 1 のカレントミラー回路と、前記第 1 のカレントミラー回路の後段に縦続接続され、前記第 1 のカレントミラー回路とは別の 1 対のトランジスタからなる第 2 のカレントミラー回路とによって構成したことを特徴とする請求項 1 記載のスイッチング電源制御回路。

【請求項 3】

前記電流制御回路では、前記補助電源端子の電圧信号を検知したときに前記第 2 のカレントミラー回路のミラー比を変更し、前記コンデンサへの充電電流の大きさを制御するようにしたことを特徴とする請求項 2 記載のスイッチング電源制御回路。

【請求項 4】

前記第 2 の電流源は、前記交流電源の投入時に供給される整流平滑出力によって前記第 1 の電流源とは独立して駆動され、前記補助電源端子の電圧信号が前記所定の閾値電圧を超えたとき、前記電流制御回路によって前記コンデンサへの充電電流を停止制御するようにしたことを特徴とする請求項 1 記載のスイッチング電源制御回路。

10

【請求項 5】

前記電流制御回路は、前記補助電源端子と前記第 2 の電流源との間を接続するスイッチ回路を備え、前記補助電源端子の電圧信号に応じて前記スイッチ回路をオンオフ制御し、前記第 2 の電流源から前記コンデンサへの充電電流を停止制御することを特徴とする請求項 1 記載のスイッチング電源制御回路。

【請求項 6】

前記電流制御回路は、さらに、前記補助電源端子の電圧に対して所定のヒステリシスを有する閾値電圧を基準値と比較する比較回路を備えたことを特徴とする請求項 5 記載のスイッチング電源制御回路。

20

【請求項 7】

前記電流制御回路は、前記第 1 のカレントミラー回路のミラー比を変更することによって、前記第 2 のカレントミラー回路から前記コンデンサに供給される充電電流の大きさを制御するようにしたことを特徴とする請求項 2 記載のスイッチング電源制御回路。

【請求項 8】

前記電流制御回路は、前記第 2 のカレントミラー回路の一次側トランジスタと接続され、前記第 1 のカレントミラー回路の二次側トランジスタと並列接続された電流回路を備えたことを特徴とする請求項 2 記載のスイッチング電源制御回路。

30

【請求項 9】

前記交流電源の電源電圧が低下した時にスイッチング動作を停止する高低 2 通りの閾値電圧をもつヒステリシス低電圧誤動作防止回路を備え、

前記電流制御回路は、前記補助電源端子の電圧信号が前記閾値電圧の範囲を逸脱したとき、前記電流源から前記コンデンサに供給される充電電流を停止制御することを特徴とする請求項 1 ないし 8 のいずれかに記載のスイッチング電源制御回路。

【請求項 10】

前記補助電源端子の電圧に対する前記ヒステリシス低電圧誤動作防止回路の高低それぞれの閾値電圧を V_{thon} 、 V_{thoff} とし、前記電流制御回路の閾値電圧を V_{chg} とした場合に、

40

これらの電位関係を

$$0V < V_{chg} < V_{thoff} < V_{thon}$$

に設定することを特徴とする請求項 9 記載のスイッチング電源制御回路。

【請求項 11】

前記電流制御回路は、前記補助電源端子の電圧に対して所定のヒステリシスを有する閾値電圧を基準値と比較する比較回路を備えたことを特徴とする請求項 9 記載のスイッチング電源制御回路。

【請求項 12】

前記補助電源端子の電圧に対する前記ヒステリシス低電圧誤動作防止回路の高低それぞれの閾値電圧を V_{thon} 、 V_{thoff} とし、前記ヒステリシスを有する閾値電圧の上

50

下限値をそれぞれ $V_{ch\ g\ off}$, $V_{ch\ g\ on}$ とした場合に、これらの電位関係を
 $0\ V < V_{ch\ g\ on} < V_{th\ off} < V_{ch\ g\ off} < V_{th\ on}$
 に設定することを特徴とする請求項 1 記載のスイッチング電源制御回路。

【請求項 1 3】

前記補助電源端子の電圧に対する前記ヒステリシス低電圧誤動作防止回路の高低それぞれの閾値電圧を $V_{th\ on}$, $V_{th\ off}$ とし、前記ヒステリシスを有する閾値電圧の上下限値をそれぞれ $V_{ch\ g\ off}$, $V_{ch\ g\ on}$ とした場合に、これらの電位関係を
 $0\ V < V_{ch\ g\ on} < V_{ch\ g\ off} < V_{th\ off} < V_{th\ on}$
 に設定することを特徴とする請求項 1 記載のスイッチング電源制御回路。

【請求項 1 4】

前記交流電源の投入後に、前記補助電源端子に過電圧が供給され、あるいは過熱状態が検知された場合に、前記電流源から前記コンデンサに供給される充電電流を停止制御することを特徴とする請求項 1 ないし 1 3 のいずれかに記載のスイッチング電源制御回路。

【請求項 1 5】

前記電流源および前記電流制御回路は、スイッチング電源制御用の集積回路とは独立の回路装置として構成されていることを特徴とする請求項 1 ないし 1 4 のいずれかに記載のスイッチング電源制御回路。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、交流電源と接続されたコンバータトランスの一次回路側コイルに対して整流平滑出力を供給し、二次回路側コイルから出力される直流電圧を所望する一定値に制御するようにしたスイッチング電源装置のスイッチング電源制御回路に関する。

【背景技術】

【0002】

図 8 は、一般的なスイッチング電源装置の回路構成を示すブロック図であり、図 9 は、スイッチング電源装置の一次回路側に設けた従来のスイッチング電源制御回路 100 を示すブロック図である。

【0003】

図 8 において、スイッチング電源装置の交流入力端子 (AC input) には交流電源 ACV が接続されている。この交流電源 ACV の交流出力は、ダイオードブリッジ D1 に印加され、そこで整流された直流電圧がスイッチング電源制御回路 100 (以下、単に制御回路 100 ともいう。) の主電源端子 VCC に供給される。この制御回路 100 は集積回路 (IC) 装置として構成され、その外部端子として主電源端子 VCC のほかに、フィードバック端子 FB、接地端子 GND、補助電源端子 VDD、およびドライブ端子 DRなどを備えている。また、この制御回路 100 の主電源端子 VCC は平滑用のコンデンサ C1 の一端と接続され、平滑用のコンデンサ C1 の一端はさらにコンバータトランス T (以下、単にトランス T という。) の 1 次巻線 T1 の一端と接続される。

【0004】

制御回路 100 のフィードバック端子 FB には、フォトカプラを構成するフォトトランジスタ PT とコンデンサ C4 との並列回路が接続されている。また、制御回路 100 の接地端子 GND はコンデンサ C1、フォトトランジスタ PT、コンデンサ C4 の他端などとともに接地されている。

【0005】

トランス T の 2 次巻線 T2 には、ダイオード D2 とコンデンサ C2 からなる整流回路が接続され、さらにコンデンサ C2 の端子間電圧である直流出力を、出力端子 (DC output) から負荷 11 に供給するように構成されている。この出力端子には、抵抗 R10 ~ R13、コンデンサ C5、C6、およびツェナーダイオード (シャントレギュレータ) ZD2 によって構成された出力電圧検出回路 12 が接続されるとともに、フォトカプラを構成する発光ダイオード LED が抵抗 R10 に対して並列に接続されている。

【 0 0 0 6 】

また、トランス T の一次回路側には、整流用のダイオード D 3 と平滑用のコンデンサ C 3 を介して 3 次巻線 T 3 が制御回路 1 0 0 の補助電源端子 V D D に接続されている。この 3 次巻線 T 3 から補助電源端子 V D D に接続されている制御回路 1 0 0 中の各回路ブロックに対して、スイッチング電源装置のスイッチング動作中、それらの動作に必要な電力を直流電圧として供給するように構成されている。また、トランス T の 1 次巻線 T 1 の他端はドライブ端子 D R に接続されている。

【 0 0 0 7 】

なお、トランス T の 1 次巻線 T 1 には、ここで発生する交流電圧成分を吸収するために、抵抗 R 1 4 とダイオード D 4 の直列回路が接続され、このうち抵抗 R 1 4 に対してコンデンサ C 7 が並列に接続されている。トランス T の 1 次巻線 T 1 の他端は、図 9 に示す制御回路 1 0 0 のドライブ端子 D R を介して、後述するようにスイッチング制御されるスイッチング素子、例えば N チャネル (N c h) M O S F E T (Metal-Oxide Semiconductor Field Effect Transistor) N 1 のドレイン端子に接続されている。

【 0 0 0 8 】

つぎに、図 9 に示す制御回路 1 0 0 の内部回路構成について具体的に説明する。

一般にスイッチング電源装置における制御回路 1 0 0 は、第 1 のバイアス回路 (b i a s 1) 1 0 1、基準電圧回路 (r e f) 1 0 2、定電流回路 1 0 3 と、ヒステリシスコンパレータ 1 0 4 によって構成される低電圧誤動作防止 (U V L O : U n d e r V o l t a g e L o c k O u t) 回路とを備えている。バイアス回路 1 0 1、基準電圧回路 1 0 2、定電流回路 1 0 3、ヒステリシスコンパレータ 1 0 4、ラッチ回路 (l a t c h) 1 0 5 は、いずれも例えば抵抗やゲート接地された P チャネル (P c h) F E T などのインピーダンス素子 (電圧供給素子) からなる起動抵抗回路 1 2 0 を介して、主電源端子 V C C と接続されている。また、定電流回路 1 0 3 と補助電源端子 V D D の接続点に接続された第 2 のバイアス回路 (b i a s 2) 1 0 6、発振回路 (o s c) 1 0 7、P W M (P u l s e W i d t h M o d u l a t i o n) コンパレータ (P W M) 1 0 8、駆動回路 (d r v) 1 0 9、および過電圧検出回路 1 1 1 はいずれも補助電源端子 V D D と接続され、この補助電源端子 V D D に I C の外付け素子として接続された平滑用のコンデンサ C 3 には、定電流回路 1 0 3 からの電流を積分することにより得られる電圧が供給されている。

【 0 0 0 9 】

制御回路 1 0 0 のバイアス回路 1 0 1 は各回路にバイアス電圧を出力するもの、基準電圧回路 1 0 2 は各比較回路に複数の基準電圧を出力するもの、定電流回路 1 0 3 は補助電源端子 V D D に接続されたコンデンサ C 3 への充電電流を出力するものである。また、低電圧誤動作防止回路は、電源 E 3 による所定の基準電圧に対する補助電源端子 V D D の端子電圧の大小をヒステリシスコンパレータ 1 0 4 によって比較し、誤動作防止信号 u v l o とその反転信号 u v l o _ b を出力して、バイアス回路 1 0 6 のバイアス電流の導通 / 遮断を制御し、制御回路 1 0 0 内に設けた発振回路 1 0 7 等での発振動作 / 停止を行う (例えば、以下の特許文献 1 を参照) 。

【 0 0 1 0 】

ここで、ヒステリシスコンパレータ 1 0 4 は、+ 入力端子に基準電圧値を出力する電源 E 3 が接続され、- 入力端子には抵抗 R 7 を介して補助電源端子 V D D が接続されている。そして、スイッチング電源装置の起動時には補助電源端子 V D D の電圧信号が高い閾値電圧 V t h o n、例えば 1 6 . 5 V になったとき動作して誤動作防止信号 u v l o に L (l o w) レベルの信号を出力し、その後、補助電源端子 V D D の電圧信号が低い閾値電圧 V t h o f f、例えば 9 V 以下になると誤動作防止信号 u v l o に H (h i g h) レベルの信号を出力する。さらに、インバータ 1 1 0 からは誤動作防止信号 u v l o を反転した反転信号 u v l o _ b が出力される。ラッチ回路 1 0 5 は、後述する過電圧検出回路 1 1 1 からの過電圧防止信号 O V P を受けて、スイッチング電源装置におけるスイッチング動作を安全サイドで停止させるものである。

【 0 0 1 1 】

また、第2のバイアス回路106は誤動作防止信号uvloがLレベルのときに各回路にバイアス電流を供給するもの、発振回路107は誤動作防止信号uvloがLレベルのときに発振動作を開始して、所定周波数の三角波信号（鋸波信号であってもよい。）を出力するもの、PWMコンパレータ108はその+入力端子に発振回路107からの三角波信号が入力され、-入力端子にフィードバック電圧検出用の抵抗R3、R4の接続点の電圧信号が入力されるものであり、別の-入力端子には基準電圧値を出力する電源E2が接続されている。駆動回路109はPWMコンパレータ108の出力を受けて、MOSFET N1のゲート端子に駆動信号を供給するもの、過電圧検出回路111はその+入力端子に過電圧検出用の抵抗R1、R2の接続点の電圧信号が入力され、-入力端子に電源E1からの基準電圧値が入力されるものであって、補助電源端子VDDに過電圧が供給された場合などに、ラッチ回路105に対して過電圧防止信号OVPを出力している。

10

【0012】

このように構成された従来のスイッチング電源装置では、スイッチング電源制御回路100の補助電源端子VDDに接続されたコンデンサC3に、交流電源ACVの投入後に定電流回路103からの充電が開始される（スタンバイ状態）。前述したように制御回路100は低電圧誤動作防止機能を有しており、補助電源端子VDDにおいてコンデンサC3の充電電圧を検出することによって、MOSFET（スイッチングトランジスタ）N1のスイッチング動作を制御している。コンデンサC3が充電され、その電圧値がスイッチング動作開始の閾値電圧Vthonに達すると、PWMコンパレータ108が起動してスイッチング動作を開始する。そして、補助電源端子VDDの電圧値が閾値電圧Vthonに達した時点で、切り換え手段などにより定電流回路103とコンデンサC3とを分離して充電電流を停止する制御を行うものもある。

20

【0013】

通常、スイッチング電源制御回路100は、PWMコンパレータ108が起動してスイッチングトランジスタN1のスイッチング動作が開始されると、補助電源端子VDDに接続されたトランスTの3次巻線T3からスイッチング制御動作に必要な電力が供給されるとともに、フォトカプラを構成する発光ダイオードLEDを介してフィードバックされる電圧信号により、トランスTの二次回路側の負荷11に対して出力電圧（DC output）を一定に保つように、PWMコンパレータ108によるPWM制御等の電圧制御が実行される。

30

【0014】

図10は、従来のスイッチング電源制御回路100における電流源回路とその周辺部制御回路の構成を示す回路図である。

ここでは、電源ラインと接地間には、定電流回路13とNchMOSFET N2のドレインとを接続した直列回路が接続され、かつNchMOSFET N2のゲートおよびドレインとNchMOSFET N3のゲートが接続され、NchMOSFET N2とN3のソースがともに接地されてカレントミラー回路（第1のカレントミラー回路）を構成している。また、PchMOSFET P1のゲートおよびドレインとPchMOSFET P2のゲートが接続され、ソースがともに電源ラインに接続されて、別のカレントミラー回路（第2のカレントミラー回路）を構成している。これらのカレントミラー回路は、PchMOSFET P1のドレインが抵抗R21を介してNchMOSFET N3のドレインと接続され、さらにゲート保護用のツェナーダイオードZD1は、そのカソードが電源ラインに接続され、アノードがPchMOSFET P1、P2のゲートに接続されている。また、PchMOSFET P2のドレイン端子は、補助電源端子VDDに接続されている。

40

【0015】

いま、NchMOSFET N2、N3のチャネル幅とチャネル長を、それぞれW2、L2およびW3、L3とし、それらの閾値が互いに等しいとしたとき、それぞれに流れるドレイン電流i2とi3との間には、つぎの関係が成り立つ。

【0016】

$$i_3 = (W_3 / L_3) / (W_2 / L_2) \cdot i_2$$

50

したがって、 $W2/L2 = N2$ 、 $W3/L3 = N3$ とすれば、定電流回路13のバイアス電流は、 $NchMOSFETN2$ のドレインから $NchMOSFETN3$ に供給されるときに、カレントミラー回路のミラー比に応じて($N3/N2$)倍の大きさとなって流入する。また、 $PchMOSFETP1$ 、 $P2$ において $N2$ 、 $N3$ と同様の関係が成り立つとすれば、さらに($P2/P1$)倍の大きさのバイアス電流となって、 $PchMOSFETP2$ のドレインから補助電源端子 VDD へ充電電流として供給されることになる。

【0017】

この補助電源端子 VDD の周辺部制御回路として、補助電源端子 VDD から充電電流が流入するコンデンサ $C3$ が大地(GND)との間に接続されている。また、このコンデンサ $C3$ の充電電圧を検出して、スイッチング電源制御回路100を制御するために、低電圧誤動作防止回路のヒステリシスコンパレータ104の検出端子(-側入力端子)と補助電源端子 VDD とが抵抗 $R7$ を介して接続されている。さらに、補助電源端子 VDD にはダイオード $D3$ のカソードが接続され、このダイオード $D3$ のアノードには、一端が接地された3次巻線 $T3$ の他端が接続されている。なお、この補助電源端子 VDD には、図10には示していないが、図9に示す発振回路107、PWMコンパレータ108等のスイッチング電源制御回路100の内部回路も接続されている。

【0018】

つぎに、このスイッチング電源装置が待機状態など軽負荷状態になった場合について説明する。図11は、従来のスイッチング電源制御回路100による補助電源端子 VDD の電圧値の変化を示す図である。

【0019】

ここで、二次回路側の負荷11が無負荷、あるいは軽負荷になった場合、出力電圧検出回路12の出力電圧が帰還されてPWM制御によるスイッチング動作が停止する。これにより、補助電源端子 VDD にはトランス T の3次巻線 $T3$ からの電力供給がなくなる。

【0020】

このとき、補助電源端子 VDD の端子電圧がヒステリシスコンパレータ104のスイッチング動作を停止する閾値電圧 V_{thoff} より高い場合、PWM制御によりスイッチング電源のスイッチングは停止しているけれども、コンデンサ $C3$ に蓄えられたエネルギーにより制御回路100は動作状態にある。しかし、動作状態にある制御回路100によってエネルギーが消費されるため、コンデンサ $C3$ の電圧は低下し、二次回路側で出力電圧を検出している出力電圧検出回路12からの帰還信号によって、スイッチング動作が再開される前に補助電源端子 VDD の端子電圧が閾値電圧 V_{thoff} まで低下したときには低電圧誤動作防止回路が働いて、動作状態にあった制御回路100は停止してスイッチング電源がスタンバイ状態となる。

【0021】

スイッチング電源装置は、スタンバイ状態となると再び充電電流によってコンデンサ $C3$ への充電が始まり(例えば、以下の特許文献2を参照)、補助電源端子 VDD の電圧値が閾値電圧 V_{thon} に達するとスイッチング動作を開始しようとする。このとき二次回路側に負荷11があれば通常の連続したスイッチング動作を行うが、無負荷、あるいは軽負荷であれば、前述した動作と同様な動作となり、充電→動作→充電→...という間欠動作を繰り返す間欠周期になる(図11参照)。

【0022】

このとき、充電期間中にコンデンサ $C3$ に充電電流を供給する電流源は、 $PchMOSFETP2$ だけであるため、図11に示すように、起動時における充電電流の大きさは間欠動作時の充電電流と同じ電流値であった。

【特許文献1】特開2001-352749号公報(図5)

【特許文献2】特開2002-209380号公報(段落番号[0024]~[0026])、図2)

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 2 3 】

上述したスイッチング電源装置では、無負荷時、あるいは軽負荷時において間欠動作時の消費電力を低減するためには、コンデンサC3の充電時間を長くして、充電時間と動作時間との比率を変えればよい。すなわち、コンデンサC3を充電するための充電電流値を小さくすれば、充電後の動作時間は変わらないから動作時間に対する充電時間の比率が大きくなって、消費電力の低減が可能になる。

【 0 0 2 4 】

ところが、無負荷時、あるいは軽負荷時の間欠動作（スタンバイ状態）において、充電時間を動作時間に対して相対的に長くすれば消費電力を小さくできるとはいえ、スイッチング電源装置の起動時でも間欠動作時と同じ充電速度であれば、起動時間が長くなってしまい、電源投入後にスイッチング電源装置が正常に動作するまでに時間がかかるという問題があった。

【 0 0 2 5 】

この発明はこのような点に鑑みてなされたものであり、間欠動作時における充電時間だけを長くして軽負荷時におけるスイッチングロスを低減するとともに、スイッチング電源装置の電源投入後における起動時間を短縮することができるスイッチング電源制御回路を提供することを目的とする。

【課題を解決するための手段】

【 0 0 2 6 】

この発明では上記問題を解決するために、交流電源と接続されたコンバータトランスの一次回路側コイルに対して整流平滑出力を供給し、二次回路側コイルから出力される直流電圧を所望する一定値に制御するようにしたスイッチング電源装置のスイッチング電源制御回路が提供される。このスイッチング電源制御回路では、前記一次回路側の補助コイルによって充電可能なコンデンサに接続された補助電源端子と、前記交流電源の投入後の起動期間に前記補助電源端子を介して前記コンデンサに充電電流を供給する電流源と、前記補助電源端子の電圧信号を検知して、前記電流源から前記コンデンサに供給される充電電流の大きさを制御する電流制御回路と、を備え、前記電流源は、前記交流電源の投入時に前記補助電源端子を介して独立にそれぞれ前記コンデンサに充電電流を供給する第1、第2の電流源によって構成され、前記電流制御回路は、前記補助電源端子の電圧信号が所定の閾値電圧を超えたとき、前記第2の電流源から前記コンデンサへの充電電流を停止制御し、前記電流制御回路では、前記起動期間に前記電流源から前記コンデンサに供給される充電電流を、前記スイッチング電源装置が間欠動作するときの充電電流より大きな電流値となるように制御したことを特徴とする。

【発明の効果】

【 0 0 2 7 】

この発明のスイッチング電源制御回路では、補助電源端子の端子電圧を検出して、スタンバイ状態における充電電流の電流値を切り換え制御するように構成した。これにより、起動時間を短くして、かつ間欠周期を長くすることができ、これによって、スイッチング電源装置の待機状態における無駄な消費電力を低く抑えることができる。特に、軽負荷時、あるいは、無負荷時において間欠動作するように設計されたスイッチング電源装置に適用することで、さらに効果が期待できる。

【発明を実施するための最良の形態】

【 0 0 2 8 】

以下、この発明の8つの実施形態について、それぞれ図面を参照して詳細に説明する。

（第1の実施形態）

図1は、この発明の第1の実施形態に係るスイッチング電源制御回路200の構成例を示す回路図である。ここには、スイッチング電源制御回路200の電流源回路とその周辺部制御回路の構成だけを示しており、その基本となる全体回路構成は図9に示した従来回路100のものと同じである。したがって、以下では同一部分についての説明を省略する

。なお、この実施形態の発明は、特許請求の範囲の請求項 4 に記載した発明に対応するものである。

【 0 0 2 9 】

図 1 において、電源ラインと接地間には、定電流回路 1 3 と N c h M O S F E T N 2 のドレインとを接続した直列回路が接続され、かつ N c h M O S F E T N 2 のゲートおよびドレインと N c h M O S F E T N 3 のゲートが接続され、N c h M O S F E T N 2 と N 3 のソースがともに接地され、第 1 のカレントミラー回路を構成している。また、P c h M O S F E T P 1 のゲートおよびドレインと P c h M O S F E T P 2 および P 1 1 のゲートが接続され、ソースがともに電源ラインに接続されて、第 2 のカレントミラー回路を構成している。これらのカレントミラー回路は、P c h M O S F E T P 1 のドレインが抵抗 R 2 1 を介して N c h M O S F E T N 3 のドレインと接続され、さらにゲート保護用のツェナーダイオード Z D 1 は、そのカソードが電源ラインに接続され、アノードが P c h M O S F E T P 1 , P 2 および P 1 1 のゲートに接続されている。さらに、P c h M O S F E T P 2 のドレイン端子は、補助電源端子 V D D および抵抗 R 7 の一端に接続されている。

【 0 0 3 0 】

図 1 の回路において、図 1 0 に示す従来回路と異なるところは、補助電源端子 V D D に対して電流源となる P c h M O S F E T P 2 (以下、第 1 の電流源 P 2 ともいう。)、P c h M O S F E T P 1 1 (以下、第 2 の電流源 P 1 1 ともいう。)がそれぞれコンデンサ C 3 に充電電流を供給するように構成されている点である。そして、図 1 の破線で囲んだ部分は、第 2 の電流源 P 1 1 の電流制御回路 1 4 として機能するものであって、この電流制御回路 1 4 により補助電源端子 V D D での電圧信号を検知して、第 2 の電流源 P 1 1 からコンデンサ C 3 に供給される充電電流を停止制御するように構成されている。

【 0 0 3 1 】

ここで、第 1 の電流源 P 2 からの充電電流は、定電流回路 1 3 から供給されるバイアス電流に対して、カレントミラー回路のミラー比により $(N 3 / N 2) \cdot (P 2 / P 1)$ 倍に決定され、P c h M O S F E T P 2 のドレインからコンデンサ C 3 への充電電流として供給される。また、第 2 の電流源である P c h M O S F E T P 1 1 は、そのドレインがスイッチ回路、例えば P c h M O S F E T P 1 2 を介して補助電源端子 V D D と接続されていて、電流制御回路 1 4 の出力状態に応じて補助電源端子 V D D との間の導通 / 非導通を切り換え可能に構成されている。

【 0 0 3 2 】

つぎに、第 2 の電流源である P c h M O S F E T P 1 1 をオンオフ制御する電流制御回路 1 4 の構成について説明する。

この電流制御回路 1 4 は、P c h M O S F E T P 1 2、N c h M O S F E T N 1 1、抵抗 R 2 2 ~ R 2 4、ツェナーダイオード Z D 3、ヒステリシスコンパレータ 1 4 1、インバータ 1 4 2、および電源 E 4 とから構成されている。ここで、P c h M O S F E T P 1 2 のソースは、第 2 の電流源である P c h M O S F E T P 1 1 のドレインと接続され、P c h M O S F E T P 1 2 のドレインは補助電源端子 V D D と接続されている。また、N c h M O S F E T N 1 1 のソースは接地され、そのドレインと電源ラインとの間には抵抗 R 2 2 と抵抗 R 2 3 との直列回路が接続され、さらに、P c h M O S F E T P 1 2 のゲートが抵抗 R 2 2 と R 2 3 との接続点に接続されている。

【 0 0 3 3 】

ヒステリシスコンパレータ 1 4 1 は、- 入力端子が抵抗 R 2 4 を介して補助電源端子 V D D に接続され、その + 入力端子には基準電圧値を出力する電源 E 4 が接続されている。このヒステリシスコンパレータ 1 4 1 では、補助電源端子 V D D の電圧信号を検出して、検出した電圧レベルが基準電圧値より低い場合、出力端子から H (h i g h) レベルの信号を出力し、基準電圧値より高い場合、L (l o w) レベルの信号を出力する。また、ヒステリシスをもつ電源 E 4 は、検出した電圧レベルに対して上限電圧値となる閾値電圧 V c h g o f f と下限電圧値となる閾値電圧 V c h g o n とを基準電圧値として設定している。ヒステリシスコンパレータ 1 4 1 の出力端子は、N c h M O S F E T N 1 1 のゲート

と接続され、補助電源端子VDDの電圧信号に応じてNchMOSFETN11をオンオフ制御している。したがって、電流制御回路14では抵抗R22とR23の接続点電位によってPchMOSFETP12のゲートがオンオフ制御されることによって、このPchMOSFETP12が第2の電流源P11と補助電源端子VDDとの間を接続するスイッチ回路として機能する。また、このPchMOSFETP12には、電源ラインとゲートとの間にゲート保護用のツェナーダイオードZD3が接続されている。

【0034】

なお、補助電源端子VDDの周辺部制御回路として、補助電源端子VDDからの充電電流が流入するコンデンサC3が大地(GND)との間に接続されている。また、このコンデンサC3の充電電圧を検出して、スイッチング電源制御回路200を制御するために、抵抗R7を介して低電圧誤動作防止回路のヒステリシスコンパレータ104の検出端子(-側入力端子)と補助電源端子VDDとが接続されている。さらに、補助電源端子VDDにはダイオードD3のカソードが接続され、このダイオードD3のアノードは一端が接地された3次巻線T3の他端に接続されている。

【0035】

つぎに、上記構成のスイッチング電源制御回路200の動作について説明する。図2は、スイッチング電源制御回路200における起動時の充電電圧の変化を示す図である。図中の点線で示す波形は、第1の電流源PchMOSFETP2のみで充電する場合の充電電圧の変化を示すものであって、図11に示した波形に相当する。また、図3には図2における起動時の充電電圧の変化を拡大して示している。

【0036】

図1のスイッチング電源制御回路200では、PchMOSFETP2、PchMOSFETP11がそれぞれ第1、第2の電流源として備えられていて、スイッチング電源装置に交流電源ACVが投入された時に、補助電源端子VDDからコンデンサC3に対してそれぞれ独立して充電電流を供給するように構成されている。したがって、制御回路200の動作条件に応じて2つの電流源P2、P11から同時に、あるいは第1の電流源P2だけからコンデンサC3への充電電流を供給するようになる。

【0037】

つぎに、電流制御回路14における電源E4の制御閾値電圧にヒステリシスを有する場合について、制御回路200の第2の電源端子である補助電源端子VDDに供給される充電電流について説明する。

【0038】

電源投入直後では、補助電源端子VDDの電圧は、電流制御回路14のスイッチ回路(PchMOSFETP12)を非導通状態とする閾値電圧Vchgoffには到達していない。そのため、スイッチ回路が導通状態にあることから、補助電源端子VDDには第1の電流源P2と第2の電流源P11とから充電電流が供給され、そこに接続されたコンデンサC3への充電が開始される。コンデンサC3が充電されることで、補助電源端子VDDの端子電圧がヒステリシスコンパレータ141の上限の閾値電圧Vchgoffに達すると、スイッチ回路が非導通状態となり、第2の電流源P11と補助電源端子VDDとが切り離される。そして、その後は補助電源端子VDDの端子電圧がスイッチング動作を開始する閾値電圧Vthonに達するまで、第1の電流源P2の充電電流だけによってコンデンサC3が充電される。

【0039】

スイッチング電源装置がスイッチング動作を開始した以降では、電流制御回路14での検出電圧と出力電圧との間にはヒステリシスがあるため、スイッチング電源制御回路100の制御によって補助電源端子VDDの端子電圧が低電圧誤動作防止回路によるスイッチング動作停止の閾値電圧Vthoff以下になった場合でも、補助電源端子VDDの端子電圧がスイッチ回路を導通状態とする閾値電圧Vchgon以下にならなければ第2の電流源P11と補助電源端子VDDとは接続されず、再び第1の電流源P2の充電電流だけによってコンデンサC3が充電される。したがって、電源投入直後の起動時間を短くして

、かつ間欠周期を長くすることができる。

【 0 0 4 0 】

図 1 に示す実施形態において、第 2 の電流源 P 1 1 と補助電源端子 V D D との間をオンオフ制御するスイッチ回路には P c h M O S F E T P 1 2 を用いている。しかし、例えばトランスファークラークのように補助電源端子 V D D の端子電圧により第 2 の電流源 P 1 1 との間で導通 / 遮断の制御を行えるものであれば、それ以外のものも使用できる。なお、トランスファークラークを用いた場合、その導通 / 遮断を切り換える信号としては、ヒステリシスコンパレータ 1 4 1 から N c h M O S F E T N 1 1 のゲートに入力する制御信号だけでなく、図 1 に示すインバータ 1 4 2 の出力のような、この制御信号の h i g h / l o w を反転した信号も必要となる。

10

【 0 0 4 1 】

以上の説明では、図 2 に示すように各閾値電圧の電位関係を、

$$V_{chg on} < V_{chg off} < V_{th off} < V_{th on}$$

のように設定している。

【 0 0 4 2 】

図 4 では、図 1 の実施形態の変形例における起動時の充電電圧の変化を示している。なお、細線は第 1 の電流源 P c h M O S F E T P 2 のみで充電する場合の充電電圧の変化を示す。ここでは、図 2 の場合とは異なり、各閾値電圧の電位関係を、

$$V_{chg on} < V_{th off} < V_{chg off} < V_{th on}$$

のように設定している。この場合には、スイッチング電源制御回路 2 0 0 の動作は同じであるが、電源投入直後での補助電源端子 V D D の端子電圧の立ち上がり方が異なり、図 2 に示すものと比較したとき、図 4 に示す充電電圧の方が起動するまでの時間を一層短くすることができる。

20

【 0 0 4 3 】

なお、第 2 の電流源を制御する電流制御回路 1 4 に比較回路として設けられているヒステリシスコンパレータ 1 4 1 に代えて、制御電圧にヒステリシスが無いコンパレータ (すなわち、 $V_{chg on} = V_{chg off} = V_{chg}$) を用いた場合には、各閾値電圧の電位関係は、

$$V_{chg} < V_{th off} < V_{th on}$$

となるが、その場合には、電源投入直後での補助電源端子 V D D の端子電圧の立ち上がり方は、図 2 に示すようになる。このとき、補助電源端子 V D D の端子電圧に対する充電電流の制御も上述したものと同様に行われる。

30

【 0 0 4 4 】

このように、第 1 の実施形態に係るスイッチング電源制御回路 2 0 0 では補助電源端子 V D D と第 2 の電流源 P 1 1 との間を接続するスイッチ回路を備え、補助電源端子 V D D での電圧信号によりスイッチ回路をオンオフ制御して、第 2 の電流源 P 1 1 から供給されるコンデンサ C 3 への充電電流を停止制御するように構成したので、起動時間を短くして、かつ間欠周期を長くすることができる。

【 0 0 4 5 】

(第 2 の実施形態)

40

つぎに、この発明の第 2 の実施形態について説明する。図 5 は、第 2 の実施形態に係るスイッチング電源制御回路 2 1 0 の構成例を示す回路図である。なお、この実施形態の発明は、特許請求の範囲の請求項 5 に記載した発明に対応するものである。

【 0 0 4 6 】

第 2 の実施形態では、前述した第 1 の実施形態の回路構成と同一部分については、その説明を省略する。図 5 において、分離して図示されている第 1 の制御回路部 1 5 と第 2 の制御回路部 1 6 が、第 1 の実施形態の電流制御回路 1 4 に相当する。このうち第 2 の制御回路部 1 6 には、第 1 の電流源である P c h M O S F E T P 2 のゲートに接続された第 2 のカレントミラー回路とは異なる第 3、第 4 のカレントミラー回路が含まれていて、その出力信号が第 2 の電流源に相当する P c h M O S F E T P 1 1 のゲートに接続されている

50

。

【 0 0 4 7 】

すなわち、第2の制御回路部16は2つのカレントミラー回路からなり、電源ラインと接地間に、バイアス電流を生成する定電流回路161と、NchMOSFETN12のドレインとを接続した直列回路が接続され、かつNchMOSFETN12のゲートおよびドレインとNchMOSFETN13のゲートが接続され、NchMOSFETN12とN13のソースがともに接地され、第3のカレントミラー回路を構成している。また、PchMOSFETP13のゲートおよびドレインとPchMOSFETP11のゲートが接続され、ソースがともに電源ラインに接続されて、別の第4のカレントミラー回路を構成している。これらのカレントミラー回路は、PchMOSFETP13のドレインが抵抗R25を介してNchMOSFETN13のドレインと接続され、PchMOSFETP13のゲートが抵抗R26を介して電源ラインに接続されている。さらに、互いに接続されたNchMOSFETN12とN13のゲートには、NchMOSFETN14のドレインが接続され、このNchMOSFETN14のソースが接地されている。

10

【 0 0 4 8 】

ここで、第1の電流源であるPchMOSFETP2については、そのドレインからの充電電流が第2の制御回路部16におけるカレントミラー回路のミラー比により、定電流回路13から供給されるバイアス電流に対して $(N3/N2) \cdot (P2/P1)$ 倍の充電電流をコンデンサC3に供給している。同様に、第2の電流源であるPchMOSFETP11は、そのドレインからの充電電流がカレントミラー回路のミラー比により、定電流回路161から供給されるバイアス電流に対して $(N13/N12) \cdot (P11/P13)$ 倍の充電電流をコンデンサC3に供給することになる。すなわち、第2の電流源P11は、交流電源ACVの投入時に供給される整流平滑出力によって第1の電流源P2とは独立して駆動されるものである。したがって、第1の実施形態のように、PchMOSFETP12のようなスイッチ回路を介することなしに補助電源端子VDDに接続されており、補助電源端子VDDの電圧が所定の閾値電圧を超えたとき、第2の制御回路部16のNchMOSFETN14をオンオフすることによって、第2の電流源P11自体の充電電流を停止制御することが可能となる。

20

【 0 0 4 9 】

なお、ゲート保護用のツェナーダイオードZD4は、そのカソードが電源ラインと接続され、アノードがPchMOSFETP13とP11のゲートと接続されている。また、PchMOSFETP11のドレイン端子は、補助電源端子VDDと直接に接続されている。

30

【 0 0 5 0 】

第1の制御回路部15は、抵抗R24、ヒステリシスコンパレータ141、インバータ142、および電源E4とから構成されている。ヒステリシスコンパレータ141は、-入力端子に抵抗R24を介して補助電源端子VDDが接続され、その+入力端子に基準電圧値を出力する電源E4が接続されている。ヒステリシスコンパレータ141では、補助電源端子VDDの電圧信号を検出して、その検出した電圧レベルが基準電圧値より低い場合、出力端子からHレベルの信号を出力し、基準電圧値より高い場合、Lレベルの信号を出力するものであって、ヒステリシスをもつ電源E4では、検出した電圧レベルに対して上限電圧値となる閾値電圧Vchgoffと下限電圧値となる閾値電圧Vchgonとを設定している。ヒステリシスコンパレータ141の出力端子は、インバータ142を介して第2の制御回路部16におけるNchMOSFETN14のゲートと接続され、補助電源端子VDDの電圧信号に応じてNchMOSFETN14をオンオフ制御することにより、第2の電流源に相当するPchMOSFETP11からの電流供給自体を制御するように構成されている。

40

【 0 0 5 1 】

つぎに、上記構成のスイッチング電源制御回路210の動作について説明する。

電源投入直後では、補助電源端子VDDの電圧は、第1の制御回路部15によってPc

50

hMOSFET P11からの充電電流の供給を停止する閾値電圧 V_{chgoff} には到達していない。そのため、第1の実施形態の図2に示したものと同様に、補助電源端子VDDには第1の電流源P2と第2の電流源P11とからそれぞれ充電電流が供給され、そこに接続されたコンデンサC3への充電が開始される。コンデンサC3が充電されることで、補助電源端子VDDの端子電圧がヒステリシスコンパレータ141の上限の閾値電圧 V_{chgoff} に達すると、第2の電流源P11からの電流供給が停止されるので、スイッチング電源装置が起動して補助電源端子VDDの端子電圧がスイッチング動作を開始する閾値電圧 V_{thon} に達するまで、第1の電流源P2からの充電電流によってコンデンサC3が充電される。

【0052】

10

スイッチング電源装置がスイッチング動作を開始した以降でも、前述した第1の実施形態と同様に、スイッチング電源制御回路210の制御によって補助電源端子VDDの端子電圧が低電圧誤動作防止回路によるスイッチング動作停止の閾値電圧 V_{thoff} 以下になった場合でも、補助電源端子VDDの端子電圧が閾値電圧 V_{chgon} 以下にならなければ第2の電流源P11からの電流供給は開始されない。そのため、再び第1の電流源P2の充電電流だけによりコンデンサC3が充電される。したがって、電源投入直後の起動時間を短くして、かつ間欠周期を長くすることができる。

【0053】

以上のように動作する第2の実施形態の場合でも、第2の電流源P11による充電が行われるのはスイッチング電源装置における交流電源ACVの投入時のみとなる。

20

なお、第2の実施形態では、2つの電流源P2, P11からそれぞれ流出する電流の大きさは、いずれもカレントミラー回路のミラー比、あるいは定電流回路13, 161におけるバイアス電流の大きさに応じて決定されるものである。ここでは、第1の電流源P2と第2の電流源P11のそれぞれから供給される電流値の大小関係については、特に指定しない。しかし、この発明の主旨からすると、第1の電流源の電流値 第2の電流源の電流値という関係に設定することが望ましい。

【0054】

(第3の実施形態)

つぎに、この発明の第3の実施形態について説明する。図6は、第3の実施形態に係るスイッチング電源制御回路211の構成例を示す回路図である。

30

【0055】

第3の実施形態では、第2の実施形態における第1の電流源P2のバイアス電流と第2の電流源P11によるバイアス電流とを、それぞれ図9に示すラッチ回路105のラッチ信号 $latch$ により停止制御するものである。ここでは、カレントミラー回路を構成するNchMOSFET N2とN3のゲートの接続箇所に、NchMOSFET N15のドレインが接続され、第2の制御回路部17を構成するカレントミラー回路のNchMOSFET N12とN13のゲートの接続箇所に、NchMOSFET N16のドレインが接続されている。そして、これらNchMOSFET N15, N16のソースをそれぞれ接地し、ラッチ回路105のラッチ信号 $latch$ をそれぞれのゲートに供給している。なお、第1の制御回路部15の構成については、図5のものと同一である。

40

【0056】

第3の実施形態における回路動作については、前述した第1, 第2の実施形態の場合と同じで、起動時間を短くして、かつ間欠周期を長くするという効果を奏するものであるが、さらにスイッチング電源制御回路211の有している過電圧保護や過熱保護などの保護機能が作用することで、スイッチング動作にラッチが掛けられた時、前述したように補助電源端子VDDにおける電位低下があったときでも、充電電流が流出しないように機能するものである。なお、こうした構成とその作用効果については、上述した第1, 第2の実施形態や後述する第4の実施形態のスイッチング電源制御回路に適用することができる。

【0057】

(第4の実施形態)

50

つぎに、この発明の第４の実施形態について説明する。図７は、第４の実施形態に係るスイッチング電源制御回路２０１の構成例を示す回路図である。

【００５８】

この実施形態のスイッチング電源制御回路２０１は、補助電源端子ＶＤＤの電圧が低電圧誤動作防止回路によって設定した閾値電圧の範囲を逸脱したとき、第１，第２の電流源からの充電電流を停止制御しようとするものであって、第１の実施形態の電流制御回路１４におけるＮｃｈＭＯＳＦＥＴＮ２，Ｎ３からなるカレントミラー回路にＮｃｈＭＯＳＦＥＴＮ１７を設け、このＮｃｈＭＯＳＦＥＴＮ１７のゲートに低電圧誤動作防止回路の誤動作防止信号ｕｖｌｏの反転信号 $\overline{u v l o}$ を供給している。ここでは、ＮｃｈＭＯＳＦＥＴＮ１７を追加した以外の構成については、第１の実施形態のスイッチング電源制御回路２００と同様である。

10

【００５９】

このように構成したスイッチング電源制御回路２０１では、低電圧誤動作防止回路の動作電圧と電源電圧の大きさに応じて、ＮｃｈＭＯＳＦＥＴＮ２，Ｎ３からなるカレントミラー回路のミラー電流がオンオフ制御できる。したがって、電源電圧が低電圧誤動作防止回路で設定した動作電圧まで上がったときに、充電電流を停めることができる。

【００６０】

以上に説明した第１ないし第４の実施形態は、いずれもスイッチング電源制御回路２００，２１０，２１１，２０１を単一の集積回路装置として構成できる。しかし、第１，第２の電流源Ｐ２，Ｐ１１や電流制御回路１４などは、他の回路要素と同じスイッチング電源制御用ＩＣに内蔵しないで、独立の回路装置として構成することもできる。

20

【００６１】

（第５の実施形態）

図１２は、この発明の第５の実施形態に係るスイッチング電源制御回路３００の構成例を示す回路図である。ここでも、スイッチング電源制御回路３００の電流源回路とその周辺部制御回路の構成だけを示しており、その基本となる全体回路構成は図９に示した従来回路１００と同じである。したがって、以下では同一部分についての説明を省略する。なお、この実施形態の発明は、特許請求の範囲の請求項８に記載した発明に対応するものである。

【００６２】

30

図１２において、分離して図示されている第１の制御回路部１５と第２の制御回路部１８は、第１の実施形態の電流制御回路１４に相当する。ここでは、電源ラインと接地間には、定電流回路１３とＮｃｈＭＯＳＦＥＴＮ２のドレインとを接続した直列回路が接続され、かつＮｃｈＭＯＳＦＥＴＮ２のゲートおよびドレインとＮｃｈＭＯＳＦＥＴＮ３およびＮ１８のゲートが接続され、これらのＮｃｈＭＯＳＦＥＴＮ２，Ｎ３，Ｎ１８のソースがともに接地され、第１のカレントミラー回路が構成されている。また、ＰｃｈＭＯＳＦＥＴＰ１のゲートおよびドレインとＰｃｈＭＯＳＦＥＴＰ２のゲートが接続され、ソースがともに電源ラインに接続されて、第２のカレントミラー回路が構成されている。これらのカレントミラー回路は、ＰｃｈＭＯＳＦＥＴＰ１のドレインが抵抗Ｒ２１を介してＮｃｈＭＯＳＦＥＴＮ３のドレイン、およびＰｃｈＭＯＳＦＥＴＰ１４のソースと接続され、さらにゲート保護用のツェナーダイオードＺＤ１は、そのカソードが電源ラインに接続され、アノードがＰｃｈＭＯＳＦＥＴＰ１およびＰ２のゲートに接続されている。さらに、ＰｃｈＭＯＳＦＥＴＰ２のドレイン端子は、補助電源端子ＶＤＤおよび抵抗Ｒ７の一端に接続されている。

40

【００６３】

ここで、ＮｃｈＭＯＳＦＥＴＮ１８およびＰｃｈＭＯＳＦＥＴＰ１４は、それらのドレインが互いに接続され、第２の制御回路部１８の一部分を構成し、第１の実施形態における電流制御回路１４と同様、さらにＮｃｈＭＯＳＦＥＴＮ１１、抵抗Ｒ２２～Ｒ２４、ツェナーダイオードＺＤ３、ヒステリシスコンパレータ１４１、インバータ１４２、および電源Ｅ４とともに電流制御回路を構成するものである。

50

【 0 0 6 4 】

図 1 2 のスイッチング電源制御回路 3 0 0 において、従来回路 1 0 0 と異なるところは、第 2 の制御回路部 1 8 によって第 1 のカレントミラー回路のミラー比が変更設定されるため、定電流回路 1 3 から供給される定電流をもとに第 2 のカレントミラー回路に対して供給されるバイアス電流の大きさを変更できる点にある。すなわち、第 1 の制御回路部 1 5 では補助電源端子 V D D の電圧を検出し、第 2 の制御回路部 1 8 によって第 2 のカレントミラー回路からコンデンサ C 3 に供給される充電電流の大きさを制御するように構成されている。

【 0 0 6 5 】

つぎに、上記構成のスイッチング電源制御回路 3 0 0 の動作について説明する。

電源投入直後には、定電流回路 1 3 からのバイアス電流により N c h M O S F E T N 2 , N 3 および N 1 8 は導通状態にある。また、第 1 の制御回路部 1 5 では補助電源端子 V D D の電圧は、電源 E 4 からヒステリシスコンパレータ 1 4 1 に出力される基準電圧値より低い。そのため、ヒステリシスコンパレータ 1 4 1 から N c h M O S F E T N 1 1 に出力されるゲート信号が H レベルとなって、N c h M O S F E T N 1 1 とともに P c h M O S F E T P 1 4 は導通状態になる。そこで、制御回路 3 0 0 の第 1 のカレントミラー回路では N c h M O S F E T N 3 と N 1 8 が並列接続された状態となり、定電流回路 1 3 からのバイアス電流が $(N 3 + N 1 8 / N 2)$ 倍の大きさに増幅されて、第 2 のカレントミラー回路の一次側を構成する P c h M O S F E T P 1 に大きなバイアス電流を流すことができる。

【 0 0 6 6 】

その後、コンデンサ C 3 が充電されて補助電源端子 V D D の電位が上昇し、その端子電圧が電源 E 4 で設定された基準電圧値（例えば、上限の閾値電圧 V c h g o f f ）を超えると、ヒステリシスコンパレータ 1 4 1 から N c h M O S F E T N 1 1 に出力されるゲート信号が L レベルになって、N c h M O S F E T N 1 1 および P c h M O S F E T P 1 4 がともに非導通状態となる。すなわち、第 1 のカレントミラー回路では N c h M O S F E T N 1 8 が切り離された状態となるから、そのミラー比が N 2 : N 3 となり、第 2 のカレントミラー回路の一次側を構成する P c h M O S F E T P 1 には、小さなバイアス電流しか流れなくなる。

【 0 0 6 7 】

このように、第 5 の実施形態に係るスイッチング電源制御回路 3 0 0 は、1 対のトランジスタ N 2 , N 3 , N 1 8 からなる第 1 のカレントミラー回路と、第 1 のカレントミラー回路の後段に縦続接続され、第 1 のカレントミラー回路とは別の 1 対のトランジスタ P 1 , P 2 からなる第 2 のカレントミラー回路とによって電流源が構成され、第 1 のカレントミラー回路のミラー比を変更することによって、第 2 のカレントミラー回路からコンデンサ C 3 に供給される充電電流の大きさを制御できる。すなわち、スイッチング電源装置の起動期間には間欠動作するときの充電電流より大きな電流値となるように電流制御回路を構成したことによって、スイッチング電源装置の電源投入後における起動時間を短くして、かつ間欠周期を長くすることができる。

【 0 0 6 8 】

なお、補助電源端子 V D D の電圧に対するヒステリシス低電圧誤動作防止回路の高低それぞれの閾値電圧を V t h o n , V t h o f f とし、電流制御回路の第 1 の制御回路部 1 5 におけるヒステリシスを有する閾値電圧の上下限值をそれぞれ V c h g o f f , V c h g o n とした場合に、これらの電位関係を

$$0 V < V c h g o n < V c h g o f f < V t h o f f < V t h o n$$

とし、あるいは

$$0 V < V c h g o n < V t h o f f < V c h g o f f < V t h o n$$

とすれば、電源投入直後での補助電源端子 V D D の端子電圧を前述した図 2、あるいは図 4 に示すように制御できる。さらに、ヒステリシスコンパレータ 1 4 1 に代えて、制御電圧にヒステリシスが無いコンパレータを用いることで、

$0V < V_{chg} < V_{thoff} < V_{thon}$
 のように設定してもよい。

【0069】

(第6の実施形態)

つぎに、この発明の第6の実施形態について説明する。図13は、第6の実施形態に係るスイッチング電源制御回路310の構成例を示す回路図である。なお、この実施形態の発明は、特許請求の範囲の請求項9に記載した発明に対応するものである。

【0070】

図13において、分離して図示されている第1の制御回路部15と第2の制御回路部19は、第1の実施形態の電流制御回路14に相当する。ここでは、電源ラインと接地間には、定電流回路13とNchMOSFETN2のドレインとを接続した直列回路が接続され、かつNchMOSFETN2のゲートおよびドレインとNchMOSFETN3のゲートが接続され、これらのNchMOSFETN2、N3のソースがともに接地され、第1のカレントミラー回路が構成されている。また、PchMOSFETP1のゲートおよびドレインとPchMOSFETP2のゲートが接続され、ソースがともに電源ラインに接続されて、第2のカレントミラー回路が構成されている。これらのカレントミラー回路は、PchMOSFETP1のドレインが抵抗R21を介してNchMOSFETN3のドレイン、および抵抗R26の一端と接続され、さらにゲート保護用のツェナーダイオードZD1は、そのカソードが電源ラインに接続され、アノードがPchMOSFETP1およびP2のゲートに接続されている。さらに、PchMOSFETP2のドレイン端子は、補助電源端子VDDおよび抵抗R7の一端に接続されている。

【0071】

ここで、抵抗R26の他端はNchMOSFETN19のドレインに接続され、NchMOSFETN19のソースは接地され、これら抵抗R26とNchMOSFETN19は第1のカレントミラー回路の二次側トランジスタであるNchMOSFETN3と並列接続された電流回路を構成している。また、第1の制御回路部15は第1の実施形態における電流制御回路14と同様、抵抗R24、ヒステリシスコンパレータ141、インバータ142、および電源E4によって構成されるものであって、ヒステリシスコンパレータ141からの出力がNchMOSFETN19のゲート信号として、第2の制御回路部19に供給されている。

【0072】

つぎに、上記構成のスイッチング電源制御回路310の動作について説明する。

電源投入直後には、定電流回路13からのバイアス電流によりNchMOSFETN2およびN3は導通状態にある。また、補助電源端子VDDの電圧は、電源E4からヒステリシスコンパレータ141に出力される基準電圧値より低い。そのため、ヒステリシスコンパレータ141からNchMOSFETN19に出力されるゲート信号がHレベルとなって、NchMOSFETN19は導通状態になる。そこで、第2のカレントミラー回路では、PchMOSFETP1の一次側電流 I_{p1} が、定電流回路13からのバイアス電流が第1のカレントミラー回路のミラー比($N2:N3$)に応じた倍率で流れるだけでなく、電源ラインに対して抵抗R21と抵抗R26に依存した大きさの電流も流れる。したがって、制御回路310の補助電源端子VDDには電流源P2から $I_{p1} \times (P2/P1)$ の大きさに充電電流が供給され、そこに接続されたコンデンサC3への充電が開始される。

【0073】

コンデンサC3が充電されることで、補助電源端子VDDの端子電圧がヒステリシスコンパレータ141で設定された基準電圧値(例えば、上限の閾値電圧 V_{chgo})を超えると、ヒステリシスコンパレータ141からNchMOSFETN19に出力されるゲート信号がLレベルになって、NchMOSFETN19が非導通状態となる。すなわち、第1のカレントミラー回路と抵抗R26とが切り離されて、第2のカレントミラー回路の一次側を構成するPchMOSFETP1には、小さなバイアス電流しか流れなくな

る。

【 0 0 7 4 】

このように、第 6 の実施形態に係るスイッチング電源制御回路 3 1 0 は、1 対のトランジスタ N 2 , N 3 からなる第 1 のカレントミラー回路と、第 1 のカレントミラー回路の後段に縦続接続され、第 1 のカレントミラー回路とは別の 1 対のトランジスタ P 1 , P 2 からなる第 2 のカレントミラー回路とによって電流源が構成され、さらに第 1 のカレントミラー回路の二次側トランジスタと並列接続された電流回路によって、第 2 のカレントミラー回路からコンデンサ C 3 に供給される充電電流の大きさを制御できる。すなわち、スイッチング電源装置の起動期間には間欠動作するときの充電電流より大きな電流値となるように構成したことによって、スイッチング電源装置の電源投入後における起動時間を短くして、かつ間欠周期を長くすることができる。

10

【 0 0 7 5 】

(第 7 の実施形態)

つぎに、この発明の第 7 の実施形態について説明する。図 1 4 は、第 7 の実施形態に係るスイッチング電源制御回路 3 0 1 の構成例を示す回路図である。

【 0 0 7 6 】

第 7 の実施形態では、第 5 の実施形態のスイッチング電源制御回路 3 0 0 (図 1 2) における第 1 のカレントミラー回路のバイアス電流を遮断するためのスイッチ回路として、N c h M O S F E T N 1 7 が追加されており、N c h M O S F E T N 1 7 を図 9 に示すラッチ回路 1 0 5 のラッチ信号 l a t c h、あるいは低電圧誤動作防止回路の誤動作防止信号 u v l o の反転信号 u v l o _ b により、電流源 P 2 からのバイアス電流自体を停止制御するようにしたものである。

20

【 0 0 7 7 】

ここでは、第 1 のカレントミラー回路を構成する N c h M O S F E T N 2 と N 3 のゲートの接続箇所には、N c h M O S F E T N 1 7 のドレインが接続され、この N c h M O S F E T N 1 7 のソースを接地するとともに、そのゲートにはラッチ信号 l a t c h、あるいは誤動作防止信号 u v l o の反転信号 u v l o _ b が供給されている。

【 0 0 7 8 】

第 7 の実施形態における回路動作については、前述した第 5 の実施形態の場合と同じで、起動時間を短くして、かつ間欠周期を長くするという効果を奏するものであるが、さらにスイッチング電源制御回路 3 0 1 の有している過電圧保護や過熱保護などの保護機能が作用することで、スイッチング動作にラッチが掛けられた時、あるいは第 4 の実施形態のスイッチング電源制御回路 2 0 1 と同様に、補助電源端子 V D D の電圧が低電圧誤動作防止回路によって設定した閾値電圧の範囲を逸脱したときでも、電流源から充電電流が流出しないように機能する。

30

【 0 0 7 9 】

(第 8 の実施形態)

つぎに、この発明の第 8 の実施形態について説明する。図 1 5 は、第 8 の実施形態に係るスイッチング電源制御回路 3 1 1 の構成例を示す回路図である。

【 0 0 8 0 】

第 8 の実施形態では、第 6 の実施形態のスイッチング電源制御回路 3 1 0 (図 1 3) において、第 1 のカレントミラー回路を構成する N c h M O S F E T N 2 と N 3 からのバイアス電流を遮断するためのスイッチ回路として、N c h M O S F E T N 1 7 と N 2 0 とが追加されており、N c h M O S F E T N 1 7 と N 2 0 をそれぞれ図 9 に示すラッチ回路 1 0 5 のラッチ信号 l a t c h、あるいは低電圧誤動作防止回路の誤動作防止信号 u v l o の反転信号 u v l o _ b によりオフすることによって、電流源 P 2 からのバイアス電流自体を停止制御するようにしたものである。

40

【 0 0 8 1 】

ここでは、第 1 のカレントミラー回路を構成する N c h M O S F E T N 2 と N 3 のゲートの接続箇所に N c h M O S F E T N 1 7 のドレインが接続され、また第 1 のカレントミ

50

ラー回路のN c h M O S F E T N 3と並列接続されたN c h M O S F E T N 19のゲートには、N c h M O S F E T N 20のドレインが接続されている。そして、これらN c h M O S F E T N 17, N 20のソースをそれぞれ接地するとともに、それぞれのゲートにラッチ回路105のラッチ信号l a t c h (あるいは誤動作防止信号u v l oの反転信号u v l o__b)が供給されている。なお、第1の制御回路部15や第2の制御回路部19の構成については、N c h M O S F E T N 20を追加した以外、図13のものと同一である。

【0082】

このように構成したスイッチング電源制御回路311では、低電圧誤動作防止回路の動作電圧と電源電圧の大きさに応じて、N c h M O S F E T N 2, N 3からなる第1のカレントミラー回路のミラー電流自体をオンオフ制御できる。したがって、スイッチング動作にラッチが掛けられたときや、電源電圧が低電圧誤動作防止回路で設定した動作電圧まで上がったときには、充電電流を停めることができる。

10

【0083】

以上に説明した第5ないし第8の実施形態は、いずれもスイッチング電源制御回路300, 301, 310, 311を単一の集積回路装置として構成できる。しかし、電流源P2や電流制御回路などは、他の回路要素と同じスイッチング電源制御用ICに内蔵しないで、独立の回路装置として構成することもできる。

【図面の簡単な説明】

【0084】

20

【図1】この発明の第1の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【図2】この発明のスイッチング電源制御回路における起動時の充電電圧の変化を示す図である。

【図3】図2における起動時の充電電圧の変化を拡大して示す図である。

【図4】図1のスイッチング電源制御回路の変形例における起動時の充電電圧の変化を示す図である。

【図5】この発明の第2の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【図6】この発明の第3の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

30

【図7】この発明の第4の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【図8】一般的なスイッチング電源装置の回路構成を示すブロック図である。

【図9】従来のスイッチング電源制御回路を示すブロック図である。

【図10】従来のスイッチング電源制御回路における電流源回路とその周辺部制御回路の構成を示す回路図である。

【図11】従来のスイッチング電源制御回路による補助電源端子VDDの電圧値の変化を示す図である。

【図12】この発明の第5の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

40

【図13】この発明の第6の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【図14】この発明の第7の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【図15】この発明の第8の実施形態に係るスイッチング電源制御回路の構成例を示す回路図である。

【符号の説明】

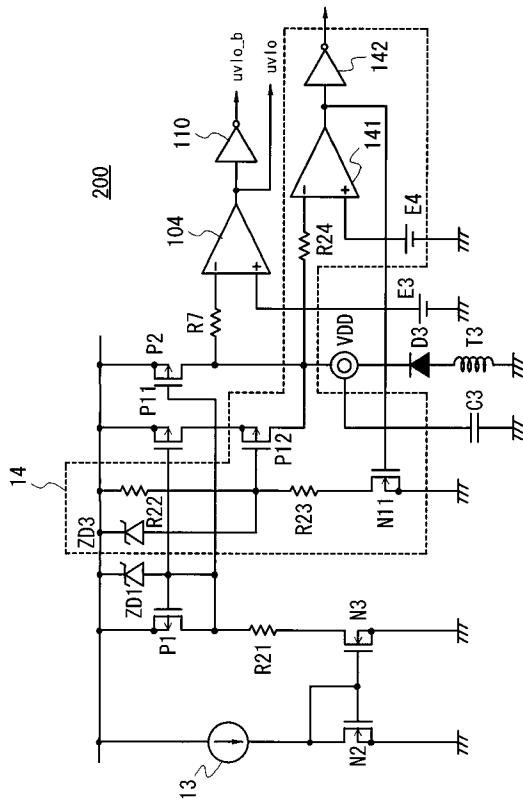
【0085】

11 負荷

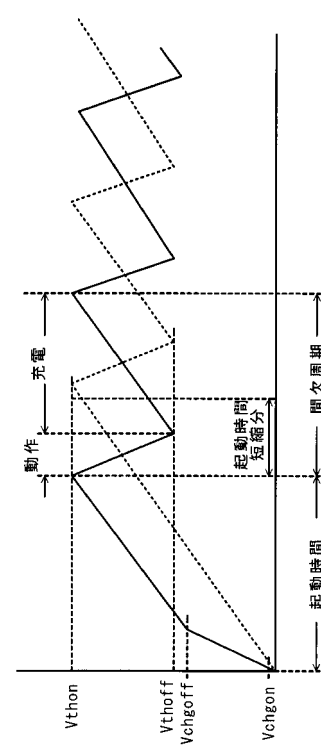
50

1 2	出力電圧検出回路	
1 3	定電流回路	
1 4	電流制御回路	
1 5	第 1 の制御回路部	
1 6 ~ 1 9	第 2 の制御回路部	
2 0 0 , 2 0 1 , 2 1 0 , 2 1 1 , 3 0 0 , 3 0 1 , 3 1 0 , 3 1 1	制御回路 (スイ	
ツチング電源制御回路)		
1 0 1	第 1 のバイアス回路 (b i a s 1)	
1 0 2	基準電圧回路 (r e f)	
1 0 3	定電流回路	10
1 0 4	ヒステリシスコンパレータ	
1 0 5	ラッチ回路 (l a t c h)	
1 0 6	第 2 のバイアス回路 (b i a s 2)	
1 0 7	発振回路 (o s c)	
1 0 8	P W M コンパレータ	
1 0 9	駆動回路 (d r v)	
1 1 0	インバータ	
1 1 1	過電圧検出回路	
1 4 1	ヒステリシスコンパレータ	
1 4 2	インバータ	20
1 6 1	定電流回路	
N 1	スイッチングトランジスタ (パワー M O S F E T)	
T	トランス	
T 1	1 次巻線	
T 2	2 次巻線	
T 3	3 次巻線	
P T	フォトトランジスタ	
L E D	発光ダイオード	
D 1	ダイオードブリッジ	
D 2 ~ D 4	整流ダイオード	30
C 1 ~ C 7	コンデンサ	
R 1 ~ R 1 4 , R 2 1 ~ R 2 5	抵抗	
N 2 ~ N 2 0	N c h M O S F E T	
P 1 ~ P 1 4	P c h M O S F E T	
Z D 1 ~ Z D 4	ツェナーダイオード	

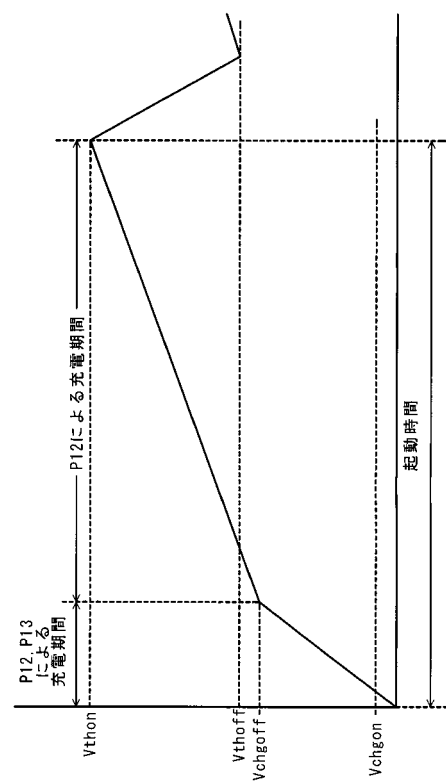
【図 1】



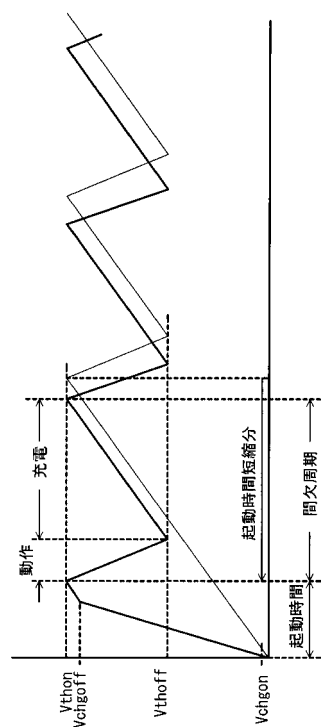
【図 2】



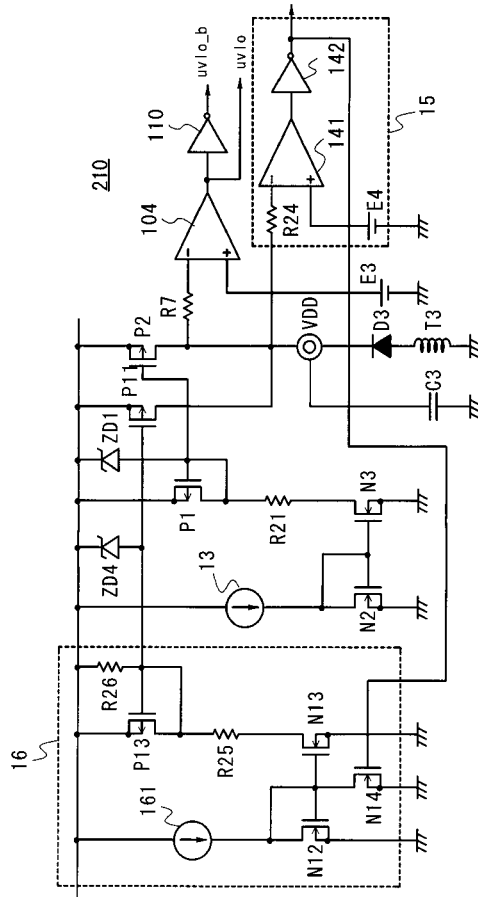
【図 3】



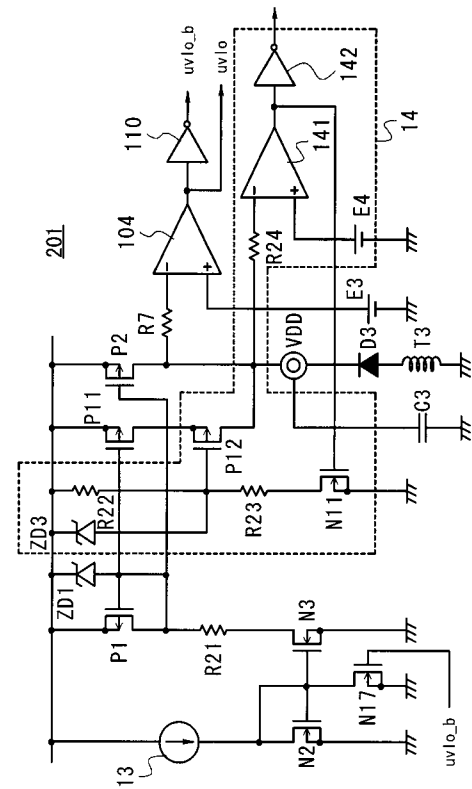
【図 4】



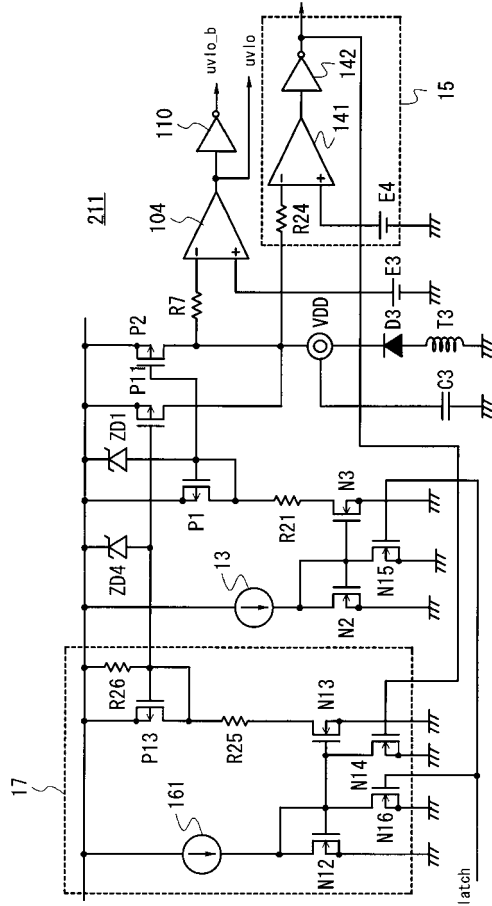
【図 5】



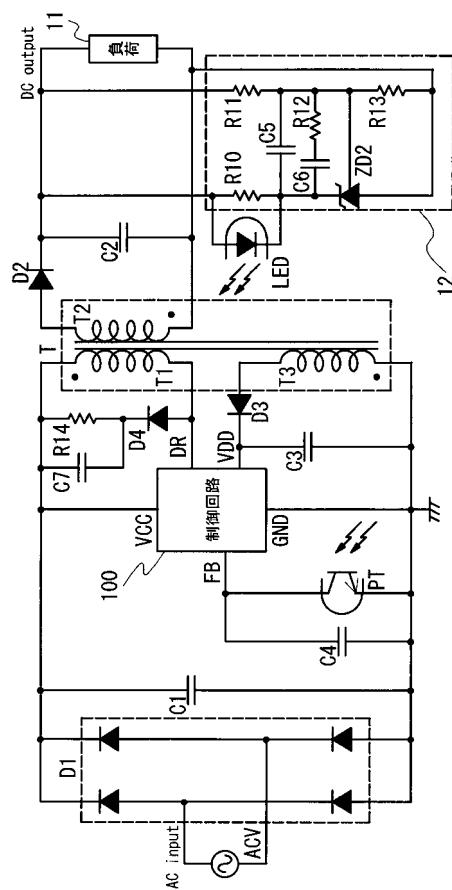
【図 7】



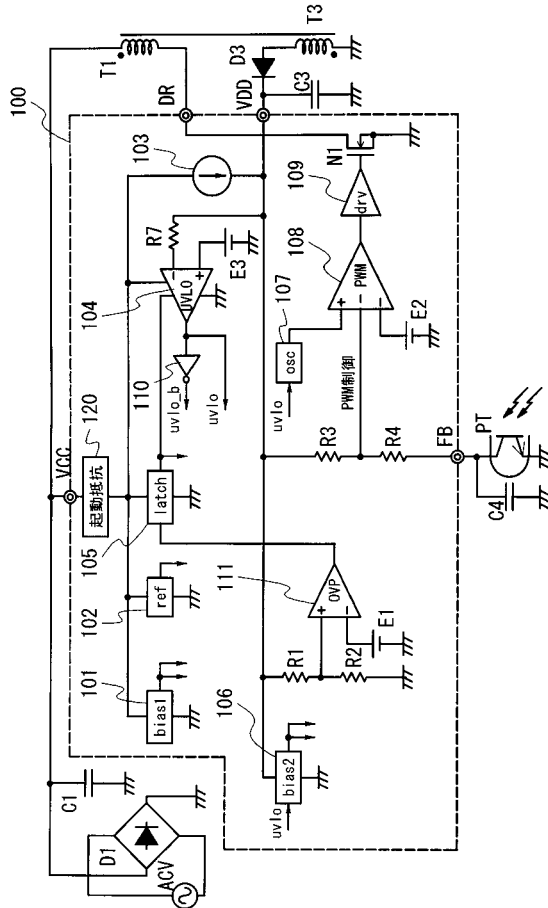
【図 6】



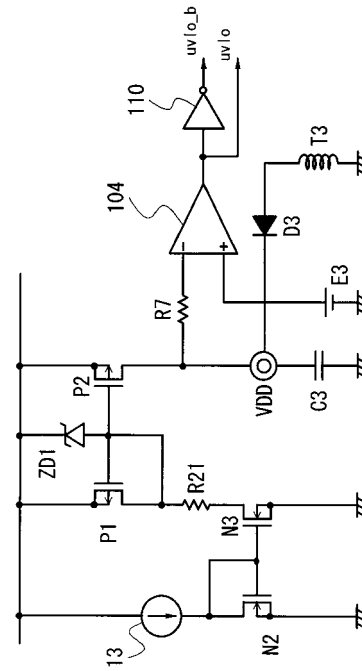
【図 8】



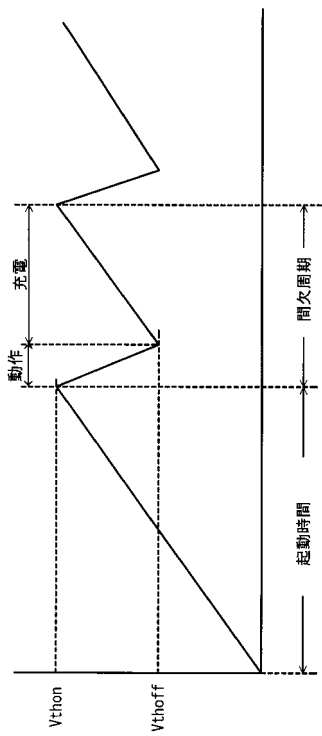
【図 9】



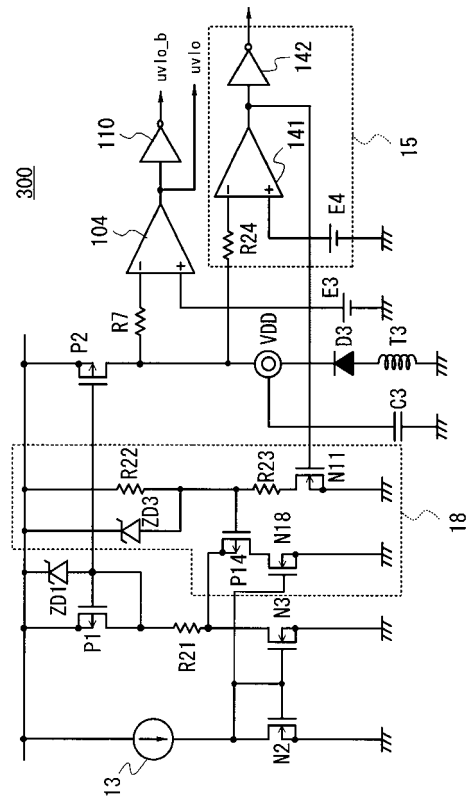
【図 10】



【図 11】



【図 12】



フロントページの続き

(58)調査した分野(Int.Cl. , D B 名)

H 0 2 M 3 / 2 8