

[19] 中华人民共和国国家知识产权局



[12] 发明专利说明书

专利号 ZL 200710001661.6

[51] Int. Cl.

G01R 19/00 (2006.01)
G01R 19/165 (2006.01)
G01R 31/40 (2006.01)
G01R 31/42 (2006.01)
H03K 17/22 (2006.01)
G06F 1/28 (2006.01)

[45] 授权公告日 2009 年 1 月 14 日

[11] 授权公告号 CN 100451663C

[22] 申请日 2007.1.9

[21] 申请号 200710001661.6

[30] 优先权

[32] 2006.9.1 [33] US [31] 60/824,290

[73] 专利权人 威盛电子股份有限公司

地址 中国台湾台北县

[72] 发明人 刘智民

[56] 参考文献

CN2438273Y 2001.7.4

CN1381732A 2002.11.27

CN2432731Y 2001.5.30

CN1494759A 2004.5.5

US2004113681A1 2004.6.17

高精度宽容限电源电压检测电路的设计.

张颖, 潘亮. 中国集成电路, 第 68 期. 2005

审查员 李晓惠

[74] 专利代理机构 北京市柳沈律师事务所

代理人 吕晓章 李晓舒

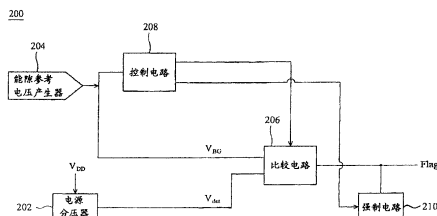
权利要求书 2 页 说明书 6 页 附图 10 页

[54] 发明名称

电源电平检测器

[57] 摘要

本发明的电源电平检测器包括一电源分压器、一能隙参考电压产生器、一比较电路、一控制电路以及一强制电路。一电源经电源分压器分压后输出一检电压。电源重置后, 能隙参考电压产生器会在电源回复至一电平后产生一能隙参考电压。比较电路比较检电压以及能隙参考电压以判断电源的电平。控制电路在能隙参考电压尚未产生时禁止比较电路, 并在能隙参考电压产生后切换成使能比较电路。强制电路耦接比较电路的输出端, 用于在比较电路为禁止状态时, 强制比较电路的输出端电压为一定值, 以避免输出错误信息。



1. 一种电源电平检测器, 其中包括:

一电源分压器, 分压一电源以产生一检电压;

一能隙参考电压产生器, 在该电源被重置并且回复至一电平后产生一能隙参考电压;

一比较电路, 比较该检电压以及该能隙参考电压, 以判断该电源的电平;

一控制电路, 在该能隙参考电压尚未产生时, 禁止该比较电路, 并且在该能隙参考电压产生后, 由禁止该比较电路转变成使能该比较电路; 以及

一强制电路, 耦接于该比较电路的输出端, 由该控制电路控制, 用于在该控制电路尚未使能该比较电路时, 强制该比较电路的输出端电压为一定值。

2. 如权利要求 1 所述的电源电平检测器, 其中, 该比较电路包括:

一比较器; 以及

一第一开关, 耦接于该比较器的电源端与该电源之间, 由该控制电路控制, 在上述控制电路禁止该比较电路时不导通, 并且在上述控制电路使能该比较电路时导通。

3. 如权利要求 2 所述的电源电平检测器, 其中, 该强制电路可为一第二开关, 用于在该控制电路尚未使能该比较电路时, 耦接该比较电路的输出端至一定电压端以提供该定值。

4. 如权利要求 3 所述的电源电平检测器, 其中, 该控制电路包括:

一电容, 其第一端点耦接该电源;

一放电装置, 耦接该电容的第二端点, 在该能隙参考电压产生后启动, 以产生一放电电流对该电容放电;

一第一反相器, 其输入端耦接该电容的第二端点以输出一第一控制信号控制该第一开关, 其中, 该第一控制信号为高电平时, 该第一开关导通, 反之则不导通; 以及

一第二反相器, 用于反相该第一控制信号以产生一第二控制信号控制该第二开关, 其中, 该第二控制信号为高电平时, 该第二开关导通, 反之则不导通。

5. 如权利要求 4 所述的电源电平检测器, 其中, 上述放电电流随着该电容的第二端点的电压电平下降而减少。

6. 如权利要求 4 所述的电源电平检测器, 其中, 该放电装置可为一电流镜, 其中包括:

一第一晶体管, 其栅极与漏极耦接在一起; 以及

一第二晶体管, 与该第一晶体管具有同样的栅源极压差, 其中, 该第二晶体管的漏极耦接该电容的第二端点, 并且该第二晶体管的栅极与该第一晶体管的栅极耦接于该能隙参考电压产生器的输出端。

7. 如权利要求 4 所述的电源电平检测器, 其中, 该放电装置可为一 N 型金属氧化物半导体晶体管, 其栅极耦接该能隙参考电压产生器的输出端, 其漏极耦接该电容的第二端点, 并且其源极耦接一接地端。

8. 如权利要求 1 所述的电源电平检测器, 其中, 该电源分压器由串联在该电源与一接地端之间的多个电阻组成。

9. 如权利要求 1 所述的电源电平检测器, 还包括一切换装置, 用于在该控制电路尚未使能该比较电路时, 将该检电压切换成一接地端以输入该比较电路。

10. 如权利要求 9 所述的电源电平检测器, 其中, 该切换装置包括:

一第三开关, 由该控制电路控制, 用于在该控制电路使能该比较电路时, 耦接该检电压至该比较电路, 并且在该控制电路禁止该比较电路时不导通; 以及

一第四开关, 由该控制电路控制, 用于在该控制电路禁止该比较电路时, 耦接该接地端至该比较电路, 并且在该控制电路使能该比较电路时不导通。

电源电平检测器

技术领域

本发明涉及一种电源电平检测器(power detector)。

背景技术

图1为一种传统电源电平检测器100,用于检测一芯片所使用的电源 V_{DD} 的电平,其中,包括一能隙参考电压产生器(Bandgap Voltage Generator)102、一检电压产生电路104、以及一比较器CMP。该能隙参考电压产生器102常见于一般集成电路芯片中,乃用来产生一能隙参考电压 V_{BG} 供芯片参考。该能隙参考电压 V_{BG} 为固定值(通常为1.25伏特)不受温度影响、亦不随电源 V_{DD} 飘移。该检电压产生电路104包括三个晶体管(M_1 、 M_2 、与 M_3)以及两个电阻(R_1 与 R_2),乃用来在该能隙参考电压 V_{BG} 产生后,分压该电源 V_{DD} ,产生一检电压 V_{det} 。如图1所示,该能隙参考电压 V_{BG} 产生后,晶体管 M_1 导通、晶体管 M_2 操作在饱和区(saturation region)、并且晶体管 M_3 导通且产生一电流流经上述电阻 R_1 与 R_2 。由于晶体管 M_3 的面积远大于晶体管 M_2 ,因此晶体管 M_3 操作在线性区(linear region),以电阻型态操作,其电阻值为 R_{on} 。电阻 R_{on} 、 R_1 、与 R_2 将该电源 V_{DD} 分压后输出该检电压 V_{det} 。该比较器CMP比较该检电压 V_{det} 以及该能隙参考电压 V_{BG} 后,输出一标记Flag标示比较结果,以供判断该电源 V_{DD} 目前的电平。

然而,该电源 V_{DD} 遭重置(reset)时,上述传统电源电平检测器100常发生错误。因为该能隙参考电压产生器102在电源 V_{DD} 被重置后,并不是立即产生该能隙参考电压 V_{BG} ;必须在该电源 V_{DD} 回复至一电平以后,才会产生该能隙参考电压 V_{BG} 。举例说明之,假设 V_{DD} 为5V,该电源 V_{DD} 被重置后,该能隙参考电压产生器102一开始并不会输出该能隙参考电压 V_{BG} ,必须等到该电源 V_{DD} 回升至一电平(例如2.5V)后才会产生该能隙参考电压 V_{BG} 。如此一来,该电源 V_{DD} 遭重置后尚未回升至该电平的这一段时间,该比较器CMP的两个输入信号(该能隙参考电压 V_{BG} 以及该检电压 V_{det})都还没有准备好,因此该比较器CMP的运作会发生错误。

发明内容

本发明提供一种新颖的电源电平检测器，可避免上述传统电源电平检测器 100 在电源重置时所发生的问题。

本发明所提出的电源电平检测器包括一电源分压器、一能隙参考电压产生器、一比较电路、一控制电路、以及一强制电路。该电源分压器乃用来分压一电源，以产生一检电压。在重置(reset)该电源后，该能隙参考电压产生器会在该电源回复至一电平后，产生一能隙参考电压。该比较电路乃用来比较该检电压以及该能隙参考电压，以判断该电源的电平。在该能隙参考电压尚未产生时，该控制电路会禁止(disable)该比较电路。在该能隙参考电压产生后，该控制电路由禁止该比较电路切换成使能(enable)该比较电路。该强制电路耦接于该比较电路的输出端，由该控制电路控制。在该比较电路为禁止状态时，该强制电路会强制该比较电路的输出端电压为一定值，以避免该比较电路输出错误信息。

为让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举出较佳实施例，并配合附图作详细说明。

附图说明

图 1 为一种传统电源电平检测器；

图 2 为本发明的电源电平检测器的示意图；

图 3 为本发明的电源电平检测器的一实施例；

图 4 为控制电路 304 的一实施例；

图 5 为控制电路 304 的另一实施例；

图 6 为该放电电流 I 与图 5 的第二晶体管 M_2 的漏源极压差 $V_{DS,M2}$ 的关系图；

图 7 为控制电路 304 的另一实施例；

图 8 为本发明的电源电平检测器的一实施例；

图 9 为本发明的电源电平检测器的一实施例；以及

图 10 为本发明的电源电平检测器的一实施例。

附图符号说明

100-传统电源电平检测器；

102-能隙参考电压产生器； 104-检电压产生电路；

200-电源电平检测器； 202-电源分压器；

204-能隙参考电压产生器; 206-比较电路;
 208-控制电路; 210-强制电路;
 300-电源电平检测器; 302-比较电路;
 304-控制电路; 402-放电电路;
 502-放电电路; 702-放电电路;
 802-电源分压器; 902-切换电路;
 904-电源分压器; 906-比较电路;
 1002、1004-比较电路; 1006-电源分压器;
 C-电容; CMP-比较器;
 CS₁-第一控制信号; CS₂-第二控制信号;
 Flag、Flag1、Flag2-比较电路的输出标记;
 I-放电电流; Inv₁-第一反相器;
 Inv₂-第二反相器;
 M₁、M₂、与 M₃-晶体管; M_n-N型金属氧化物半导体晶体管;
 R₁与 R₂-电阻;
 SW₁-第一开关; SW₂-第二开关;
 SW₃-第三开关; SW₄-第四开关;
 V_{BC}-能隙参考电压; V_{DD}-电源;
 V_{det}、V_{det1}、V_{det2}-检电压。

具体实施方式

图2为本发明的电源电平检测器的示意图,其中,一电源电平检测器200包括一电源分压器202、一能隙参考电压产生器204、一比较电路206、一控制电路208、以及一强制电路210。该电源分压器202将一电源V_{DD}分压后,输出一检电压V_{det}。该检电压V_{det}为该电源V_{DD}的分压。该能隙参考电压产生器204乃用来产生具有固定值的一能隙参考电压V_{BC}。当该电源V_{DD}发生重置(reset)时,该能隙参考电压产生器204必须等待该电源V_{DD}回升至一电平后,才会产生该能隙参考电压V_{BC}。该比较电路206乃用来比较该检电压V_{det}以及该能隙参考电压V_{BC},以判断该电源V_{DD}的电平。该比较电路206的使能/禁止(enable/disable)由该控制电路208控制。在该能隙参考电压V_{BC}尚未产生时,该控制电路208的动作为禁止(disable)该比较电路206。在该能隙参考电压

V_{bc} 产生后,该控制电路208的动作由禁止该比较电路206切换成使能(enable)该比较电路206。该强制电路210耦接于该比较电路206的输出端,亦由该控制电路208控制。该比较电路206为禁止状态时,该强制电路210会强制该比较电路206的输出端电压为一定值,以避免该比较电路206输出错误的比较结果。

图3为本发明的电源电平检测器的一实施例。电源电平检测器300所采用的比较电路302包括一比较器CMP以及一第一开关 SW_1 。该第一开关 SW_1 耦接于该比较器CMP的电源端与该电源 V_{DD} 之间,由控制电路304所产生的一第一控制信号 CS_1 控制。该第一开关 SW_1 在该控制电路304禁止该比较电路302时为不导通,并且在该控制电路304使能该比较电路302时为导通。

如图3所示,电源电平检测器300以一第二开关 SW_2 实现图2的强制电路210。该第二开关 SW_2 由控制电路304所产生的一第二控制信号 CS_2 控制。由于此实施例将该能隙参考电压 V_{bc} 输入该比较器CMP的反相输入端,并且将该检电压 V_{det} 输入该比较器CMP的非反相输入端,故该第二开关 SW_2 必须在该比较电路302为禁止状态时将其输出端耦接至一接地端(一定电压端),以确保该比较电路302不会在该比较电路302为禁止状态时误判该检电压 V_{det} 高于该能隙参考电压 V_{bc} 。

图4为控制电路304的一实施例,其中包括一电容C、一放电电路402、一第一反相器 Inv_1 、以及一第二反相器 Inv_2 。如图所示,该电容C的第一端点以及第二端点分别耦接该电源 V_{DD} 以及该放电电路402。该放电电路402在该能隙参考电压 V_{bc} 产生后启动,用于产生一放电电流I放电该电容C。该第一反相器 Inv_1 的输入端耦接该电容C的第二端点,以输出上述第一控制信号 CS_1 控制上述第一开关 SW_1 。该第一控制信号 CS_1 为高电平时,该第一开关 SW_1 导通,该比较电路302被使能;反之,该第一开关 SW_1 不导通,该比较电路302被禁止。该第二反相器 Inv_2 的输入端耦接该第一反相器 Inv_1 的输出端,用于反相该第一控制信号 CS_1 以产生上述第二控制信号 CS_2 控制该第二开关 SW_2 。该第二控制信号 CS_2 为高电平时,该第二开关 SW_2 导通,反之,则不导通。

在本发明中,上述放电电流I可随着该电容C的第二端点的电压电平下降而减少。图5为控制电路304的另一实施例,所采用的放电电路502为一电流镜,其中,包括一第一晶体管 M_1 以及一第二晶体管 M_2 。该第一晶体管 M_1 的栅极与漏极耦接在一起。该第一与第二晶体管(M_1 以及 M_2)的栅极电压皆由

该能隙参考电压 V_{BG} 控制, 并且具有同样的栅源极压差。该第二晶体管 M_2 的漏极端耦接该电容 C 的第二端点。

参阅图 5, 该电源 V_{DD} 发生重置但尚未回升至一电平时, 该能隙参考电压 V_{BG} 尚未产生, 故该放电电路 502 尚未开启, 该放电电流 I 为零。此时, 该电容 C 的第二端点的电位会随着其第一端点变化, 即随着该电源 V_{DD} 上升。因此, 该电容 C 的第二端点的电位经该第一与第二反相器 Inv_1 与 Inv_2 处理后, 会输出低电平的第一控制信号 CS_1 以及高电平的第二控制信号 CS_2 。参阅图 3, 藉由上述第一与第二控制信号 (CS_1 以及 CS_2), 该控制电路 304 禁止该比较电路 302 并且强制该比较电路 302 所产生的标记 Flag 为接地, 以避免该比较电路 302 输出错误的判断结果。

参阅图 5, 该电源 V_{DD} 回升至该电平后, 该能隙参考电压 V_{BG} 产生, 该放电装置 502 开启并且产生一放电电流 I 放电该电容 C 。图 6 为该放电电流 I 与该第二晶体管 M_2 的漏源极压差 $V_{DS,M2}$ 的关系图。如图 6 所示, 该放电电流 I 刚产生时, 该电容 C 的第二端点的电位 (即该第二晶体管 M_2 的漏源极压差 $V_{DS,M2}$) 为 V_0 , 该放电电流 $I=I_0$ 。该电容 C 的第二端点的电位 ($V_{DS,M2}$) 在放电过程中逐渐下降, 如图 6 所示, 该放电电流 I 亦随之逐渐降低, 最后两者皆降至零。上述放电程序会令该电容 C 的第二端点电位经该第一与第二反相器 Inv_1 与 Inv_2 处理后, 输出高电平的第一控制信号 CS_1 、及低电平的第二控制信号 CS_2 。因此, 该比较电路 302 被使能, 并且该比较电路 302 的输出端不再被强制接地。该比较电路 302 得以开始正常运作。

图 7 为控制电路 304 的另一实施例, 所采用的放电电路 702 为一 N 型金属氧化物半导体晶体管 M_n , 其栅极耦接该能隙参考电压 V_{BG} 、其漏极耦接该电容 C 的第二端点、并且其源极接地。由上述实施例可知, 本发明的放电电路在该电容 C 的第二端点的电位降至零后即停止提供该放电电流 I , 故本发明不需要耗费大量能量。

图 8 为本发明的另一实施例, 其中, 所采用的电源分压器 802 乃由串联在该电源 V_{DD} 与一接地端之间的多个电阻 (本实施例为 R_1 与 R_2) 所组成。本发明采用单纯电阻分压, 使用者可轻易掌握该检电压 V_{det} 与该电源 V_{DD} 的关系。反观图 1 的传统电源电平检测器 100, 该检电压产生电路 104 的晶体管 M_3 的电阻值 R_{on} 会随着工艺过程变化, 不易掌握, 容易造成使用者困扰。

图 9 为本发明的另一实施例, 其中, 还包括一切换装置 902, 耦接于该

电源分压器 904 与该比较电路 906 之间, 用于在该比较电路 906 为禁止状态时, 将该检电压 V_{det} 切换成一接地端以输入该比较电路 906。如图所示, 该切换装置 902 包括一第三开关 SW_3 、以及一第四开关 SW_4 。该第三开关 SW_3 在该比较电路 906 被使能(该第一控制信号 CS_1 为高电平)时导通, 用于耦接该检电压 V_{det} 至该比较电路 906。该第四开关 SW_4 在该比较电路 906 被禁止(该第二控制信号 CS_2 为高电平)时导通, 用于耦接该接地端至该比较电路 906。

图 10 为本发明的另一种实施例, 其中包括多组比较电路(1002 与 1004)。本实施例的电源分压器 1006 会输出两组检电压(V_{det1} 与 V_{det2}), 分别输入比较电路 1002 与 1004。所述比较电路 1002 与 1004 的使能与否、以及其输出端所耦接的强制电路的动作与否皆和本发明其它实施例相同。藉由本实施例, 使用者可由标记 Flag1 与 Flag2 判断该电源 V_{DD} 目前位于某一电压范围内。

本发明虽以较佳实施例揭露如上, 然其并非用于限定本发明的范围, 任何熟习此项技艺者, 在不脱离本发明的精神和范围内, 当可做些许的更动与润饰, 因此本发明的保护范围当视本发明的申请专利范围所界定者为准。

100

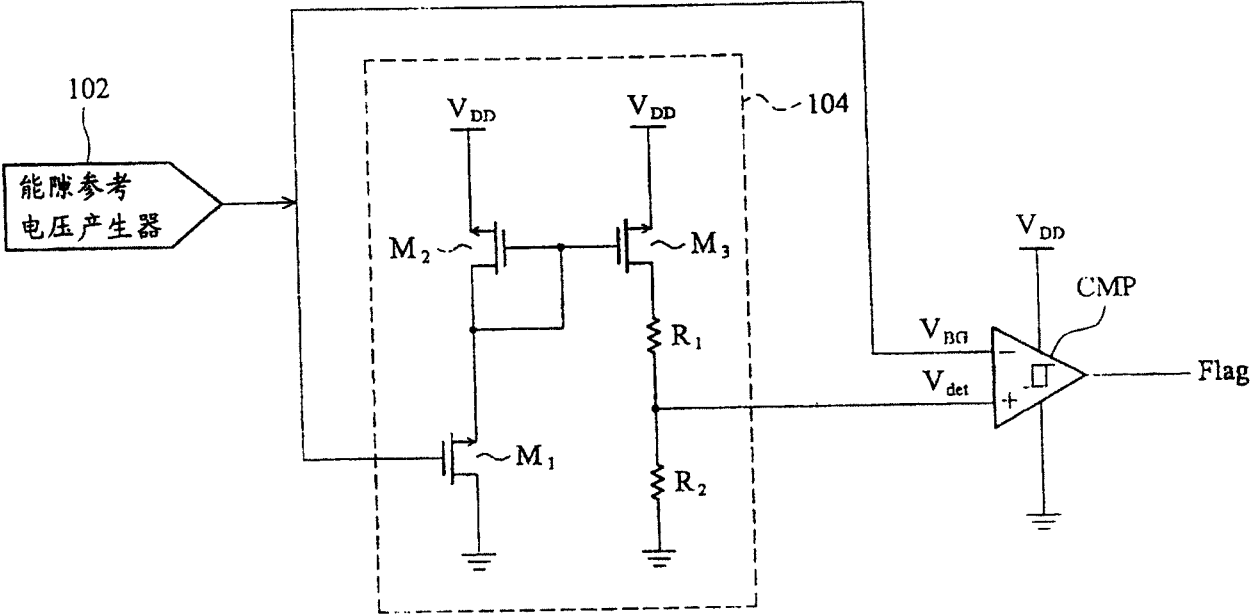


图 1

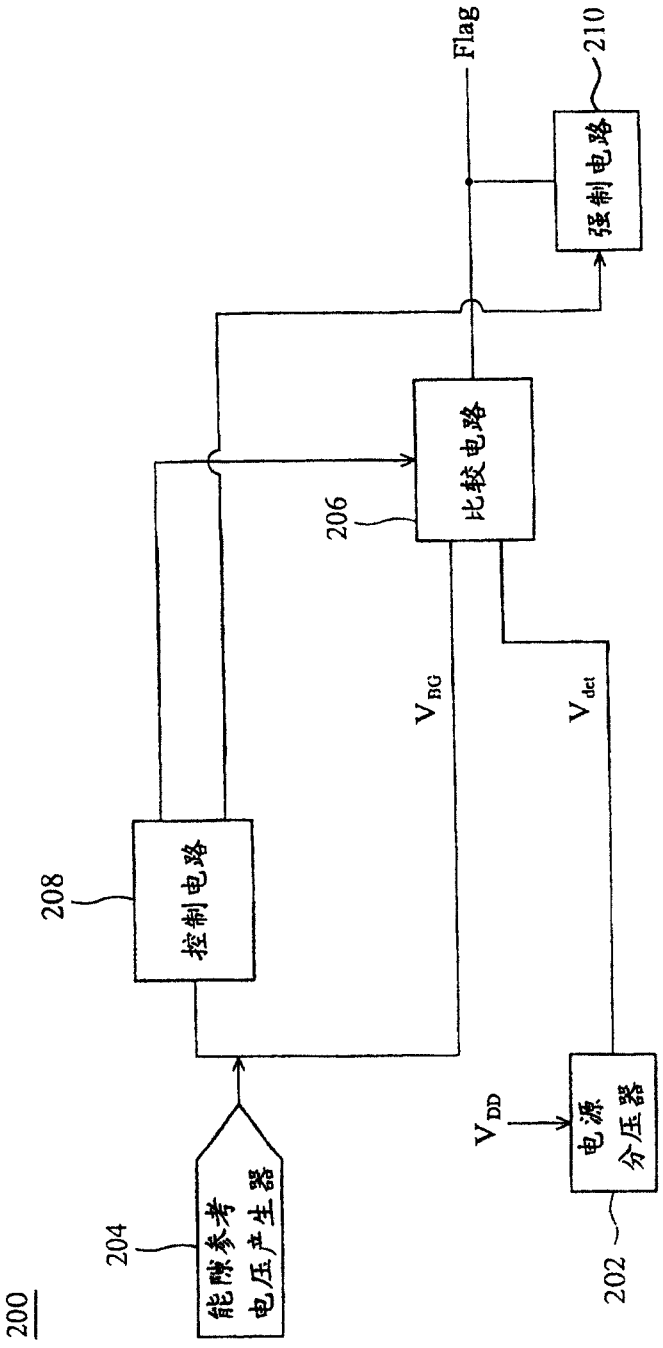


图 2

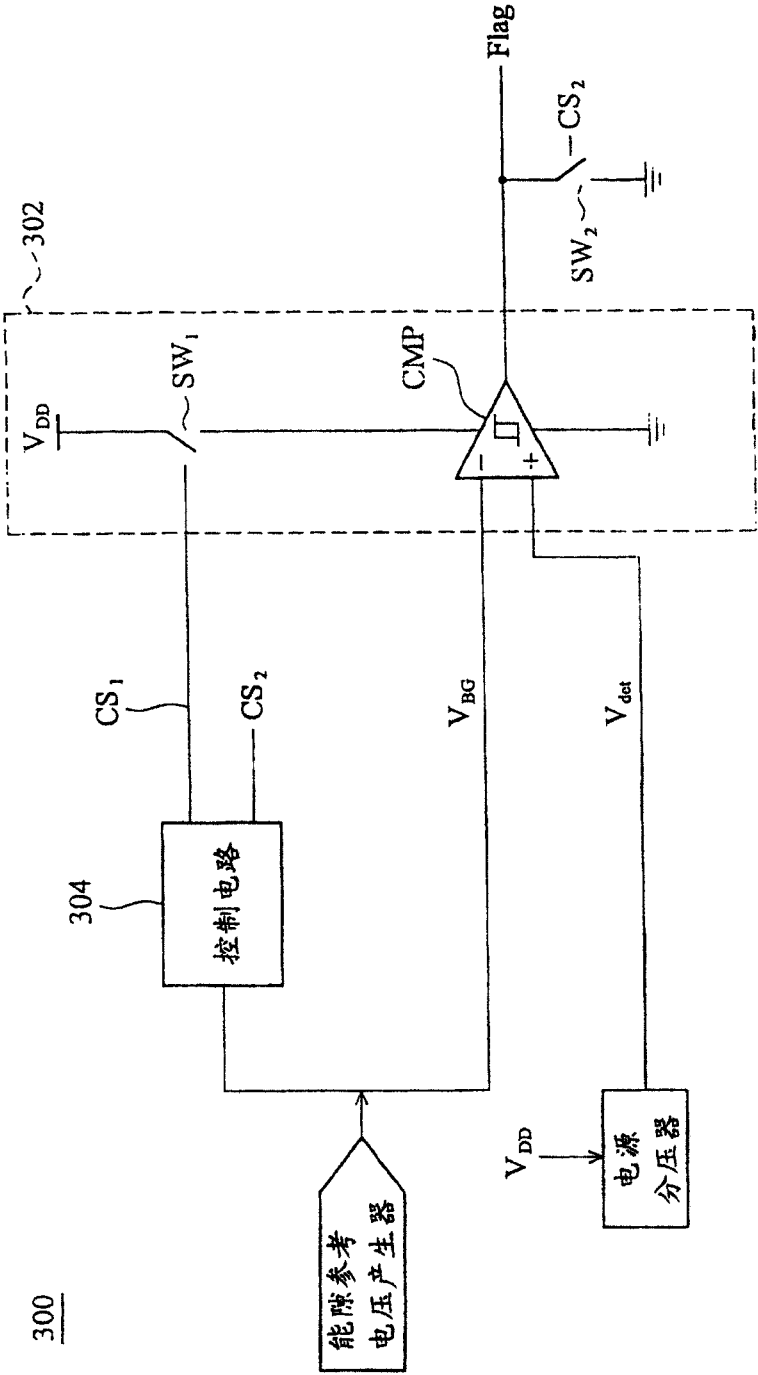


图 3

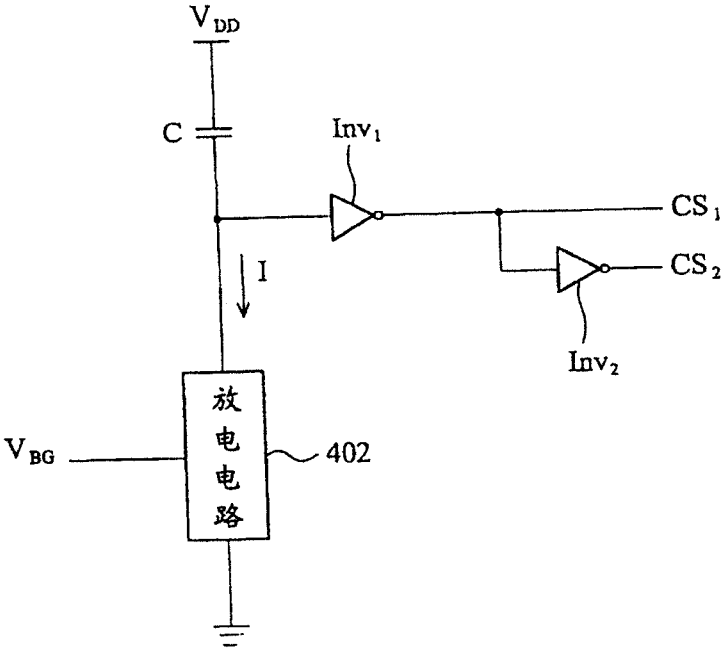


图 4

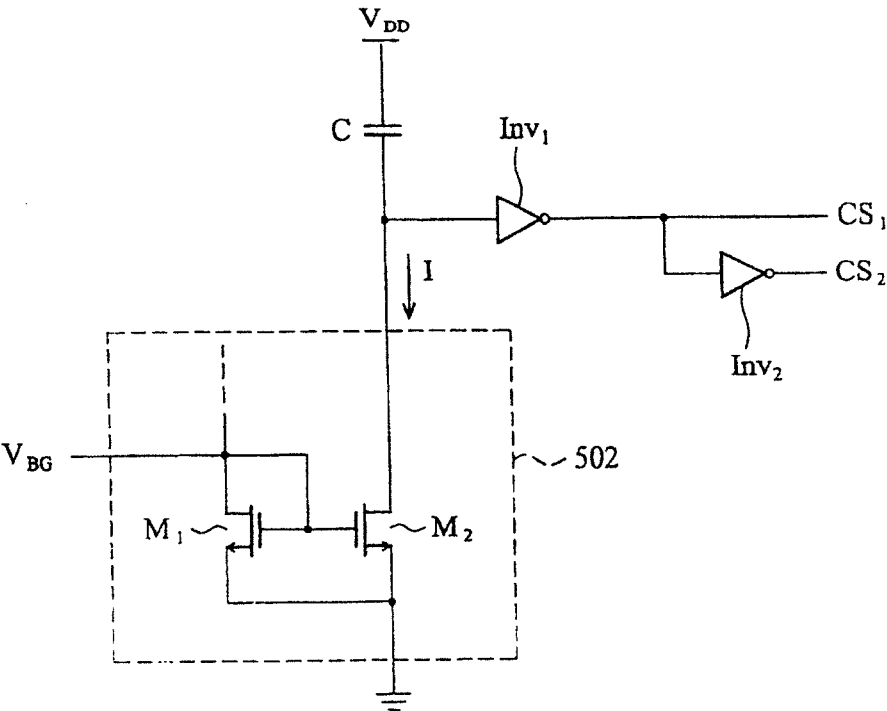


图 5

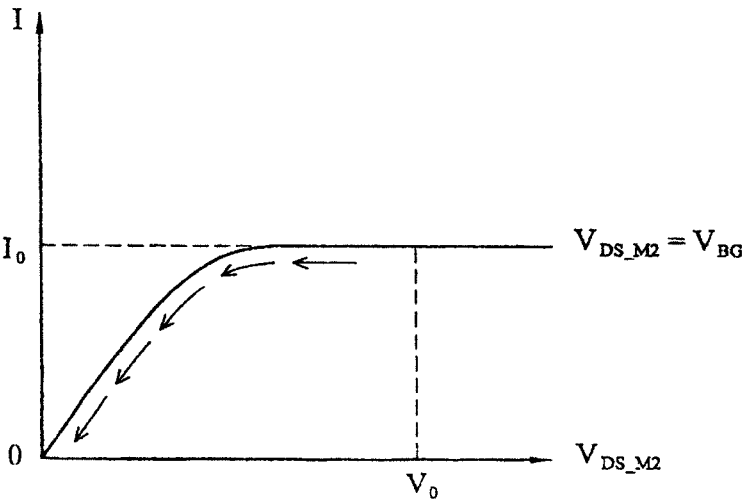


图 6

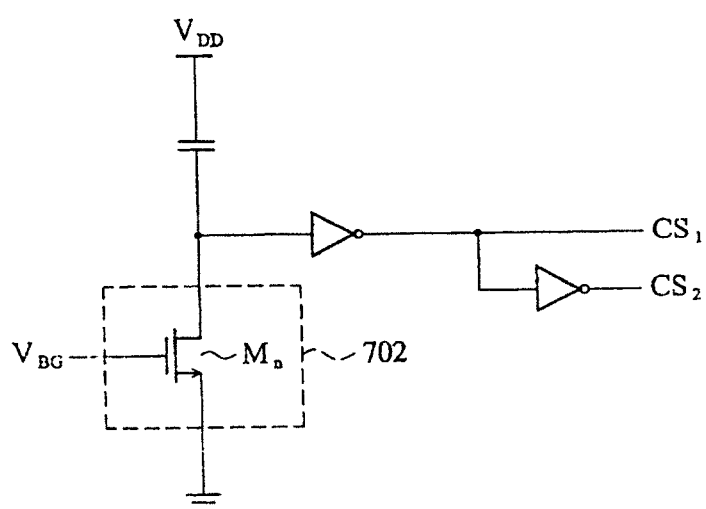


图 7

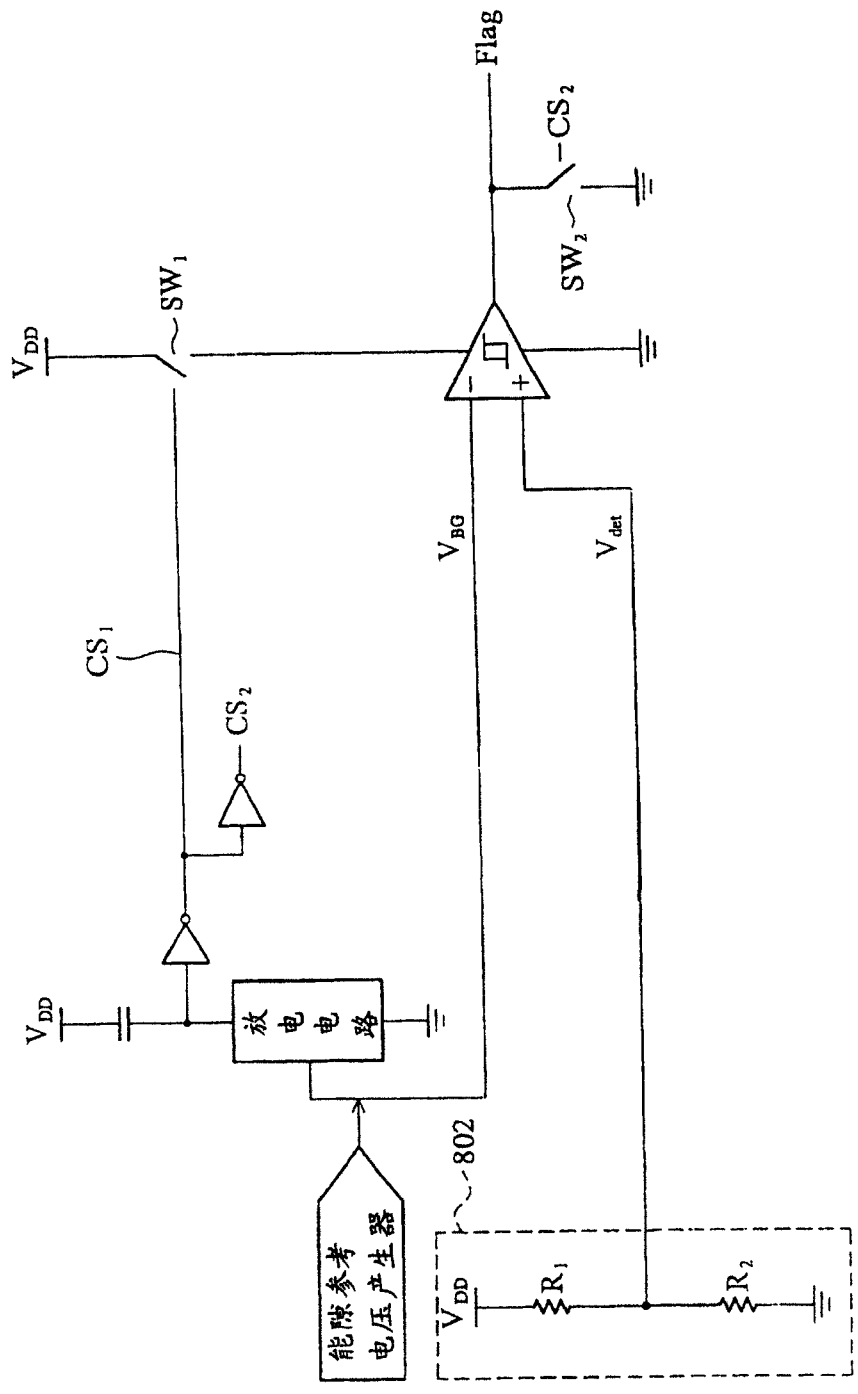


图 8

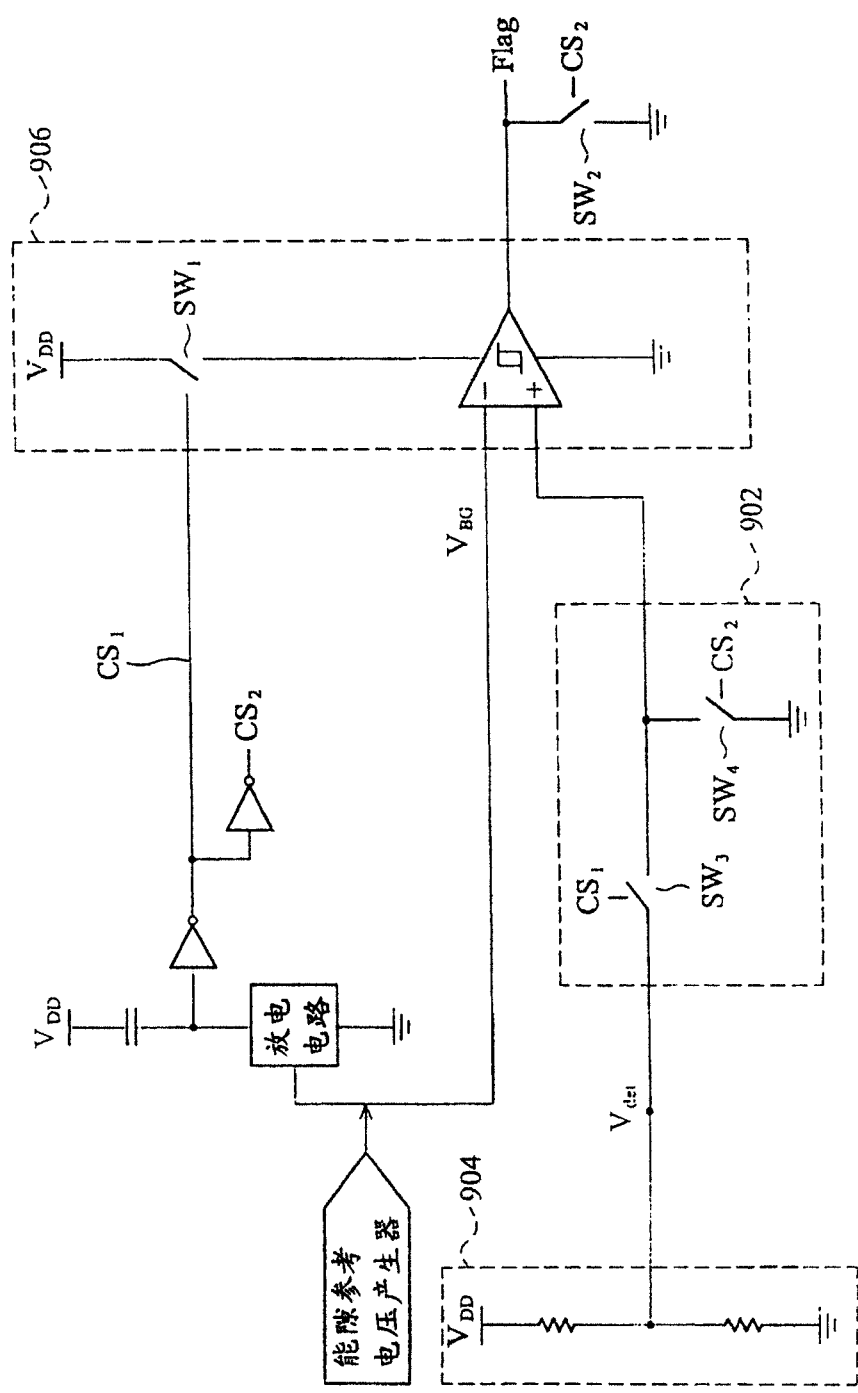


图 9

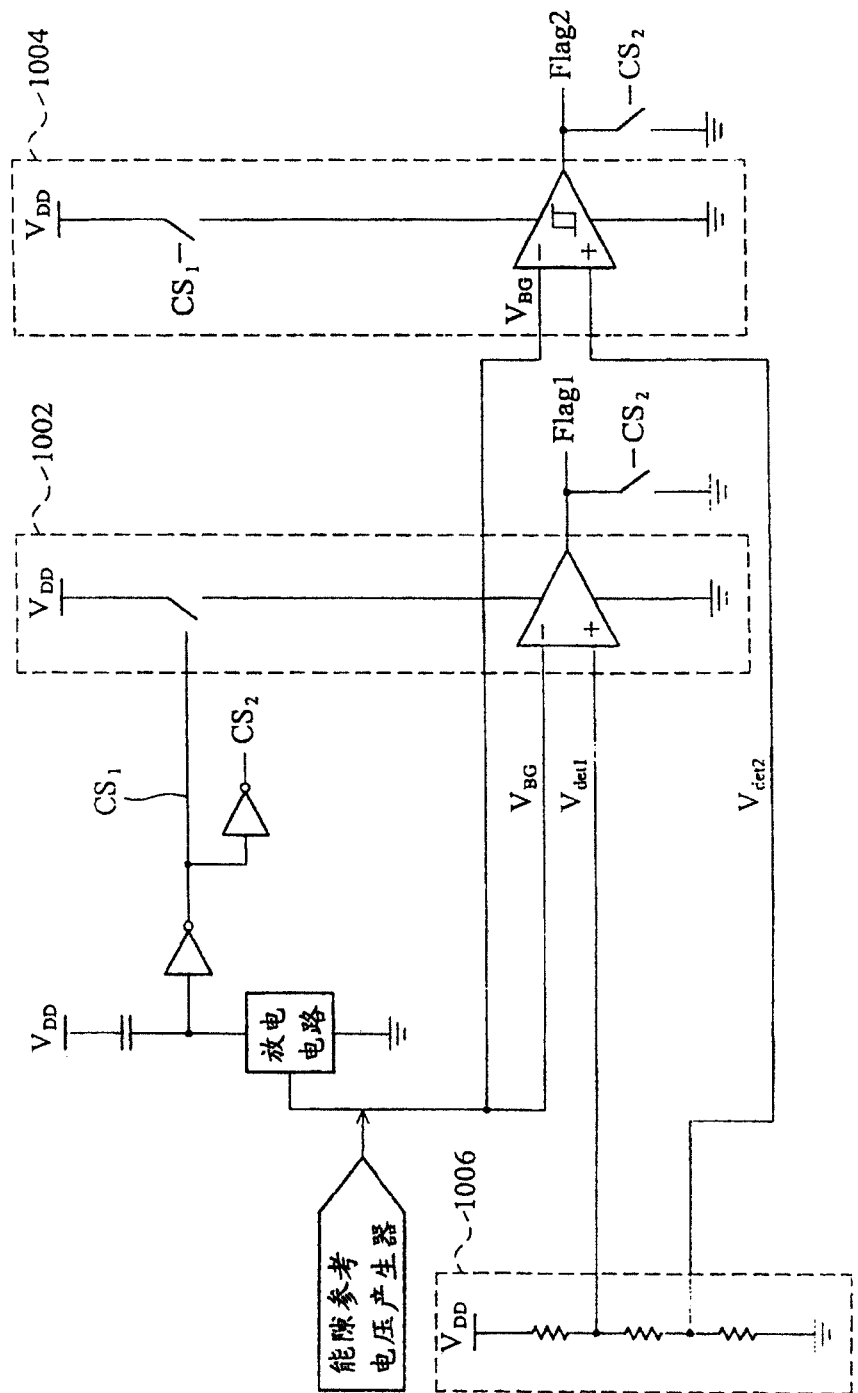


图 10